

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5489705号  
(P5489705)

(45) 発行日 平成26年5月14日(2014.5.14)

(24) 登録日 平成26年3月7日(2014.3.7)

(51) Int.Cl.

F I

H O 1 L 27/146 (2006.01)

H O 1 L 27/14

A

H O 1 L 27/14

F

請求項の数 11 (全 16 頁)

(21) 出願番号 特願2009-296522 (P2009-296522)  
 (22) 出願日 平成21年12月26日(2009.12.26)  
 (65) 公開番号 特開2011-138841 (P2011-138841A)  
 (43) 公開日 平成23年7月14日(2011.7.14)  
 審査請求日 平成24年12月26日(2012.12.26)

(73) 特許権者 000001007  
 キヤノン株式会社  
 東京都大田区下丸子3丁目30番2号  
 (74) 代理人 100126240  
 弁理士 阿部 琢磨  
 (74) 代理人 100124442  
 弁理士 黒岩 創吾  
 (72) 発明者 遠藤 信之  
 東京都大田区下丸子3丁目30番2号キヤ  
 ノン株式会社内  
 (72) 発明者 板野 哲也  
 東京都大田区下丸子3丁目30番2号キヤ  
 ノン株式会社内

最終頁に続く

(54) 【発明の名称】 固体撮像装置および撮像システム

(57) 【特許請求の範囲】

【請求項 1】

光電変換素子および前記光電変換素子からの電荷を転送するための転送ゲート電極を主面側に有する第1の基板と、

前記光電変換素子にて生じた電荷に基づく信号を読み出すための回路を含む周辺回路部を主面側に有する第2の基板とを積層した固体撮像装置において、

前記第1の基板の主面側に配された、アルミニウム配線からなる多層配線構造と、

前記第2の基板の主面側に配された、銅配線からなる多層配線構造と、を有する固体撮像装置。

【請求項 2】

前記第1の基板の主面と、前記第2の基板の主面と、を対向して積層した請求項1に記載の固体撮像装置。

【請求項 3】

前記第1の基板の主面と、前記第2の基板の主面と反対の面である裏面と、が対向して積層された請求項1に記載の固体撮像装置。

【請求項 4】

前記第1の基板の上部に配されたアルミニウム配線からなる多層配線構造は、銅のための拡散防止膜を有していることを特徴とする請求項2あるいは3のいずれかに記載の固体撮像装置。

【請求項 5】

10

20

前記第 2 の基板に配された周辺回路部には、高融点金属化合物層が配され、  
前記銅のための拡散防止膜は、前記高融点金属の拡散防止膜としても機能することを特徴とする請求項 4 に記載の固体撮像装置。

【請求項 6】

前記銅配線からなる多層配線構造は、前記銅配線の上部に配された銅のための第 2 の拡散防止膜を有する請求項 1 乃至 5 のいずれか 1 項に記載の固体撮像装置。

【請求項 7】

前記銅のための第 2 の拡散防止膜は、前記銅配線のパターンに合わせてパターニングされている請求項 6 に記載の固体撮像装置。

【請求項 8】

前記銅のための第 2 の拡散防止膜は、シリコンナイトライドあるいはシリコンカーバイドからなる請求項 6 あるいは 7 のいずれかに記載の固体撮像装置。

【請求項 9】

前記第 1 の基板に、前記転送ゲート電極によって前記光電変換素子からの前記電荷が転送されるフローティングディフュージョン領域が配され、

前記第 2 の基板に、前記フローティングディフュージョン領域の電位に基づく信号が入力されるゲート電極を有する増幅トランジスタと、前記増幅トランジスタのゲート電極をリセット電位に設定するためのリセットトランジスタとが配され、前記第 2 の基板の上部には前記増幅トランジスタのゲート電極に基づく信号が出力される信号線が配されることを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の固体撮像装置。

【請求項 10】

前記第 1 の基板に、前記転送ゲート電極によって前記光電変換素子からの前記電荷が転送されるフローティングディフュージョン領域と、前記フローティングディフュージョン領域の電位に基づく信号が入力されるゲート電極を有する増幅トランジスタと、前記増幅トランジスタのゲート電極をリセット電位に設定するためのリセットトランジスタとが配され、

前記第 2 の基板の主面側の銅配線からなる多層配線構造に、前記増幅トランジスタのゲート電極に基づく信号が出力される信号線が配されることを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の固体撮像装置。

【請求項 11】

請求項 1 乃至 10 のいずれか 1 項に記載の固体撮像装置と、

前記固体撮像装置から出力される信号を処理する信号処理部とを有する撮像システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、裏面照射型の固体撮像装置に関する。

【背景技術】

【0002】

近年の固体撮像装置の微細化に伴い、配線を微細化することが可能な銅配線が固体撮像装置に適用され始めている。

【0003】

特許文献 1 には、銅配線を有する固体撮像装置において、光電変換素子上に銅配線の拡散防止膜を設けない固体撮像装置に適用した構成が提案されている。

【0004】

また、特許文献 2 には、光電変換素子や信号読み出し用の回路を設けた画素部を含む基板と、画素部の回路を駆動し、読み出した信号を処理するための周辺回路を含む基板とを貼り合わせた裏面照射型の固体撮像装置が記載されている。

【先行技術文献】

【特許文献】

【0005】

10

20

30

40

50

【特許文献１】特開２００５－３１１０１５号

【特許文献２】特開２００９－１７０４４８号

【発明の概要】

【発明が解決しようとする課題】

【０００６】

特許文献１の構成において、銅の拡散係数が非常に大きいため、光電変換素子へ銅が拡散してしまう場合がある。銅の表面を拡散防止膜で保護していたとしても、例えば、同一基板上において、銅を含む層を形成した後は、基板の端面や裏面から銅が拡散する場合がある。銅などの不純物が光電変換素子を構成する半導体領域へ混入してしまうと、暗電流やリーク電流の原因となり、得られる画像データに白傷などを生じさせてしまう。

10

【０００７】

そこで、本発明においては、銅配線を適用しつつ、光電変換素子の暗電流やリーク電流の発生を抑制可能な固体撮像装置を提供することを目的とする。

【課題を解決するための手段】

【０００８】

本発明の固体撮像装置は、光電変換素子および前記光電変換素子からの電荷を転送するための転送ゲート電極とを有する第１の基板と、前記光電変換素子にて生じた電荷に基づく信号を読み出すための回路を含む周辺回路部を有する第２の基板とを積層した固体撮像装置において、前記第１の基板の上部に配された、アルミニウム配線からなる多層配線構造と、前記第２の基板の上部に配された、銅配線からなる多層配線構造と、を有する。

20

【発明の効果】

【０００９】

本発明の固体撮像装置によって、銅配線を適用しつつ、光電変換素子の暗電流やリーク電流の発生を抑制可能な固体撮像装置を提供することが可能となる。

【図面の簡単な説明】

【００１０】

【図１】実施例１を説明する固体撮像装置の断面図

【図２】実施例２を説明する固体撮像装置の断面図

【図３】実施例３を説明する固体撮像装置の断面図

【図４】実施例４を説明する固体撮像装置の断面図

30

【図５】実施例３の固体撮像装置の製造方法

【図６】実施例３の固体撮像装置の製造方法

【図７】実施例４の固体撮像装置の製造方法

【図８】実施例４の固体撮像装置の製造方法

【図９】実施例４の固体撮像装置の製造方法

【図１０】実施例５の実施形態を説明する固体撮像装置の断面図

【図１１】本発明の固体撮像装置の回路の一例

【図１２】実施例６の撮像システムを説明するブロック図

【発明を実施するための形態】

【００１１】

40

本発明の固体撮像装置は、光電変換素子および転送ゲート電極とを有する第１の基板と、制御回路を有する第２の基板とを積層して構成され、第１の基板の配線はアルミニウム配線によって構成され、第２の基板の制御回路の配線は銅配線によって構成される。このような構成によって、光電変換素子の暗電流やリーク電流の発生を抑制することが可能となる。

【００１２】

以下、本発明について図面を用いて詳細に説明を行う。

【実施例１】

【００１３】

本発明の実施例１について、図１および図１１を用いて説明する。

50

## 【 0 0 1 4 】

まず、図 1 1 を用いて実施例 1 の固体撮像装置の回路の一例を説明する。図 1 1 の固体撮像装置 3 0 0 は、複数の光電変換素子が配列した画素部 3 0 1 と、画素部 3 0 1 からの信号を読み出す駆動のための制御回路や読み出した信号を処理する信号処理回路を有する周辺回路部 3 0 2 とを有する。

## 【 0 0 1 5 】

画素部 3 0 1 は、光電変換素子 3 0 3 と、転送トランジスタ 3 0 4 と、増幅トランジスタ 3 0 6 と、リセットトランジスタ 3 0 7 が複数配置されている。少なくとも 1 つの光電変換素子 3 0 3 を含む構成を画素とする。本実施例の 1 つの画素は、光電変換素子 3 0 3 と、転送トランジスタ 3 0 4 と、増幅トランジスタ 3 0 6 と、リセットトランジスタ 3 0 7 を含む。転送トランジスタ 3 0 4 のソースは光電変換素子 3 0 3 と接続しており、転送トランジスタ 3 0 4 のドレイン領域は増幅トランジスタ 3 0 6 のゲート電極と接続している。この増幅トランジスタ 3 0 6 のゲート電極と同一のノードをノード 3 0 5 とする。リセットトランジスタはノード 3 0 5 に接続し、ノード 3 0 5 の電位を任意の電位（例えば、リセット電位）に設定する。ここで、増幅トランジスタ 3 0 6 はソースフォロア回路の一部であり、ノード 3 0 5 の電位に応じた信号を信号線 R L に出力する。

10

## 【 0 0 1 6 】

周辺回路部 3 0 2 は、画素部 3 0 1 のトランジスタのゲート電極へ制御信号を供給するための垂直走査回路 V S R を有する。また、周辺回路部 3 0 2 は、画素部 3 0 1 から出力された信号を保持し、増幅や加算や A D 変換などの信号処理を行う読み出し回路 R C を有する。そして、周辺回路部 3 0 2 は、読み出し回路 R C から信号を順次出力するタイミングを制御する制御回路である水平走査回路 H S R を有する。

20

## 【 0 0 1 7 】

ここで、実施例 1 の固体撮像装置 3 0 0 は 2 つのチップが積層されることによって構成されている。2 つのチップとは、画素部 3 0 1 の光電変換素子 3 0 3 と、転送トランジスタ 3 0 4 とが配された第 1 のチップ 3 0 8 と、画素部 3 0 1 の増幅トランジスタ 3 0 6 と、リセットトランジスタ 3 0 7 と、周辺回路部 3 0 2 とが配された第 2 のチップ 3 0 9 である。このような構成において、第 2 のチップ 3 0 9 の周辺回路部 3 0 2 から第 1 のチップ 3 0 8 の転送トランジスタ 3 0 4 のゲート電極へと制御信号が接続部 3 1 0 を介して供給される。また、第 1 のチップ 3 0 8 の光電変換素子 3 0 3 にて生じた信号は転送トランジスタ 3 0 4 のドレイン領域に接続する接続部 3 1 1 を介して、ノード 3 0 5 に読み出される。このようにリセットトランジスタ 3 0 7 や増幅トランジスタ 3 0 6 を別のチップに設けることで、光電変換素子 3 0 3 の面積を大きくすることが可能となり感度の向上させることが可能となる。また、面積を同一とするならば、光電変換素子 3 0 3 を多く設けることが可能となり、多画素化が可能となる。

30

## 【 0 0 1 8 】

次に、図 1 を用いて本実施例の固体撮像装置を説明する。図 1 は、図 1 1 の固体撮像装置 3 0 0 に対応した固体撮像装置 1 0 0 の断面図である。図 1 は、図 1 1 の光電変換素子 3 0 3、転送トランジスタ 3 0 4、増幅トランジスタ 3 0 6 に対応する、2 画素分の断面図であり、その他の部分については記載を省略する。

40

## 【 0 0 1 9 】

図 1 において、第 1 のチップ 1 0 1 と、第 2 のチップ 1 0 2 と、第 1 のチップと第 2 のチップとの接合面 1 0 3 とが示されている。第 1 のチップ 1 0 1 は図 1 1 の第 1 のチップ 3 0 8 と、第 2 のチップ 1 0 2 は図 1 1 の第 2 のチップ 3 0 9 と対応している。

## 【 0 0 2 0 】

第 1 のチップ 1 0 1 は第 1 の基板 1 0 4 を有する。第 1 の基板 1 0 4 において、トランジスタが形成される面を主面 1 0 5 とし、その反対の面を裏面 1 0 6 とする。第 1 の基板 1 0 4 には、図 1 1 における光電変換素子 3 0 3、転送トランジスタ 3 0 4 を構成する各部位が配されている。そして、第 1 のチップ 1 0 1 の第 1 の基板 1 0 4 の主面 1 0 5 側の上部には、アルミニウムを主成分とした配線（アルミニウム配線）からなる第 1 の配線層

50

１２２と第２の配線層１２３とを含む多層配線構造１０７を有する。ここで、第１の配線層１２２の配線と第２の配線層１２３の配線との接続や、ゲート電極と第１の配線層の配線との接続などは、例えばタングステンからなるプラグによって接続されている。

#### 【００２１】

第２のチップ１０２は第２の基板１０８を有する。第２の基板１０８において、トランジスタが形成される面を主面１０９とし、その反対の面を裏面１１０とする。第２の基板１０８の主面１０９の上部には、銅を主成分とした配線（銅配線）の第１の配線層１２８と、アルミニウム配線の第２の配線層１２９とを含む多層配線構造１１１が形成されている。第１の配線層１２８はシングルダマシン構造であり、その上部に銅のための拡散防止膜１３１を有している。拡散防止膜１３１は、第１の配線層１２８の上部と第１の配線層

10

１２８の上面と同一面を形成する絶縁膜を覆っている。この拡散防止膜は、例えば、シリコンナイトライドやシリコンカーバイドである。  
ゲート電極などと第１の配線層１２８の配線と、第１の配線層１２８と第２の配線層１２９との接続は、例えばタングステンからなるプラグによってなされている。そして、第２の基板１０８には、図１１の増幅トランジスタ３０６を構成する各部位が配されている。なお、説明において、各チップにおいて、基板の主面から裏面に向かう方向を下方向もしくは深い方向とし、裏面から主面に向かう方向を上方向もしくは浅い方向とする。

#### 【００２２】

ここで、本実施例の固体撮像装置においては、第１のチップ１０１と第２のチップ１０２のそれぞれの基板の主面１０５および主面１０９とが対向して積層されている。図１では、第１のチップ１０１と第２のチップ１０２の接続部の構成は、第１のチップ１０１のフローティングディフュージョン領域（以下、ＦＤ領域）１１３と第２のチップ１０２の増幅トランジスタのゲート電極１２６との接続のみ示している。具体的には、第１のチップ１０１のＦＤ領域１１３は多層配線構造１０７、接続部３１１、多層配線構造１１１を介して、増幅トランジスタのゲート電極１２６と接続している。なお、転送トランジスタのゲート電極１１４への制御信号を供給する図１１に示す接続部３１０は図１においては不図示である。そして、本実施例の固体撮像装置においては、第１の基板１０４の裏面１０６側から光が入射する裏面入射型の固体撮像装置である。

20

#### 【００２３】

各チップについて詳細に説明する。まず、第１のチップ１０１の第１の基板１０４には、ウエル１１５と、光電変換素子を形成するＮ型の電荷蓄積領域１１２と、転送トランジスタのゲート電極１１４とが配されている。更に、第１の基板１０４には、転送トランジスタのドレイン領域１１３と、素子分離領域１１７と、Ｐ型の半導体領域１１６とが配されている。ウエル１１５は、トランジスタや光電変換素子が配される半導体領域であり、ここではＮ型でもＰ型でもどちらでもよい。Ｐ型の半導体領域１１６は、第１の基板１０４の裏面１０６のシリコンとシリコン酸化膜界面にて生じる暗電流の抑制が可能であり、また光電変換素子の一部としても機能可能である。電荷蓄積領域１１２は、光電変換素子にて生じた電荷（電子）を蓄積し、図１では転送ゲート側にＰ型の保護層を有している。素子分離領域１１７は、Ｐ型の半導体領域からなり、図示していないがＬＯＣＯＳ分離やＳＴＩ分離といった絶縁膜を含む素子分離構造を有していてもよい。転送トランジスタのドレイン領域１１３は図１１におけるノード３０５を構成し、ＦＤ領域と称される。そして、第１のチップ１０１は、第１の基板１０４の裏面１０６側に、反射防止膜１１８、遮光膜１１９、平坦化層などを含むカラーフィルタ層１２０、マイクロレンズ１２１を有する。

30

40

#### 【００２４】

次に、第２のチップ１０２の第２の基板１０８には、ウエル１２４と、図１１における増幅トランジスタ３０６を構成するソース領域およびドレイン領域１２５と、同増幅トランジスタのゲート電極１２６と、素子分離領域１２７と、が配されている。トランジスタのゲート電極１２６とソース領域およびドレイン領域１２５とに高融点金属化合物層１３６が配されている。ウエル１２４はＰ型の半導体領域である。高融点金属化合物層は、コ

50

バルトやチタンといった高融点金属とシリコン半導体基板との化合物である。ここで、本実施例の固体撮像装置の第2のチップ102のみが多層配線構造に銅配線を含む。また、図11に示す周辺回路部302を構成する領域の上部にも銅配線を含む多層配線構造が配される(不図示)。

#### 【0025】

このような第2の基板に配された制御回路のトランジスタのための多層配線構造が銅配線を含むことによって、配線間隔の微細化が可能となる。また、このような銅配線を有する多層配線構造を第2のチップ102にのみ有することで、光電変換素子への銅の混入を低減することが可能となり、銅の混入によって生じるノイズを低減することが可能となる。

10

#### 【0026】

また、拡散防止膜131を有することで、第2のチップに配された銅配線の銅が第1のチップの光電変換素子やFD領域を構成する半導体領域に混入することをより抑制することが可能となる。

#### 【0027】

なお、本実施例において、第2チップの第2の配線層129をアルミニウム配線としたのは、接続部を構成するために、第2の配線層129の配線を形成する導電体が露出している必要があるためである。ここで、第2の配線層129は露出した導電体から銅が拡散する可能性があるため、アルミニウム配線にすると良い。

#### 【0028】

また、銅のための拡散防止膜131が高融点金属の拡散防止膜としても機能可能である。よって、高融点金属が光電変換素子を構成する半導体領域へ混入することを低減することが可能となり、高融点金属の混入によって生じるノイズを低減することが可能となる。

20

#### 【0029】

また、本実施例の変形例として、増幅トランジスタが第1の基板に配されていてもよく、少なくとも、本実施例のように光電変換素子に加えてFD領域を第1の基板104に配することが好ましい。それは、光電変換素子で生じた信号電荷が保持される光電変換素子やFD領域を構成する半導体領域への銅の拡散を低減させることが可能であるためである。

#### 【実施例2】

30

#### 【0030】

本実施例の固体撮像装置を図2を用いて説明する。本実施例の固体撮像装置は、実施例1の固体撮像装置とは、図11に示すような回路は等しく、チップの積層構造が異なる。以下、回路については説明を省略し、図2に示す構成について説明を行う。

#### 【0031】

図2は、図11の回路に対応した固体撮像装置200の断面図である。図2は、図11の光電変換素子303、転送トランジスタ304、増幅トランジスタ306に対応する、2画素分の断面図であり、その他の部分については記載を省略する。

#### 【0032】

図2には、第1のチップ201と、第2のチップ202と、第1のチップと第2のチップとの接合面203とが示されている。第1のチップ201は図11の第1のチップ308と、第2のチップ202は図11の第2のチップ309と対応している。

40

#### 【0033】

第1のチップ201は第1の基板204を有する。第1の基板204において、トランジスタが配される面を主面205とし、その反対の面を裏面206とする。第1の基板204には、図11における光電変換素子303、転送トランジスタ304が配されている。そして、第1の基板204の主面205の上部には、アルミニウム配線からなる第1の配線層222と第2の配線層223とを含む多層配線構造207が配されている。また、多層配線構造207は、実施例1と同様に、タンゲステンのプラグを有する。

#### 【0034】

50

第2のチップ202は第2の基板208を有する。第2の基板208において、トランジスタが形成される面を主面209とし、その反対の面を裏面210とする。第2の基板208の主面209の上部には、銅配線からなる第1の配線層228と第2の配線層229とを含む多層配線構造211が配されている。本実施例では実施例1と異なり第2の配線層も銅配線である。第1の配線層228はシングルダマシン構造であり、第2の配線層229はデュアルダマシン構造であり、それぞれ銅に対する拡散防止膜231、232が上部に配される。拡散防止膜231、232は、例えば、シリコンナイトライドやシリコンカーバイドからなる膜である。また、ゲート電極などと第1の配線層228との接続は、例えばタングステンのプラグによってなされている。そして、第2の基板208には、図11における増幅トランジスタ306を構成する各部位が配されている。

10

#### 【0035】

ここで、本実施例の固体撮像装置においては、第1の基板204の主面205と第2の基板208の裏面210とが対向して積層されている。図2では、第1のチップ201と第2のチップ202の接続部の構成は、第1のチップ201のFD領域213と第2のチップ202の増幅トランジスタのゲート電極226との接続のみ示している。具体的には、第1のチップ201のFD領域213は多層配線構造207、接続部311、多層配線構造211を介して、増幅トランジスタのゲート電極226と接続している。ここで、接続部311の一部を構成する、第2の基板208を貫する貫通電極235が配されている。この貫通電極によって、FD領域213と増幅トランジスタのゲート電極226とが接続される。なお、転送トランジスタのゲート電極214への制御信号を供給する図11における接続部310は不図示である。そして、本実施例の固体撮像装置においては、第1の基板204の裏面206側から光が入射する裏面入射型の固体撮像装置である。

20

#### 【0036】

次に、各チップについて詳細に説明する。第1のチップ201の第1の基板204には、ウエル215と、光電変換素子を形成するN型の電荷蓄積領域212と、転送トランジスタのゲート電極214とが配されている。更に、第1の基板204には転送トランジスタのドレイン領域213と、素子分離領域217と、P型の半導体領域216とが配されている。そして、第1のチップ201は、第1の基板204の裏面206側に、反射防止膜218、遮光膜219、平坦化層などを含むカラーフィルタ層220、マイクロレンズ221を有する。

30

#### 【0037】

次に、第2のチップ202の第2の基板208には、ウエル224と、素子分離領域227と、が配されている。更に、第2の基板208には図11における増幅トランジスタ306の各部位であるソース領域およびドレイン領域225とゲート電極226とが配されている。トランジスタのゲート電極226とソース領域およびドレイン領域225には高融点金属化合物層236が配されている。更に、第2の基板208の上部に第1の配線層228、第2の配線層229を有し、第2の基板208の最深部に絶縁層234を有する。更に、第2のチップ202の上部に接着層233と支持基板234とを有している。実施例2における絶縁層、接着層233、支持基板234については後述する。

#### 【0038】

ここで、本実施例の固体撮像装置の第2のチップ202に配された多層配線構造は、銅配線を含む。第2の基板に配された多層配線構造が銅配線によって構成されることで、配線の微細化が可能となる。また、このような銅配線を第2のチップ202にのみ有することで、光電変換素子への銅の混入を低減することが可能となり、銅の混入によって生じるノイズを低減することが可能となる。

40

#### 【0039】

また、銅のための拡散防止膜231、232を有することで、第2のチップに配された銅配線の銅が第1のチップの光電変換素子やFD領域を構成する半導体領域に混入することを抑制することが可能となる。なお、第2の拡散防止膜232は平坦な上面を保っている事が好ましい。それは、第2の拡散防止膜232の上面が接着層233との接着面とな

50

っているためである。

### 【実施例 3】

#### 【0040】

本実施例の固体撮像装置を図 3 を用いて説明する。本実施例の固体撮像装置は、実施例 1 の固体撮像装置 100 に対応し、実施例 1 の固体撮像装置 100 に対して拡散防止膜の形態が異なる。以下、図 3 に示す構成について説明を行う。なお、実施例 1 と等しい構成については説明を省略する。

#### 【0041】

図 3 の固体撮像装置 400 においても、銅のための拡散防止膜 131 が第 1 の配線層の銅配線を覆っている。ここで、拡散防止膜 131 が各配線のパターンに対応して、パターニングされている。拡散防止膜 131 の材料は図 1 と同様である。図 1 の構成に比べて、図 3 のようなパターニングされた拡散防止膜 131 を有することで、さらに配線間および配線層間のカップリング容量を低減することが可能となる。カップリング容量を低減することで、配線間における信号の混入や配線における信号遅延を抑制することが可能となる。

10

#### 【0042】

次に、図 3 に示した固体撮像装置 400 の製造方法を図 5 および図 6 を用いて説明する。まず、図 5 (a) では第 1 の基板 104 となるフォトダイオード形成部材 (以下 PD 形成部材) 501 と第 2 の基板 108 となる回路形成部材 502 とを準備する。PD 形成部材 501 は、P 型半導体領域 116 と絶縁層 503 とを含む。この PD 形成部材 501 は、SOI 基板を使用しており、P 型半導体領域 116 はイオン注入でもエピタキシャル成長によって形成されていてもよい。

20

#### 【0043】

次に、図 5 (b) に示すように、PD 形成部材 501 に、電荷蓄積部 112 や転送ゲート電極 114 等の素子を形成する。この PD 形成部材 501 の転送ゲート電極が配された面が、後の第 1 の基板 104 の主面 105 となる。次に、PD 形成部材 501 の上部に多層配線構造 107 を形成する。まず、電荷蓄積部 112 や転送ゲート電極 114 を覆うシリコン酸化膜からなる第 1 の層間絶縁膜 512 を形成する。その後、第 1 の層間絶縁膜 512 の任意の箇所にタングステンからなるプラグ 511 を形成する。プラグ 511 は、次のように形成する。まず、第 1 の層間絶縁膜 512 にコンタクトホールを形成したのち、コンタクトホールを埋めるようにバリアメタル膜とタングステン膜を形成する。そして、不要な部分のバリアメタル膜とタングステン膜をエッチングや CMP などの技術を用いて除去し、プラグ 511 が形成される。プラグ 511 が形成された後、第 1 の層間絶縁膜 512 とプラグ 511 上に、第 1 の配線層 122 となるアルミニウム配線を形成する。第 1 の配線層 122 は、バリアメタル膜とアルミニウム膜とを積層して形成したのち、それらを所望のパターンにエッチングなどでパターニングすることによって形成される。第 1 の配線層 122 が形成された後、第 1 の層間絶縁膜 512 と第 1 の配線層 122 とを覆うシリコン酸化膜からなる第 2 の層間絶縁膜 513 を形成する。次に、第 2 の層間絶縁膜 513 中にタングステンからなるプラグ 514 を形成する。プラグ 514 の形成方法は、プラグ 511 と同様である。そして、任意の箇所に、第 2 の配線層 123 となるアルミニウム配線を、第 1 の配線層 122 と同様の方法で形成する。そして、第 2 の配線層 123 を覆うシリコン酸化膜からなる第 3 の層間絶縁膜 515 を形成し、第 3 の層間絶縁膜 515 をエッチングや CMP によって平坦化する。この平坦化工程によって、第 2 の配線層 123 の上部を覆う第 3 の層間絶縁膜 515 を除去し、第 2 の配線層 123 の上面を露出させる。ここで、第 2 の配線層 123 の上面と第 3 の層間絶縁膜 515 の上面とが同一面を有する。このようにして、多層配線構造 107 が構成される。

30

40

#### 【0044】

また、図 5 (b) において、回路形成部材 502 には、ウエル 124 を形成し、増幅トランジスタを含むトランジスタ等の回路を形成する。そして、回路形成部材 502 の上部に多層配線構造 111 を形成する。まず、トランジスタのソース領域およびドレイン領域

50



125やゲート電極126などを覆う、シリコン酸化膜からなる第1の層間絶縁膜506を形成する。その後、第1の層間絶縁膜506の任意の箇所にはタングステンからなるプラグ505を形成する。プラグ505の形成方法は、プラグ509と同様である。次に、第1の層間絶縁膜506とプラグ505とを覆う、シリコン酸化膜からなる第2の層間絶縁膜507を形成する。ここで、第2の層間絶縁膜507はシリコンナイトライドや有機系絶縁膜でもよく、これらの膜とシリコン酸化膜との積層膜であってもよい。この第2の層間絶縁膜507の任意の箇所には第1の配線層128となる溝(トレンチ)を形成する。次に、溝を埋めるようにバリアメタル膜と銅の膜を積層して形成した後、不要部分のバリアメタル膜と銅の膜をCMPによって除去し、平坦化する。その後、第2の層間絶縁膜507と溝に配されたバリアメタルと銅を覆う、銅のための拡散防止膜となる例えばシリコンナイトライドの膜を形成する。シリコンナイトライドの膜の底面が溝の表面、つまり、銅配線のパターンの表面全体を覆うように、シリコンナイトライドの膜をパターニングし、銅のための拡散防止膜131が形成される。次に、第2の層間絶縁膜507と拡散防止膜131とを覆う、例えばシリコン酸化膜からなる第3の層間絶縁膜508を形成する。そして、この第3の層間絶縁膜508の任意の箇所には第1の配線層と第2の配線層とを接続するためのタングステンからなるプラグ510を形成する。そして、アルミニウム配線からなる第2の配線層129を形成し、第2の配線層129を覆う、シリコン酸化膜からなる第4の層間絶縁膜509を形成する。そして、接続部のために第4の層間絶縁膜509を第2の配線層129の上面が露出するようにエッチングやCMPによって除去する。第2の配線層129の上面と第4の層間絶縁膜509の上面とが同一の面を構成する。このようにして、多層配線構造111が構成される。

10

20

#### 【0045】

次に、図6(c)において、回路形成部材502の上下を反転させ、後の第2の基板の主面109と後の第1の基板の主面105とを対向させて配置し、例えば、マイクロポンプを設けて接合する。

#### 【0046】

最後に、図6(d)に示すように、PD形成部材501の不要部分504および絶縁層503をCMPやエッチングなどによって除去し、PD形成部材501の薄膜化をはかり、第1基板104を形成する。その後、第1の基板104の裏面106の上部にシリコンナイトライドなどからなる反射防止膜118を形成する。反射防止膜118の形成後に、反射防止膜118の上部に、タングステン膜を形成しパターニングをすることで、遮光膜119を形成する。その後、平坦化層やカラーフィルタ層120を形成し、マイクロレンズ121を形成する。このような製造方法によって、図3に示した固体撮像装置400を製造することが可能である。

30

#### 【0047】

本実施例の固体撮像装置によれば、実施例1に比べて信号の読み出し動作の高速化および配線のカップリング低減が可能となる。

#### 【実施例4】

#### 【0048】

本実施例の固体撮像装置を図4を用いて説明する。本実施例の固体撮像装置は、実施例2の固体撮像装置200に対応する構成であり、実施例2の固体撮像装置に比べて拡散防止膜を有する点が異なる。以下、図4に示す構成について説明を行う。なお、実施例2など他の実施例と等しい構成については説明を省略する。

40

#### 【0049】

図4の固体撮像装置500においても、実施例3と同様に、銅のための第1の拡散防止膜231と第2の拡散防止膜232が、各配線層の配線のパターンに対応してパターニングされている。拡散防止膜231、232の材料は図3と同様である。このようにパターニングされた拡散防止膜231、232を有することで、更に、配線間および配線層間のカップリング容量を低減することが可能となる。カップリング容量を低減することで、配線間における信号の混入や配線における信号遅延を抑制することが可能となる。

50

## 【 0 0 5 0 】

次に、図 4 に示した固体撮像装置 5 0 0 の製造方法を図 7 から図 9 を用いて説明する。まず、図 7 ( a ) において、第 1 の基板 2 0 4 とするフォトダイオード形成基板 ( 以下、P D 形成部材 ) 7 0 1 と、第 2 の基板 2 0 8 とする回路形成部材 7 0 2 とを準備する。P D 形成部材 7 0 1 は、P 型半導体領域 2 1 6 と絶縁層 7 0 3 とが配されている。P D 形成部材 7 0 1 は、S O I 基板を使用しており、P 型半導体領域 2 1 6 はイオン注入でもエピタキシャル成長によって形成されていてもよい。回路形成部材 7 0 2 は、絶縁層 2 3 4 が配されている。回路形成部材 7 0 2 は、S O I 基板を使用している。

## 【 0 0 5 1 】

次に、図 7 ( b ) の P D 形成部材 7 0 1 において、ウエル 2 1 5 や電荷蓄積部 2 1 2 や転送ゲート電極 2 1 4 等の素子を形成する。この P D 形成部材 7 0 1 の転送ゲート電極が配された面が、後の第 1 の基板 2 0 4 の主面 2 0 5 となる。そして、P D 形成部材 7 0 1 の上部に多層配線構造 2 0 7 を形成する。多層配線構造 2 0 7 は、アルミニウム配線の第 1 および第 2 の配線層の他に、第 1 の層間絶縁膜 7 0 9 と、プラグ 7 1 0 と、第 2 の層間絶縁膜 5 1 1 と、プラグ 7 1 2 と、第 3 の層間絶縁膜 7 1 3 を含む。多層配線構造の形成方法については、実施例 3 と同様である。

## 【 0 0 5 2 】

また、図 7 ( b ) において、回路形成部材 7 0 2 には、ウエル 2 2 4 を形成し、増幅トランジスタを含むトランジスタ等の回路を形成する。そして、回路形成部材 7 0 2 の上部には多層配線構造 2 1 1 を形成する。図 7 ( b ) において多層配線構造 2 1 1 は、第 1 の層間絶縁膜 7 0 6 、プラグ 7 0 7 、第 2 の層間絶縁膜 7 0 8 、銅配線からなる第 1 の配線層 2 2 8 、第 1 の拡散防止膜 2 3 1 、第 3 の層間絶縁膜 7 0 9 を有する。これらの形成方法については、実施例 3 の各配線層やプラグと同様に形成可能であり、説明を省略する。

## 【 0 0 5 3 】

次に、図 8 ( c ) において、回路形成部材 7 0 2 の第 3 の層間絶縁膜 7 0 9 の上部に、接着層 7 1 4 と支持基板 7 1 5 とを形成する。そして、回路形成部材 7 0 2 の不要部分 7 0 4 をエッチングや C M P など除去し、後の第 2 の基板 2 0 8 の裏面 2 1 0 を露出させる。その後、第 2 の基板 2 0 8 の裏面 2 1 0 と第 1 の基板 2 0 4 の表面 2 0 5 とが対向するように、回路形成部材 7 0 2 と P D 形成部材 7 0 1 とを貼り合わせる。そして、接着層 7 1 4 と支持基板 7 1 5 を除去する。

## 【 0 0 5 4 】

次に、図 8 ( d ) において、第 1 の基板 2 0 4 との導通を取るための貫通電極 2 3 5 を形成する。この貫通電極 2 3 5 の製造方法については、一般の半導体プロセスが利用できる。そして、第 3 の層間絶縁膜 7 0 9 の任意の箇所に第 1 の配線層と第 2 の配線層とを接続するためのプラグと、第 2 の配線層 2 2 9 のための溝を形成する。溝を形成した後は、第 1 の配線層 2 2 8 の形成方法と同様である。このプラグおよび第 2 の配線層 2 2 9 の形成方法はいわゆるデュアルダマシンプロセスである。デュアルダマシンプロセスの銅配線からなる第 2 の配線層 2 2 9 を形成したのち、第 2 の拡散防止膜 2 3 2 を形成する。第 2 の拡散防止膜 2 3 2 も第 1 の拡散防止膜 2 3 1 と同様に、シリコンナイトライド等の膜を第 2 の配線層 2 2 9 上に形成した後、第 2 の配線層 2 2 9 の配線のそれぞれを覆うようにパターニングされ、第 2 の拡散防止膜 2 3 2 が形成される。第 2 の拡散防止膜 2 3 2 を覆う、例えばシリコン酸化膜からなる第 4 の層間絶縁膜 7 1 6 を形成し、平坦化処理を行う。第 4 の層間絶縁膜 7 1 6 は保護膜を兼ねるシリコンナイトライドの膜などであってもよい。

## 【 0 0 5 5 】

次に、図 9 ( e ) において、第 4 の層間絶縁膜 7 1 6 の上部に接着層 2 3 3 と支持基板 2 3 4 を設ける。そして、P D 形成部材 7 0 1 の不要部分 7 0 5 をエッチングや C M P などによって除去し、第 1 の基板 2 0 4 が形成される。その後、第 1 の基板 2 0 4 の裏面 2 0 6 の上部に例えばシリコンナイトライドからなる反射防止膜 2 1 8 を形成する。その後、反射防止膜 2 1 8 の上部に例えばタンゲステンからなる遮光膜 2 1 9 を形成する。更に、遮光膜 2 1 9 の上部に平坦化層やカラーフィルタ層 1 2 0 を形成し、マイクロレンズ 1

10

20

30

40

50

21を形成する。以上の製造方法によって、図4に示す固体撮像装置500が形成できる。

【0056】

本実施例の固体撮像装置によれば、実施例2に比べて信号の読み出し動作の高速化および配線のカップリング低減が可能となる。

【実施例5】

【0057】

本実施例の固体撮像装置を図10を用いて説明する。図10に示す本実施例の固体撮像装置600は実施例3の固体撮像装置400に対応する構成であり、固体撮像装置700は実施例4の固体撮像装置500に対応する構成である。本実施例では、銅のための拡散防止膜を更に第1のチップが有する構成が特徴である。以下、実施例3あるいは実施例4と等しい構成については説明を省略する。

【0058】

図10(a)に示す固体撮像装置600においては、固体撮像装置400に加えて第3の拡散防止膜801が第1のチップ101の多層配線構造107に設けられている。具体的には、第2の配線層123の上面と第3の拡散防止膜801の上面とで同一面を形成し、第1の基板104の全面を覆うように配されている。この拡散防止膜801を有することで、第2のチップ102からの銅の拡散をより低減することが可能となる。更に、図10(a)では、第1の配線層128に加えて第2の配線層129も銅配線からなる。具体的には、第2の配線層129は、第1の配線層128と第2の配線層129とを接続するためのプラグと第2の配線層129とが一体となったデュアルダマシン構造である。このような場合においても、接続部311において露出した第2の配線層129の銅の拡散を抑制することが可能となる。

【0059】

なお、この第3の拡散防止膜801は多層配線構造107に含まれていれば、どの位置に配されていても同一の効果を有する。また、第3の拡散防止膜801は、第1の基板104の全面を覆っていても銅の拡散の効果は有するが、第1の基板の全面を覆っていることが好ましい。そして、第3の拡散防止膜801は、第2の基板108上に高融点金属化合物層136が配されている場合に、高融点金属のための拡散防止膜としても機能することが可能である。

【0060】

次に、図10(b)に示す固体撮像装置700においては、固体撮像装置500に加えて、第3の拡散防止膜901が、第1のチップ201の多層配線構造207に設けられている。具体的には、第2の配線層223を覆って第3の拡散防止膜901が設けられている。このような構成にすることで、銅が第2の基板208の内部を拡散してきた場合においても、第1の基板204の光電変換素子等への銅の拡散を抑制することが可能となる。

【0061】

なお、第3の拡散防止膜901は、多層配線構造207のどこに配置されていてもよいが、第2の配線層223の上部に配されている構成は配線層間のカップリング容量を低減することが出来るため好ましい。また、第2の基板208上に高融点金属化合物層136が配されている場合には、高融点金属が第2の基板208の内部を拡散してきた場合においても、第3の拡散防止膜901によって第1の基板204の光電変換素子等への高融点金属の拡散を抑制することが可能となる。

【実施例6】

【0062】

本実施例では、本発明の光電変換装置を撮像装置として撮像システムに適用した場合について詳述する。撮像システムとして、デジタルスチルカメラやデジタルカムコーダーなどがあげられる。図12に、撮像システムの例としてデジタルスチルカメラに光電変換装置を適用した場合のブロック図を示す。

【0063】

図 12 において、1 はレンズの保護のためのバリア、2 は被写体の光学像を撮像装置 4 に結像させるレンズ、3 はレンズ 2 を通った光量を可変するための絞りである。4 は上述の各実施例で説明した固体撮像装置である撮像装置である。撮像装置 4 は、レンズ 2 により結像された光学像を画像データとして変換する。ここで、撮像装置 4 には A/D 変換器が配され、具体的には第 2 のチップに A/D 変換器が形成されている。7 は撮像装置 4 より出力された撮像データに各種の補正やデータを圧縮する信号処理部である。そして、図 12 において、8 は撮像装置 4 および信号処理部 7 に、各種タイミング信号を出力するタイミング発生部、9 は各種演算とデジタルスチルカメラ全体を制御する全体制御・演算部である。10 は画像データを一時的に記憶する為のメモリ部、11 は記録媒体に記録または読み出しを行うためのインターフェース部、12 は撮像データの記録または読み出しを行う為の半導体メモリ等の着脱可能な記録媒体である。そして、13 は外部コンピュータ等と通信する為のインターフェース部である。ここで、タイミング信号などは撮像システムの外部から入力されてもよく、撮像システムは少なくとも撮像装置 4 と、撮像装置から出力された撮像信号を処理する信号処理部 7 とを有すればよい。本実施例では、撮像装置 4 に A/D 変換器が設けられている場合を説明したが、撮像装置と A/D 変換器とが別のチップであってもよい。また、撮像装置 4 に信号処理部 7 などが設けられていてよい。

10

#### 【0064】

以上のように、本発明の光電変換装置を撮像システムに適用することが可能である。本発明の光電変換装置を撮像システムに適用することにより、高品質な画像の取得が可能となる。

20

#### 【0065】

以上述べてきたように、本発明の固体撮像装置によって、微細化が可能で、光電変換素子での暗電流を低減することが可能となる。各実施例は説明した構成に限定されず、また各実施例は適宜組み合わせ可能である。

#### 【産業上の利用可能性】

#### 【0066】

本発明は、デジタルスチルカメラやデジタルカムコーダーなどの撮像システムに用いられる固体撮像装置に適用可能である。

#### 【符号の説明】

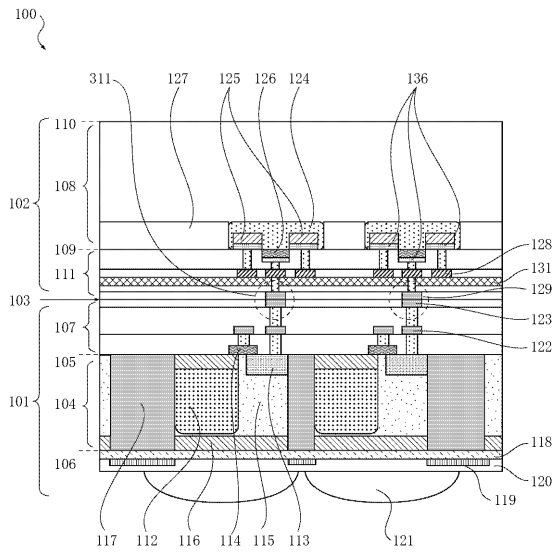
#### 【0067】

30

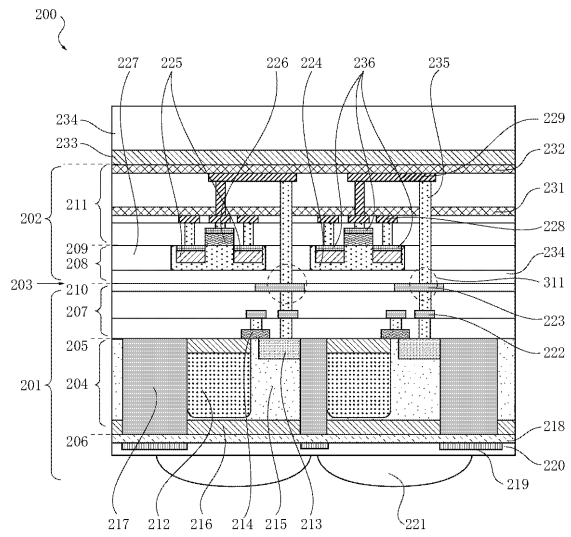
- 101 第 1 のチップ
- 102 第 2 のチップ
- 103 接合面
- 104 第 1 の基板
- 107 多層配線構造
- 108 第 2 の基板
- 111 多層配線構造
- 112 光電変換素子
- 124 ウエル
- 125 増幅トランジスタのソース・ドレイン領域
- 126 増幅トランジスタのゲート電極
- 131 拡散防止膜

40

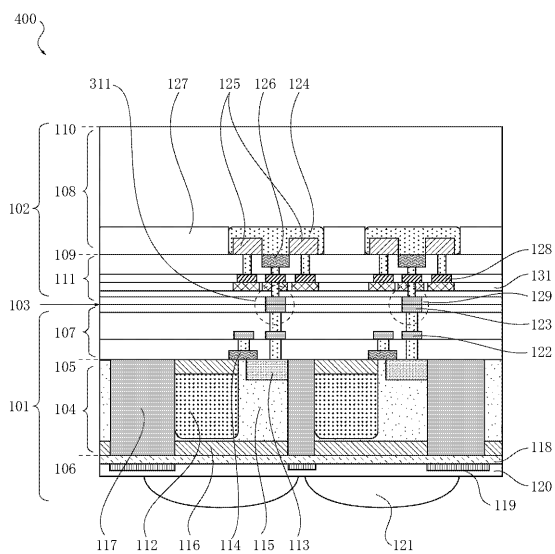
【図 1】



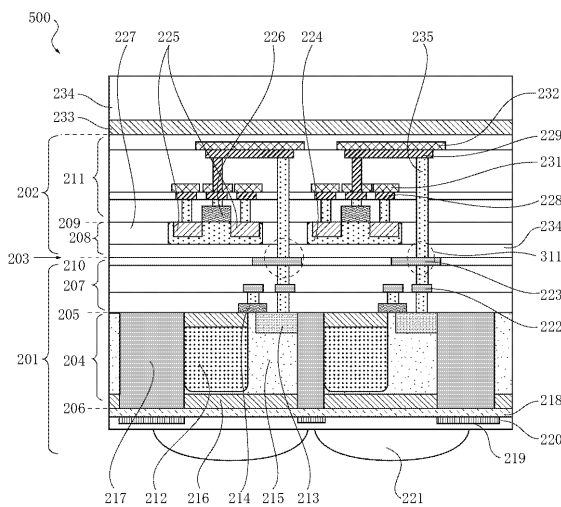
【図 2】



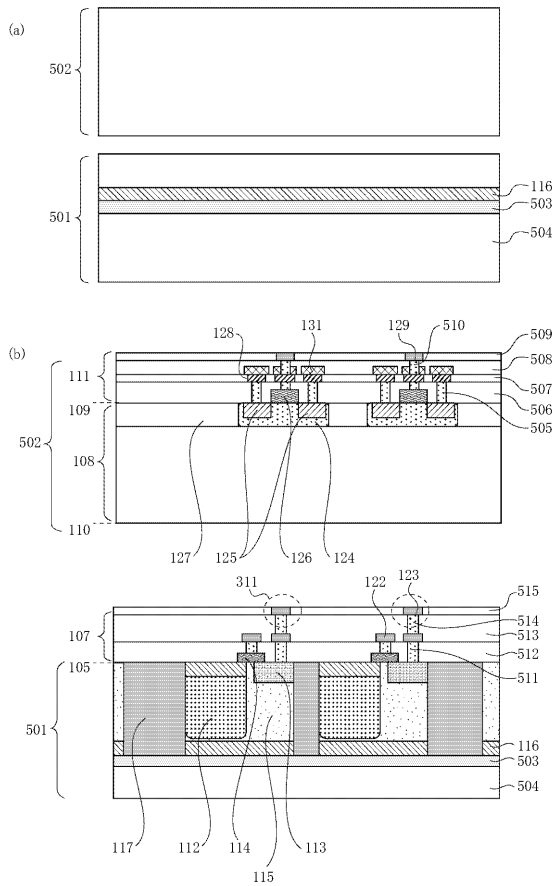
【図 3】



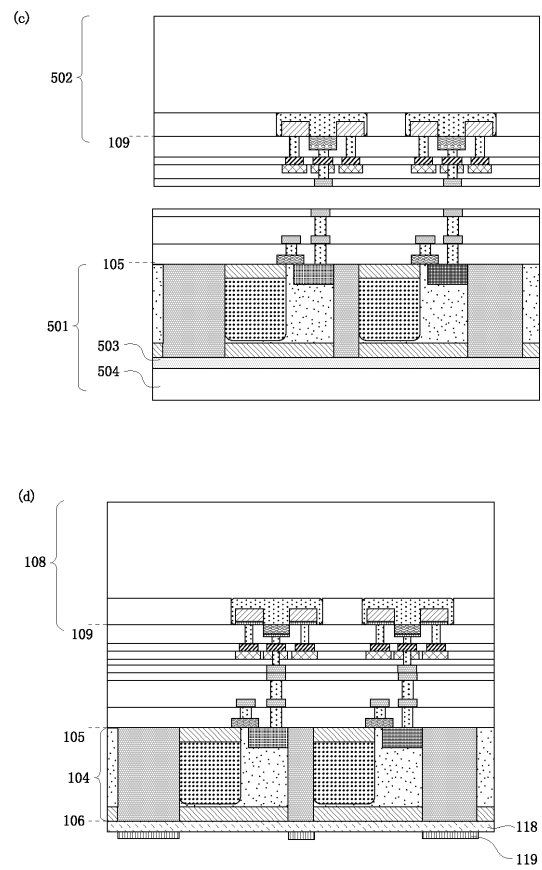
【図 4】



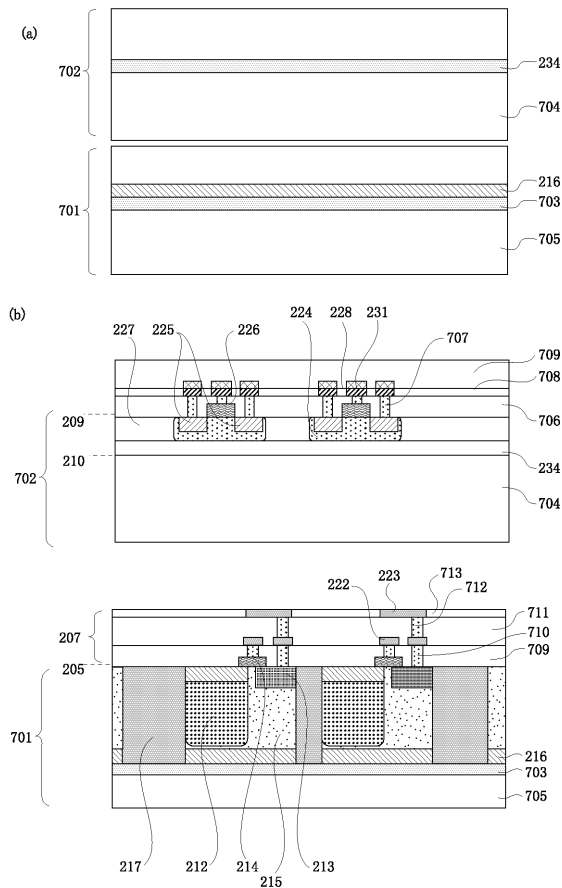
【図 5】



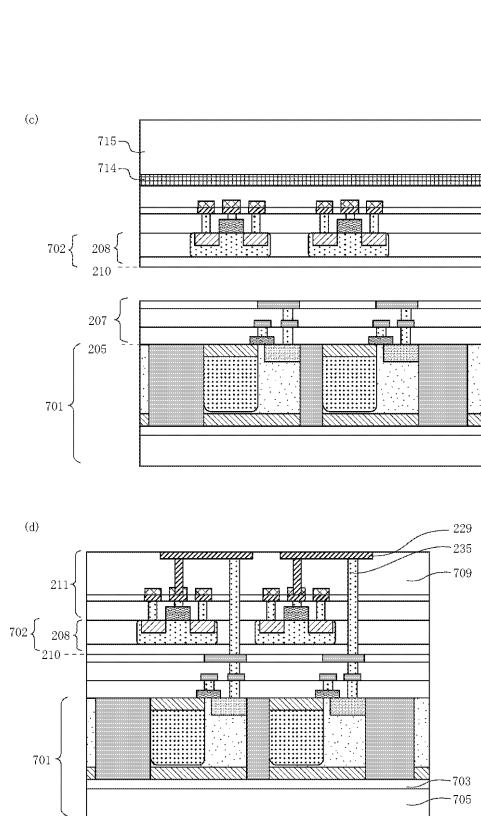
【図 6】



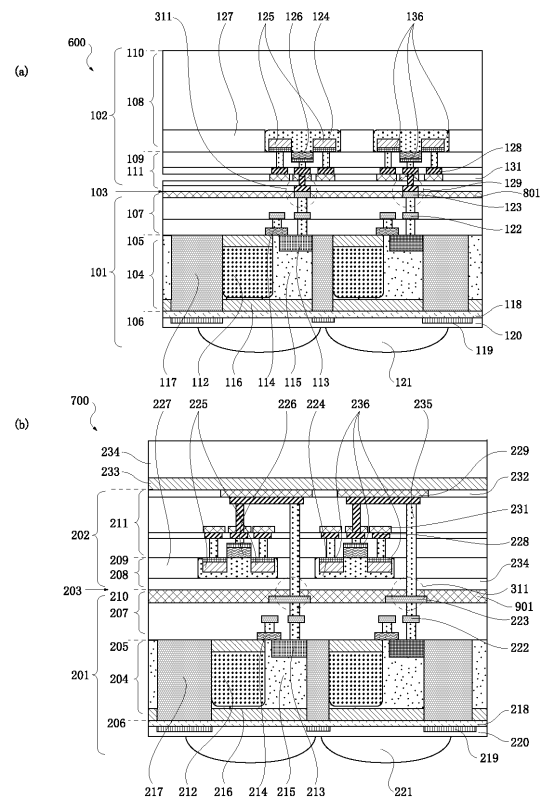
【図 7】



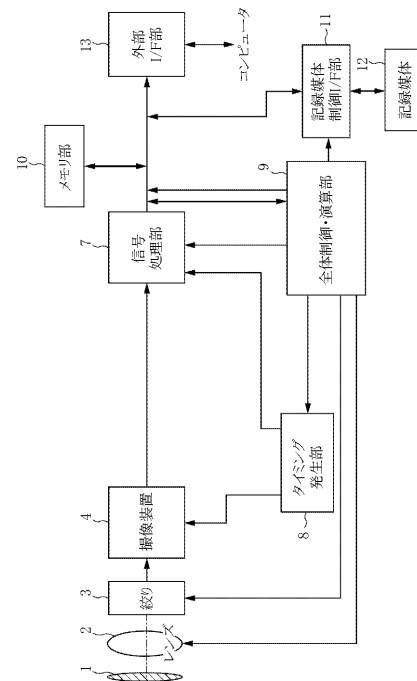
【図 8】



【 図 1 0 】



【 図 1 2 】



---

フロントページの続き

- (72)発明者 山崎 和男  
東京都大田区下丸子3丁目30番2号キヤノン株式会社内
- (72)発明者 渡辺 杏平  
東京都大田区下丸子3丁目30番2号キヤノン株式会社内
- (72)発明者 市川 武史  
東京都大田区下丸子3丁目30番2号キヤノン株式会社内

審査官 小川 将之

- (56)参考文献 特開2008-130603(JP,A)  
特開2009-170448(JP,A)  
特開2006-210582(JP,A)  
特開2009-111059(JP,A)  
特開2006-191081(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
H01L 27/146