

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 21/28		(45) 공고일자 (11) 등록번호 (24) 등록일자	1998년 12월 01일 특0150488 1998년 06월 15일
(21) 출원번호 (22) 출원일자	특 1994-032663 1994년 12월 03일	(65) 공개번호 (43) 공개일자	특 1996-026154 1996년 07월 22일
(73) 특허권자	재단법인 한국전자통신연구소 양승택 대전직할시 유성구 가정동 161번지 한국전기통신공사 조백제 서울특별시 종로구 세종로 100번지		
(72) 발명자	이수민 대전직할시 유성구 가정동 161 조덕호 대전직할시 유성구 가정동 161 한태현 대전직할시 유성구 가정동 161 이성현 대전직할시 유성구 가정동 161 염병렬 대전직할시 유성구 가정동 161 강진영 대전직할시 유성구 가정동 161 김영길, 원혜중, 김명섭		
(74) 대리인	김영길, 원혜중, 김명섭		

심사관 : 홍성표

(54) 쌍극자 트랜지스터용 콜렉터 제조방법

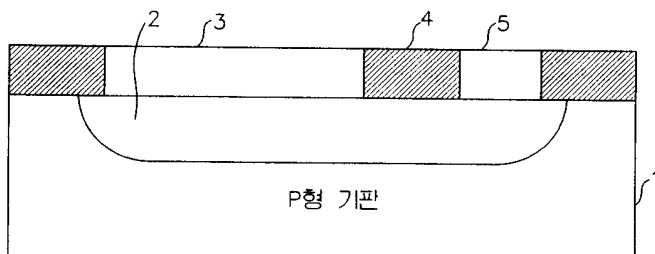
요약

본 발명은 컴퓨터나 통신기기 등의 차세대 고속 정보처리 시스템에 널리 이용되고 있는 고속 쌍극자 트랜지스터의 제조방법에 관한 것으로서, 특히 콜렉터 전극인 매몰층을 저항이 매우 낮은 금속 실리콘사이드 박막으로 형성하는 쌍극자 트랜지스터용 콜렉터 제조방법에 관한 것이다.

구체적으로 상술한 바와같이 구성된 본 발명은 서브콜렉터를 저항이 매우 낮은 금속성 박막을 이용함으로써 콜렉터 기생저항을 극소화시켜 초고주파 응답특성이 매우 우수한 쌍극자 트랜지스터의 제작을 가능하게 하였고, 또한, 실리콘 콜렉터를 기존의 LOCOS방법이 아닌 식각에 의하여 정의하고 절연막을 형성함으로써, 소자의 크기를 줄여 집적도를 크게 증가시킬 수 있는 쌍극자 트랜지스터용 콜렉터의 제조가 가능하게 되었다.

상기와 같은 결과로 인하여 고속 정보처리 및 저전력을 요하는 고속 컴퓨터 및 통신기기 등 정보처리 시스템에서 실리콘 쌍극자 트랜지스터의 한계를 대폭 확장시켜서 실리콘 쌍극자 트랜지스터의 응용범위가 화합물 고속소자의 영역까지 확장하게 되었다.

대표도



명세서

[발명의 명칭]

쌍극자 트랜지스터용 콜렉터 제조방법

실리사이드 매몰층을 이용하여 쌍극자 트랜지스터용 콜렉터를 완성한다.

제3f도에서는 상기 제3e도의 공정 후에 절연막(24)을 제거하는 공정이다.

따라서 이상 설명한 바와 같은 본 발명에 따른 제조방법에 의하여 쌍극자 트랜지스터용 콜렉터를 형성하였을 경우, 저항이 매우 낮은 금속성 실리사이드 박막(26)을 이용하여 서브콜렉터(22)의 크기를 줄임으로써 콜렉터 기생저항을 극소화시켜 초고주파 응답 특성이 매우 우수한 쌍극자 트랜지스터의 제작이 가능하며, 또한 실리콘 콜렉터를 기존의 실리콘의 국부산화(Local Oxidation of Silicon, 이하 LOCOS라 칭함) 방법이 아닌 식각에 의하여 정의하고, 절연막을 형성함으로써 소자의 크기를 줄여 집적도를 크게 증가시킬 수 있는 장점이 있다.

(57) 청구의 범위

청구항 1

쌍극자 트랜지스터용 콜렉터의 제조방법에 있어서, 실리콘 기판(21)에 고농도의 불순물이 주입된 서브콜렉터(22)와 실리콘 콜렉터(23) 및 절연막(24)을 순차적으로 형성하는 제1공정과; 상기 절연막(24) 및 상기 실리콘 콜렉터(23)를 패터닝(patterning)하여 상기 서브콜렉터(22) 위에 활성영역을 정의한 후, 상기 실리콘 콜렉터(23)의 양측면에 측벽막(25)을 형성하는 제2공정과; 고융점 금속박막을 증착하고 열처리하여 상기 서브콜렉터(22)상의 정의된 활성영역 이외의 영역에만 선택적으로 실리사이드(26)를 형성시킨 후, 상기 측벽막(25)과 상기 절연막(24) 위에 잔류하는 금속박막을 제거하는 제3공정과; 상기 기판 상부의 전면을 충분히 피복할 수 있을 정도의 두께로 산화막(27)을 도포하는 제4공정과; 상기 산화막(27)을 평탄화하고 상기 절연막(24)을 제거하는 제5공정으로 구성되어 콜렉터 기생저항을 크게 줄여 초고주파 응답특성이 우수한 쌍극자 트랜지스터용 콜렉터 제조방법.

청구항 2

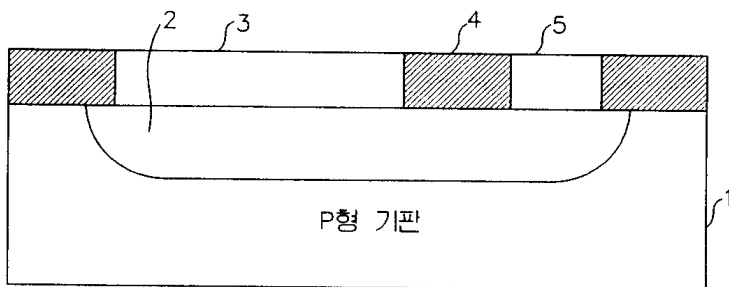
제1항에 있어서, 상기 제2공정에서의 상기 고융점 금속 박막은 티타늄(Ti), 텅스텐(W), 몰리브덴(Mo), 코발트(Co), 탄탈륨(Ta), 지르코늄(Zr), 바나듐(V), 니오븀(Nb) 및 크롬(Cr) 중의 어느 하나로 구성된 것을 사용하여 선택적 금속 실리사이드(26)를 형성하는 것을 특징으로 하는 쌍극자 트랜지스터용 콜렉터 제조방법.

청구항 3

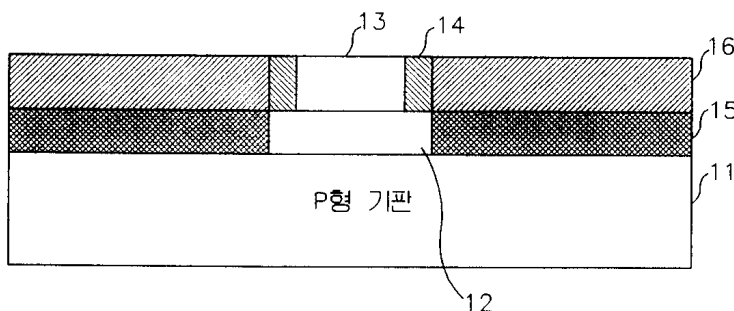
제1항에 있어서, 상기 측벽막(25)을 형성하는 제2공정에 있어서 단층구조의 질화막(Si_3N_4) 대신 산화막(SiO_2)/질화막 혹은 산화막/질화막/산화막과 같은 다층구조를 이용하여 상기 측벽막(25)을 형성할 수 있는 것을 특징으로 하는 쌍극자 트랜지스터용 콜렉터 제조방법.

도면

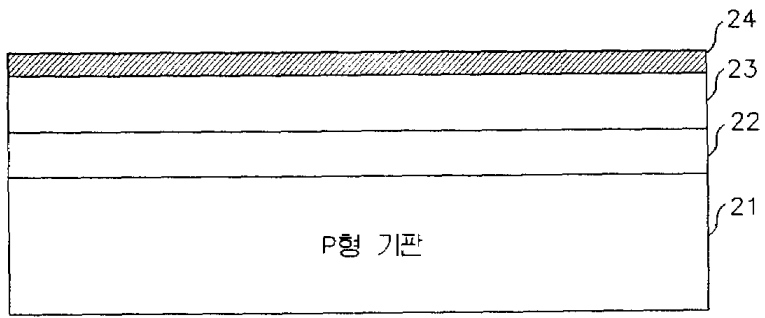
도면1



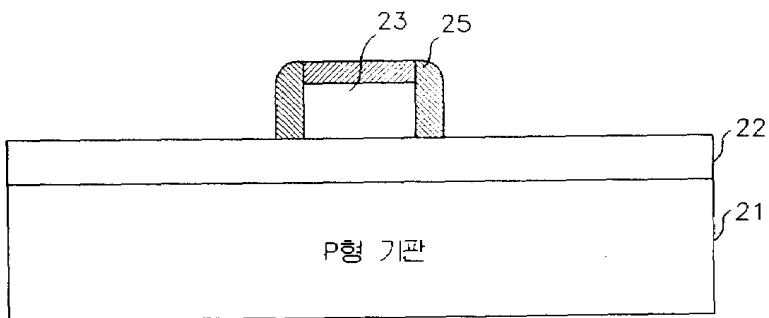
도면2



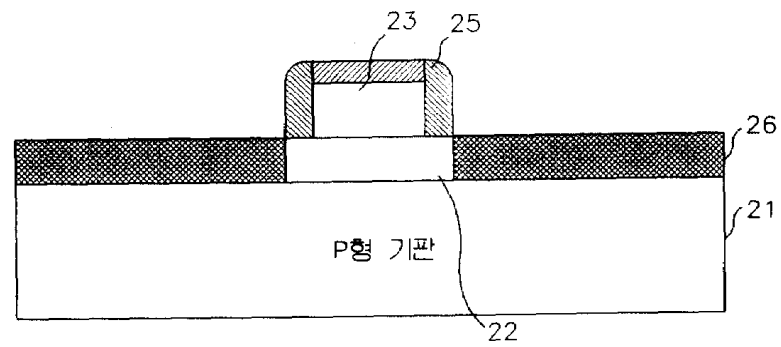
도면3a



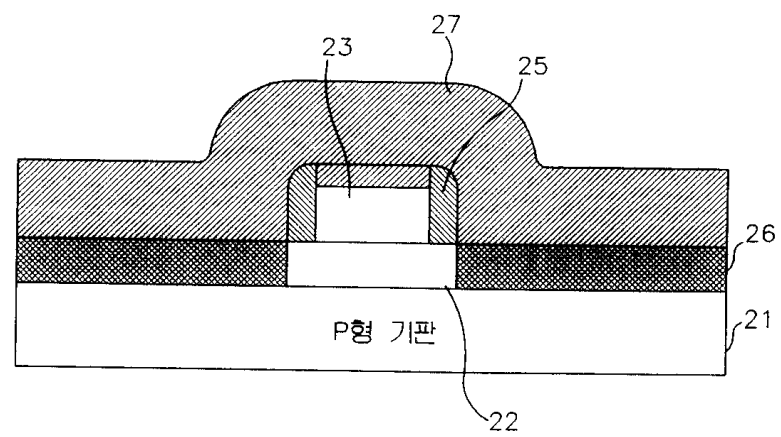
도면3b



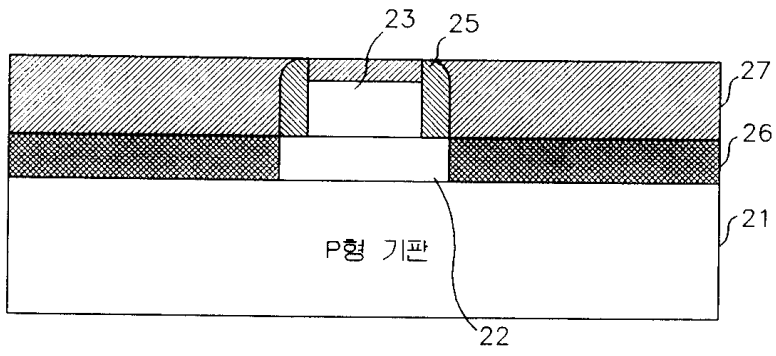
도면3c



도면3d



도면3e



도면3f

