

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-215899

(P2012-215899A)

(43) 公開日 平成24年11月8日(2012.11.8)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 621M	5C006
G02F 1/133 (2006.01)	G09G 3/20 622E	5C080
	G09G 3/20 622F	
	G09G 3/20 641C	
審査請求 有 請求項の数 12 O L (全 48 頁) 最終頁に続く		

(21) 出願番号	特願2012-146786 (P2012-146786)	(71) 出願人	000006013
(22) 出願日	平成24年6月29日 (2012. 6. 29)		三菱電機株式会社
(62) 分割の表示	特願2007-264198 (P2007-264198) の分割	(74) 代理人	100088672 弁理士 吉竹 英俊
原出願日	平成19年10月10日 (2007.10.10)	(74) 代理人	100088845 弁理士 有田 貴弘
		(72) 発明者	飛田 洋一 東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内
		Fターム(参考)	2H193 ZA04 ZA07 ZC25 ZC30 ZD23 ZF23 ZF44 ZH45 ZH52 5C006 AA16 AA22 AF22 AF59 BB16 BF03 EB05
			最終頁に続く

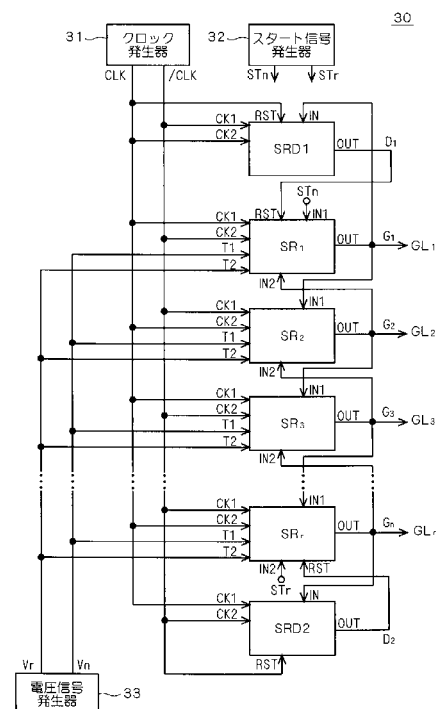
(54) 【発明の名称】 ゲート線駆動回路

(57) 【要約】

【課題】 1種類のスタート信号のみを用いて動作可能な双方向シフトレジスタにおいて、それを構成するトランジスタのしきい値電圧シフトに起因する誤動作の発生を抑制する。

【解決手段】 ゲート線駆動回路は、ゲート線を駆動する多段のシフトレジスタと、その前段および後段にそれぞれ設けられたダミー段SRD1、SRD2とを備える。ダミー段SRD1は、順方向走査時には信号を出力せず、逆方向走査時には、最前段の単位シフトレジスタSR₁の出力信号G₁に応じて第1ダミー信号D₁を出力し、ダミー段SRD2は、逆方向走査時には信号を出力せず、順方向走査時には、最後段の単位シフトレジスタSR_nの出力信号G_nに応じて第2ダミー信号D₂を出力する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

表示パネルのゲート線を駆動し、信号のシフト方向を変更可能な多段のシフトレジスタと、

前記多段のシフトレジスタの最前段のさらに前段に設けられたダミーのシフトレジスタである第 1 ダミー段と、

前記多段のシフトレジスタの最後段のさらに次段に設けられたダミーのシフトレジスタである第 2 ダミー段と

を備えるゲート線駆動回路であって、

前記第 1 ダミー段は、

10

前記最前段から前記最後段へ向けて信号をシフトさせる順方向走査時には信号を出力せず、前記最後段から前記最前段へ向けて信号をシフトさせる逆方向走査時には、前記最前段の出力信号に応じて第 1 ダミー信号を出力し、

前記第 2 ダミー段は、

前記逆方向走査時には信号を出力せず、前記順方向走査時には、前記最後段の出力信号に応じて第 2 ダミー信号を出力し、

前記第 1 ダミー信号は、

前記逆方向走査時に、前記最前段の動作を終了させるエンド信号として用いられ、

前記第 2 ダミー信号は、

前記順方向走査時に、前記最後段の動作を終了させるエンド信号として用いられることを特徴とするゲート線駆動回路。

20

【請求項 2】

請求項 1 記載のゲート線駆動回路であって、

前記第 1 ダミー信号は、

前記逆方向走査時において、前記多段のシフトレジスタの各段の出力信号の各々と、出力される頻度およびパルス幅が同じであり、

前記第 2 ダミー信号は、

前記順方向走査時において、前記多段のシフトレジスタの各段の出力信号の各々と、出力される頻度およびパルス幅が同じである

ことを特徴とするゲート線駆動回路。

30

【請求項 3】

請求項 1 または請求項 2 記載のゲート線駆動回路であって、

第 1 および第 2 ダミー段の各々は、

第 1 入力端子、第 1 出力端子、第 1 クロック端子および第 1 リセット端子と、

前記第 1 クロック端子に入力される第 1 クロック信号を前記第 1 出力端子に供給する第 1 トランジスタと、

前記第 1 出力端子を放電する第 2 トランジスタと、

前記第 1 入力端子に接続した制御電極を有し、前記第 1 トランジスタの制御電極が接続する第 1 ノードを充電する第 3 トランジスタと、

前記第 1 リセット端子に接続した制御電極を有し、前記第 1 ノードを放電する第 4 トランジスタとを備え、

40

前記第 2 ダミー段においては、

前記第 3 トランジスタの一方の主電極は前記第 1 ノードに接続し、他方の主電極には前記順方向走査が行われる間活性化される第 1 電圧信号が供給され、

前記第 1 入力端子には、前記最後段の出力信号が入力されており、

前記第 1 ダミー段においては、

前記第 3 トランジスタの一方の主電極は前記第 1 ノードに接続し、他方の主電極には前記逆方向走査が行われる間活性化される第 2 電圧信号が供給され、

前記第 1 入力端子には、前記最前段の出力信号が入力されている

ことを特徴とするゲート線駆動回路。

50

【請求項 4】

請求項 3 記載のゲート線駆動回路であって、
前記第 1 および第 2 ダミー段の各々において、
前記第 4 トランジスタは、前記第 1 ノードと前記第 1 入力端子との間に接続し、
前記第 1 リセット端子には、前記第 1 クロック信号とは位相の異なる第 2 クロック信号
が入力される
ことを特徴とするゲート線駆動回路。

【請求項 5】

請求項 3 または請求項 4 記載のゲート線駆動回路であって、
前記第 1 および第 2 ダミー段の各々は、前記第 2 トランジスタを 2 つ備え、
前記第 1 ダミー段においては、
前記第 1 ダミー信号を出力しない期間、前記 2 つの第 2 トランジスタが所定の周期で交
互にオン状態になり、
前記第 2 ダミー段においては、
前記第 2 ダミー信号を出力しない期間、前記 2 つの第 2 トランジスタが所定の周期で交
互にオン状態になる
ことを特徴とするゲート線駆動回路。

【請求項 6】

請求項 5 記載のゲート線駆動回路であって、
前記所定の周期は、前記第 1 クロック信号の周期に対応している
ことを特徴とするゲート線駆動回路。

【請求項 7】

請求項 5 記載のゲート線駆動回路であって、
前記所定の周期は、当該ゲート線駆動回路の動作周期あるいはその整数倍に対応してい
る
ことを特徴とするゲート線駆動回路。

【請求項 8】

請求項 3 から請求項 7 のいずれか記載のゲート線駆動回路であって、
前記多段のシフトレジスタの各段は、
第 2 および第 3 入力端子、並びに第 2 出力端子および第 2 クロック端子と、
前記第 1 および第 2 電圧信号がそれぞれ入力される第 1 および第 2 電圧信号端子と、
前記第 2 クロック端子に入力される第 3 クロック信号を前記第 2 出力端子に供給する第
5 トランジスタと、
前記第 2 出力端子を放電する第 6 トランジスタと、
前記第 2 入力端子に接続した制御電極を有し、前記第 1 電圧信号を前記第 5 トランジス
タの制御電極が接続する第 2 ノードに供給する第 7 トランジスタと、
前記第 3 入力端子に接続した制御電極を有し、前記第 2 電圧信号を前記第 2 ノードに供
給する第 8 トランジスタとを備え、
前記多段のシフトレジスタのうち前記最前段および最後段はさらに、
第 2 リセット端子と、
前記第 2 リセット端子に接続した制御電極を有し、前記第 2 ノードを放電する第 9 トラ
ンジスタとをさらに備える
ことを特徴とするゲート線駆動回路。

【請求項 9】

請求項 8 記載のゲート線駆動回路であって、
前記多段のシフトレジスタのうち最前段および最後段を除く中間段では、
前記第 2 入力端子は、自己の前段の前記第 2 出力端子に接続され、
前記第 3 入力端子は、自己の次段の前記第 2 出力端子に接続されており、
前記最前段では、
前記第 2 入力端子に、順方向走査時に当該最前段の動作を開始させるためのスタート信

10

20

30

40

50

号が入力され、

前記第 3 入力端子は、自己の次段の前記第 2 出力端子に接続され、

前記第 2 リセット端子は、前記第 1 ダミー段の前記第 1 出力端子に接続されており、

前記最後段では、

前記第 2 入力端子は、自己の前段の前記第 2 出力端子に接続され、

前記第 3 入力端子に、順方向走査時に当該最後段の動作を開始させるためのスタート信号が入力され、

前記第 2 リセット端子は、前記第 2 ダミー段の前記第 1 出力端子に接続されていることを特徴とするゲート線駆動回路。

【請求項 10】

10

請求項 8 または請求項 9 記載のゲート線駆動回路であって、

前記第 1 および第 2 ダミー段の各々は、

負荷素子を介して電源が供給されると共に前記第 1 ノードに制御電極が接続したトランジスタにより放電される制御電極を有し、前記第 1 ノードを放電する第 10 トランジスタをさらに備え、

前記多段のシフトレジスタの各段は、

負荷素子を介して電源が供給されると共に前記第 2 ノードに制御電極が接続したトランジスタにより放電される制御電極を有し、前記第 2 ノードを放電する第 11 トランジスタをさらに備え、

前記第 1 および第 2 ダミー段の各々における前記第 1 トランジスタのゲート幅に対する前記第 10 トランジスタのゲート幅の比が、前記多段のシフトレジスタの各段における前記第 5 トランジスタのゲート幅に対する前記第 11 トランジスタのゲート幅の比よりも大きい

20

ことを特徴とするゲート線駆動回路。

【請求項 11】

請求項 8 または請求項 9 記載のゲート線駆動回路であって、

前記第 1 および第 2 ダミー段の各々は、

前記第 1 ノードと前記第 1 出力端子との間に接続した第 1 容量素子をさらに備え、

前記多段のシフトレジスタの各段は、

前記第 2 ノードと前記第 2 出力端子との間に接続した第 2 容量素子をさらに備え、

30

前記第 1 および第 2 ダミー段の各々における前記第 1 トランジスタのゲート幅に対する前記第 1 容量素子の容量値の比が、前記多段のシフトレジスタの各段における前記第 5 トランジスタのゲート幅に対する前記第 2 容量素子の容量値の比よりも大きい

ことを特徴とするゲート線駆動回路。

【請求項 12】

請求項 4 から請求項 9 のいずれか記載のゲート線駆動回路であって、

前記第 1 および第 2 ダミー段の各々は、

第 3 および第 4 リセット端子と、

前記第 3 リセット端子に接続した制御電極を有し、前記第 1 ノードを放電する第 12 トランジスタと、

40

前記第 4 リセット端子に接続した制御電極を有し、前記第 1 ノードを放電する第 13 トランジスタとをさらに備え、

前記第 1 ダミー段においては、

前記第 3 リセット端子に、前記順方向走査時に前記最前段の動作を開始させるためのスタート信号が入力され、

前記第 4 リセット端子に、前記最前段の次段の出力信号が入力されており、

前記第 2 ダミー段においては、

前記第 3 リセット端子に、前記逆方向走査時に前記最後段の動作を開始させるためのスタート信号が入力され、

前記第 4 リセット端子に、前記最後段の前段の出力信号が入力されている

50

ことを特徴とするゲート線駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば画像表示装置の走査線駆動回路などに使用される同一導電型の電界効果トランジスタのみにより構成されるシフトレジスタ回路に関するものであり、特に、信号をシフトさせる向きを反転可能な双方向シフトレジスタに関するものである。

【背景技術】

【0002】

液晶表示装置等の画像表示装置（以下「表示装置」）では、複数の画素が行列状に配列された表示パネルの画素行（画素ライン）ごとにゲート線（走査線）が設けられ、表示信号の1水平期間の周期でそのゲート線を順次選択して駆動することにより表示画像の更新が行われる。そのように画素ラインすなわちゲート線を順次選択して駆動するためのゲート線駆動回路（走査線駆動回路）としては、表示信号の1フレーム期間で一巡するシフト動作を行うシフトレジスタを用いることができる。

【0003】

ゲート線駆動回路に使用されるシフトレジスタは、表示装置の製造プロセスにおける工程数を少なくするために、同一導電型の電界効果トランジスタのみで構成されることが望ましい。このため、N型またはP型の電界効果トランジスタのみで構成されたシフトレジスタおよびそれを搭載する表示装置が種々提案されている。電界効果トランジスタとしては、MOS（Metal Oxide Semiconductor）トランジスタや薄膜トランジスタ（TFT：Thin Film Transistor）などが用いられる。

【0004】

ゲート線駆動回路は複数の段（ステージ）から成るシフトレジスタ（多段のシフトレジスタ）により構成される。即ち、ゲート線駆動回路は、1つの画素ラインすなわち1つのゲート線ごとに設けられた複数のシフトレジスタ回路が縦続接続（カスケード接続）して構成される。本明細書では、多段のシフトレジスタの各段を構成する個々のシフトレジスタ回路を「単位シフトレジスタ」と称する。

【0005】

液晶画素が行列状に配設されたマトリクス型の液晶表示装置において、その表示画像を上下および左右に反転させたり、表示の際の表示順序を変更する等の、表示パターン変更の要望はたびたび生じる。

【0006】

例えば表示反転は、液晶表示装置をOHP（Overhead Projector）用の投影装置に適用し、透過式スクリーンを用いる場合に望まれる。透過式スクリーンを用いる場合には、視聴者から見てスクリーンの裏側から映像を投写するため、スクリーンの表側から投写する場合に対してスクリーン上の映像が反転するためである。また、表示順序の変更は、表示画像がその上から下へ徐々に現れるようにしたり、逆に下から上へ徐々に現れるようにするなどして、棒グラフやヒストグラム等の表示に演出的効果を得たい場合に望まれる。

【0007】

このような表示装置の表示パターン変更を行う手法の一つとして、ゲート線駆動回路における信号のシフト方向（走査方向）を切り換えることが挙げられる。そのため、信号のシフト方向を切り替え可能なシフトレジスタが提案されている（例えば、下記の特許文献1～3）。以下、信号のシフト方向を切り替え可能なシフトレジスタを「双方向シフトレジスタ」と、その各段を「双方向単位シフトレジスタ」とそれぞれ称することもある。

【0008】

特許文献1の図13には、Nチャネル型の電界効果トランジスタのみにより構成されたn段の双方向シフトレジスタが開示されている。この双方向シフトレジスタには、信号のシフト動作の開始および終了を制御する信号として、第1段目の単位シフトレジスタ（RS（1））に第1制御信号（D1）が、第n段目の単位シフトレジスタ（RS（n））に

10

20

30

40

50

第 2 制御信号 (D 2) がそれぞれ入力される。

【0009】

第 1 段目から第 n 段目へ方向に信号をシフトさせる「順方向走査」を行う場合、第 1 制御信号 (D 1) は順方向走査の初段である第 1 段目の動作を開始させるスタート信号 (スタートパルス) となり、第 2 の制御信号 (D 2) は順方向走査の最終段である第 n 段目の動作を停止させるエンド信号 (エンドパルス) となる。また第 n 段目から第 1 段目に向かう方向に信号をシフトさせる「逆方向走査」を行う場合、第 2 の制御信号 (D 2) は逆方向走査の初段である第 n 段目の動作を開始させるスタート信号となり、第 1 の制御信号 (D 1) は逆方向走査の最終段である第 1 段目の動作を停止させるエンド信号となる。

【0010】

このように特許文献 1 の図 1 3 における第 1 および第 2 制御信号 (D 1, D 2) は、互いに異なるタイミングで活性化される 2 種類の信号である。これら第 1 および第 2 制御信号は、ゲート線駆動回路の外部に設けられた駆動制御回路から供給されるが、駆動制御回路から供給される信号の数は、表示装置のコスト低減の観点からできるだけ少ないことが好ましい。

【0011】

一方、特許文献 2 の図 1 6 には、1 種類の制御信号すなわちスタート信号のみを用いて動作させることが可能な双方向シフトレジスタが開示されている。同図 1 6 の双方向シフトレジスタは、同図 1 7 の双方向単位シフトレジスタが縦続接続することにより構成される。

【0012】

当該単位シフトレジスタは、出力信号 (G O U T [N]) の出力端子にクロック信号 (C K V) を供給する第 1 トランジスタ (M 1) (出力プルアップトランジスタ) と、当該出力端子に基準電圧 (V S S) を供給して当該出力端子を放電する第 2 トランジスタ (M 2) (出力プルダウントランジスタ) とを備えている。ここで、第 1 トランジスタ (M 1) のゲートが接続するノード (ゲートノード) を「第 1 ノード」、第 2 トランジスタ (M 2) のゲートノードを「第 2 ノード」と定義する。

【0013】

第 1 トランジスタ (M 1) は、次の第 3 および第 4 トランジスタ (M 3, M 5) により駆動される。第 3 トランジスタ (M 3) は、前段の出力信号 (G O U T [N - 1]) に基づいて、所定の第 1 電圧信号 (V b u f) を第 1 ノードへ供給するものである。第 4 トランジスタ (M 5) は、次段の出力信号 (G O U T [N + 1]) に基づいて、所定の第 2 電圧信号 (V d i s) を第 1 ノードへ供給するものである。この第 1 および第 2 電圧信号 (V b u f, V d i s) は、その一方の電圧レベル (以下、単に「レベル」) が H (High) レベルのとき他方が L (Low) レベルになる、互いに相補な信号である。

【0014】

一方、第 2 トランジスタ (M 2) は、第 1 ノードを入力端とするインバータ (M 6, M 7) により駆動される。即ち第 2 トランジスタのゲートノード (第 2 ノード) は、当該インバータ (M 6, M 7) の出力端に接続される。

【0015】

当該単位シフトレジスタが出力信号を出力する期間 (選択期間) には、第 3 および第 4 トランジスタが第 1 ノードを H レベルにして、第 1 トランジスタをオンにする。第 1 ノードが H レベルになるとインバータが第 2 ノードを L レベルにするので、第 2 トランジスタはオフになる。そして、この状態で当該単位シフトレジスタにクロック信号が入力されることによって、当該クロック信号が第 1 トランジスタを通して出力端子へ伝達されその結果、出力信号が出力される。

【0016】

一方、当該単位シフトレジスタが出力信号を出力しない期間 (非選択期間) は、第 3 および第 4 トランジスタが第 1 ノードを L レベルにして、第 1 トランジスタをオフにする。その間、インバータは第 2 ノードを H レベルにするので、第 2 トランジスタはオンにされ

10

20

30

40

50

、出力端子（出力信号）はLレベルに保持される。なお特許文献2の図17において、ゲートが第2ノードに接続し、第1ノードに基準電圧（VSS）を供給する第5トランジスタ（M4）は、非選択期間に第1ノードを確実にLレベルに維持し、誤動作を防止する働きをしている。

【0017】

例えば第1電圧信号（Vbuf）がHレベル、第2電圧信号（Vdis）がLレベルの場合、各単位シフトレジスタにおいては、自己の前段の出力信号が活性化したときに、第1ノードがHレベル、第2ノードがLレベルになって、第1トランジスタがオン、第2トランジスタがオフの状態になる。よってその次にクロック信号が入力されると、それが出力端子に伝達され、当該シフトレジスタ回路から出力信号が出力される。つまり、第1電圧信号がHレベル、第2電圧信号がLレベルである場合には、各単位シフトレジスタは自己の前段の出力信号を時間的にシフトし、それを自己の出力信号として次段へと出力するように動作する。その結果、多段の双方向シフトレジスタ（引用文献3の図16）は、順方向走査を行うことになる。

10

【0018】

逆に、第1電圧信号（Vbuf）がLレベル、第2電圧信号（Vdis）がHレベルの場合、各単位シフトレジスタにおいては、自己の次段の出力信号が活性化したときに、第1ノードがHレベル、第2ノードがLレベルになって、第1トランジスタがオン、第2トランジスタがオフの状態になる。よってその次にクロック信号が入力されると、それが出力端子に伝達され、出力信号が出力される。つまり、第1電圧信号がLレベル、第2電圧信号がHレベルである場合には、各単位シフトレジスタは自己の次段の出力信号を時間的にシフトし、それを自己の出力信号として前段へと出力するように動作する。その結果、多段の双方向シフトレジスタは、逆方向走査を行うことになる。

20

【0019】

このように、従来の双方向単位シフトレジスタ（特許文献2の図17）は、第3および第4トランジスタ（M3、M5）を通して第1トランジスタ（M1）のゲートに供給される第1および第2電圧信号（Vbuf、Vdis）のレベルを切り替えることによって、信号のシフト方向が切り替わるようになっている。

【0020】

先に述べたように、特許文献2の図16の双方向シフトレジスタは、1種類の制御信号（スタート信号）のみを用いて動作させることが可能である。それを可能にするために、第1段目（SRC1）のさらに前段に第1ダミー段（0）が設けられ、最後段（SRC4）のさらに後段に第2ダミー段（1）が設けられている。第1ダミー段（0）の出力信号は、逆方向走査時のエンド信号として利用でき、第2ダミー段（1）の出力信号は順方向走査時のエンド信号として利用できる。

30

【0021】

第1段目（SRC1）の第3トランジスタのゲートには、スタート信号（STV）または第1ダミー段の出力信号（逆方向走査時のエンド信号）が、走査方向に応じて選択的に入力されるように、第1および第2電圧信号（Vbuf、Vdis）で制御される2つの選択トランジスタ（M8、M9）が設けられる（同図19参照）。また同様に、最後段（SRC4）の第4トランジスタのゲートには、スタート信号（STV）または第2ダミー段の出力信号（順方向走査時のエンド信号）の片方が、走査方向に応じて選択的に入力されるように、第1および第2電圧信号（Vbuf、Vdis）で制御される2つの選択トランジスタ（M10、M11）が設けられる（同図20参照）。

40

【先行技術文献】

【特許文献】

【0022】

【特許文献1】特開2001-350438号公報

【特許文献2】特開2004-157508号公報

【特許文献3】特表平11-502355号公報

50

【発明の概要】

【発明が解決しようとする課題】

【0023】

ゲート線駆動回路のシフトレジスタを非晶質シリコンTFT (a-Si TFT) で構成した表示装置は、大面積化が容易で且つ生産性が高く、例えばノート型PCの画面や大画面ディスプレイ装置などに広く採用されている。しかしその反面、a-Si TFTはゲート電極が継続的に正バイアスされた場合に、そのしきい値電圧が正方向にシフトして駆動能力（電流を流す能力）が小さくなる傾向がある。

【0024】

特許文献2の図17の各单位シフトレジスタでは、その非選択期間の間、第2ノードがHレベルに固定される。つまり各单位シフトレジスタにおいては、上記の第2トランジスタ(M2)（出力プルダウントランジスタ）並びに第5トランジスタ(M4)ゲートが約1フレーム期間（約16ms）、直流的に正バイアスされる動作が連続的に行われる。よって、それらの駆動能力が次第に低下する。

【0025】

第2トランジスタの駆動能力が低下すると、ノイズ等に起因して出力端子に不要に電荷が供給されたときに、その電荷を放電することができず、ゲート線が誤って活性化されるという誤動作が生じる。また第5トランジスタの駆動能力が低下すると、非活性期間の第1ノードのレベルが上昇しやすくなるので、第1トランジスタがオンしやすくなり、これもゲート線が誤って活性化される原因となる。

【0026】

また、このしきい値電圧シフトの問題は、a-Si TFTのみならず有機TFTにおいても同様に生じることが分かっている。

【0027】

先に述べたように、特許文献2の図16の双方向シフトレジスタは、スタート信号のみで動作させるために、第1段目の単位シフトレジスタ(SRC1)の第3トランジスタのゲートに、それぞれ第1および第2電圧信号(Vbuf, Vdis)で制御される2つの選択トランジスタ(M8, M9)が接続される。同様に、最後段の単位シフトレジスタ(SRC4)の第4トランジスタのゲートにも、第1および第2電圧信号(Vbuf, Vdis)で制御される2つの選択トランジスタ(M10, M11)が接続される。

【0028】

第1段目の単位シフトレジスタに設けられる選択トランジスタは、第3トランジスタを駆動するものであり、最後段の単位シフトレジスタに設けられる選択トランジスタは、第4トランジスタを駆動するものである。第1および第2電圧信号(Vbuf, Vdis)は、走査方向が切り換わらない限り一定レベルに維持される直流的な信号である。従って、それに制御される上記4つの選択トランジスタ(M8~M10)にもしきい値電圧のシフトが生じる。

【0029】

選択トランジスタはソースフォロア動作するため、しきい値電圧のシフトが生じるとそのシフト分だけ第1段目の第3トランジスタおよび最後段の第4トランジスタのゲートに供給される信号のレベルが下がり、それらの駆動能力が低下する。そうすると、第1段目あるいは最後段の第1トランジスタ(M1)のゲート（第1ノード）が十分に充電されなくなり、当該第1トランジスタの駆動能力が低下する。その結果、第1段目あるいは最後段の単位シフトレジスタにおいて、ゲート線の充電能力が低下してしまう。またそれによって信号のシフト動作が正常に行われなくなることも懸念される。

【0030】

トランジスタのしきい値電圧シフトは、特許文献2の図16のダミー段（ダミーステージ0, 1）の回路においても問題を生じさせる。例えば第1ダミー段（同図18）では、その第1トランジスタ(M1)のゲートは、第1段目の出力信号が入力されると充電され、スタート信号が入力されたときに放電される。よって順方向走査時には、第1ダミー段

の第1トランジスタのゲートが約1フレーム期間(約16ms)、直流的に正バイアスされる動作が連続的に行われ、次第にその駆動能力が低下する。

【0031】

そうすると、その後に逆方向走査に切り換わったとき、第1ダミー段は、第1段目の第3トランジスタのゲートへ、十分な充電能力を有する信号(逆方向走査時のエンド信号)を供給することができない。その結果、第1段目の第1トランジスタのゲート(第1ノード)を十分に放電することができなくなり、当該第1トランジスタがオフにならずに第1段目から誤信号が出力される。なお、逆方向走査時には、第2ダミー段(図21)にて同様の問題が生じるため、逆方向走査から順方向走査に切り換わったときに、最後段から誤信号が出力されるようになる。

10

【0032】

本発明は以上のような課題を解決するために成されたものであり、1種類のスタート信号のみを用いて動作可能な双方向シフトレジスタにおいて、それを構成するトランジスタのしきい値電圧シフトに起因する誤動作の発生を抑制することを目的とする。

【課題を解決するための手段】

【0033】

本発明に係るゲート線駆動回路は、表示パネルのゲート線を駆動し、信号のシフト方向を変更可能な多段のシフトレジスタと、前記多段のシフトレジスタの最前段のさらに前段に設けられたダミーのシフトレジスタである第1ダミー段と、前記多段のシフトレジスタの最後段のさらに次段に設けられたダミーのシフトレジスタである第2ダミー段とを備えるゲート線駆動回路であって、前記第1ダミー段は、前記最前段から前記最後段へ向けて信号をシフトさせる順方向走査時には信号を出力せず、前記最後段から前記最前段へ向けて信号をシフトさせる逆方向走査時には、前記最前段の出力信号に応じて第1ダミー信号を出力し、前記第2ダミー段は、前記逆方向走査時には信号を出力せず、前記順方向走査時には、前記最後段の出力信号に応じて第2ダミー信号を出力し、前記第1ダミー信号は、前記逆方向走査時に、前記最前段の動作を終了させるエンド信号として用いられ、前記第2ダミー信号は、前記順方向走査時に、前記最後段の動作を終了させるエンド信号として用いられるものである。

20

【発明の効果】

【0034】

本発明によれば、第1ダミー段は、順方向走査時には信号を出力せず、第2ダミー段は、逆方向走査時には信号を出力しないので、第1および第2ダミー段の出力端子を充電するトランジスタのしきい値電圧シフトを抑えることができる。

30

【図面の簡単な説明】

【0035】

【図1】本発明の実施の形態に係る表示装置の構成を示す概略ブロック図である。

【図2】実施の形態1に係る双方向単位シフトレジスタを用いたゲート線駆動回路の構成例を示すブロック図である。

【図3】実施の形態1に係る単位シフトレジスタおよびダミー段の回路構成を示す図である。

40

【図4】実施の形態1に係る単位シフトレジスタの回路構成を示す図である。

【図5】実施の形態1に係る単位シフトレジスタおよびダミー段の回路構成を示す図である。

【図6】実施の形態1に係るゲート線駆動回路の順方向走査時の動作を示すタイミング図である。

【図7】実施の形態1に係るゲート線駆動回路の逆方向走査時の動作を示すタイミング図である。

【図8】実施の形態2に係るダミー段の回路構成を示す図である。

【図9】実施の形態3に係るダミー段の回路構成を示す図である。

【図10】実施の形態3に係るゲート線駆動回路の順方向走査時の動作を示すタイミング

50

図である。

【図 1 1】実施の形態 3 に係るゲート線駆動回路の逆方向走査時の動作を示すタイミング図である。

【図 1 2】実施の形態 4 に係るダミー段の回路構成を示す図である。

【図 1 3】実施の形態 5 に係る双方向単位シフトレジスタを用いたゲート線駆動回路の構成例を示すブロック図である。

【図 1 4】実施の形態 5 に係る単位シフトレジスタおよびダミー段の回路構成を示す図である。

【図 1 5】実施の形態 5 に係る単位シフトレジスタの回路構成を示す図である。

【図 1 6】実施の形態 5 に係る単位シフトレジスタおよびダミー段の回路構成を示す図である。 10

【図 1 7】実施の形態 5 に係る単位シフトレジスタの変形例を説明するための図である。

【図 1 8】実施の形態 5 に係るダミー段の変形例を示す図である。

【図 1 9】実施の形態 5 に係るダミー段の変形例を示す図である。

【図 2 0】実施の形態 5 に係るダミー段の変形例を示す図である。

【図 2 1】実施の形態 6 に係る単位シフトレジスタおよびダミー段の回路構成を示す図である。

【図 2 2】実施の形態 6 に係る単位シフトレジスタの回路構成を示す図である。

【図 2 3】実施の形態 6 に係る単位シフトレジスタおよびダミー段の回路構成を示す図である。 20

【図 2 4】実施の形態 6 に係るダミー段の変形例を示す図である。

【図 2 5】実施の形態 6 に係るダミー段の変形例を示す図である。

【図 2 6】実施の形態 6 に係るダミー段の変形例を示す図である。

【図 2 7】実施の形態 7 に係るダミー段の変形例を説明するための図である。

【発明を実施するための形態】

【0036】

以下、本発明の実施の形態を図面を参照しながら説明する。なお、説明が重複して冗長になるのを避けるため、各図において同一または相当する機能を有する要素には同一符号を付してある。

【0037】

<実施の形態 1> 30

図 1 は、本発明の実施の形態 1 に係る表示装置の構成を示す概略ブロック図であり、表示装置の代表例として液晶表示装置 10 の全体構成を示している。

【0038】

液晶表示装置 10 は、液晶アレイ部 20 と、ゲート線駆動回路（走査線駆動回路）30 と、ソースドライバ 40 とを備える。後の説明により明らかになるが、本発明の実施の形態に係る双方向シフトレジスタはゲート線駆動回路 30 に搭載される。

【0039】

液晶アレイ部 20 は、行列状に配設された複数の画素 25 を含む。画素の行（以下「画素ライン」とも称する）の各々にはそれぞれゲート線 GL_1 , GL_2 , ...（総称「ゲート線 GL 」）が配設され、また、画素の列（以下「画素列」とも称する）の各々にはそれぞれデータ線 DL_1 , DL_2 , ...（総称「データ線 DL 」）がそれぞれ設けられる。図 1 には、第 1 行の第 1 列および第 2 列の画素 25、並びにこれに対応するゲート線 GL_1 およびデータ線 DL_1 , DL_2 が代表的に示されている。 40

【0040】

各画素 25 は、対応するデータ線 DL と画素ノード Np との間に設けられる画素スイッチ素子 26 と、画素ノード Np および共通電極ノード NC の間に並列に接続されるキャパシタ 27 および液晶表示素子 28 とを有している。画素ノード Np と共通電極ノード NC との間の電圧差に応じて、液晶表示素子 28 中の液晶の配向性が変化し、これにตอบสนองして液晶表示素子 28 の表示輝度が変化する。これにより、データ線 DL および画素スイッチ 50

素子 26 を介して画素ノード N_p へ伝達される表示電圧によって、各画素の輝度をコントロールすることが可能となる。即ち、最大輝度に対応する電圧差と最小輝度に対応する電圧差との間の中間的な電圧差を、画素ノード N_p と共通電極ノード N_C との間に印加することによって、中間的な輝度を得ることができる。従って、上記表示電圧を段階的に設定することにより、階調的な輝度を得ることが可能となる。

【0041】

ゲート線駆動回路 30 は、所定の走査周期に基づき、ゲート線 GL を順に選択して駆動する。本実施の形態では、ゲート線駆動回路 30 は双方向シフトレジスタにより構成されており、ゲート線 GL を活性化させる順番の向きを切り替えることができる。画素スイッチ素子 26 のゲート電極は、それぞれ対応するゲート線 GL と接続される。特定のゲート線 GL が選択されている間は、それに接続する各画素において、画素スイッチ素子 26 が導通状態になり画素ノード N_p が対応するデータ線 DL と接続される。そして、画素ノード N_p へ伝達された表示電圧がキャパシタ 27 によって保持される。一般的に、画素スイッチ素子 26 は、液晶表示素子 28 と同一の絶縁体基板（ガラス基板、樹脂基板等）上に形成される TFT で構成される。

【0042】

ソースドライバ 40 は、 N ビットのデジタル信号である表示信号 SIG によって段階的に設定される表示電圧を、データ線 DL へ出力するためのものである。ここでは一例として、表示信号 SIG は 6 ビットの信号であり、表示信号ビット $DB_0 \sim DB_5$ から構成されるものとする。6 ビットの表示信号 SIG に基づくと、各画素において、 $2^6 = 64$ 段階の階調表示が可能となる。さらに、 R (Red)、 G (Green) および B (Blue) の 3 つの画素により 1 つのカラー表示単位を形成すれば、約 26 万色のカラー表示が可能となる。

【0043】

また、図 1 に示すように、ソースドライバ 40 は、シフトレジスタ 50 と、データラッチ回路 52、54 と、階調電圧生成回路 60 と、デコード回路 70 と、アナログアンプ 80 とから構成されている。

【0044】

表示信号 SIG においては、各々の画素 25 の表示輝度に対応する表示信号ビット $DB_0 \sim DB_5$ がシリアルに生成される。すなわち、各タイミングにおける表示信号ビット $DB_0 \sim DB_5$ は、液晶アレイ部 20 中のいずれか 1 つの画素 25 における表示輝度を示している。

【0045】

シフトレジスタ 50 は、表示信号 SIG の設定が切り換わる周期に同期したタイミングで、データラッチ回路 52 に対して、表示信号ビット $DB_0 \sim DB_5$ の取り込みを指示する。データラッチ回路 52 は、シリアルに生成される表示信号 SIG を順に取り込み、1 つの画素ライン分の表示信号 SIG を保持する。

【0046】

データラッチ回路 54 に入力されるラッチ信号 LT は、データラッチ回路 52 に 1 つの画素ライン分の表示信号 SIG が取り込まれるタイミングで活性化する。データラッチ回路 54 はそれに応答して、そのときデータラッチ回路 52 に保持されている 1 つの画素ライン分の表示信号 SIG を取り込む。

【0047】

階調電圧生成回路 60 は、高電圧 V_{DH} および低電圧 V_{DL} の間に直列に接続された 63 個の分圧抵抗で構成され、64 段階の階調電圧 $V_1 \sim V_{64}$ をそれぞれ生成する。

【0048】

デコード回路 70 は、データラッチ回路 54 に保持されている表示信号 SIG をデコードし、当該デコード結果に基づいて各デコード出力ノード N_{d1} , N_{d2} , ... (総称「デコード出力ノード N_d 」) に出力する電圧を、階調電圧 $V_1 \sim V_{64}$ のうちから選択して出力する。

【0049】

10

20

30

40

50

その結果、デコード出力ノード Nd には、データラッチ回路 54 に保持された 1 つの画素ライン分の表示信号 SIG に対応した表示電圧（階調電圧 $V1 \sim V64$ のうちの 1 つ）が同時に（パラレルに）出力される。なお、図 1 においては、第 1 列目および第 2 列目のデータ線 DL_1 、 DL_2 に対応するデコード出力ノード Nd_1 、 Nd_2 が代表的に示されている。

【0050】

アナログアンプ 80 は、デコード回路 70 からデコード出力ノード Nd_1 、 Nd_2 、…に出力された各表示電圧に対応したアナログ電圧を、それぞれデータ線 DL_1 、 DL_2 、…に出力する。

【0051】

ソースドライバ 40 が、所定の走査周期に基づいて、一連の表示信号 SIG に対応する表示電圧を 1 画素ライン分ずつデータ線 DL へ出力し、ゲート線駆動回路 30 がその走査周期に同期してゲート線 GL_1 、 GL_2 、…をこの順あるいはその逆順に駆動することにより、液晶アレイ部 20 に表示信号 SIG に基づいた画像あるいはその反転画像の表示が成される。

【0052】

なお、図 1 には、ゲート線駆動回路 30 およびソースドライバ 40 が液晶アレイ部 20 と一体的に形成された液晶表示装置 10 の構成例を示したが、ゲート線駆動回路 30 と液晶アレイ部 20 とを一体的に形成し、ソースドライバ 40 については液晶アレイ部 20 の外部回路として設ける、あるいはゲート線駆動回路 30、およびソースドライバ 40 につ

【0053】

図 2 は、ゲート線駆動回路 30 の構成を示す図である。このゲート線駆動回路 30 は、1 種類のスタート信号を用いて動作可能であり、複数段の双方向シフトレジスタにより構成されている。即ち、当該ゲート線駆動回路 30 は縦続接続（カスケード接続）した n 個の双方向単位シフトレジスタ SR_1 、 SR_2 、 SR_3 、 SR_4 、…、 SR_n から成っている（以下、縦続接続するシフトレジスタ SR_1 、 SR_2 、…、 SR_n を「単位シフトレジスタ SR 」と総称する）。

【0054】

単位シフトレジスタ SR は、1 つの画素ライン即ち 1 つのゲート線 GL 毎に 1 つずつ設けられ、それぞれのゲート線 GL は、対応する単位シフトレジスタ SR の出力端子 OUT に接続される。つまり、単位シフトレジスタ SR の出力端子 OUT に出力される信号（出力信号）が、ゲート線 GL を活性化するための垂直（水平）走査パルスとなる。

【0055】

ゲート線駆動回路 30 では、それら n 個の単位シフトレジスタ $SR_1 \sim SR_n$ がゲート線を駆動することになる。第 1 段目の単位シフトレジスタ SR_1 のさらに前段には、ダミーのシフトレジスタであるダミー段 $SRD1$ が接続され、また最後段の単位シフトレジスタ SR_n のさらに次段には、ダミーのシフトレジスタであるダミー段 $SRD2$ が接続される。以下、ダミー段 $SRD1$ 、 $SRD2$ を除くゲート線を駆動するための単位シフトレジスタ $SR_1 \sim SR_n$ を、「ゲート線駆動段」と総称することもある。

【0056】

図 2 の如く、ゲート線駆動段の単位シフトレジスタ SR のそれぞれは、第 1 入力端子 $IN1$ 、第 2 入力端子 $IN2$ 、出力端子 OUT 、第 1 クロック端子 $CK1$ 、第 2 クロック端子 $CK2$ 、第 1 電圧信号端子 $T1$ および第 2 電圧信号端子 $T2$ を有している。

【0057】

但し、ゲート線駆動段の最前段および最後段である単位シフトレジスタ SR_1 、 SR_n は、さらにリセット端子 RST を備えている。また、ダミー段 $SRD1$ 、 $SRD2$ はそれぞれ、入力端子 IN 、出力端子 OUT 、第 1 クロック端子 $CK1$ 、第 2 クロック端子 $CK2$ およびリセット端子 RST を有している。単位シフトレジスタ SR_1 、 SR_n およびダミー段 $SRD1$ 、 $SRD2$ に設けられたリセット端子 RST は、それら各々を後述の「リセッ

ト状態」にするための制御端子である。

【0058】

クロック発生器31は、互いに位相が異なる2相のクロック信号CLK、 $\neg$ CLKを、ゲート線駆動段およびダミー段SRD1、SRD2に供給するものである。これらクロック信号CLK、 $\neg$ CLKは、互いに相補関係にあり、表示装置の走査周期に同期したタイミングで交互に活性化するように制御されている（互いの活性期間は重ならない）。

【0059】

ゲート線駆動段の各单位シフトレジスタSRおよびダミー段SRD1、SRD2の第1および第2クロック端子CK1、CK2には、クロック発生器31が出力するクロック信号CLK、 $\neg$ CLKが供給される。奇数段の単位シフトレジスタSR₁、SR₃、…、SR_{n-1}とダミー段SRD2では、第1クロック端子CK1にクロック信号CLKが、第2クロック端子CK2にクロック信号 $\neg$ CLKがそれぞれ入力される。偶数段の単位シフトレジスタSR₂、SR₄、…、SR_nおよびダミー段SRD1では、反対に第1クロック端子CK1にクロック信号 $\neg$ CLKが、第2クロック端子CK2にクロック信号CLKがそれぞれ入力される。

【0060】

電圧信号発生器33は、双方向シフトレジスタにおける信号のシフト方向（走査方向）を決定する第1電圧信号Vnおよび第2電圧信号Vrを生成する。電圧信号発生器33は、前段から後段への向き（順方向）すなわち単位シフトレジスタSR₁、SR₂、SR₃、…の順に信号をシフトさせる場合に、第1電圧信号VnをHレベルにし（活性化）、第2電圧信号VrをLレベルにする。逆に、後段から前段への向き（逆方向）すなわち単位シフトレジスタSR_n、SR_{n-1}、SR_{n-2}、…の順に信号をシフトさせる場合には、第2電圧信号VrをHレベル（活性化）、第1電圧信号VnをLレベルにする。つまり第1および第2電圧信号Vn、Vrは互いに相補な関係になる。第1電圧信号Vnは、各单位シフトレジスタSRの第1電圧信号端子T1に入力され、第2電圧信号Vrは、各单位シフトレジスタSRの第2電圧信号端子T2に入力される。

【0061】

スタート信号発生器32は、第1および第2制御信号STn、STrを生成する。第1および第2制御信号STn、STrは、走査方向に応じて片方がスタート信号となり、他方はLレベルに固定される信号である。第1制御信号STnは、ゲート線駆動段の最前段である単位シフトレジスタSR₁の第1入力端子IN1に入力され、第2制御信号STrは、ゲート線駆動段の最後段である単位シフトレジスタSR_nの第2入力端子IN2に入力される。順方向走査時には、第1制御信号STnがスタート信号となり、第2制御信号STrはLレベルに固定される。逆方向走査時には、第2制御信号STrがスタート信号となり、第1制御信号STnはLレベルに固定される。

【0062】

Lレベルに固定される信号は低電位側電源（後述の電位VSSの供給源）から供給することができるので、スタート信号発生器32は、順方向走査時および逆方向走査時に、それぞれ1種類のスタート信号のみを生成することになる。つまり、この双方向シフトレジスタの動作には、信号のシフト動作を終了させるためのエンド信号が不要である。その理由は、順方向走査時にはダミー段SRD2の出力信号D2（以下「ダミー信号D2」）がエンド信号として機能し、逆方向走査時にはダミー段SRD1の出力信号D1（以下「ダミー信号D1」）がエンド信号として機能するからである。

【0063】

クロック発生器31、スタート信号発生器32、電圧信号発生器33が生成するクロック信号CLK、 $\neg$ CLK、第1および第2制御信号STn、STrおよび第1および第2電圧信号Vn、Vrは、各々のプログラムあるいは配線の接続変更により、走査方向に応じて互いに交換できるようになっている。配線の接続変更による交換は、表示装置の製造前に走査方向を固定するような場合に有効である。またプログラムによる交換は、表示装置の製造後にシフト方向を固定する、あるいは表示装置の使用中に走査方向を変更可能に

する場合に有効である。

【0064】

図2のように、各单位シフトレジスタSRの出力端子OUTは、自己の次段の第1入力端子IN1、および自己の前段の第2入力端子IN2に接続する。言い換えれば、各单位シフトレジスタSRの第1入力端子IN1は、自己の前段の出力端子OUTに接続され、第2入力端子IN2は自己の後段の出力端子OUTに接続される。それにより単位シフトレジスタSRは双方向に縦続接続することになる。

【0065】

但し、単位シフトレジスタSR₁においては、出力端子OUTが単位シフトレジスタSR₂の第1入力端子IN1とダミー段SRD1の入力端子INに接続され、第1入力端子IN1には上述のとおり第1制御信号ST_nが入力され、リセット端子RSTがダミー段SRD1の出力端子OUTに接続される。またダミー段SRD1のリセット端子RSTには、その第2クロック端子CK2と同じくクロック信号CLKが入力される。

【0066】

一方、単位シフトレジスタSR_nにおいては、出力端子OUTが単位シフトレジスタSR_{n-1}の第1入力端子IN2とダミー段SRD2の入力端子INに接続され、第1入力端子IN1には上述のとおり第2制御信号ST_rが入力され、リセット端子RSTがダミー段SRD2の出力端子OUTに接続される。またダミー段SRD2のリセット端子RSTには、その第2クロック端子CK2と同じくクロック信号／CLKが入力される。

【0067】

本実施の形態においては、ゲート線駆動段およびダミー段SRD1、SRD2を構成するトランジスタは、全て同一導電型の電界効果トランジスタであり、ここでは全てN型のa-SiTFTであるものとする。N型TFTは、ゲートがHレベルになると活性（オン）状態となり、Lレベルで非活性（オフ）状態となる。ただし、単位シフトレジスタおよびダミーシフトレジスタはP型トランジスタで構成することも可能である。P型トランジスタの場合はゲートがLレベルになると活性（オン）状態となり、Hレベルで非活性（オフ）状態となる。また本発明の適用はa-SiTFTに限定されるものではなく、例えば有機TFT等で構成された単位シフトレジスタSRに対しても適用可能である。

【0068】

図3～図5は、本実施の形態に係るゲート線駆動回路30の具体的回路構成を示す図である。図3は、ダミー段SRD1およびゲート線駆動段の最前の2段（単位シフトレジスタSR₁、SR₂）を示している。図4は、ゲート線駆動段の中間段として第k-1段目から第k+1段目まで（単位シフトレジスタSR_{k-1}、SR_k、SR_{k+1}）を示している。また図5は、ゲート線駆動段の最後の2段（単位シフトレジスタSR_{n-1}、SR_n）およびダミー段SRD2を示している。

【0069】

ゲート線駆動段の最前段および最後段（単位シフトレジスタSR₁、SR_n）と、中間段（単位シフトレジスタSR₂～SR_{n-1}）と、ダミー段SRD1、SRD2とでは、それぞれ少しずつ回路構成が異なっている。但し図3～図5では、それらにおいて同様に機能する要素には同一の符号を付してある。

【0070】

まずゲート線駆動段の中間段（第2段目～第n-1段目）の単位シフトレジスタSRの構成について説明する。中間段の単位シフトレジスタSRは、全て同じ構成を有しているので、ここでは代表的に、図4に示す単位シフトレジスタSR_kについて説明する。

【0071】

図4の如く、単位シフトレジスタSR_kは、既に図2で示した第1、第2入力端子IN1、IN2、出力端子OUT、第1および第2クロック端子CK1、CK2および第1、第2電圧信号端子T1、T2の他に、低電位側電源電位VSSが供給される第1電源端子S1を有している。以下の説明では、低電位側電源電位VSSを回路の基準電位（＝0V）とする。但し実使用では、画素に書き込まれるデータの電圧を基準にして基準電位が設

10

20

30

40

50

定され、例えば高電位側電源電位（VDD）は17V、低電位側電源電位（VSS）は-12Vなどと設定される。

【0072】

図4に示すように、単位シフトレジスタ SR_k の出力段は、出力端子OUTと第1クロック端子CK1との間に接続するトランジスタQ1および、共に出力端子OUTと第1電源端子S1との間に接続するトランジスタQ2、Q7により構成されている。即ち、トランジスタQ1は、第1クロック端子CK1に輸入されるクロック信号を出力端子OUTに供給するものであり、トランジスタQ2、Q7はそれぞれ、第1電源端子S1の電位（低電位側電源電位VSS）を出力端子OUTに供給することで出力端子OUTを放電するものである。ここでトランジスタQ1のゲート（制御電極）が接続するノードを「ノードN1」、トランジスタQ2のゲートが接続するノードを「ノードN2」と定義する。

10

【0073】

トランジスタQ1のゲート・ソース間すなわちノードN1と出力端子OUTとの間には容量素子C1が設けられている。この容量素子C1は、出力端子OUTのレベル上昇に伴うノードN1の昇圧効果を高めるためのものである。

【0074】

ノードN1と第1電圧信号Vnが輸入される第1電圧信号端子T1との間には、ゲートが第1入力端子IN1に接続したトランジスタQ3が接続し、またノードN1と第2電圧信号Vrが輸入される第2電圧信号端子T2との間には、ゲートが第2入力端子IN2に接続したトランジスタQ4が接続する。即ち、トランジスタQ3は、第1入力端子IN1に輸入される信号（第1入力信号）に基づいて、第1電圧信号VnをノードN1に供給するものである。またトランジスタQ4は、第2入力端子IN2に輸入される信号（第2入力信号）に基づいて、第2電圧信号VrをノードN1に供給するものである。

20

【0075】

また単位シフトレジスタ SR_k は、共にノードN1を入力端とする2つのインバータを備えている。その一つはトランジスタQ6と容量素子C2とから成るインバータ（以下「第1インバータ」）であり、もう一つはトランジスタQ9と容量素子C3とから成るインバータ（以下「第2インバータ」）である。

【0076】

第1インバータにおいて、トランジスタQ6は、ノードN2と第1電源端子S1との間に接続し、そのゲートがノードN1に接続する。容量素子C2は、ノードN2と第1クロック端子CK1との間に接続される。即ち第1インバータは、容量素子C2を負荷素子とする容量性負荷型のインバータであり、ノードN1を入力端とし、ノードN2を出力端としている。但し当該第1インバータは、第1クロック端子CK1に輸入されるクロック信号が電源として供給されている点で、通常のインバータとは異なっている。つまり当該第1インバータは、第1クロック端子CK1に輸入されるクロック信号により活性化される交流的な動作を行う。そのため容量素子C2は、第1インバータの負荷素子であると共に、その出力端（ノードN2）と第1クロック端子CK1との間の結合容量としても機能する。

30

【0077】

一方、第2インバータにおいては、トランジスタQ9は、当該第2インバータの出力端となるノード（「ノードN3」と定義する）と、第1電源端子S1との間に接続し、そのゲートがノードN1に接続する。容量素子C3は、ノードN3と第2クロック端子CK2との間に接続される。即ち第2インバータは、容量素子C3を負荷素子とする容量性負荷型のインバータであり、ノードN1を入力端とし、ノードN3を出力端としている。但し当該第2インバータは、第2クロック端子CK2に輸入されるクロック信号が電源として供給される点で、通常のインバータとは異なっている。つまり当該第2インバータは、第2クロック端子CK2に輸入されるクロック信号により活性化される交流的な動作を行う。そのため容量素子C3は、第2インバータの負荷素子であると共に、その出力端（ノードN3）と第2クロック端子CK2との間の結合容量としても機能する。

40

50

【0078】

第1インバータの出力端は、ノードN1と第1電源端子S1との間に接続したトランジスタQ5のゲートに接続される。また第2インバータの出力端は、同じくノードN1と第1電源端子S1との間に接続したトランジスタQ8のゲートに接続される。つまりこれらトランジスタQ5、Q8は、それぞれノードN1のレベルを第1および第2インバータが反転させたレベルに基づいて制御され、ノードN1を放電するトランジスタである。

【0079】

また第1インバータの出力端は、単位シフトレジスタSR_kの出力端子OUTを放電（プルダウン）する出力プルダウントランジスタであるトランジスタQ2のゲートノード（ノードN2）である。つまりトランジスタQ2も、ノードN1のレベルを第1インバータが反転させたレベルに基づいて制御されている。よって第1インバータは、出力プルダウントランジスタ（トランジスタQ2）を駆動するための「プルダウン駆動回路」（特許文献2の図17におけるトランジスタM6、M7から成るインバータに相当）としても機能している。一方、トランジスタQ2に並列に接続したもう一つの出力プルダウントランジスタであるトランジスタQ7のゲートは、第2クロック端子CK2に接続される。

10

【0080】

次に図3および図5を参照し、ゲート線駆動段の最前段および最後段である単位シフトレジスタSR₁、SR_nの構成について説明する。図3および図5から分かるように、単位シフトレジスタSR₁、SR_nは共に同じ回路構成を有しており、それは上で説明した中間段の単位シフトレジスタSR_kに類似している。即ち、単位シフトレジスタSR₁、SR_nは、中間段の単位シフトレジスタSR_kの回路に対し、ノードN1と第1電源端子S1との間に接続し、ゲートがリセット端子RSTに接続したトランジスタQ10をさらに備えるものである。

20

【0081】

続いて、ダミー段SRD1、SRD2の構成について説明する。図3および図5から分かるように、ダミー段SRD1、SRD2は共に同じ回路構成を有しており、それらも中間段の単位シフトレジスタSR_kに類似している。即ち、ダミー段SRD1、SRD2は、中間段の単位シフトレジスタSR_kの回路に対し、第2インバータ（容量素子C3およびトランジスタQ9）およびトランジスタQ8が省略され、且つ、トランジスタQ3、Q4に代えて下記のトランジスタQ3D、Q4Dを備えるものである。

30

【0082】

トランジスタQ3D、Q4Dは、共にノードN1と入力端子INとの間に接続している。そのうちトランジスタQ3Dのゲートは入力端子INに接続する（即ちトランジスタQ3Dは、入力端子IN側がアノード、ノードN1側がカソードとなるようにダイオード接続されている）。よってトランジスタQ3Dは、入力端子INに入力される信号に応じてノードN1を充電するように機能する。一方、トランジスタQ4Dのゲートはリセット端子RSTに接続される。よってトランジスタQ4Dは、入力端子INがLレベルのときにクロック信号CLKに応じてノードN1を放電するように機能する。

【0083】

実施の形態1に係るゲート線駆動回路30の動作を説明する。以下では簡単のため、クロック信号CLK、／CLK、第1および第2制御信号ST_n、ST_r、並びに第1および第2電圧信号V_n、V_rのHレベルおよびLレベルの電位はそれぞれ互いに等しいものとし、そのHレベルの電位は高電位側電源電位VDD、Lレベルの電位は低電位側電源電位VSSであるとする。また電位VSSは0Vとする。さらに、単位シフトレジスタSRおよびダミー段SRD1、SRD2を構成するトランジスタのしきい値電圧は全て等しいと仮定し、その値をV_{th}とする。

40

【0084】

以下では説明の便宜のため、クロック信号CLKの活性期間（Hレベルになる期間）とクロック信号／CLKの活性期間との間に一定の間隔を設けた例を示すが、この間隔は無くてもよい。即ち、クロック信号CLKが立ち上がるのと同時にクロック信号／CLKが

50

立ち下がり、クロック信号CLKが立ち下がるのと同時にクロック信号／CLKが立ち上がるような2相クロックでよい。

【0085】

まず図4を参照し、ゲート線駆動段の中間段である第k段目の単位シフトレジスタ SR_k の順方向走査時の動作を説明する。順方向走査時には、電圧信号発生器33から供給される第1電圧信号 V_n はHレベル(VDD)であり、第2電圧信号 V_r はLレベル(VSS)である。

【0086】

ここで、単位シフトレジスタ SR_k の第1クロック端子CK1には、図4の如くクロック信号CLKが入力され、第2クロック端子CK2にはクロック信号／CLKが入力されるものと仮定する(図2の奇数段に相当)。また、第i段目の単位シフトレジスタ SR_i の出力信号を G_i と表す。

10

【0087】

初期状態として、単位シフトレジスタ SR_k のノードN1が充電されておらずLレベルである状態(ノードN1がLレベルの状態を「リセット状態」と称する)を仮定する。ノードN1がLレベルのときにはトランジスタQ6、Q9はオフであるので、ノードN2、N3はフローティング状態になるが、初期状態ではその両者ともLレベルであると仮定する。またこのときクロック信号CLK、／CLKはいずれもLレベルであるとする。

【0088】

そしてクロック信号／CLKの立ち上がりのタイミングで、前段の単位シフトレジスタ SR_{k-1} から出力信号 G_{k-1} が出力され、単位シフトレジスタ SR_1 の第1入力端子IN1に入力されたとする。

20

【0089】

すると単位シフトレジスタ SR_k では、トランジスタQ3がオンし、ノードN1が充電されてHレベル(VDD-Vth)になる(ノードN1がHレベルの状態を「セット状態」と称する)。応じてトランジスタQ1がオンになる。この時点ではクロック信号CLKはLレベルであるので、トランジスタQ1がオンすることにより、出力端子OUTは低インピーダンスのLレベルになる。またクロック信号／CLKがHレベルであるのでトランジスタQ7がオンになり、これも出力端子OUTを低インピーダンスでLレベルにするように働く。

30

【0090】

このとき、容量素子C2およびトランジスタQ6から成る第1インバータは、電源(クロック信号CLK)が供給されておらず非活性状態にある。しかし、ノードN1がHレベルになったことで、トランジスタQ6がオンするため、その出力端であるノードN2は低インピーダンスでLレベルになる。よってトランジスタQ2、Q5はオフを維持する。

【0091】

一方、容量素子C3およびトランジスタQ9から成る第2インバータには電源(クロック信号／CLK)が供給されるため活性状態になる。その入力端であるノードN1がHレベルであるのでトランジスタQ9はオンになり、その出力端であるノードN3が低インピーダンスでLレベルになる。よってトランジスタQ8はオフを維持する。

40

【0092】

その後クロック信号／CLKおよび前段の出力信号 G_{k-1} がLレベルになると、トランジスタQ3はオフになるが、ノードN1はフローティング状態でHレベル(VDD-Vth)に維持される。またトランジスタQ7もオフになるが、トランジスタQ1がオンを維持するため、出力端子OUTは低インピーダンスのLレベルに維持される。またこのとき第1および第2インバータは非活性状態になるので、それらの出力端であるノードN2、N3は共にLレベルを維持し、トランジスタQ5、Q8はオフを維持する。

【0093】

次いでクロック信号CLKが立ち上がると、第1インバータが活性化されるが、ノードN1がHレベルであるのでトランジスタQ6はオンを維持し、ノードN2は低インピーダ

50

ンスでLレベルに維持される。つまりこのときトランジスタQ 1はオン、トランジスタQ 2, Q 7はオフである。よってクロック信号CLKの立ち上がりに伴い、出力端子OUT (出力信号G_k)のレベルがHレベルへと上昇する。出力端子OUTのレベルが上昇すると、トランジスタQ 1のゲート・チャンネル間容量および容量素子C 1を介した結合により、ノードN 1のレベルが昇圧される。

【0094】

ノードN 1のレベルが昇圧されることによって、出力信号G_kが出力されている間もトランジスタQ 1の駆動能力は大きく保たれる。またトランジスタQ 1が非飽和動作を行うため、出力信号G_kのレベルはクロック信号CLKのHレベルと同じVDDにまで達する。その結果、ゲート線GL_kが選択状態となる。以下、単位シフトレジスタSR_iが出力信号G_iを出力する期間を、単位シフトレジスタSR_iまたはゲート線GL_iの「選択期間」、それ以外を「非選択期間」と称する。

10

【0095】

そしてクロック信号CLKがLレベルになると、それに追従して出力信号G_kもLレベル(VSS)となり、ゲート線GL_kの選択期間が終了する。また出力信号G_kの立ち下がりに伴い、ノードN 1のレベルはVDD-V_{th}に戻る。

【0096】

次にクロック信号CLKが立ち上がると、このタイミングで次段の単位シフトレジスタSR_{k+1}の出力信号G_{k+1}がHレベルになる。すると単位シフトレジスタSR_kのトランジスタQ 4がオンになり、ノードN 1を放電して低インピーダンスのLレベルにする。つまり単位シフトレジスタSR_kはリセット状態に戻る。それによりトランジスタQ 1がオフになるが、ほぼ同時にトランジスタQ 7がオンになるので出力端子OUTは低インピーダンスのLレベルに維持される。

20

【0097】

このとき第1インバータは非活性状態であるので、ノードN 1がLレベルになってもノードN 2はLレベルから変化しない。よってトランジスタQ 2, Q 5はオフを維持する。一方、第2インバータは活性状態にあるので、その入力端であるノードN 1がLレベルになってトランジスタQ 9がオフになると、その出力端であるノードN 3はHレベルになる。よってトランジスタQ 8はオンになる。

【0098】

そしてクロック信号CLKおよび次段の出力信号G_{k+1}がLレベルになると、トランジスタQ 4, Q 7がオフになる。また第2インバータも非活性状態になるので、ノードN 3がLレベルになり、トランジスタQ 8もオフになる。

30

【0099】

しかしその直後にクロック信号CLKがHレベルになると、第1インバータが活性化され、その出力端であるノードN 2がHレベルになってトランジスタQ 2, Q 5がオンになるので、出力端子OUTおよびノードN 1は共に低インピーダンスでLレベルにされる。

【0100】

さらにその後、クロック信号CLKがLレベルになると、第1インバータが非活性状態になりトランジスタQ 2, Q 5はオフするが、その直後にクロック信号CLKがHレベルになるとトランジスタQ 7がオンになると共に、第2インバータが活性化してトランジスタQ 8をオンになるので、出力端子OUTおよびノードN 1は共に低インピーダンスでLレベルになる。

40

【0101】

これ以降は、再び第1入力端子IN 1に前段の出力信号G_{k-1}が入力されるまで(即ち、次フレームにおける単位シフトレジスタSR_kの選択期間まで)、クロック信号CLKの活性期間にトランジスタQ 2, Q 5がオンする動作と、クロック信号CLKの活性期間にトランジスタQ 7, Q 8がオンする動作とが交互に繰り返される。つまり非選択期間の間、出力端子OUTおよびノードN 1は共に低インピーダンスでLレベルに維持される。

50

【0102】

以上の順方向走査時の単位シフトレジスタ SR_k の動作をまとめて説明する。第1入力端子 IN_1 に前段の出力信号 G_{k-1} が入力されると、トランジスタ Q_3 がオンしてノード N_1 がHレベルになる。つまり単位シフトレジスタ SR_k はセット状態になる。すると第1インバータ（容量素子 C_2 およびトランジスタ Q_6 ）の出力端であるノード N_2 、並びに第2インバータ（容量素子 C_3 およびトランジスタ Q_9 ）の出力端であるノード N_3 は、共にLレベルに固定される。その結果トランジスタ Q_2 、 Q_5 、 Q_8 はオフになる。よって、次に第1クロック端子 CK_1 のクロック信号 CLK がHレベルになるとき、出力端子 OUT から出力信号 G_k が出力される（第2クロック端子 CK_2 には第1クロック端子 CK_1 とは位相の異なるクロック信号 $\neg CLK$ が入力されるので、このときトランジスタ Q_7 はオフである）。 10

【0103】

そして第2入力端子 IN_2 に次段の出力信号 G_{k+1} が入力されると、ノード N_1 はLレベルになる。つまり単位シフトレジスタ SR_k はリセット状態になる。この状態では、第1インバータがクロック信号 CLK により活性化される間、ノード N_2 がHレベルになり、また第2インバータがクロック信号 $\neg CLK$ により活性化される間、ノード N_3 がHレベルになる。つまりノード N_2 、 N_3 はクロック信号 CLK 、 $\neg CLK$ に同期して交互にHレベルになる。よって非選択期間の出力端子 OUT およびノード N_1 は、クロック信号 CLK の活性期間にトランジスタ Q_5 によって放電（プルダウン）され、クロック信号 $\neg CLK$ の活性期間にトランジスタ Q_8 によって放電される。よって非選択期間の殆どの期間ノード N_1 は低インピーダンスでLレベルになる。 20

【0104】

一方、出力端子 OUT をプルダウンするトランジスタ Q_2 は、クロック信号 CLK により活性化される第1インバータにより駆動される。またトランジスタ Q_7 のゲートにはクロック信号 $\neg CLK$ が入力される。よって非選択期間では、出力端子 OUT がトランジスタ Q_2 、 Q_7 によって交互に放電され、出力端子 OUT は殆どの期間低インピーダンスでLレベルになる。従ってその間、出力信号 G_k は活性化されない。

【0105】

このように動作する複数の単位シフトレジスタ SR を図2のように縦続接続し、ゲート線駆動回路30を構成すると、単位シフトレジスタ SR_1 の第1入力端子 IN_1 に入力されたスタート信号としての第1制御パルス ST_n を切っ掛けにして、図6に示すタイミング図のように、クロック信号 CLK 、 $\neg CLK$ に同期したタイミングで出力信号 G_1 、 G_2 、…が順に出力される。それによって、ゲート線駆動回路30は、所定の走査周期でゲート線 GL_1 、 GL_2 、 GL_3 …をこの順に駆動することができる。 30

【0106】

以上のように本実施の形態の単位シフトレジスタ SR_k では、非選択期間に出力端子 OUT を放電するトランジスタ Q_2 、 Q_7 のゲートは、クロック信号 CLK 、 $\neg CLK$ に同期して交互にHレベルにされる。つまり直流的にバイアスされない。よってそれらのしきい値電圧のシフトは抑制され、駆動能力の低下が抑えられており、誤信号としての出力信号 G_k の発生をより確実に防止することができる。 40

【0107】

また非選択期間では、トランジスタ Q_5 、 Q_8 のゲートもクロック信号 CLK 、 $\neg CLK$ に同期して交互にHレベルにされる。つまりトランジスタ Q_5 、 Q_8 のゲートも直流的にバイアスされないので、そのしきい値電圧のシフトすなわち駆動能力の低下は抑制される。

【0108】

トランジスタ Q_5 、 Q_8 は、非選択期間のノード N_1 を低インピーダンスのLレベルに維持するように機能している。例えばノード N_1 が高インピーダンス状態になると、第1クロック端子 CK_1 に入力されるクロック信号 CLK の立ち上がり時に、トランジスタ Q_1 のドレイン・ゲート間のオーバーラップ容量を介した結合によって、ノード N_1 のレベル 50

が不要に上昇する。その上昇によってトランジスタ Q_1 がオンすると、誤信号としての出力信号 G_k が出力される。本実施の形態では、トランジスタ Q_5 、 Q_8 の駆動能力の低下が抑制されるので、この誤信号の発生をより確実に防止できる。

【0109】

次に、逆方向走査時の単位シフトレジスタ SR_k の動作について説明する。ゲート線駆動回路30が逆方向走査を行う場合には、電圧信号発生器33は、第1電圧信号 V_n をLレベル(V_{SS})にし、第2電圧信号 V_r をHレベル(V_{DD})にする。つまり逆方向走査時には、順方向シフトのときとは反対に、単位シフトレジスタ SR_k のトランジスタ Q_3 がノード N_1 を放電(プルダウン)するトランジスタとして機能し、トランジスタ Q_4 がノード N_1 を充電(プルアップ)するトランジスタとして機能する。このようにトランジスタ Q_3 、 Q_4 の機能が入れ代わるが、単位シフトレジスタ SR_k は順方向走査時とほぼ同様の動作を行う。

【0110】

即ち、逆方向走査時の単位シフトレジスタ SR_k では、第2入力端子 IN_2 に次段の出力信号 G_{k+1} が入力されると、トランジスタ Q_4 がオンしてノード N_1 がHレベルになる。つまり単位シフトレジスタ SR_k はセット状態になる。すると順方向走査時と同様に、第1インバータ(容量素子 C_2 およびトランジスタ Q_6)の出力端であるノード N_2 、並びに第2インバータ(容量素子 C_3 およびトランジスタ Q_9)の出力端であるノード N_3 は、共にLレベルに固定される。その結果トランジスタ Q_2 、 Q_5 、 Q_8 はオフになる。よって、次に第1クロック端子 CK_1 のクロック信号 CLK がHレベルになるとき、出力端子 OUT から出力信号 G_k が出力される(第2クロック端子 CK_2 には第1クロック端子 CK_1 とは位相の異なるクロック信号 $\neg CLK$ が入力されるので、このときトランジスタ Q_7 はオフである)。

【0111】

そして第1入力端子 IN_1 に前段の出力信号 G_{k-1} が入力されると、ノード N_1 はLレベルになる。つまり単位シフトレジスタ SR_k はリセット状態になる。この状態では、順方向走査時と同様に、第1インバータがクロック信号 CLK により活性化される間、ノード N_2 がHレベルになり、また第2インバータがクロック信号 $\neg CLK$ により活性化される間、ノード N_3 がHレベルになる。つまりノード N_2 、 N_3 はクロック信号 CLK 、 $\neg CLK$ に同期して交互にHレベルになる。よって非選択期間の出力端子 OUT およびノード N_1 は、クロック信号 CLK の活性期間にトランジスタ Q_5 によって放電(プルダウン)され、クロック信号 $\neg CLK$ の活性期間にトランジスタ Q_8 によって放電される。よって非選択期間の殆どの期間ノード N_1 は低インピーダンスでLレベルになる。

【0112】

従って、逆方向走査時のゲート線駆動回路30では、単位シフトレジスタ SR_n の第2入力端子 IN_2 に入力されたスタート信号としての第2制御パルス ST_r を切っ掛けにして、図7に示すタイミング図のように、クロック信号 CLK 、 $\neg CLK$ に同期したタイミングで出力信号 G_n 、 G_{n-1} 、 G_{n-2} 、…が順に出力される。それによって、ゲート線駆動回路30は、所定の走査周期でゲート線 GL_n 、 GL_{n-1} 、 GL_{n-2} 、…をこの順に、即ち順方向シフトとは逆の順に駆動することができる。

【0113】

以上説明した中間段の単位シフトレジスタ SR_k の動作を踏まえ、順方向走査時における、最前段および最後段の単位シフトレジスタ SR_1 、 SR_n およびダミー段 SRD_1 、 SRD_2 の動作を説明する。

【0114】

ダミー信号 D_1 がLレベルのとき、単位シフトレジスタ SR_1 のトランジスタ Q_{10} はオフであり、その間の単位シフトレジスタ SR_1 は、中間段の単位シフトレジスタ SR_k と同様に動作する。よって図6の如く、クロック信号 $\neg CLK$ の立ち上がりと共に、スタート信号としての第1制御信号 ST_n が単位シフトレジスタ SR_1 の入力端子 IN に入力されると、次にクロック信号 CLK がHレベルになるタイミングで、単位シフトレジスタ S

10

20

30

40

50

R_1 から出力信号 G_1 が出力される。出力信号 G_1 は、単位シフトレジスタ SR_2 の第1入力端子 IN_1 に入力されると共に、ダミー段 SRD_1 の入力端子 IN にも入力される。

【0115】

クロック信号 CLK の立ち上がり時に、ダミー段 SRD_1 の入力端子 IN に出力信号 G_1 が入力されると、トランジスタ Q_{3D} がオンになる。トランジスタ Q_{4D} のゲートには、リセット端子 RST を介してクロック信号 CLK が入力されるが、ソースにそれと同相の出力信号 G_1 が入力されるためこのときトランジスタ Q_{4D} はオンしない。従って、ノード N_1 はトランジスタ Q_{3D} によって H レベル($VDD - V_{th}$)に充電され、トランジスタ Q_1 がオンする。つまりダミー段 SRD_1 はセット状態になる。このときダミー段 SRD_1 の第1インバータ(容量素子 C_2 およびトランジスタ Q_6)は非活性状態であるが、ノード N_1 が H レベルになったことにより、トランジスタ Q_6 がオンするためノード N_2 は低インピーダンスで L レベルになる。よってトランジスタ Q_2 がオフになる。

10

【0116】

クロック信号 CLK および出力信号 G_1 が L レベルになると、トランジスタ Q_{3D} 、 Q_{4D} はオフになる。また第1インバータ(容量素子 C_2 およびトランジスタ Q_6)は非活性状態であり、ノード N_2 は L レベルなので、トランジスタ Q_5 もオフである。よってダミー段 SRD_1 のノード N_1 はフローティング状態で H レベルに維持される。

【0117】

次いでクロック信号 CLK が H レベルになると、ダミー段 SRD_1 からダミー信号 D_1 が出力される。ダミー信号 D_1 は単位シフトレジスタ SR_1 のリセット端子 RST に入力され、単位シフトレジスタ SR_1 のトランジスタ Q_{10} がオンになる。その結果、単位シフトレジスタ SR_1 のノード N_1 は L レベルになり、当該単位シフトレジスタ SR_1 はリセット状態に戻る。その結果、次フレームにおける単位シフトレジスタ SR_1 の選択期間まで、出力信号 G_1 は L レベルに維持される。

20

【0118】

ダミー信号 D_1 を出力した後のダミー段 SRD_1 においては、クロック信号 CLK の活性化タイミングで、第1インバータがトランジスタ Q_2 、 Q_5 をオンにする。またクロック信号 CLK の活性化タイミングで、トランジスタ Q_7 、 Q_{4D} がオンになる。つまり次のフレーム期間に出力信号 G_1 が H レベルになるまでの期間、ダミー段 SRD_1 のノード N_1 はトランジスタ Q_{4D} 、 Q_5 によって交互に放電されて L レベルに維持され、同じく出力端子 OUT はトランジスタ Q_2 、 Q_7 によって交互に放電されて L レベルに維持される。よってその間、ダミー信号 D_1 は出力されない。

30

【0119】

なお、ダミー信号 D_1 が単位シフトレジスタ SR_1 のリセット端子 RST に入力されるのと同じタイミングで、単位シフトレジスタ SR_1 の第2入力端子 IN_2 には、単位シフトレジスタ SR_2 の出力信号 G_2 が入力される。よって、単位シフトレジスタ SR_1 のノード N_1 は、トランジスタ Q_4 によっても放電される。従って、理論的には順方向走査時にダミー段 SRD_1 がダミー信号 D_1 を出力するまでもなく、単位シフトレジスタ SR_1 をリセット状態にすることはできる。本実施の形態において、そのような動作が行われる理由については後述する。

40

【0120】

その後、単位シフトレジスタ SR_1 から出力信号 G_1 が出力された後は、図6に示したように、クロック信号 CLK 、 CLK に同期したタイミングで、単位シフトレジスタ SR_2 、 SR_3 、 $\dots$ 、 SR_n から、順番に出力信号 G_2 、 G_3 、 $\dots$ 、 G_n が出力される。

【0121】

ダミー信号 D_2 が L レベルのとき、単位シフトレジスタ SR_n のトランジスタ Q_{10} はオフであり、その間の単位シフトレジスタ SR_n は、中間段の単位シフトレジスタ SR_k と同様に動作する。よって図6の如く、クロック信号 CLK の立ち上がりと共に、出力信号 G_{n-1} が単位シフトレジスタ SR_n の入力端子 IN に入力されると、次にクロック信号 CLK が H レベルになるタイミングで、単位シフトレジスタ SR_n から出力信号 G_n が出力さ

50

れる。出力信号 G_n は、単位シフトレジスタ SR_{n-1} の第 2 入力端子 IN_2 に入力されると共に、ダミー段 SRD_2 の入力端子 IN にも入力される。

【0122】

ダミー段 SRD_2 の入力端子 IN に出力信号 G_n が入力されると、ダミー段 SRD_2 では、トランジスタ Q_{3D} がオンになりノード N_1 が充電される。ダミー段 SRD_2 のトランジスタ Q_{4D} のゲートには、リセット端子 RST に供給されるクロック信号 $/CLK$ が入力されるが、トランジスタ Q_{4D} のソースには当該クロック信号 $/CLK$ と同相の出力信号 G_n が入力されるので、このときトランジスタ Q_{4D} はオンしない。従って、ダミー段 SRD_2 のノード N_1 はトランジスタ Q_{3D} によって H レベル ($VDD - V_{th}$) に充電される。即ちダミー段 SRD_2 はセット状態になり、そのトランジスタ Q_1 がオンになる。

10

【0123】

そしてクロック信号 $/CLK$ および出力信号 G_n が L レベルになると、ダミー段 SRD_2 のトランジスタ Q_{3D} 、 Q_{4D} はオフになる。また第 1 インバータ（容量素子 C_2 およびトランジスタ Q_6 ）は非活性状態であるので、トランジスタ Q_5 もオフである。よってダミー段 SRD_2 のノード N_1 はフローティング状態で H レベルに維持される。

【0124】

次いでクロック信号 CLK が H レベルになると、ダミー段 SRD_2 からダミー信号 D_2 が出力される。ダミー信号 D_2 は単位シフトレジスタ SR_n のリセット端子 RST に入力され、単位シフトレジスタ SR_n のトランジスタ Q_{10} がオンになる。その結果、単位シフトレジスタ SR_n のノード N_1 は L レベルになり、当該単位シフトレジスタ SR_n はリセット状態に戻る。

20

【0125】

ダミー信号 D_2 を出力した後のダミー段 SRD_2 においては、クロック信号 CLK の活性化タイミングで、第 1 インバータがトランジスタ Q_2 、 Q_5 をオンにする。またクロック信号 $/CLK$ の活性化タイミングで、トランジスタ Q_7 、 Q_{4D} がオンになる。つまり次のフレーム期間に出力信号 G_n が H レベルになるまでの期間、ダミー段 SRD_1 のノード N_1 はトランジスタ Q_{4D} 、 Q_5 によって交互に放電されて L レベルに維持され、同じく出力端子 OUT はトランジスタ Q_2 、 Q_7 によって交互に放電されて L レベルに維持される。よってその間、ダミー信号 D_2 は出力されない。

30

【0126】

このように単位シフトレジスタ SR_n が、それをリセット状態にするためのリセット端子 RST およびトランジスタ Q_{10} を備えており、ダミー段 SRD_2 が出力するダミー信号 D_2 がそれに入力されるので、当該ダミー信号 D_2 を順方向走査時のエンド信号として機能させることができる。その結果、当該ゲート線駆動回路 30 はスタート信号のみで動作することができる。

【0127】

また、ダミー信号 D_1 、 D_2 をそれぞれ出力しない期間のダミー段 SRD_1 、 SRD_2 においては、ノード N_1 を放電するトランジスタ Q_{4D} 、 Q_5 のゲートおよび、出力端子 OUT を放電するトランジスタ Q_2 、 Q_7 のゲートは、クロック信号 CLK 、 $/CLK$ に同期して交互にバイアスされる。つまり継続的にバイアスされないで、それらのしきい値電圧シフトすなわち駆動能力の低下は抑えられる。よって、ノード N_1 および出力端子 OUT をより確実に低インピーダンスで L レベルに維持することができ、誤信号としてのダミー信号 D_2 の発生を防止することができる。

40

【0128】

なお、ゲート線駆動回路 30 が逆方向走査を行う場合には、第 1 電圧信号 V_n が L レベル (VSS) になり、第 2 電圧信号 V_r が H レベル (VDD) になり、また第 2 制御パルス STr がスタート信号として、単位シフトレジスタ SR_n の第 2 入力端子 IN_2 に入力される。それにより、ゲート先駆動段における信号のシフトが逆方向になるが、基本的にダミー段 SRD_1 、 SRD_2 自体は走査方向を問わず同じ動作を行う。

50

【0129】

即ち、逆方向走査時においても、ダミー段SRD1は、出力信号G₁が出力された次のタイミングでダミー信号D1を出力し、ダミー段SRD2は、出力信号G_nが出力された次のタイミングでダミー信号D2を出力する。逆方向走査時のダミー信号D1は、逆方向走査の最終段となる単位シフトレジスタSR₁のトランジスタQ10をオンにして当該単位シフトレジスタSR₁リセット状態にするエンド信号として機能する。

【0130】

以上のように本実施の形態では、単位シフトレジスタSR₁、SR_nが、それら各々をリセット状態にするためのリセット端子RSTを備えており、それらのダミー信号D1、D2がそれぞれ入力される。よって順方向走査時には、ダミー信号D2を、単位シフトレジスタSR_nをリセット状態にするためのエンド信号として機能させることができ、また逆方向走査時には、単位シフトレジスタSR₁をリセット状態にするためエンド信号として機能させることができる。その結果、当該ゲート線駆動回路30は、順方向走査時でも逆方向走査時でも、1種類のスタート信号のみで動作することができる。

【0131】

なお逆方向走査時には、ダミー信号D2が単位シフトレジスタSR_nのリセット端子RSTに入力されるのと同じタイミングで、単位シフトレジスタSR_nの第1入力端子IN2には、単位シフトレジスタSR_{n-1}の出力信号G_{n-1}が入力される。よって、単位シフトレジスタSR_nのノードN1は、トランジスタQ3によっても放電される。従って、理論的には逆方向走査時にダミー段SRD2がダミー信号D2を出力するまでもなく、単位シフトレジスタSR₁をリセット状態にすることはできる。

【0132】

先に述べたように、このことは順方向走査時のダミー信号D1についても同様であった。つまり、順方向走査時のダミー信号D1並びに逆方向走査時のダミー信号D2は、必ずしもゲート先駆動段の動作に必要なものではない。しかし本実施の形態では、それらをあえて出力させている。そのようにした理由を以下に説明する。

【0133】

例えば順方向走査時において、ダミー段SRD1からダミー信号D1が出力されないようにした場合、ダミー段SRD1のトランジスタQ1のソースである出力端子OUTは、トランジスタQ2、Q7によって常にLレベルに固定されることになる。また当該トランジスタQ1のゲート（ノードN1）は、トランジスタQ5によって常にLレベルに固定される。従って、ダミー段SRD1のトランジスタQ1のゲートがHレベルにバイアスされることはなく、当該トランジスタQ1にしきい値電圧のシフトは生じない。

【0134】

それに対し、ダミー段SRD1のトランジスタQ5は、ノードN1をLレベルに維持させるために、クロック信号／CLKに応じてオン、オフを繰り返す。つまりトランジスタQ5のゲートはクロック信号／CLKにより交流的に正バイアスされる。トランジスタQ5はゲートが直流的にバイアスされないので、上記のとおりしきい値電圧のシフトは抑制されるが、ある程度のシフトは生じる。その結果、トランジスタQ5の駆動能力、すなわちノードN1を放電（プルダウン）する能力は若干低下する。

【0135】

ダミー段SRD1において、トランジスタQ5によるノードN1の放電は、第1クロック端子CK1に入力されるクロック信号／CLKの立ち上がり時に、トランジスタQ1のドレイン・ゲート間のオーバーラップ容量を介した結合によってノードN1のレベルが不要に上昇することを、防止するためのものである。よって、トランジスタQ5におけるノードN1の放電能力が低下すると、そのクロック信号／CLKの立ち上がりに伴うノードN1のレベル上昇を抑制できなくなり、トランジスタQ1がオンして誤信号としてのダミー信号D1が発生するようになる。

【0136】

そうすると、単位シフトレジスタSR₁において、スタート信号としての第1制御信号

S T_nに応じてのノードN 1の充電が、誤信号としてのダミー信号D 1でトランジスタQ 1 0 Dがオンすることによって妨げられる。また、その後に逆方向走査に切り換えた場合にも、単位シフトレジスタS R₁において、出力信号G₂に応じてのノードN 1の充電が、誤信号としてのダミー信号D 1でトランジスタQ 1 0 Dがオンすることで妨げられる。その結果、単位シフトレジスタS R₁が誤動作するという問題が生じる。

【0137】

この問題は、逆方向走査時にダミー段S R D 2からダミー信号D 2が出力されないようにした場合でも、ダミー段S R D 2において同様に生じ、その場合には単位シフトレジスタS R_nの誤動作が生じやすくなる。

【0138】

一方、ゲート線駆動段の各段においては、トランジスタQ 1のゲート（ノードN 1）は、トランジスタQ 3又はQ 4を介した充電と、出力信号Gの出力時における昇圧により、定期的にHレベルにバイアスされるため、しきい値電圧に一定のシフトが生じる。トランジスタQ 1にしきい値電圧のシフトが生じることは問題を生じさせるようにも思われるが、トランジスタQ 1が若干オンし難くなるため、上記のようなトランジスタQ 5の僅かな放電能力の低下に起因する誤動作が防止されるように作用するという利点がある。

【0139】

ゲート線駆動段の各段では、トランジスタQ 1、Q 5の両方でしきい値電圧のシフトが生じることを前提にして、上記の誤動作が起こらないように、それらの寸法（ゲート幅、すなわちチャンネル幅）が決定される。トランジスタQ 1のオーバーラップ容量は、そのゲート幅に比例するためである。またトランジスタQ 1のドレイン・ゲート間のオーバーラップ容量によるノードN 1のレベル上昇の現象には、昇圧容量C 1の容量値も関係している。容量素子C 1は、そのノードN 1のレベル上昇時に、ノードN 1のレベルの安定化容量として機能しており、その容量値が大きい程、ノードN 1のレベル上昇は抑えられるからである。

【0140】

このようにゲート線駆動段の各段においては、Q 1のドレイン・ゲート間のオーバーラップ容量によるノードN 1のレベル上昇対策のために、トランジスタQ 1、Q 5の両方でしきい値電圧のシフトが生じることを考慮した上で、トランジスタQ 1のゲート幅W（Q 1）、トランジスタQ 5のゲート幅W（Q 5）、容量素子C 1の容量値C 1が一定の関係になるように設定されている。

【0141】

そのため、順方向走査時のダミー段S R D 1および逆方向走査時のダミー段S R D 2が、それぞれダミー信号D 1、D 2を出力しないようにして、ダミー段S R D 1、S R D 2のトランジスタQ 1のしきい値電圧のシフトが生じないようにすると、ゲート線駆動段の各段における上記W（Q 1）、W（Q 5）、C 1の値の設定を、そのままダミー段S R D 1、S R D 2に適用することができなくなる。つまり、ゲート線駆動段とダミー段S R D 1、S R D 2とで、上記のW（Q 1）、W（Q 5）、およびC 1の値を個別に設定する必要が生じる。

【0142】

本実施の形態では、順方向走査時のダミー段S R D 1および逆方向走査時のダミー段S R D 2にも、ゲート線駆動段の各段と同様に1フレーム期間に一度ダミー信号D 1、D 2を出力させることによって、ダミー段S R D 1、S R D 2においてもゲート線駆動段と同じようにトランジスタQ 1のしきい値電圧のシフトを発生させている。

【0143】

またダミー信号D 1、D 2は、ゲート線駆動段の出力信号Gと同様に、そのパルス幅はクロック信号C L K、／C L Kの1つのパルス幅と同じである。つまりダミー信号D 1、D 2とゲート線駆動段の出力信号Gの各々とは、同じ頻度で出力され、且つ、1フレーム期間内における活性時間（Hレベルになる時間すなわちパルス幅）すなわちデューティ比（活性時間とフレーム期間の長さとの比）が等しい。よって、ダミー段S R D 1、S R D

10

20

30

40

50

2とゲート線駆動段とでトランジスタQ1のしきい値電圧のシフト量はほぼ一致することになる。

【0144】

そうすることにより、ゲート線駆動段とダミー段SRD1, SRD2とで、上記のW(Q1)、W(Q5)、およびC1の値を揃えることができる。つまり、ダミー段SRD1, SRD2の各々とゲート線駆動段の各段との間で、W(Q1)に対するW(Q5)の比の値、およびW(Q1)に対するC1の比の値を、それぞれ次の式(1)および式(2)のように互いに等しくすることができる。なお、式(1)および式(2)では、 $[\cdot]_{DM}$ は、ダミー段SRD1, SRD2での値を表し、 $[\cdot]_{GD}$ はゲート線駆動段での値を表している。

10

【0145】

$$[W(Q5)/W(Q1)]_{DM} = [W(Q5)/W(Q1)]_{GD} \quad \cdots \text{式(1)}$$

【0146】

$$[C1/W(Q1)]_{DM} = [C1/W(Q1)]_{GD} \quad \cdots \text{式(2)}$$

【0147】

以上説明したように、本実施の形態に係るゲート線駆動回路30では、順方向走査時にはダミー段SRD2が出力するダミー信号D2がエンド信号として機能するため、外部からエンド信号を入力する必要は無い。よって順方向走査時には、スタート信号発生器32は、第1制御信号STnをスタート信号として機能させ、第2制御信号STrをLレベルに固定する(図6参照)。また逆方向走査時にはダミー段SRD1が出力するダミー信号D1がエンド信号として機能するため、外部からエンド信号を入力する必要は無い。よって逆方向走査時には、スタート信号発生器32は第2制御信号STrをスタート信号として機能させ、第1制御信号STnをLレベルに固定する(図7)。

20

【0148】

Lレベルに固定される信号は低電位側電源電位VSSから供給することができるので、スタート信号発生器32は、順方向走査時および逆方向走査時に、それぞれ1種類のスタート信号のみを生成すればよいことになる。このようにゲート線駆動回路30を駆動させるための信号数が減ることで、コストの削減に寄与できる。

【0149】

またダミー段SRD1, SRD2およびゲート線駆動段の各段においては、誤信号が出力されることを防止するために、それぞれの非選択期間に出力端子OUTおよびトランジスタQ1のゲート(ノードN1)の放電が行われる。出力端子OUTの放電は、トランジスタQ2, Q7がクロック信号CLK, /CLKに同期して交互にオンすることにより行われる。ノードN1の放電は、ゲート線駆動段の各段においてはトランジスタQ5, Q8が、ダミー段SRD1, SRD2にあってはトランジスタQ5, Q4Dが、それぞれクロック信号CLK, /CLKに同期して交互にオンすることにより行われる。

30

【0150】

つまりトランジスタQ2, Q5, Q4D, Q7, Q8のゲートが継続的にバイアスされないようになっており、それらのしきい値電圧のシフトが抑制される。その結果、トランジスタQ2, Q5, Q4D, Q7, Q8の駆動能力(放電能力)の低下が抑えられ、ゲート線駆動回路30の誤動作を防止することができる。

40

【0151】

なお、本実施の形態では、クロック信号CLK, /CLK、第1および第2制御信号STn, STr、並びに第1および第2電圧信号Vn, VrのHレベルおよびLレベルの電位はそれぞれ互いに等しいものと仮定したが、必ずしもそうである必要はなく、ゲート線駆動回路30の各トランジスタを充分駆動できる範囲の値であればよい。

【0152】

<実施の形態2>

図8(a), (b)は本発明の実施の形態2に係るダミー段SRD1, SRD2の構成を示す回路図である。図8(a), (b)のダミー段SRD1, SRD2は、それぞれ図

50

3に示したダミー段SRD1および図5に示したダミー段SRD2の回路に対し、ノードN1と第1電源端子S1との間に接続したトランジスタQ10Dをさらに設けたものである。

【0153】

トランジスタQ10Dのゲートは、リセット端子RSTとは別に設けられたリセット端子RST1に接続される。以下、本実施の形態2および後述の実施の形態3では、ダミー段SRD1、SRD2のリセット端子RSTを「第1リセット端子」、リセット端子RST1を「第2リセット端子」と称する。ダミー段SRD1の第2リセット端子RST1には第1制御信号STnが入力され、ダミー段SRD2の第2リセット端子RST1には第2制御信号STrが入力される。

10

【0154】

従って、ダミー段SRD1のトランジスタQ10Dは、順方向走査時のスタート信号（第1制御信号STn）に応じてオンし、当該ダミー段SRD1のノードN1を放電する。また、ダミー段SRD2のトランジスタQ10Dは、逆方向走査時のスタート信号（第2制御信号STr）に応じてオンし、当該ダミー段SRD2のノードN1を放電する。

【0155】

例えば順方向走査時の単位シフトレジスタSR₁において、入力端子INにスタート信号（第1制御信号STn）が入力されノードN1が充電されているときに、誤信号としてのダミー信号D1がリセット端子RSTに入力されると、トランジスタQ10によりノードN1が放電されてしまう。そうなると単位シフトレジスタSR₁はセット状態になることができず、正常な動作ができない。また逆方向走査時の単位シフトレジスタSR_nにおいても、スタート信号（第2制御信号STr）が入力されたときに、誤信号としてのダミー信号D2が発生すると同様の問題が生じる。

20

【0156】

本実施の形態においては、順方向走査時には、単位シフトレジスタSR₁にスタート信号（第1制御信号STn）が入力されるタイミングで、ダミー段SRD1のトランジスタQ1が確実にオフになる。よってそのときに誤信号としてのダミー信号D1を出力されることが防止される。また逆方向走査時においても、単位シフトレジスタSR_nにスタート信号（第2制御信号STr）が入力されるタイミングで、誤信号としてのダミー信号D2が出力されることが防止される。よって上記の問題は生じない。

30

【0157】

但し本実施の形態では、トランジスタQ10Dおよび第1および第2制御信号STn、STrの信号配線の分だけ、ダミー段SRD1、SRD2の回路の占有面積が大きくなることに留意すべきである。

【0158】

なお、順方向走査時におけるダミー段SRD2のトランジスタQ10Dは、常にオフになるので（順方向走査時の第2制御信号STrはLレベルに固定されている）、当該ダミー段SRD2の動作には影響しない。同様に、逆方向走査時におけるダミー段SRD1のトランジスタQ10Dは、常にオフになるので（逆方向走査時の第1制御信号STnはLレベルに固定されている）、当該ダミー段SRD1の動作には影響しない。

40

【0159】

<実施の形態3>

図9(a)、(b)は本発明の実施の形態3に係るダミー段SRD1、SRD2の構成を示す回路図である。図9(a)、(b)のダミー段SRD1、SRD2は、それぞれ図8(a)、(b)に示したダミー段SRD1、SRD2の回路に対し、ノードN1と第1電源端子S1との間に接続したトランジスタQ11Dがさらに設けられている。トランジスタQ11Dのゲートは、第1リセット端子RSTおよび第2リセット端子RST1とは別に設けられた第3リセット端子RST2に接続されている。ダミー段SRD1の第3リセット端子RST2は、単位シフトレジスタSR₂の出力端子OUTに接続され、ダミー段SRD2の第3リセット端子RST2は、単位シフトレジスタSR_{n-1}の出力端子OU

50

Tに接続される。

【0160】

またダミー段SRD1のトランジスタQ3Dのドレインは、第2電圧信号V_rが供給される第2電圧信号端子T2に接続される。つまりダミー段SRD1のトランジスタQ3Dは、ノードN1と第2電圧信号端子T2との間に接続し、ゲートが入力端子INに接続される。一方、ダミー段SRD2のトランジスタQ3Dのドレインは、第1電圧信号V_nが供給される第1電圧信号端子T1に接続されている。つまりダミー段SRD2のトランジスタQ3Dは、ノードN1と第1電圧信号端子T1との間に接続し、ゲートが入力端子INに接続される。

【0161】

例えば順方向走査時において、ダミー段SRD1のノードN1は、スタート信号（第1制御信号ST_n）に応じてトランジスタQ10Dにより放電され、続いて出力信号G₁に応じてトランジスタQ3Dにより放電され（順方向走査時であるので第2電圧信号V_rはLレベルである）、さらに出力信号G₂に応じてトランジスタQ11Dにより放電される。よって、ダミー段SRD1はセット状態にならない。従って図10に示すように、順方向走査時のダミー段SRD1からダミー信号D1は出力されない。

【0162】

なお順方向走査時のダミー段SRD2のノードN1は、出力信号G_{n-1}に応じてトランジスタQ11Dにより放電されるが、続いて出力信号G_nが入力されるときにはトランジスタQ3Dがオンして充電される（順方向走査時であるので第1電圧信号V_nはHレベルである）。よって出力信号G_nの入力タイミングでセット状態になり、エンド信号としてのダミー信号D2を出力できる。

【0163】

また逆方向走査時において、ダミー段SRD2のノードN1は、スタート信号（第2制御信号ST_r）に応じてトランジスタQ10Dにより放電され、続いて出力信号G_nに応じてトランジスタQ3Dにより放電され（逆方向走査時であるので第1電圧信号V_nはLレベルである）、さらに出力信号G_{n-1}に応じてトランジスタQ11Dにより放電される。よって、ダミー段SRD2はセット状態にならない。従って図11に示すように、逆方向走査時のダミー段SRD2からダミー信号D2は出力されない。

【0164】

また逆方向走査時のダミー段SRD1のノードN1は、出力信号G₂に応じてトランジスタQ11Dにより放電されるが、続いて出力信号G₁が入力されるときにはトランジスタQ3Dがオンして充電される（逆方向走査時であるので第2電圧信号V_rはHレベルである）。よって出力信号G₁の入力タイミングでセット状態になり、エンド信号としてのダミー信号D1を出力できる。

【0165】

実施の形態1で述べたように、順方向走査時のダミー信号D1および逆方向走査時のダミー信号D2は、必ずしも単位シフトレジスタSR₁、SR_nの動作に必要なわけではないので、それらが出力されなくてもゲート線駆動段の動作に影響は無い。またトランジスタQ10Dの作用については、実施の形態2で説明したとおりである。

【0166】

ここで、トランジスタQ11Dの作用について説明する。実施の形態1でも説明したように、例えば順方向走査時に、ダミー段SRD1がダミー信号D1を出力しない場合、ダミー段SRD1ではトランジスタQ5のしきい値電圧がシフトするが、トランジスタQ1のしきい値電圧はシフトしない。そのためダミー段SRD1からは、クロック信号／CLKの活性化タイミングで、誤信号としてのダミー信号D1が出力されやすくなる。そうすると、その後に逆方向走査に切り換えたとき、単位シフトレジスタSR₁における出力信号G₂に応じてのノードN1の充電が妨げられ、単位シフトレジスタSR₁が誤動作する。

【0167】

ダミー段SRD1のトランジスタQ11Dは、この逆方向走査時の単位シフトレジスタ

10

20

30

40

50

S R₁の誤動作を防止する目的で設けられている。つまり、出力信号G₂が出力されるタイミングで、ダミー段S R D 1のノードN 1のレベルが上昇するのを防ぎ、誤信号としてのダミー信号D 1が出力されるのを防止しているのである。

【0168】

同様に、ダミー段S R D 2のトランジスタQ 1 1 Dは、順方向走査時の単位シフトレジスタS R_nの誤動作を防止する目的で設けられている。つまり順方向走査時の出力信号G_{n-1}が出力されるタイミングで、ダミー段S R D 2のノードN 1のレベルが上昇するのを防ぎ、誤信号としてのダミー信号D 2が出力されるのを防止している。

【0169】

このように、本実施の形態のダミー段S R D 1, S R D 2においては、トランジスタQ 1のゲート（ノードN 1）が、ほぼ常に低インピーダンスのLレベルになるので、確実にトランジスタQ 1をオフに維持することができる。よって、実施の形態1のように、あえてトランジスタQ 1のしきい値電圧シフトを起こさずとも、誤信号としてのダミー信号D 1, D 2の発生を防止することができる。

【0170】

但し、実施の形態1, 2によりも、トランジスタQ 1 1 Dおよび第1および第2電圧信号V_n, V_rの配線領域の分だけ、ダミー段S R D 1, S R D 2の回路の占有面積が大きくなること留意すべきである。

【0171】

<実施の形態4>

図12（a）,（b）は本発明の実施の形態4に係るダミー段S R D 1, S R D 2の構成を示す回路図である。図12（a）,（b）のダミー段S R D 1, S R D 2は、それぞれ図9（a）,（b）に示した実施の形態3のダミー段S R D 1, S R D 2の回路に対し、トランジスタQ 1 0 D, Q 1 1 Dを除いたものである。その分だけ、実施の形態3よりもダミー段S R D 1, S R D 2の回路の占有面積を小さくすることができる。

【0172】

本実施の形態のダミー段S R D 1, S R D 2では、実施の形態3と同様に、順方向走査時にはダミー段S R D 1がセット状態にならないのでダミー信号D 1が出力されず、逆方向走査時にはダミー段S R D 2がセット状態にならないのでダミー信号D 2が出力されない。

【0173】

従ってダミー段S R D 1, S R D 2のトランジスタQ 1のしきい値電圧シフトは生じない。しかし、本実施の形態のダミー段S R D 1, S R D 2は、トランジスタQ 1 0 D, Q 1 1 Dを有していないため、トランジスタQ 1にしきい値電圧シフトが生じなければ、トランジスタQ 5のしきい値電圧シフトによるノードN 1の放電能力の低下に起因して、誤信号としてのダミー信号D 1, D 2が発生しやすくなることが懸念される。

【0174】

実施の形態1で説明したように、ゲート線駆動段の各段においては、それらが誤信号を発生しないように、トランジスタQ 1, Q 5のゲート幅（W（Q 1）, W（Q 5））および容量素子C 1の容量値（C 1）が所定の関係になるように設定される。

【0175】

そこで本実施の形態では、ダミー段S R D 1, S R D 2が、ゲート線駆動段よりも誤信号を発生し難くなるように、それらの値を設定する。即ち、ダミー段S R D 1, S R D 2においては、トランジスタQ 1のドレイン・ゲート間のオーバーラップ容量（トランジスタQ 1のゲート幅に比例する）とトランジスタQ 5の駆動能力（トランジスタQ 5のゲート幅に比例する）との比を、ゲート線駆動段のそれに比べて十分大きく設定する。つまり下の式（3）の関係を満たすようにする。ここでも $[\cdot]_{DM}$ は、ダミー段S R D 1, S R D 2での値を表し、 $[\cdot]_{GD}$ はゲート線駆動段での値を表している。

【0176】

$$[W(Q5)/W(Q1)]_{DM} > [W(Q5)/W(Q1)]_{GD} \quad \cdots \text{式(3)}$$

10

20

30

40

50

【0177】

式(3)の関係が満たされるように各パラメータを設定すれば、ダミー段SRD1, SRD2におけるトランジスタQ5の放電能力が比較的高くなる。よってダミー段SRD1, SRD2のトランジスタQ1にしきい値電圧シフトが生じない場合でも、そのノードN1のレベルが不要に上昇することが抑制される。その結果、誤信号としてのダミー信号D1, D2が発生することを防止することができる。

【0178】

あるいは、ダミー段SRD1, SRD2において、トランジスタQ1のゲート幅と容量素子C1の容量値(C1)との比を、ゲート線駆動段に比べ充分大きくしてもよい。即ち、下の式(4)の関係を満たすようにする。これによってもダミー段SRD1, SRD2が、ゲート線駆動段よりも誤信号を発生し難くなる。

【0179】

$$[C1/W(Q1)]_{DM} > [C1/W(Q1)]_{GD} \quad \cdots \text{式(4)}$$

【0180】

式(4)の関係が満たされるように各パラメータを設定しても、ダミー段SRD1, SRD2のノードN1のレベル上昇を抑制することができ、上記と同様の効果が得られる。

【0181】

<実施の形態5>

図13は、実施の形態5に係るゲート線駆動回路30の構成を示す図である。また図14～図16は、当該ゲート線駆動回路30の具体的な回路構成を示す図である。図14はダミー段SRD1およびゲート線駆動段の最前段(単位シフトレジスタSR₁)を示しており、図15はゲート線駆動段の中間段(単位シフトレジスタSR_k)、図16はゲート線駆動段の最終段(単位シフトレジスタSR_n)およびダミー段SRD2を示している。

【0182】

図14～図16から分かるように、本実施の形態のダミー段SRD1, SRD2およびゲート線駆動段の各段は、出力端子OUTを放電するトランジスタ(出力プルダウントランジスタ)を2つずつ(トランジスタQ2A, Q2B)有している。またノードN1を放電するトランジスタも2つずつ(トランジスタQ5A, Q5B)有している。

【0183】

図13に示すフレーム信号発生器34は、それらトランジスタQ2A, Q2B, Q5A, Q5Bを切り替えて動作させるための第1および第2フレーム信号VFR, /VFRを生成するものである。ダミー段SRD1, SRD2およびゲート線駆動段の各段は、第1フレーム信号VFRが入力される第1フレーム信号端子TAおよび、第2フレーム信号/VFRが入力される第2フレーム信号端子TBを有している。

【0184】

第1フレーム信号VFRと第2フレーム信号/VFRとは互いに相補な信号である。この第1および第2フレーム信号VFR, /VFRは、表示画像のフレーム間のブランキング期間にレベルが切り替わる(交番する)よう制御されることが望ましく、例えば、表示画像の1フレーム毎の周期でレベルが切り替わるよう制御される。当該周期は1フレーム毎でなくてもよく、その整数倍(例えば2フレーム毎、3フレーム毎など)であってもよい。ゲート線駆動回路30は、1フレーム期間ごとにゲート線GL₁～GL_nを繰り返し活性化させるように動作するので、映像信号のフレーム周期がその動作周期となる。

【0185】

図15を参照し、ゲート線駆動段の中間段である双方向単位シフトレジスタSR_kの構成について説明する。当該単位シフトレジスタSR_kの出力段は、出力端子OUTと第1クロック端子CK1との間に接続するトランジスタQ1と、共に出力端子OUTと第1電源端子S1との間に接続するトランジスタQ2A, Q2Bとにより構成されている。トランジスタQ1は、第1クロック端子CK1に入力されるクロック信号を出力端子OUTに供給するものである。トランジスタQ2A, Q2Bは、それぞれが第1電源端子S1の電位を出力端子OUTに供給することで、当該出力端子OUTを放電するものである。

【0186】

ここで図15に示すように、トランジスタQ1のゲートが接続するノードをノードN1、トランジスタQ2Aのゲートが接続するノードをノードN2A、トランジスタQ2Bのゲートが接続するノードをノードN2Bと定義する。

【0187】

トランジスタQ1のゲートとソースとの間すなわちノードN1と出力端子OUTとの間には容量素子C1が設けられている。ノードN1と第1電圧信号端子T1との間には、ゲートが第1入力端子IN1に接続するトランジスタQ3が接続しており、ノードN1と第1電圧信号端子T1との間には、ゲートが第2入力端子IN2に接続したトランジスタQ4が接続されている。また、ノードN1と第1電源端子S1との間には、ゲートがノードN2Aに接続したトランジスタQ5A、並びに、ゲートがノードN2Bに接続したトランジスタQ5Bが接続している。

【0188】

トランジスタQ13Aは、第1フレーム信号端子TAとノードN2Aの間に接続し、トランジスタQ13Bは、第2フレーム信号端子TBとノードN2Bとの間に接続する。トランジスタQ13AのゲートはトランジスタQ13Bのドレイン（ノードN2B）に接続し、トランジスタQ13BのゲートはトランジスタQ13Aのドレイン（ノードN2A）に接続する。即ち、トランジスタQ13AおよびトランジスタQ13Bは、その片方の主電極（ここではドレイン）がたすき掛けに互いのゲートに接続されており、いわゆるフリップフロップ回路を構成している。

【0189】

トランジスタQ12Aはダイオード接続しており、ノードN2Aと第1フレーム信号端子TAとの間に接続している。トランジスタQ6Aは、ノードN2Aと第1電源端子S1との間に接続し、ゲートがノードN1に接続している。これらトランジスタQ6A、Q12Aは、ノードN1を入力端、ノードN2Aを出力端とするレシオ型インバータを構成している。つまりトランジスタQ6AはトランジスタQ12Aよりもオン抵抗が充分低く設定されており、このインバータのLレベル出力の電位は、それらのオン抵抗の比で決まる値となる。但し当該インバータは、通常のインバータと異なり、その電源としては第1フレーム信号VFRが供給されている。

【0190】

またトランジスタQ12Bはダイオード接続しており、ノードN2Bと第2フレーム信号端子TBとの間に接続している。トランジスタQ6Bは、ノードN2Bと第1電源端子S1との間に接続し、ゲートがノードN1に接続している。これらトランジスタQ6B、Q12Bは、ノードN1を入力端、ノードN2Bを出力端とするレシオ型の第2インバータを構成しているが、通常のインバータと異なり、その電源として第2フレーム信号/VFRが供給されている。

【0191】

本実施の形態では、トランジスタQ6A、Q12Aより成るインバータを「第1インバータ」と称し、トランジスタQ6B、Q12Bより成るインバータを「第2インバータ」と称する。

【0192】

第1インバータは、ノードN1を入力端とし、トランジスタQ2A、Q5Aのゲートが接続するノードN2Aを出力端としている。よってトランジスタQ2A、Q5Aは、ノードN1のレベルを第1インバータが反転させたレベルに基づいて制御されることになる。また第2インバータは、ノードN1を入力端とし、トランジスタQ2B、Q5Bのゲートが接続するノードN2Bを出力端としている。よってトランジスタQ2B、Q5Bは、ノードN1のレベルを第2インバータが反転させたレベルに基づいて制御されることになる。

【0193】

次に、ゲート線駆動段の最前段および最後段である単位シフトレジスタSR₁、SR_nの

10

20

30

40

50

構成について説明する。図 1 4 および図 1 6 から分かるように、単位シフトレジスタ SR_1 , SR_n は共に同じ回路構成を有しており、それは上で説明した中間段の単位シフトレジスタ SR_k に類似している。即ち、単位シフトレジスタ SR_1 , SR_n は、中間段の単位シフトレジスタ SR_k の回路に対し、ノード N 1 と第 1 電源端子 S 1 との間に接続し、ゲートがリセット端子 RST に接続したトランジスタ Q 1 0 をさらに備えるものである。

【0194】

ダミー段 SRD 1, SRD 2 の構成について説明する。図 1 4 および図 1 6 から分かるように、ダミー段 SRD 1, SRD 2 は共に同じ回路構成を有しており、それらも中間段の単位シフトレジスタ SR_k に類似している。即ち、ダミー段 SRD 1, SRD 2 は、中間段の単位シフトレジスタ SR_k の回路に対し、トランジスタ Q 3, Q 4 に代えて以下のトランジスタ Q 3 D, Q 4 D を備えるものである。

10

【0195】

トランジスタ Q 3 D, Q 4 D は、共にノード N 1 と入力端子 IN との間に接続している。そのうちトランジスタ Q 3 D のゲートは入力端子 IN に接続する（即ちトランジスタ Q 3 D は、入力端子 IN 側がアノード、ノード N 1 側がカソードとなるようにダイオード接続されている）。よってトランジスタ Q 3 D は、入力端子 IN に入力される信号に応じてノード N 1 を充電するように機能する。一方、トランジスタ Q 4 のゲートはリセット端子 RST に接続される。よってトランジスタ Q 4 D は、入力端子 IN が L レベルのときにクロック信号 CLK に応じてノード N 1 を放電するように機能する。

【0196】

20

本実施の形態に係るゲート線駆動回路 3 0 の動作を説明する。ここでも簡単のため、クロック信号 CLK, /CLK、第 1 および第 2 制御信号 STn, STr、第 1 および第 2 電圧信号 Vn, Vr、第 1 および第 2 フレーム信号 VFR, /VFR の H レベルおよび L レベルの電位はそれぞれ互いに等しいものとし、その H レベルの電位は高電位側電源電位 VDD、L レベルの電位は低電位側電源電位 VSS であるとする。また電位 VSS は 0 V とする。また第 1 および第 2 フレーム信号 VFR, /VFR のレベルは、1 フレーム毎のブランキング期間に切り換わるものとする。さらに各単位シフトレジスタ SR およびダミー段 SRD 1, SRD 2 を構成するトランジスタのしきい値電圧は全て等しいと仮定し、その値を Vth とする。

【0197】

30

まず図 1 5 を参照し、ゲート線駆動段の中間段である第 k 段目の単位シフトレジスタ SR_k の順方向走査時の動作を説明する。順方向走査時には、電圧信号発生器 3 3 が生成する第 1 電圧信号 Vn は H レベル (VDD) であり、第 2 電圧信号 Vr は L レベル (VSS) である。また単位シフトレジスタ SR_k の第 1 クロック端子 CK 1 には、図 1 5 の如くクロック信号 CLK が入力され、第 2 クロック端子 CK 2 にはクロック信号 /CLK が入力されるものと仮定する（図 1 3 の奇数段に相当）。

【0198】

40

ブランキング期間に、第 1 フレーム信号 VFR が H レベル、第 2 フレーム信号 /VFR が L レベルに切り換わったとする。すると単位シフトレジスタ SR_k では、トランジスタ Q 1 2 A のドレインおよびゲート（第 1 フレーム信号端子 TA）の電位が VSS から VD へ変化し、当該トランジスタ Q 1 2 A がオンになる。即ち、トランジスタ Q 6 A, Q 1 2 A より成る第 1 インバータに電源が供給され、当該第 1 インバータが活性化される。このときトランジスタ Q 5 B がオンしておりノード N 1 は L レベルなので、トランジスタ Q 6 A はオンせず、ノード N 2 A のレベルが上昇する。

【0199】

50

他方、トランジスタ Q 1 2 B のドレインおよびゲート（第 2 フレーム信号端子 TB）の電位は VDD から VSS へ変化する。即ち、トランジスタ Q 6 B, Q 1 2 B より成る第 2 インバータには電源が供給されない。トランジスタ Q 1 2 B は第 2 フレーム信号端子 TB 側をアノード、ノード N 2 B 側をカソードとするダイオードとして機能するため、ノード N 2 B の電荷はトランジスタ Q 6 を通しては放電されない。しかし上記のようにノード N

2 A のレベルが上昇しており、且つトランジスタ Q 1 3 B のソース（第 2 フレーム信号端子 T B）が L レベル（V S S）になっているので、トランジスタ Q 1 3 B がオンしてノード N 2 B は L レベル（V S S）になる。応じてトランジスタ Q 1 3 A がオフとなり、ノード N 2 A は H レベル（V D D - V t h）となる。

【0200】

このように第 1 フレーム信号 V F R が H レベル、第 2 フレーム信号 / V F R が L レベルである期間は、第 2 インバータが活性化せず、その出力端であるノード N 2 B は L レベルに固定される。よってその間のトランジスタ Q 2 B およびトランジスタ Q 5 B は、ゲートがバイアスされず休止状態になる。つまりその期間、この単位シフトレジスタ S R_kにおいて、トランジスタ Q 1, Q 2 A, Q 3, Q 4, Q 5 A, Q 6 A, Q 1 2 A の組み合わせにより、特許文献 2 の図 1 7 に示した双方向単位シフトレジスタと等価な回路が構成され、それと同様の動作が可能である。

10

【0201】

即ち、前段の出力信号 G_{k-1} が H レベルになると、それが第 1 入力端子 I N 1 に入力されてトランジスタ Q 3 がオンする。このときトランジスタ Q 5 A もオンしているが、トランジスタ Q 3 のオン抵抗はトランジスタ Q 5 A のオン抵抗に比べ十分低く設定されており、ノード N 1 は H レベル（V D D - V t h）となり、トランジスタ Q 1 がオンになる。つまり単位シフトレジスタ S R_k はセット状態になる。

【0202】

ノード N 1 が H レベルになると、トランジスタ Q 6 A, Q 1 2 A より成る第 1 インバータの動作により、ノード N 2 A が L レベルになる。応じて、トランジスタ Q 2 A, Q 5 A がオフになる。その後、前段の出力信号 G_{k-1} が L レベルに戻るとトランジスタ Q 3 はオフするが、ノード N 1 はフローティング状態になるのでノード N 1 の H レベルは維持される。

20

【0203】

トランジスタ Q 1 がオン、トランジスタ Q 2 A, Q 2 B がオフであるので、次にクロック信号 C L K が H レベルになると、その H レベルが出力端子 O U T に伝達され、出力信号 G_k が H レベルになる。このとき、容量素子 C 1 およびトランジスタ Q 1 のゲート・チャネル間容量を介した結合により、ノード N 1 のレベルが特定の電圧だけ昇圧される。従ってトランジスタ Q 1 のソース・ゲート間電圧は高く保たれ、当該トランジスタ Q 1 が低インピーダンスに維持される。

30

【0204】

その後、クロック信号 C L K が L レベルになり、さらにクロック信号 / C L K が H レベルになると、次段のシフトレジスタの出力信号 G_{k+1} が H レベルになる。それにより単位シフトレジスタ S R_k のトランジスタ Q 4 がオンし、ノード N 1 が L レベルになる。つまり単位シフトレジスタ S R_k はリセット状態になる。応じてトランジスタ Q 6 A がオフし、ノード N 2 A が H レベル（V D D - V t h）に戻る。その後、次のブランキング期間で第 1 および第 2 フレーム信号 V F R, / V F R のレベルが反転するまでは、この状態が維持される。

【0205】

そしてブランキング期間で、第 1 フレーム信号 V F R が L レベル、第 2 フレーム信号 / V F R が H レベルになると、それまでとは逆に、トランジスタ Q 6 B, Q 1 2 B より成る第 2 インバータが活性化されて、ノード N 2 B が H レベルになる。応じてトランジスタ Q 1 3 A がオンになり、且つ第 1 インバータは非活性状態にあるため、ノード N 2 A は L レベル（V S S）になる。

40

【0206】

即ち、第 1 フレーム信号 V F R が L レベル、第 2 フレーム信号 / V F R が H レベルである期間では、トランジスタ Q 2 A, Q 5 A のゲートはバイアスされず、当該トランジスタ Q 2 A, Q 5 A が休止状態になる。また、第 1 インバータも電源が供給されないため動作しない。よって当該単位シフトレジスタ S R_k において、トランジスタ Q 1, Q 2 B, Q

50

3, Q 4, Q 5 B, Q 6 B, Q 1 2 Bの組み合わせによって、特許文献2の図17に示した双方向単位シフトレジスタと等価な回路が構成され、それによって信号のシフト動作が行われる。

【0207】

一方、ゲート線駆動回路30が逆方向走査を行う場合には、電圧信号発生器33は、第1電圧信号 V_n をLレベル(VSS)にし、第2電圧信号 V_r をHレベル(VDD)にする。つまり逆方向走査の場合には、順方向シフトのときとは反対に、単位シフトレジスタ SR_k のトランジスタQ3がノードN1を放電(プルダウン)するトランジスタとして機能し、トランジスタQ4がノードN1を充電(プルアップ)するトランジスタとして機能する。

10

【0208】

従って逆方向走査時には、単位シフトレジスタ SR_k は、第2入力端子IN2に次段の出力信号 G_{k+1} が入力されない間はリセット状態を維持する。リセット状態ではトランジスタQ1がオフ、トランジスタQ2A, Q2Bの片方がオンであるため、出力端子OUT(出力信号 G_k)は低インピーダンスのLレベル(VSS)に維持される。そして第2入力端子IN2に出力信号 G_{k+1} が入力されると、単位シフトレジスタ SR_k はセット状態に切り替わる。セット状態ではトランジスタQ1がオン、トランジスタQ2A, Q2Bがオフであるため、クロック信号CLKがHレベルになる期間、出力端子OUTがHレベルになって出力信号 G_k が出力される。そしてその後、第1入力端子IN1に前段の出力信号 G_{k-1} が入力されると、元のリセット状態に戻る。

20

【0209】

このように、図15の単位シフトレジスタ SR_k は、従来の双方向単位シフトレジスタ(特許文献2の図17)と同様の動作を行うことができる。そして、第1および第2フレーム信号VFR, /VFRが反転する毎に、トランジスタQ2A, Q5AのペアとトランジスタQ2B, Q5Bのペアとが交互に休止状態になるので、それらのゲートが継続的にバイアスされることが防止される。従って、非選択期間に出力端子OUTを放電(プルダウン)するトランジスタQ2A, Q2B、およびノードN1を放電するトランジスタQ5A, Q5Bのしきい値電圧のシフトを抑制することができる。その結果、当該単位シフトレジスタ SR_k から誤信号としての出力信号 G_k が出力されることを防止することができる。

30

【0210】

以上説明した中間段の単位シフトレジスタ SR_k の動作を踏まえ、順方向走査時における、最前段および最後段の単位シフトレジスタ SR_1 , SR_n およびダミー段SRD1, SRD2の動作を説明する。本実施の形態のゲート線駆動回路30の動作は、図6と同じタイミング図により表される。またここでは、第1フレーム信号VFRはHレベル、第2フレーム信号/VFRがLレベルであるとする。

【0211】

ダミー信号D1がLレベルのとき、単位シフトレジスタ SR_1 のトランジスタQ10はオフであり、その間単位シフトレジスタ SR_1 は、中間段の単位シフトレジスタ SR_k と同様に動作する。よって図6の如く、クロック信号/CLKの立ち上がりと共にスタート信号としての第1制御信号STnが単位シフトレジスタ SR_1 の入力端子INに入力されると、次にクロック信号CLKがHレベルになるタイミングで単位シフトレジスタ SR_1 は出力信号 G_1 を出力する。出力信号 G_1 は、単位シフトレジスタ SR_2 の第1入力端子IN1に入力されると共に、ダミー段SRD1の入力端子INにも入力される。

40

【0212】

ダミー段SRD1においては、出力信号 G_1 が入力されると、トランジスタQ3Dがオンになる。トランジスタQ4のゲートには、リセット端子RSTを介してクロック信号CLKが入力されるが、ソースにそれと同相の出力信号 G_1 が入力されるためこのときトランジスタQ4はオンしない。従って、ノードN1はトランジスタQ3DによってHレベル(VDD-Vth)に充電され、トランジスタQ1がオンする。つまりダミー段SRD1

50

はセット状態になる。

【0213】

クロック信号CLKおよび出力信号 G_1 がLレベルになると、ダミー段SRD1の入力端子INはLレベルになる。しかしトランジスタQ3D、Q4Dはオフになり、またノードN1がHレベルであるので、第1インバータ（トランジスタQ6A、Q12A）の出力端であるノードN2AはLレベルになっており、トランジスタQ5Aもオフである。また第2インバータ（トランジスタQ6B、Q12B）は非活性状態であるので、その出力端であるノードN2BはLレベルになっており、トランジスタQ5Bもオフである。よってダミー段SRD1のノードN1はフローティング状態でHレベルに維持される。

【0214】

またこのときダミー段SRD1のトランジスタQ1はオン、トランジスタQ2A、Q2Bはオフである。よって次にクロック信号／CLKがHレベルになると、ダミー段SRD1からダミー信号D1が出力される。ダミー信号D1は単位シフトレジスタSR₁のリセット端子RSTに入力され、単位シフトレジスタSR₁のトランジスタQ10がオンになる。その結果、単位シフトレジスタSR₁のノードN1はLレベルになり、当該単位シフトレジスタSR₁はリセット状態に戻る。その結果、次フレームにおける単位シフトレジスタSR₁の選択期間まで、出力信号 G_1 はLレベルに維持される。

【0215】

ダミー信号D1を出力した後のダミー段SRD1においては、リセット端子RSTに入力されるクロック信号CLKの立ち上がり時に、トランジスタQ4DがオンになりノードN1をLレベルにする。ノードN1がLレベルになると、第1インバータの出力端であるノードN2AがHレベルになり、トランジスタQ5Aがオンになるので、ノードN1は低インピーダンスでLレベルに維持される。

【0216】

また次のブランキング期間に第1および第2フレーム信号VFR、／VFRのレベルが切り換わっても、第2インバータが活性化されてノードN2BをHレベルにするので、トランジスタQ5Bがオンになり、ノードN1をLレベルに維持する。よって次のフレーム期間に出力信号 G_1 がHレベルになるまでの期間、ダミー信号D1は出力されない。

【0217】

なお本実施の形態でも順方向シフト時には、ダミー信号D1が単位シフトレジスタSR₁のリセット端子RSTに入力されるのと同じタイミングで、単位シフトレジスタSR₁の第2入力端子IN2には、の出力信号 G_2 が入力される。よって、単位シフトレジスタSR₁のノードN1は、トランジスタQ4によっても放電される。従って、理論的には順方向走査時にダミー段SRD1がダミー信号D1を出力するまでもなく、単位シフトレジスタSR₁をリセット状態になる。本実施の形態において、そのような動作が行われる理由は、実施の形態1で説明したとおりである。つまり、ダミー段SRD1のトランジスタQ1にあえてしきい値電圧シフトを生じさせ、それによって誤信号の発生を抑制するためである。

【0218】

単位シフトレジスタSR₁から出力信号 G_1 が出力された後は、図6に示したように、クロック信号CLK、／CLKに同期したタイミングで、単位シフトレジスタSR₂、SR₃、…、SR_nから、順番に出力信号 G_2 、 G_3 、…、 G_n が出力される。

【0219】

ダミー信号D2がLレベルのとき、単位シフトレジスタSR_nのトランジスタQ10はオフであり、その間単位シフトレジスタSR_nは、中間段の単位シフトレジスタSR_kと同様に動作する。よって図6の如く、クロック信号CLKの立ち上がりと共に出力信号 G_{n-1} が単位シフトレジスタSR_nの入力端子INに入力されると、次にクロック信号／CLKがHレベルになるタイミングで、単位シフトレジスタSR_nは出力信号 G_n を出力する。出力信号 G_n は、単位シフトレジスタSR_{n-1}の第2入力端子IN2に入力されると共に、ダミー段SRD2の入力端子INにも入力される。

【0220】

するとダミー段SRD2では、トランジスタQ3Dがオンになり、ノードN1が充電される。ダミー段SRD2のトランジスタQ4Dのゲートには、リセット端子RSTに供給されるクロック信号／CLKが入力されるが、トランジスタQ4Dのソースには当該クロック信号／CLKと同相の出力信号G_nが入力されるので、このときトランジスタQ4Dはオンしない。従って、ダミー段SRD2のノードN1はトランジスタQ3DによってHレベル(VDD-V_{th})に充電される。即ちダミー段SRD2はセット状態になり、そのトランジスタQ1がオンになる。

【0221】

そしてクロック信号／CLKおよび出力信号G_nがLレベルになると、ダミー段SRD2の入力端子INはLレベルになる。しかしトランジスタQ3D、Q4Dはオフになり、またノードN1がHレベルであるので、第1インバータ(トランジスタQ6A、Q12A)の出力端であるノードN2AはLレベルになっており、トランジスタQ5Aもオフである。また第2インバータ(トランジスタQ6B、Q12B)は非活性状態であるので、その出力端であるノードN2BはLレベルになっており、トランジスタQ5Bもオフである。よってダミー段SRD2のノードN1はフローティング状態でHレベルに維持される。

【0222】

このときダミー段SRD2のトランジスタQ1がオン、トランジスタQ2A、Q2Bがオフである。よって次にクロック信号CLKがHレベルになると、ダミー段SRD2からダミー信号D2が出力される。ダミー信号D2は単位シフトレジスタSR_nのリセット端子RSTに入力され、単位シフトレジスタSR_nのトランジスタQ10がオンになる。その結果、単位シフトレジスタSR_nのノードN1はLレベルになり、当該単位シフトレジスタSR_nはリセット状態に戻る。

【0223】

ダミー信号D2を出力した後のダミー段SRD2においては、リセット端子RSTに入力されるクロック信号CLKの立ち上がり時に、トランジスタQ4DがオンになりノードN1をLレベルにする。ノードN1がLレベルになると、第1インバータの出力端であるノードN2AがHレベルになり、トランジスタQ5Aがオンになるので、ノードN1はLレベルに維持される。また次のブランキング期間に第1および第2フレーム信号VFR、／VFRのレベルが切り換わっても、第2インバータが活性化してノードN2BをHレベルにするので、トランジスタQ5Bがオンになり、ノードN1はLレベルに維持される。よって次のフレーム期間に出力信号G_nがHレベルになるまでの期間、ダミー信号D2は出力されない。

【0224】

また以上では主に、第1フレーム信号VFRがHレベル、第2フレーム信号／VFRがLレベルの場合について説明したが、それらのレベルが切り換わっても、動作に寄与するトランジスタが入れ代わるだけであり、基本的に上記と同じ動作が行われる。

【0225】

なお、ゲート線駆動回路30が逆方向走査を行う場合には、第1電圧信号V_nがLレベル(VSS)になり、第2電圧信号V_rがHレベル(VDD)になる。また第2制御パルスST_rがスタート信号として、ゲート先駆動段の最後段である単位シフトレジスタSR_nの第2入力端子IN2に入力される。これにより、ゲート先駆動段における信号のシフトが逆方向になるが、ダミー段SRD1、SRD2の動作は、順方向走査時と同じである。

【0226】

即ち、逆方向走査時においても、ダミー段SRD1は、出力信号G₁が出力された次のタイミングでダミー信号D1を出力し、ダミー段SRD2は、出力信号G_nが出力された次のタイミングでダミー信号D2を出力する。よって、ダミー信号D1は逆方向走査の最終段となる単位シフトレジスタSR₁をリセット状態にするエンド信号として機能する。

【0227】

本実施の形態に係るゲート線駆動回路 30 では、ダミー段 S R D 1, S R D 2 およびゲート線駆動段の各段において、トランジスタ Q 2 A, Q 5 A とトランジスタ A 2 B, Q 5 B との切り換え周期 (フレーム期間に相当) が、実施の形態 1 におけるトランジスタ Q 2, Q 5 とトランジスタ Q 7, Q 8 との切り換え周期 (クロック信号 C L K, / C L K の周期に相当) よりも数十倍長い。そのため実施の形態 1 よりも消費電力を低減することができる。ただし、フレーム周期で交番する、互いに相補な第 1 および第 2 フレーム信号 V F R, / V F R を生成するためのフレーム信号生成器 34 をゲート線駆動回路 30 に設ける必要がある。

【0228】

なお本実施の形態では、クロック信号 C L K, / C L K、第 1 および第 2 制御信号 S T n, S T r、第 1 および第 2 電圧信号 V n, V r 並びに第 1 および第 2 フレーム信号 V F R, / V F R の H レベルおよび L レベルの電位はそれぞれ互いに等しいものと仮定したが、必ずしもそうである必要はなく、ゲート線駆動回路 30 の各トランジスタを充分駆動できる範囲の値であればよい。

【0229】

また本実施の形態では、フリップフロップ回路を構成しているトランジスタ Q 13 A およびトランジスタ Q 13 B において、一方のゲートが他方のドレインに接続された例を示したが、一方のゲートが他方のソースに接続されるようにしてもよい。即ち、図 17 に示すように、トランジスタ Q 13 A のゲートをトランジスタ Q 13 B のソース (第 2 フレーム信号端子 T B) に接続させ、トランジスタ Q 13 B のゲートはトランジスタ Q 13 A のソース (第 1 フレーム信号端子 T A) に接続させてもよい。このように構成しても、上記と同様の動作を行うことができる。

【0230】

上記の実施の形態 2 ~ 4 は、本実施の形態のダミー段 S R D 1, S R D 2 に対しても適用可能である。図 18 (a), (b) は実施の形態 2 を適用した例である。この場合、図 14 に示したダミー段 S R D 1 および図 16 に示したダミー段 S R D 2 の回路に対し、ノード N 1 と第 1 電源端子 S 1 との間に接続したトランジスタ Q 10 D がさらに設けられる。

【0231】

トランジスタ Q 10 D のゲートは、リセット端子 R S T (第 1 リセット端子) とは別に設けられたリセット端子 R S T 1 に接続 (第 2 リセット端子) される。ダミー段 S R D 1 の第 2 リセット端子 R S T 1 には第 1 制御信号 S T n が入力され、ダミー段 S R D 2 の第 2 リセット端子 R S T 1 には第 2 制御信号 S T r が入力される。この構成によっても、実施の形態 2 と同様の効果が得られる。

【0232】

図 19 (a), (b) は実施の形態 3 を適用した例である。この場合、ダミー段 S R D 1, S R D 2 は、図 18 (a), (b) に示したダミー段 S R D 1, S R D 2 の回路に対し、ノード N 1 と第 1 電源端子 S 1 との間に接続したトランジスタ Q 11 D がさらに設けられる。トランジスタ Q 11 D のゲートは、第 1 リセット端子 R S T および第 2 リセット端子 R S T 1 とは別に設けられた第 3 リセット端子 R S T 2 に接続される。ダミー段 S R D 1 の第 3 リセット端子 R S T 2 は、単位シフトレジスタ S R₂ の出力端子 O U T に接続され、ダミー段 S R D 2 の第 3 リセット端子 R S T 2 は、単位シフトレジスタ S R_{n-1} の出力端子 O U T に接続される。

【0233】

またダミー段 S R D 1 のトランジスタ Q 3 D のドレインは、第 2 電圧信号 V r が供給される第 2 電圧信号端子 T 2 に接続され、ダミー段 S R D 2 のトランジスタ Q 3 D のドレインは、第 1 電圧信号 V n が供給される第 1 電圧信号端子 T 1 に接続される。この構成によっても、実施の形態 3 と同様の効果が得られる。

【0234】

図 20 (a), (b) は実施の形態 4 を適用した例である。この場合、ダミー段 S R D

10

20

30

40

50

1, S R D 2 は、図 1 9 (a) , (b) に示したダミー段 S R D 1 , S R D 2 の回路に対し、トランジスタ Q 1 0 D , Q 1 1 D を除いたものとなる。

【 0 2 3 5 】

この場合にも、上記の式 (3) 又は式 (4) の条件を満たすようにすることが望ましい。但し、本実施の形態では、実施の形態 1 のトランジスタ Q 5 の代わりに、トランジスタ Q 5 A , Q 5 B が片方ずつ動作することになるため、式 (3) における $W(Q 5)$ の値は、トランジスタ Q 5 A , Q 5 B のゲート幅のうちの小さい方とする (通常はトランジスタ Q 5 A , Q 5 B のゲート幅は同じにする)。

【 0 2 3 6 】

< 実施の形態 6 >

実施の形態 5 では、ダミー段 S R D 1 , S R D 2 およびゲート線駆動段の各段において、トランジスタ Q 2 A , Q 5 A とトランジスタ Q 2 B , Q 5 B との交互の駆動を、2つのインバータを用いて行っていたが、本実施の形態では同様の動作を1つのインバータを用いて行う例を示す。

【 0 2 3 7 】

図 2 1 ~ 図 2 3 は、当該ゲート線駆動回路 3 0 の具体的な回路構成を示す図である。図 2 1 はダミー段 S R D 1 およびゲート線駆動段の最前段 (単位シフトレジスタ $S R_1$) を示しており、図 2 2 はゲート線駆動段の中間段 (単位シフトレジスタ $S R_k$)、図 2 3 はゲート線駆動段の最終段 (単位シフトレジスタ $S R_n$) およびダミー段 S R D 2 を示している。なお、本実施の形態でも、ゲート線駆動回路 3 0 の全体的な構成 (ダミー段 S R D 1 , S R D 2 およびゲート線駆動段の各段間の接続関係) は、図 1 3 と同様である。

【 0 2 3 8 】

図 2 2 を参照し、ゲート線駆動回路 3 0 の中間段である双方向単位シフトレジスタ $S R_k$ の構成について説明する。本実施の形態の単位シフトレジスタ $S R_k$ においては、トランジスタ Q 2 A , Q 2 B を駆動するプルダウン駆動回路は、トランジスタ Q 6 , Q 1 2 から成るインバータと、当該インバータの出力端 (「ノード N 4」と定義する) とノード N 2 A との間に接続するトランジスタ Q 1 4 A と、当該ノード N 4 とノード N 2 B との間に接続するトランジスタ Q 1 4 B とにより構成される。トランジスタ Q 1 4 A のゲートは、第 1 フレーム信号 V F R が入力される第 1 フレーム信号端子 T A に接続し、トランジスタ Q 1 4 B のゲートは第 2 フレーム信号 / V F R が入力される第 2 フレーム信号端子 T B に接続する。また上記インバータにおいては、トランジスタ Q 1 2 は、ノード N 4 と高電位側電源電位 V D D 1 が供給される第 2 電源端子 S 2 との間に接続しており、第 2 電源端子 S 2 側がアノード、ノード N 4 側がカソードになるようダイオード接続される。トランジスタ Q 6 はノード N 4 と第 1 電源端子 S 1 との間に接続され、そのゲートは当該インバータの入力端であるノード N 1 に接続される。なお電位 V D D 1 は、上記の電位 V D D (各信号の H レベル) と同じであってもよい。

【 0 2 3 9 】

この構成によれば、第 1 フレーム信号 V F R が H レベル、第 2 フレーム信号 / V F R が L レベルの期間は、トランジスタ Q 1 4 A がオン、トランジスタ Q 1 4 B がオフになるので、インバータの出力端すなわちノード N 4 はノード N 2 A に電氣的に接続される。つまりその間は、トランジスタ Q 2 A , Q 5 A が駆動され、トランジスタ Q 2 B , Q 5 B は休止状態になる。逆に、第 1 フレーム信号 V F R が L レベル、第 2 フレーム信号 / V F R が H レベルの期間は、トランジスタ Q 1 4 A がオフ、トランジスタ Q 1 4 B がオンになるので、ノード N 4 はノード N 2 B に電氣的に接続される。つまりその間は、トランジスタ Q 2 B , Q 5 B が駆動され、トランジスタ Q 2 A , Q 5 A は休止状態になる。

【 0 2 4 0 】

このように、トランジスタ Q 1 4 A , Q 1 4 B は、第 1 および第 2 フレーム信号 V F R , / V F R に基づいて、トランジスタ Q 6 , Q 1 2 より成るインバータの出力端 (ノード N 4) を、ノード N 2 A およびノード N 2 B へと交互に接続させる切替回路として機能する。

10

20

30

40

50

【0241】

次に、ゲート線駆動段の最前段および最後段である単位シフトレジスタ SR_1 、 SR_n の構成について説明する。図21および図23から分かるように、単位シフトレジスタ SR_1 、 SR_n は共に同じ回路構成を有しており、それは上で説明した中間段の単位シフトレジスタ SR_k に類似している。即ち、単位シフトレジスタ SR_1 、 SR_n は、中間段の単位シフトレジスタ SR_k の回路に対し、ノードN1と第1電源端子S1との間に接続し、ゲートがリセット端子RSTに接続したトランジスタQ10をさらに備えるものである。

【0242】

ダミー段SRD1、SRD2の構成について説明する。図21および図23から分かるように、ダミー段SRD1、SRD2は共に同じ回路構成を有しており、それらも中間段の単位シフトレジスタ SR_k に類似している。即ち、ダミー段SRD1、SRD2は、中間段の単位シフトレジスタ SR_k の回路に対し、トランジスタQ3、Q4に代えて以下のトランジスタQ3D、Q4Dを備えるものである。

【0243】

トランジスタQ3D、Q4Dは、共にノードN1と入力端子INとの間に接続している。そのうちトランジスタQ3Dのゲートは入力端子INに接続する（即ちトランジスタQ3Dは、入力端子IN側がアノード、ノードN1側がカソードとなるようにダイオード接続されている）。よってトランジスタQ3Dは、入力端子INに入力される信号に応じてノードN1を充電するように機能する。一方、トランジスタQ4のゲートはリセット端子RSTに接続される。よってトランジスタQ4Dは、入力端子INがLレベルのときにクロック信号CLKに応じてノードN1を放電するように機能する。

【0244】

実施の形態5では、ダミー段SRD1、SRD2およびゲート線駆動段の各段において、トランジスタQ2A、Q5AとトランジスタQ2B、Q5Bとの交互の駆動を、トランジスタQ2A、Q5Aを駆動する第1インバータと、トランジスタQ2B、Q5Bを駆動する第2インバータとを交互に動作させることで行っていた。それに対し本実施の形態では、単一のインバータ（トランジスタQ6、Q12）の出力端の接続先を、トランジスタQ2Aのゲート（ノードN1）と、トランジスタQ2Bのゲート（ノードN2）とに交互に切り替えることによって行っている。その点を除けば、本実施の形態のゲート線駆動回路30の動作（ダミー段SRD1、SRD2およびゲート線駆動段の各段の動作）は実施の形態5と同様であるので、ここでの詳細な説明は省略する。

【0245】

本実施の形態においても、第1および第2フレーム信号VFR、 $\neg$ VFRが反転する毎に、トランジスタQ2A、Q5AのペアとトランジスタQ2B、Q5Bのペアとが交互に休止状態になるので、それらのゲートが直流的にバイアスされることが防止される。従って、実施の形態5と同様にトランジスタQ2A、Q2B、Q5A、Q5Bのしきい値電圧シフトを防止でき、誤信号の発生を防止することができる。

【0246】

また本実施の形態では、トランジスタQ2A、Q2Bを1つのインバータを用いて駆動しているため、実施の形態5よりも消費電力を小さくできるという利点もある。さらに、実施の形態5と比較してゲートがノードN1に接続したトランジスタが少なく、ノードN1に接続されるトランジスタのゲート容量が小さくなる。よって、ノードN1の寄生容量が低減され、第1クロック端子CK1に入力されるクロック信号によるノードN1の昇圧効果が高くなり、トランジスタQ1の駆動能力が向上するという利点もある。また使用されるトランジスタが実施の形態5より少ないため、回路の占有面積が小さくなるという利点もある。

【0247】

なお図21～図23では、フリップフロップ回路を構成しているトランジスタQ13AおよびトランジスタQ13Bにおいて、一方のゲートが他方のドレインに接続された例を示したが、実施の形態5で示した図17と同様に、一方のゲートが他方のソースに接続さ

れるようにしてもよい。

【0248】

また実施の形態2～4は、本実施の形態のダミー段SRD1, SRD2に対しても適用可能である。図24(a), (b)は実施の形態2を適用した例である。この場合、図21に示したダミー段SRD1および図23に示したダミー段SRD2の回路に対し、ノードN1と第1電源端子S1との間に接続したトランジスタQ10Dがさらに設けられる。

【0249】

トランジスタQ10Dのゲートは、リセット端子RST(第1リセット端子)とは別に設けられたリセット端子RST1に接続(第2リセット端子)される。ダミー段SRD1の第2リセット端子RST1には第1制御信号STnが入力され、ダミー段SRD2の第2リセット端子RST1には第2制御信号STrが入力される。この構成によっても、実施の形態2と同様の効果が得られる。

10

【0250】

図25(a), (b)は実施の形態3を適用した例である。この場合、ダミー段SRD1, SRD2は、図24(a), (b)に示したダミー段SRD1, SRD2の回路に対し、ノードN1と第1電源端子S1との間に接続したトランジスタQ11Dがさらに設けられる。トランジスタQ11Dのゲートは、第1リセット端子RSTおよび第2リセット端子RST1とは別に設けられた第3リセット端子RST2に接続される。ダミー段SRD1の第3リセット端子RST2は、単位シフトレジスタSR₂の出力端子OUTに接続され、ダミー段SRD2の第3リセット端子RST2は、単位シフトレジスタSR_{n-1}の出力端子OUTに接続される。

20

【0251】

またダミー段SRD1のトランジスタQ3Dのドレインは、第2電圧信号Vrが供給される第2電圧信号端子T2に接続され、ダミー段SRD2のトランジスタQ3Dのドレインは、第1電圧信号Vnが供給される第1電圧信号端子T1に接続される。この構成によっても、実施の形態3と同様の効果が得られる。

【0252】

図26(a), (b)は実施の形態4を適用した例である。この場合、ダミー段SRD1, SRD2は、図25(a), (b)に示したダミー段SRD1, SRD2の回路に対し、トランジスタQ10D, Q11Dを除いたものとなる。

30

【0253】

この場合にも、上記の式(3)又は式(4)の条件を満たすようにすることが望ましい。但し、本実施の形態では、実施の形態1のトランジスタQ5の代わりに、トランジスタQ5A, Q5Bが片方ずつ動作することになるため、式(3)におけるW(Q5)の値は、トランジスタQ5A, Q5Bのゲート幅のうちの小さい方とする(通常はトランジスタQ5A, Q5Bのゲート幅は同じにする)。

【0254】

<実施の形態7>

本実施の形態では、ダミー段SRD1, SRD2の変形例を示す。以下ではトランジスタQ3Dのドレインの接続先の変形例を示すが、実施の形態3, 4では、ダミー段SRD1のトランジスタQ3Dのドレインは第2電圧信号端子T2に、ダミー段SRD2のトランジスタQ3Dのドレインは第1電圧信号端子T1に、それぞれ接続される必要があるため、以下の変形例は適用されない。

40

【0255】

実施の形態3, 4を除いて、トランジスタQ3Dは、専らノードN1の充電するために用いられるので、トランジスタQ3Dのドレインは、図27(a)の如く高電位側電源電位VDD2が供給される第3電源端子S3に接続してもよい。電位VDD2は、上記の電位VDD(各信号のHレベル)と同じであってもよいし、実施の形態6に適用する場合は電位VDD1(インバータの電源電位)と同じであってもよい。

【0256】

50

また図 27 (b) のように、トランジスタ Q 3 D のドレインと第 1 電圧信号端子 T 1 との間にダイオード接続したトランジスタ Q 1 5 n を接続させると共に、当該トランジスタ Q 3 D のドレインと第 2 電圧信号端子 T 2 との間にダイオード接続したトランジスタ Q 1 5 r を接続させてもよい。第 1 および第 2 電圧信号 V n, V r は互いに相補関係にあるので、トランジスタ Q 3 D のドレインには、常に第 1 および第 2 電圧信号 V n, V r の片方により H レベルの電位が供給され、図 27 (a) のように一定の電位を供給する場合とほぼ等価になる。

【0257】

また実施の形態 4, 5 においては、図 27 (c) のように、トランジスタ Q 3 D のドレインと第 1 フレーム信号端子 T A との間にダイオード接続したトランジスタ Q 1 5 A を接続させると共に、当該トランジスタ Q 3 D のドレインと第 2 フレーム信号端子 T B との間にダイオード接続したトランジスタ Q 1 5 B を接続させてもよい。第 1 および第 2 フレーム信号 V F R, / V F R は互いに相補関係にあるので、トランジスタ Q 3 D のドレインには、常に第 1 および第 2 フレーム信号 V F R, / V F R の片方により H レベルの電位が供給され、図 27 (a) のように一定の電位を供給する場合とほぼ等価になる。

【0258】

本実施の形態によれば、ダミー段 S R D 1, S R D 2 およびゲート線駆動段の各出力端子 O U T にかかる負荷容量を軽減させることができる。また、ゲート線駆動段の最前段および最後段（単位シフトレジスタ S R₁, S R_n）と中間段（単位シフトレジスタ S R₂ ~ S R_{n-1}）とで、出力端子 O U T にかかる負荷容量を均一化することができる。

【符号の説明】

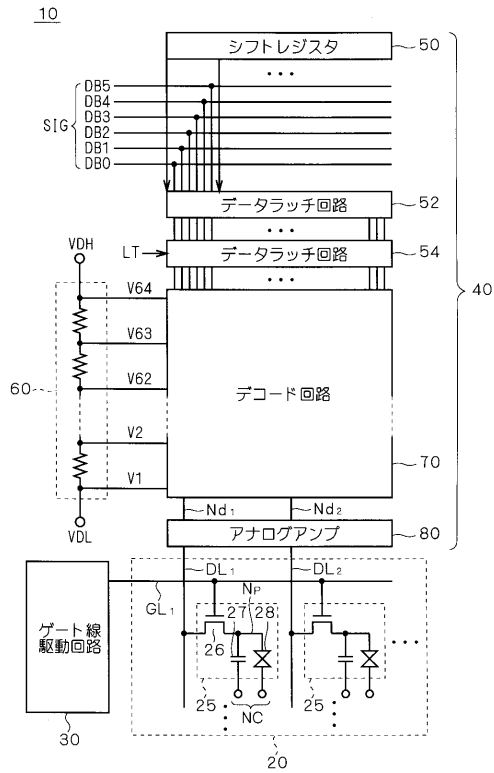
【0259】

30 ゲート線駆動回路、31 クロック発生器、32 スタート信号発生器、33 電圧信号発生器、S R 単位シフトレジスタ、S R D 1, S R D 2 ダミー段、I N 1 第 1 入力端子、I N 2 第 2 入力端子、O U T 出力端子、G L ゲート線、S 1, S 2, S 3 電源端子、C K 1, C K 2 クロック端子、C 1 ~ C 3 容量素子、Q 1 ~ Q 15 トランジスタ、R S T, R S T 1, R S T 2 リセット端子、T 1 第 1 電圧信号端子、T 2 第 2 電圧信号端子、T A 第 1 フレーム信号端子、T B 第 2 フレーム信号端子。

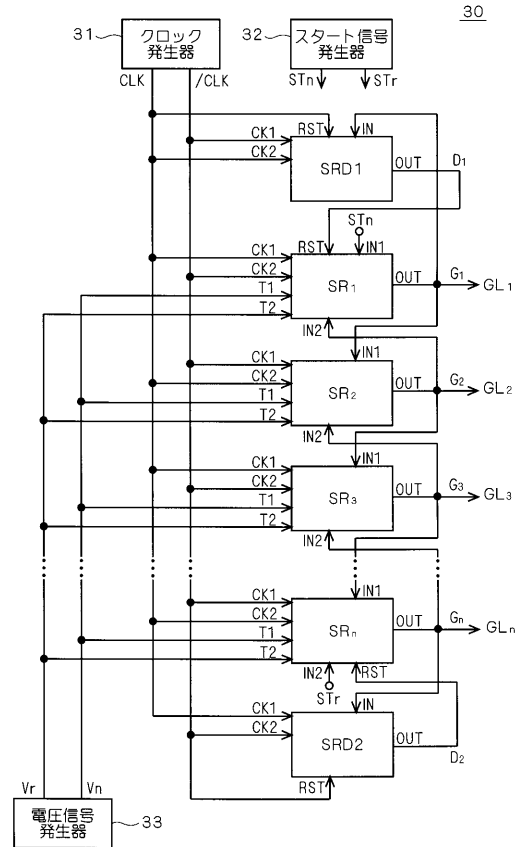
10

20

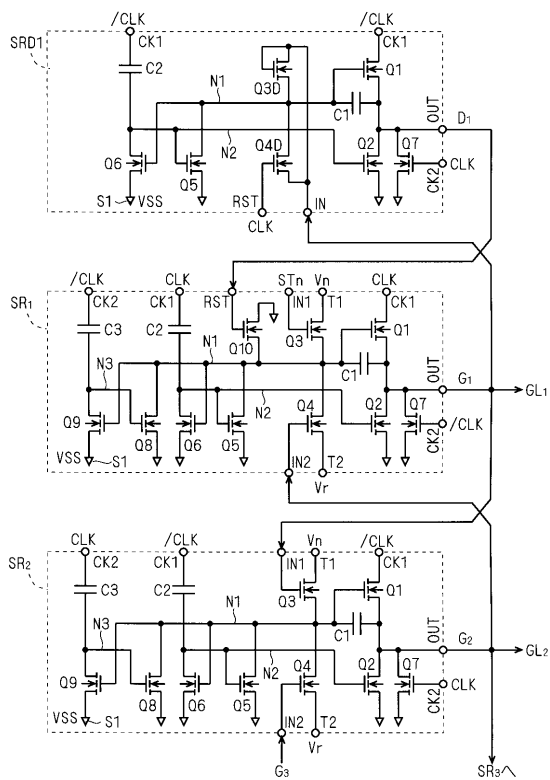
【図 1】



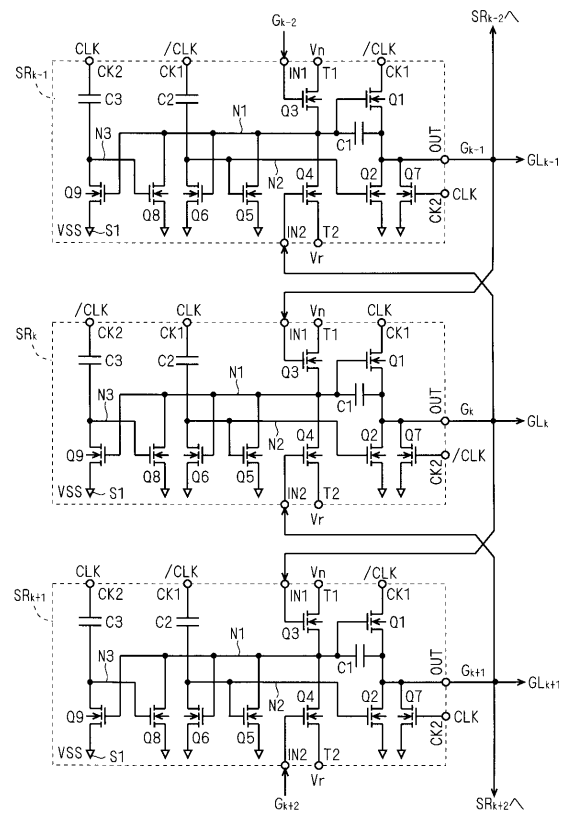
【図 2】



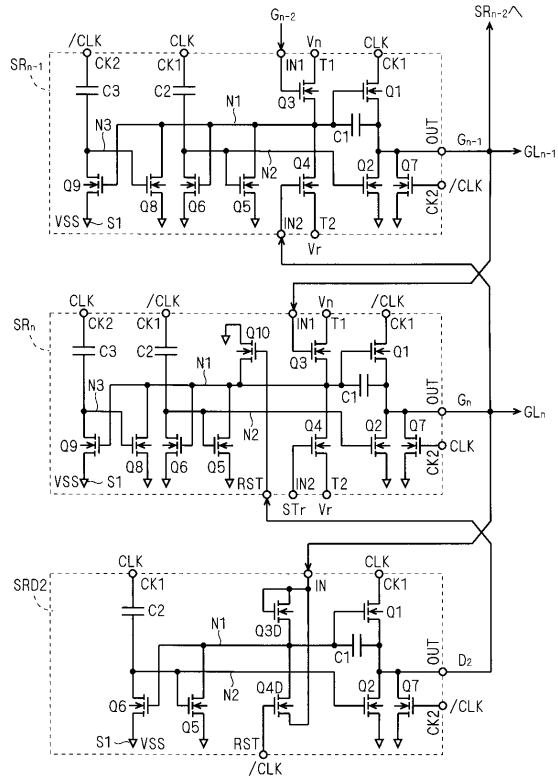
【図 3】



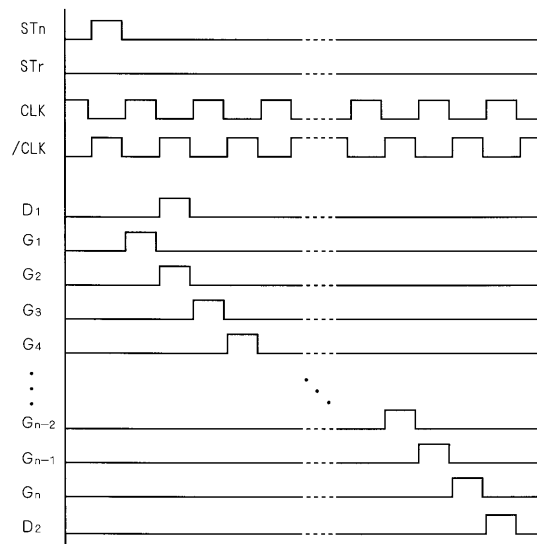
【図 4】



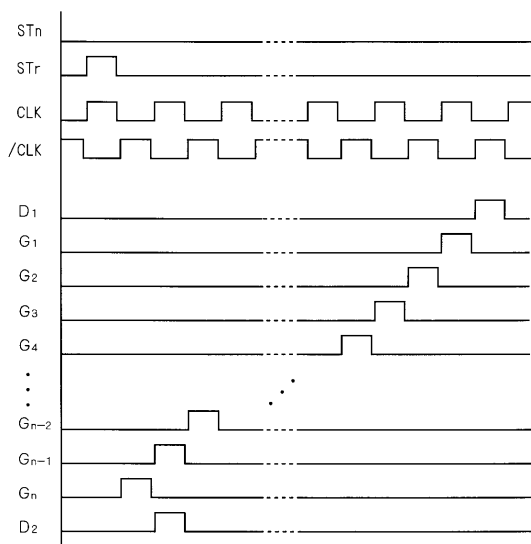
【図 5】



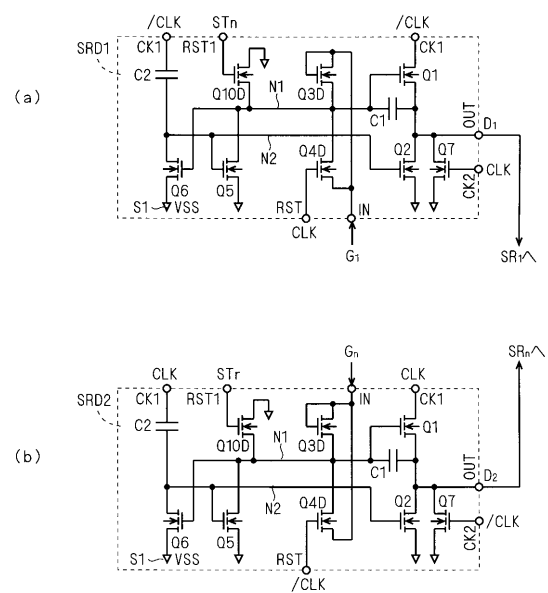
【図 6】



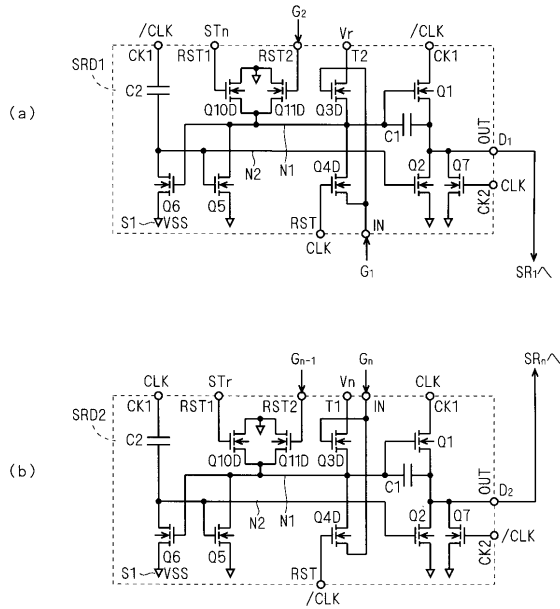
【図 7】



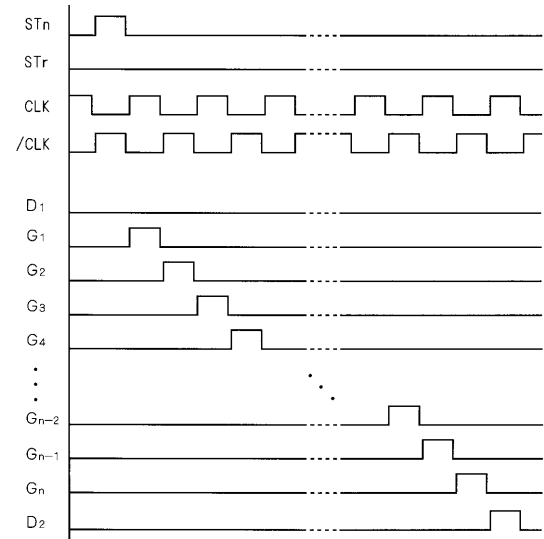
【図 8】



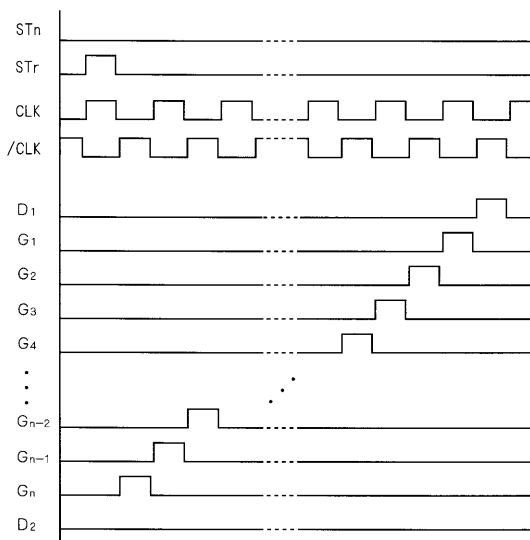
【図 9】



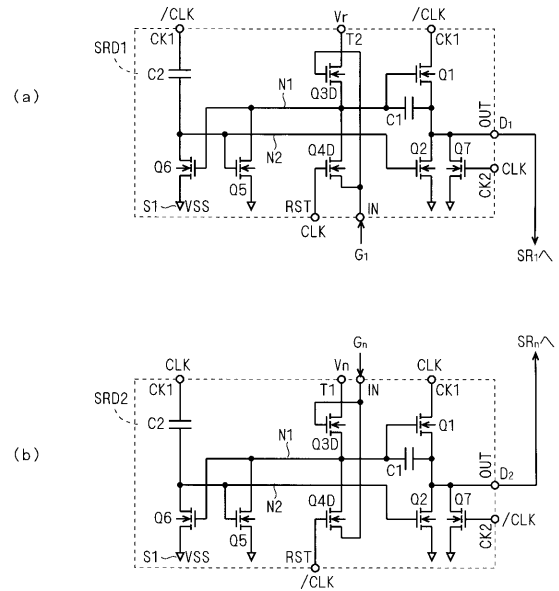
【図 10】



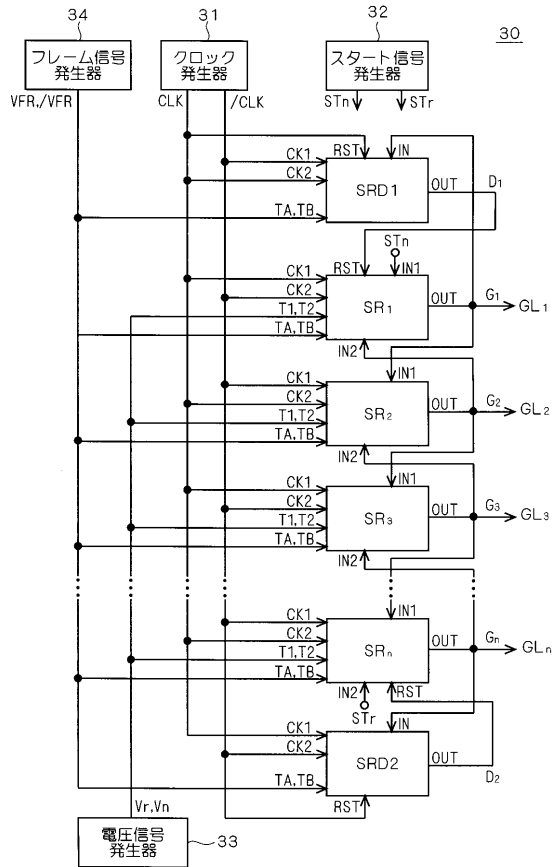
【図 11】



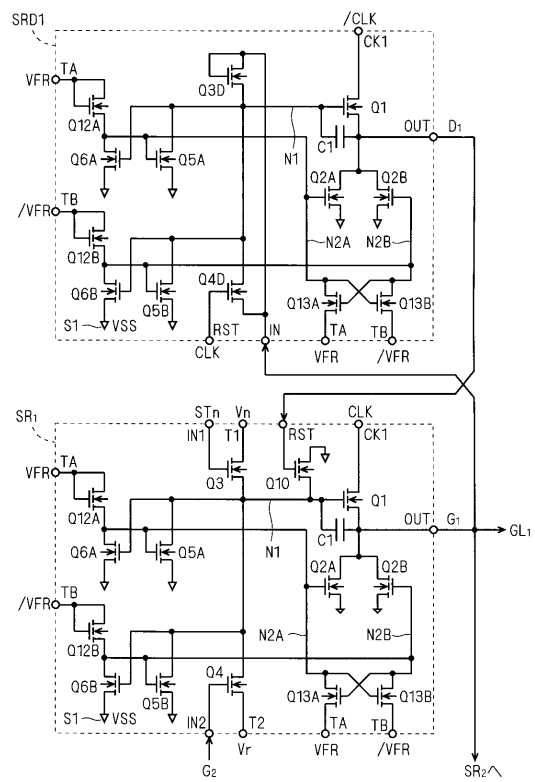
【図 12】



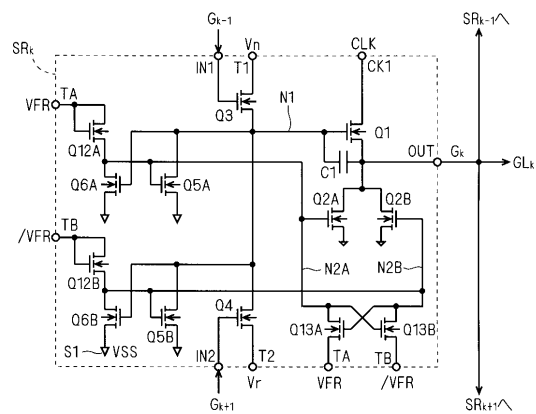
【図 13】



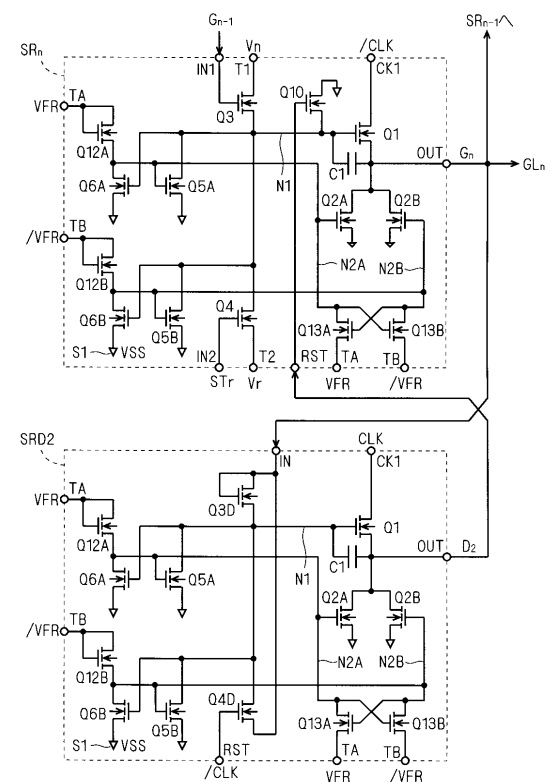
【図 14】



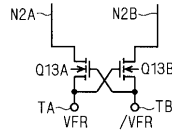
【図 15】



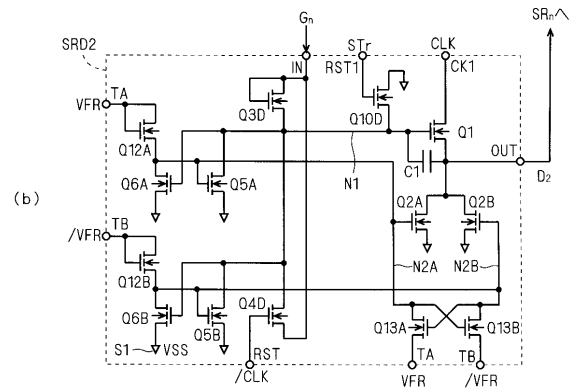
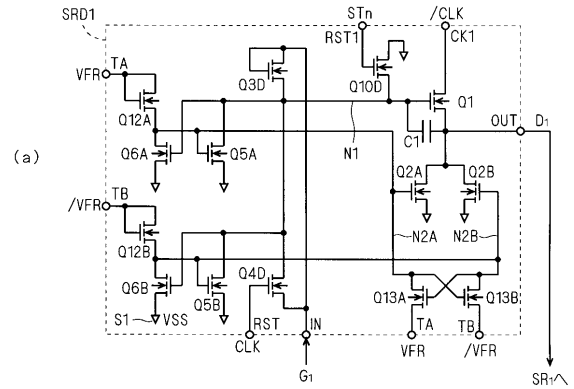
【図 16】



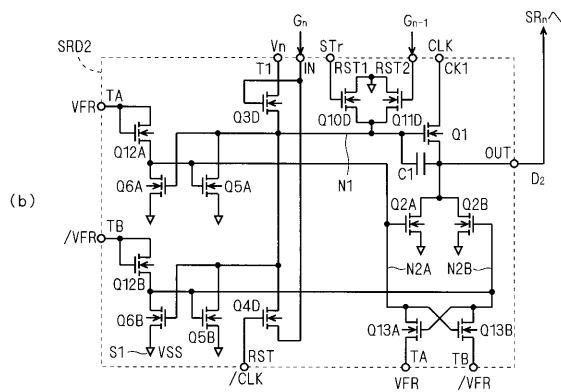
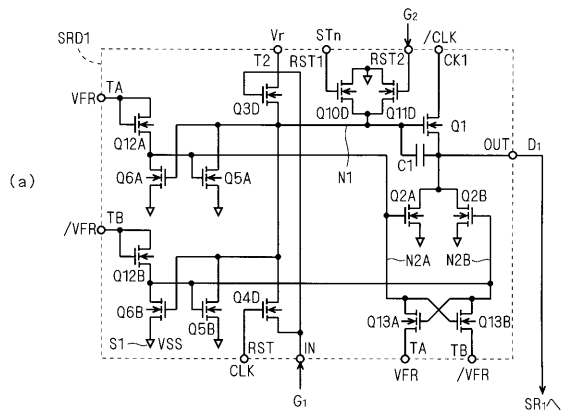
【図 17】



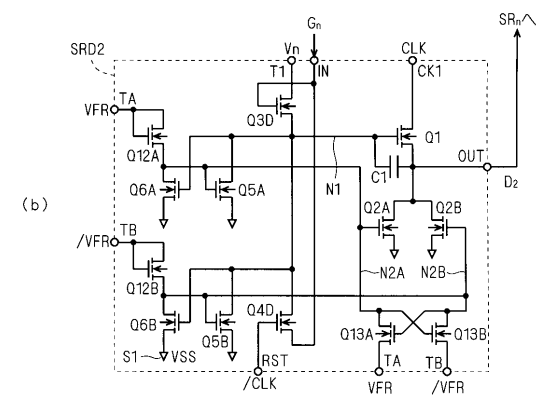
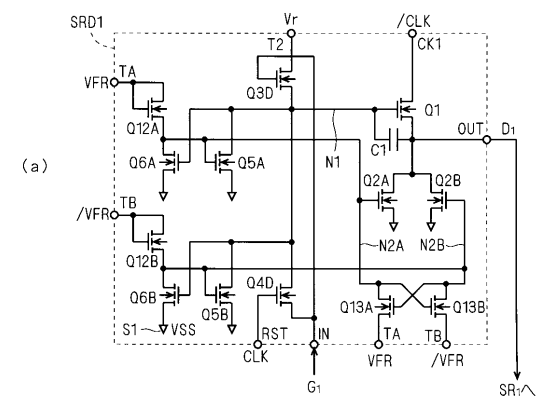
【図 18】



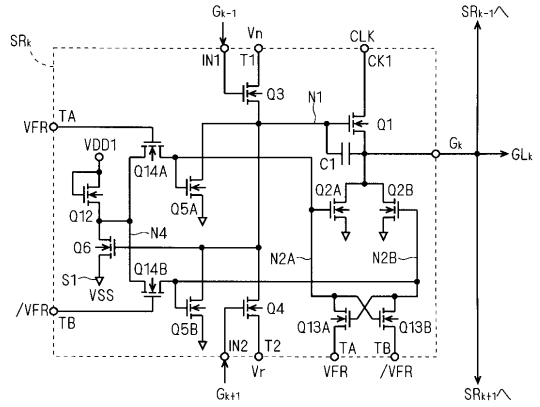
【図 19】



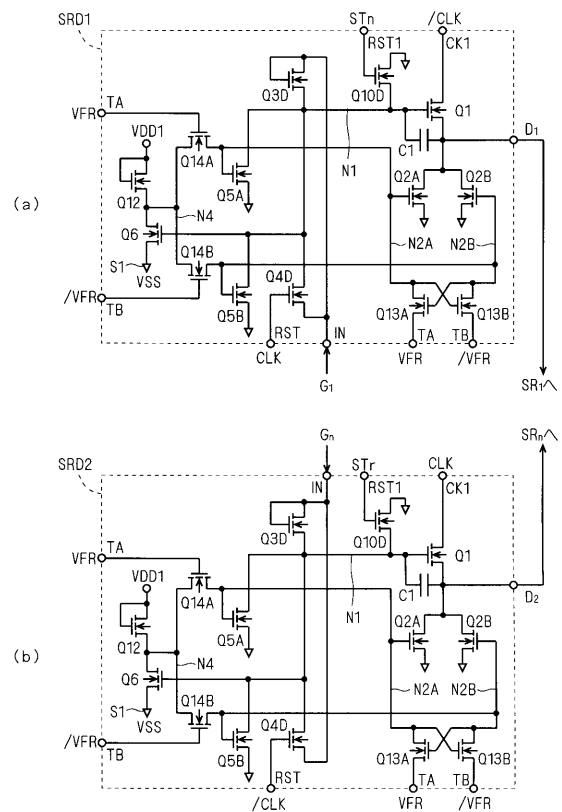
【図 20】



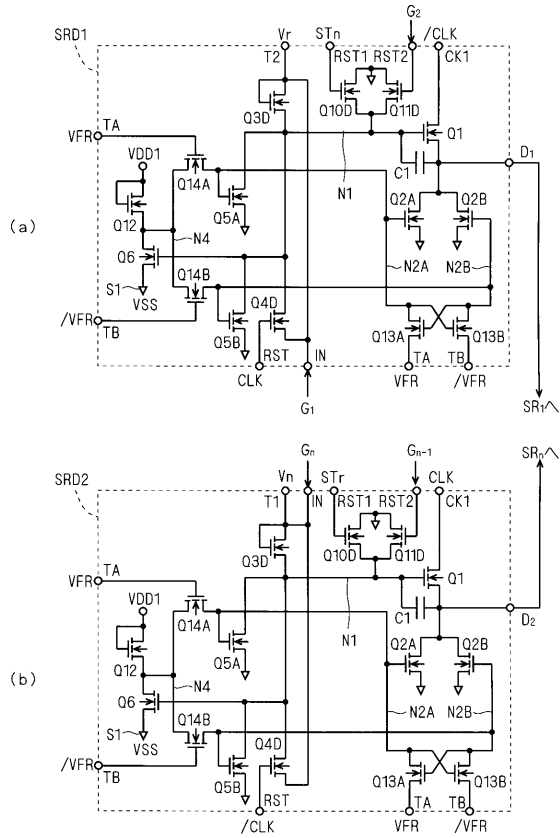
【図 2 2】



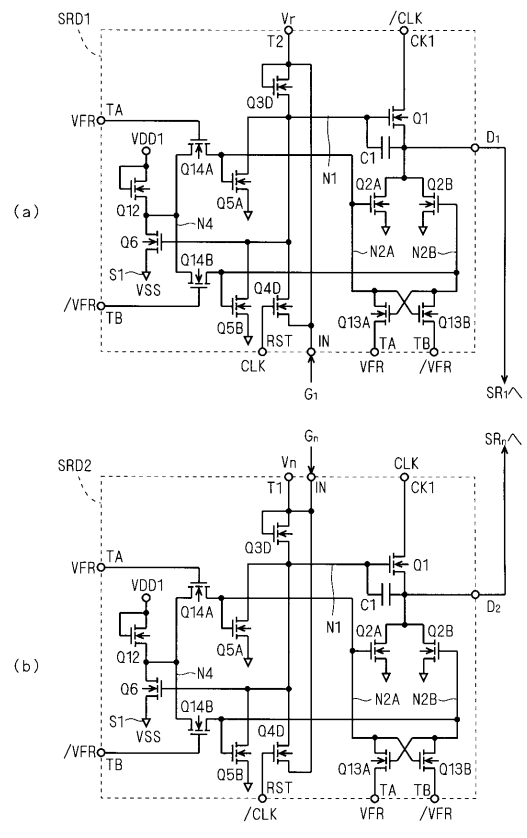
【図 24】



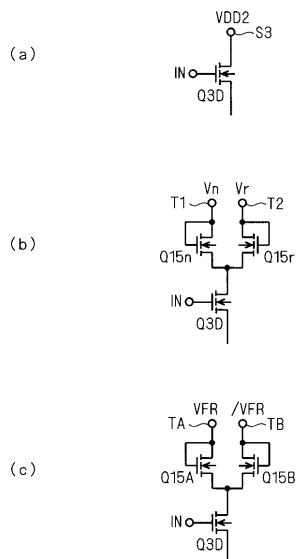
【図 25】



【図 26】



【図 27】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 7 0 J
	G 0 9 G 3/20	6 8 0 G
	G 0 2 F 1/133	5 0 5

Fターム(参考) 5C080 AA10 BB05 CC03 DD09 DD29 EE29 EE30 FF11 FF12 JJ02
JJ03 JJ04