



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

262 024

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 27 05 87
(21) PV 3856-87.F

(51) Int. Cl.

H 03 K 17/28

(40) Zveřejněno 15 07 88
(45) Vydáno 2.1.1990

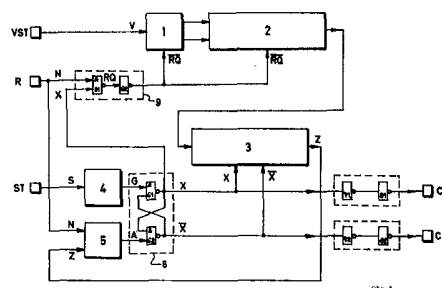
(75)
Autor vynálezu

SKLENÁŘ BOHUSLAV ing. CSc., PRAHA,
KRAMOLÍŠ MIROSLAV ing., BRNO

(54)

Zapojení vícetaktového časovacího obvodu

Zapojení vícetaktového časovacího obvodu řeší problém zvýšení přesnosti dělek vytvářených časových intervalů odstraněním časové chyby prvního taktu časování, která je vyloučena synchronizací předřazeného děliče kmitočtu a jeho vstupního obvodu s okamžikem startu časovacího cyklu. Podstatou řešení spočívá v tom, že na nulovací vstup předřazeného děliče kmitočtu a na blokovací vstup jeho vstupního obvodu je za účelem vyloučení systematické chyby v délce prvního taktu časování připojen výstup nulovacího obvodu, jehož první vstup je spojen se vstupem nulování časovacího obvodu, který je současně vstupem tvarovacího obvodu, jehož druhý vstup je propojen s výstupem přenosu hlavního čítače, jehož výstup je připojen na druhý vstup řídicího klopného obvodu, jehož první vstup je spojen s výstupem tvarovacího obvodu, na jehož vstup je připojen vstup startovacího signálu, přičemž první výstup řídicího klopného obvodu je spojen s druhým vstupem nulovacího obvodu. Uvedené zapojení je využitelné v případech, kdy je vyžadováno generování přesných časových intervalů, zejména v podmínkách, kdy je kromě časování dlouhých intervalů vyžadováno i vytváření intervalů složených jen z několika taktů.



Obv. 1

Vynález se týká zapojení vícetaktového časovacího obvodu s předřazenými děliči kmitočtu.

Jsou známa zapojení vícetaktových časovacích obvodů skládajících se z hlavního čítače, obvodů ovládací logiky a předřazených děličů kmitočtu, rozšiřujících hranice jejich použitelnosti. Předřazené děliče kmitočtu těchto časovacích obvodů se v jednotlivých případech liší dělicím poměrem nebo tím, že jsou složeny z několika dílčích děličů. Jejich společným rysem je, že předřazené děliče kmitočtu, případně jejich části, nejsou opatřeny obvody nulování a blokování jejich činnosti.

Nedostatek vícetaktových časovacích obvodů s předřazenými děliči kmitočtu bez obvodů nulování a blokování spočívá ve vzniku systematické chyby v délce prvního taktu časování, která není obecně totožná s délkou časové jednotky dalších taktů časování. Časová jednotka jednoho taktu čítače je odvozena od kmitočtu signálu časové základny a celkového dělicího poměru předřazeného děliče. Při zahájení časování startovacím impulsem obecně nesouhlasí moment startu časovacího obvodu s počátkem dělicího cyklu předřazeného děliče kmitočtu, v důsledku čehož nesouhlasí délka prvního taktu s délkou ostatních navazujících časových jednotek taktů časování. Vzniklá chyba se přenáší do výsledného času intervalu časování. Celková chyba časování bude pak mít maximální hodnotu při časování jednoho taktu, v případě dvou taktů může dosahovat hodnoty 50 % a postupně se zmenšuje s dalším nárůstem počtu taktů.

Výše uvedené nedostatky odstraňuje zapojení vícetaktového časovacího obvodu podle vynálezu, tvořeného vstupním obvodem předřazeného děliče, jehož výstupy jsou spojeny se vstupy předřazeného děliče kmitočtu, jehož výstup je připojen na první vstup hlavního čítače.

Podstata vynálezu spočívá v tom, že na třetí nulovací vstup předřazeného děliče kmitočtu, a na druhý blokovací vstup vstupního obvodu předřazeného děliče kmitočtu je připojen výstup nulovacího obvodu, daný výstupem invertoru tohoto obvodu, jehož vstup je propojen s výstupem dvouvstupového logického hradla. První vstup dvouvstupového logického hradla nulovacího obvodu je spojen se vstupem nulování vícetaktového časovacího obvodu, který je současně prvním vstupem druhého tvarovacího obvodu, jehož druhý vstup je propojen s výstupem přenosu hlavního čítače a jehož výstup je propojen na druhý vstup řídicího klopného obvodu, tvořeného vstupem druhého hradla řídicího klopného obvodu. První vstup řídicího klopného obvodu, tvořený vstupem prvního hradla, je spojen s výstupem prvního tvarovacího obvodu, na jehož vstup je připojen vstup startovacího signálu vícetaktového časovacího obvodu. První výstup řídicího klopného obvodu, tvořený výstupem prvního hradla, je spojen s druhým vstupem hradla nulovacího obvodu a s druhým ovládacím vstupem hlavního čítače, a dále s prvním výkonovým výstupním obvodem tvořeným prvním invertorem seriově spojeným s prvním výkonovým stupněm, jehož výstup tvoří první komplementární výstup vícetaktového časovacího obvodu. Druhý výstup řídicího klopného obvodu, tvořený výstupem druhého hradla, je propojen s třetím ovládacím vstupem hlavního čítače a s druhým výkonovým výstupním obvodem tvořeným druhým invertorem a druhým výkonovým stupněm, jehož výstup tvoří druhý komplementární výstup vícetaktového časovacího obvodu.

Výhody zapojení vícetaktového časovacího obvodu podle vynálezu spočívají v zavedení nulovacího obvodu a obvodu blokování předřazeného děliče kmitočtu a jeho vstupního obvodu, který je propojen s výstupem řídicího klopného obvodu, čímž je odstraněn nedostatek dosavadních řešení vícetaktových časovačů s předřazenými děliči kmitočtu bez obvodů nulování a blokování. Uvedené zapojení zabezpečuje synchronizaci činnosti předřazeného děliče kmitočtu a jeho vstupního obvodu s okamžikem startu časovacího cyklu a tím i dodržení podmínky časové totožnosti všech taktů časovaného intervalu.

Zapojení časovacího obvodu podle vynálezu bude následovně blíže popsáno v příkladovém provedení pomocí připojených výkresů, kde:

obr. 1 znázorňuje celkovou podstatu uvedeného zapojení, a obr. 2 znázorňuje průběhy signálů časovacího obvodu při jeho funkci. Zapojení časovacího obvodu podle vynálezu, znázorněného na obr. 1, je tvořeno vstupním obvodem 1 předřazeného děliče kmitočtu, jehož výstupy jsou spojeny se vstupy předřazeného děliče 2 kmitočtu, jehož výstup je připojen na první vstup hlavního čítače 3.

Na třetí nulovací vstup předřazeného děliče 2 kmitočtu a na druhý blokovací vstup vstupního obvodu 1 předřazeného děliče 2 kmitočtu je za účelem vyloučení systematické chyby v délce prvního taktu časování a tím i zvýšení přesnosti celkové délky generovaného časového intervalu připojen výstup nulovacího obvodu 9, daný výstupem invertoru 92 tohoto obvodu, jehož výstup je propojen s výstupem dvouvstupového logického hradla 91. První vstup dvouvstupového logického hradla 91 nulovacího obvodu 9 je spojen se vstupem R nulování časovacího obvodu, který je současně prvním vstupem druhého tvarovacího obvodu 5, jehož druhý vstup je propojen s výstupem přenosu hlavního čítače 3, a jehož výstup je připojen na druhý vstup řídicího klopného obvodu 6, tvořeného vstupem druhého hradla 62 řídicího klopného obvodu 6. Účelem tohoto uspořádání je dosažení změn komplementárních stavů výstupů C1, C2 časování při zakončení časovacího cyklu. První vstup řídicího klopného obvodu 6, tvořený vstupem prvního hradla, je spojen s výstupem prvního tvarovacího obvodu 4, na jehož vstup je připojen vstup ST startovacího signálu časovacího obvodu za účelem dosažení změny stavů komplementárních výstupů C1, C2 časování při zahájení časovacího cyklu. První výstup řídicího klopného obvodu 6, tvořený výstupem prvního hradla 61, je pro dosažení řízení chodu a synchronizace předřazeného děliče 2 kmitočtu a jeho vstupního obvodu 1 se startovacím impulsem spojen s druhým vstupem hradla 91 nulovacího obvodu 9 a s druhým ovládacím vstupem hlavního čítače 3, a dále s prvním výkonovým výstupním obvodem tvořeným prvním invertorem 71, seriově spojeným s prvním výkonovým stupněm 81, jehož výstup tvoří první komplementární výstup C1 časovacího

obvodu, přičemž druhý výstup řídicího klopného obvodu 6, tvořený výstupem druhého hradla 62, je propojen s třetím ovládacím vstupem hlavního čítače 3 a s druhým výkonovým výstupním obvodem tvořeným druhým invertorem 72 a druhým výkonovým stupněm 82, jehož výstup tvoří druhý komplementární výstup C2 časovacího obvodu, kteréžto uspořádání slouží k řízení hlavního čítače 3 během časování a k převedení výstupních stavů řídicího klopného obvodu 6 na vnější komplementární časovací výstupy C1, C2.

Ve výchozím stavu časovacího obvodu, který je na obr. 2 v, mezen časovým rozsahem od t_0 až do t_2 , je tento obvod nulován vstupním signálem $N = 0$ nulování časovacího obvodu, přiváděným na vstup R nulování časovacího obvodu. Druhý vstupní signál A řídicího klopného obvodu 6, zpracovaný za tohoto stavu druhým tvarovacím obvodem 5, má hodnotu $A = 0$. Signálům časování X , $\bar{X}$, daným výstupy řídicího klopného obvodu 6 typu RS, jsou přiřazeny hodnoty $X = 0$ a $\bar{X} = 1$. Na výstupu hradla 91 nulovacího obvodu 9 bude vnitřnímu signálu RQ pro nulování předřazeného děliče 2 kmitočtu a blokování vstupního obvodu 1 přiřazena hodnota $RQ = 1$, a na výstupu invertoru 92 bude hodnota negovaného signálu $\bar{RQ} = 0$. V tomto stavu je předřazený dělič 2 kmitočtu nulován a výstupy všech jeho buněk jsou ve stavu logické nuly a současně je blokován jeho vstupní obvod 1. Stav časovacího obvodu se nezmění ani v okamžiku t_1 , kdy je zakončeno nulování vstupním signálem N nulování časovače změnou $N = 1$. V tomto okamžiku dojde pouze k změně stavu druhého vstupního signálu A řídicího klopného obvodu 6 z výstupu druhého tvarovacího obvodu 5, který reaguje na změnu $N = 1$ změnou $A = 1$. Tato změna nemůže ovlivnit uvedený stav výstupů řídicího klopného obvodu 6. Prostřednictvím inverterů 71 a 72 a výkonových stupňů 81 a 82 jsou hodnoty časovacích signálů $X = 0$ a $\bar{X} = 1$ udržovány po celou dobu t_0 až t_2 na prvním komplementárním výstupu C1 a druhém komplementárním výstupu C2 časovacího obvodu.

Časovací obvod je odstartován v čase t_2 sestupnou popř. náběžnou hranou startovacího signálu S, přivedeného na vstup ST startovacího signálu, a tím i na vstup prvního tvarovacího obvodu 4, kterým je vytvořen úzký impuls prvního vstupního signálu

$G = 0$ řídicího vstupního obvodu 6, jenž převede výstupní proměnné řídicího klopného obvodu 6 na hodnoty $X = 1$ a $\bar{X} = 0$, čímž je započat časovací cyklus. Tato změna se projeví i na komplementárních výstupech C1 a C2 časovacího obvodu. Současně vznikne na výstupu nulovacího obvodu 9 signál $\overline{RQ} = 1$, který odblokuje vstupní obvod 1 předřazeného děliče 2 kmitočtu, a uvede jej do aktivního režimu. Předřazený dělič 2 začne zpracovávat signál V z externí časové základny, který je přiváděn z vnějšího zdroje na vstup VST vstupního obvodu 1. Po zakončení časování v okamžiku t_3 , který je dán rozsahem čítání hlavního čítače 3, se objeví na výstupu přenosu hlavního čítače 3 signál $Z = 1$, který se převede ve druhém tvarovacím obvodu 5 na úzký nulový impuls druhého vstupního signálu $A = 0$ řídicího klopného obvodu 6 s následujícími změnami výstupních stavů tohoto obvodu $X = 0$ a $\bar{X} = 1$ zakončující časovací cyklus v trvání $t_3 - t_2$, jehož průběh je znázorněn na obr. 2. Změny časovacích signálů se přenesou na oba komplementární výstupy C1 a C2. Signál $X = 0$ znovu převede výstupní proměnnou nulovacího obvodu 9 do stavu $\overline{RQ} = 0$, s novým zablokováním vstupního obvodu 1 předřazeného děliče 2 kmitočtu a vynulováním děliče 2 kmitočtu, čímž je časovací obvod připraven k zahájení časovacího cyklu.

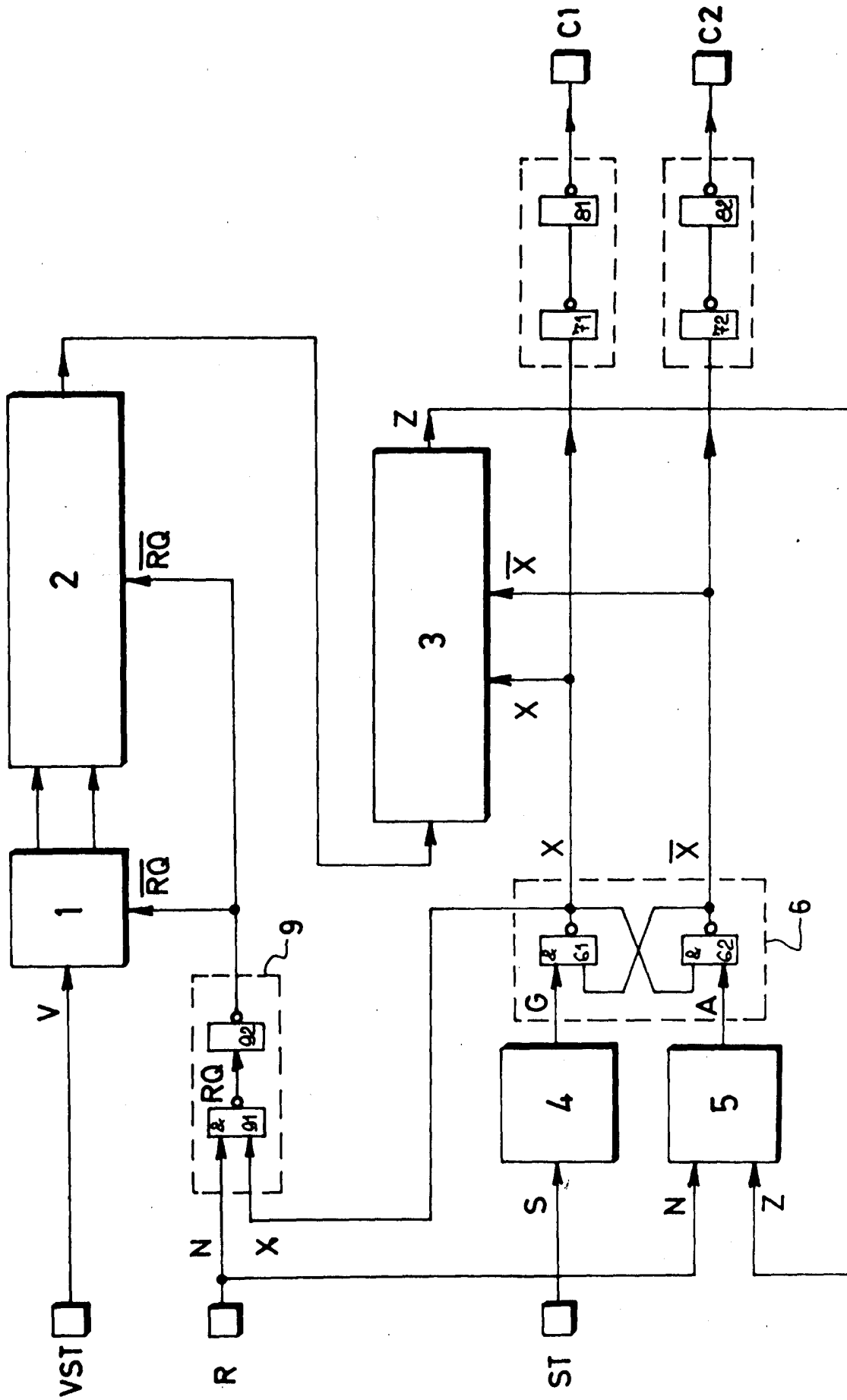
Zapojení vícetaktového časovacího obvodu podle vynálezu je využitelné ve všech případech, kdy je vyžadováno generování přesných časových intervalů, zejména v podmínkách, kdy je kromě časování dlouhých intervalů vyžadováno i vytváření intervalů složených jen z několika taktů, obzvláště v případech jeho integrovaného provedení.

PŘEDMĚT VYNÁLEZU

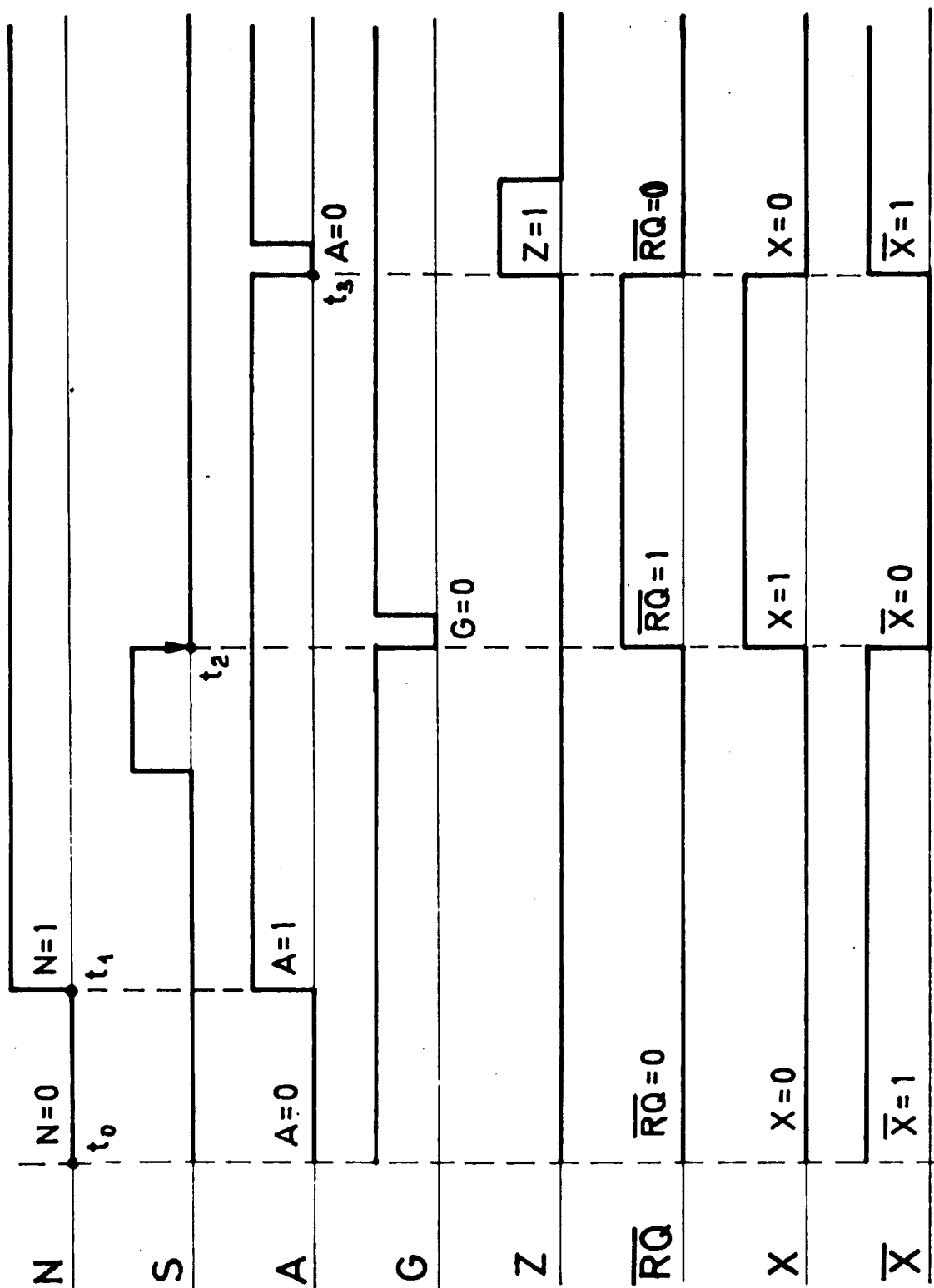
262 024

Zapojení vícetaktového časovacího obvodu, tvořeného vstupním obvodem předřazeného děliče, jehož výstupy jsou spojeny se vstupy předřazeného děliče kmitočtu, jehož výstup je připojen na první vstup hlavního čítače, vyznačené tím, že na třetí nulovací vstup předřazeného děliče (2) kmitočtu, a na druhý blokovací vstup vstupního obvodu (1) předřazeného děliče (2) kmitočtu je připojen výstup nulovacího obvodu (9) daný výstupem invertoru (92) tohoto obvodu, jehož vstup je propojen s výstupem dvouvstupového logického hradla (91), jehož první vstup je spojen se vstupem (R) nulování vícetaktového časovacího obvodu, který je současně prvním vstupem tvarovacího obvodu (5), jehož druhý vstup je propojen s výstupem přenosu hlavního čítače (3), a jehož výstup je propojen na druhý vstup řídicího klopného obvodu (6), tvořeného vstupem druhého hradla (62) řídicího klopného obvodu (6), jehož první vstup, tvořený vstupem prvního hradla (61), je spojen s výstupem prvního tvarovacího obvodu (4), na jehož vstup je připojen vstup (ST) startovacího signálu vícetaktového časovacího obvodu, přičemž první výstup řídicího klopného obvodu (6), tvořený výstupem hradla (61), je spojen s druhým vstupem hradla (91) nulovacího obvodu (9) a s druhým ovládacím vstupem hlavního čítače (3), a dále s prvním výkonovým výstupním obvodem tvořeným prvním invertorem (71) seriově spojeným s prvním výkonovým stupněm (81), jehož výstup tvoří první komplementární výstup (C1) vícetaktového časovacího obvodu, přičemž druhý výstup řídicího klopného obvodu (6), tvořený výstupem druhého hradla (62), je propojen s třetím ovládacím vstupem hlavního čítače (3) a druhým výkonovým výstupním obvodem tvořeným druhým invertorem (72), a druhým výkonovým stupněm (82), jehož výstup tvoří druhý komplementární výstup (C2) vícetaktového časovacího obvodu.

2 výkresy



Obr. 1



Obr. 2