

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4233381号
(P4233381)

(45) 発行日 平成21年3月4日(2009.3.4)

(24) 登録日 平成20年12月19日(2008.12.19)

(51) Int.Cl.

F 1

HO1L 21/768	(2006.01)	HO1L 21/90	C
HO1L 21/3205	(2006.01)	HO1L 21/88	S
HO1L 23/52	(2006.01)	HO1L 27/10	434
HO1L 21/8247	(2006.01)	HO1L 29/78	301P
HO1L 27/115	(2006.01)	HO1L 29/78	301Y

請求項の数 10 (全 14 頁) 最終頁に続く

(21) 出願番号

特願2003-143761 (P2003-143761)

(22) 出願日

平成15年5月21日(2003.5.21)

(65) 公開番号

特開2004-349411 (P2004-349411A)

(43) 公開日

平成16年12月9日(2004.12.9)

審査請求日

平成18年4月24日(2006.4.24)

(73) 特許権者

503121103 株式会社ルネサステクノロジ

東京都千代田区大手町二丁目6番2号

(74) 代理人

100064746

弁理士 深見 久郎

(74) 代理人

100085132

弁理士 森田 俊雄

(74) 代理人

100083703

弁理士 仲村 義平

(74) 代理人

100096781

弁理士 堀井 豊

(74) 代理人

100098316

弁理士 野田 久登

(74) 代理人

100109162

弁理士 酒井 將行

最終頁に続く

(54) 【発明の名称】半導体装置とその製造方法

(57) 【特許請求の範囲】

【請求項 1】

半導体基板と、

前記半導体基板表面に形成され、第1方向に延在して形成された分離絶縁膜領域と、
前記分離絶縁膜領域によって区画され、前記第1方向に延在して形成された活性領域と

、前記活性領域と交差する第2方向に延びて複数本並行に形成されたゲート電極と、

前記ゲート電極間の前記活性領域上に形成されたソース領域およびドレイン領域と、

前記ゲート電極の前記第2方向延長上の端部に形成されたダミー電極と、

前記ゲート電極に沿った前記第2方向に延びて形成された第1コンタクト部と、

前記ゲート電極および前記ダミー電極の側壁にそれぞれ形成された第1および第2サイドウォール絶縁膜と、

前記ゲート電極および前記ダミー電極のそれぞれの上側に重なるように形成されたストップア絶縁膜と、

前記ストップア絶縁膜および前記サイドウォール絶縁膜を覆うように前記半導体基板上方に形成された層間絶縁膜とを備え、

前記第1コンタクト部は前記ダミー電極上まで延在しており、

前記ゲート電極と前記ダミー電極との間の間隙は、前記第1および前記第2サイドウォール絶縁膜により埋め込まれることによってつながっていることを特徴とする半導体装置

。

10

20

【請求項 2】

前記ソース領域および前記ドレイン領域のうちの一方は、隣接する前記ゲート電極間に挟まれる領域に分離絶縁膜を介して間隔をおいて並ぶように形成されており、前記第1コンタクト部により一体的に被覆されることを特徴とする請求項1記載の半導体装置。

【請求項 3】

前記第1コンタクト部の前記第2方向の辺は、前記第1および前記第2サイドウォール絶縁膜を越えて前記ゲート電極の上側の領域に入り込んだ位置にあることを特徴とする請求項1記載の半導体装置。

【請求項 4】

前記ゲート電極は、フローティングゲート電極と前記フローティングゲート電極上に絶縁膜を介して形成されたコントロールゲート電極を含むことを特徴とする請求項1記載の半導体装置。 10

【請求項 5】

前記ダミー電極は電気的に前記半導体装置の機能に影響を与えないことを特徴とする請求項1記載の半導体装置。

【請求項 6】

前記層間絶縁膜に形成された第2コンタクト部と、
前記ソース領域および前記ドレイン領域のうちの前記一方に前記第2コンタクト部を介して電気的に接続され、前記層間絶縁膜上方に前記第2方向と並行に延びるように形成された第1配線と、 20

前記ソース領域および前記ドレイン領域のうちの他方に前記第1コンタクト部を介して電気的に接続され、前記第1配線より上方に前記第1方向に延びるように形成された第2配線と、をさらに備えたことを特徴とする請求項1記載の半導体装置。

【請求項 7】

表面にソース領域およびドレイン領域を有する半導体基板と、
前記半導体基板の上側に前記ソース領域と前記ドレイン領域とを隔てる直線部分を含むように形成されたゲート電極と、
前記半導体基板の上側に前記直線部分の長手方向への延長上の位置において形成されたダミー電極と、
前記ゲート電極および前記ダミー電極の上側に各々重なるように形成されたストップ絶縁膜と、 30

前記ゲート電極、前記ダミー電極および前記ストップ絶縁膜の側壁を覆うサイドウォール絶縁膜と、

前記ストップ絶縁膜および前記サイドウォール絶縁膜を覆い隠すように前記半導体基板の上側を覆う層間絶縁膜と、

前記層間絶縁膜の内部で上下方向に延び、下端が前記ソース領域および前記ドレイン領域のうち一方に電気的に接続された導電体部材であって、上から見たときに前記ゲート電極の前記直線部分に平行に延びる直線状コンタクト部とを備え、

上から見たときの前記直線状コンタクト部の外形のうち長辺は、前記サイドウォール絶縁膜を越えて前記ゲート電極および前記ダミー電極の上側の領域にそれぞれ入り込んだ位置にあり、 40

上から見たときに前記直線状コンタクト部の内部に現れる前記ゲート電極と前記ダミー電極との間の間隙は、前記半導体基板を露出させない程度に前記サイドウォール絶縁膜によって埋められている、半導体装置。

【請求項 8】

前記ゲート電極が複数本平行に並んでおり、上から見たときに、前記ソース領域および前記ドレイン領域のうちの一方は、前記ゲート電極のうち互いに隣接する2本に挟まれる領域として一直線上に分離絶縁膜を介して離散的に並ぶように規定される特定種類領域群をなし、前記直線状コンタクト部は、前記特定種類領域群を一体的に被覆するように延びている、請求項7に記載の半導体装置。 50

【請求項 9】

前記ソース領域および前記ドレイン領域のうちの前記一方は、前記直線状コンタクト部の上方において前記直線部分と平行に延びる第1の配線に対して前記直線状コンタクト部を介して電気的に接続されており、前記ソース領域および前記ドレイン領域のうちの他方は、前記ゲート電極より上側で前記ゲート電極の前記直線部分と垂直な方向に延びる第2の配線に対して電気的に接続されている、請求項8に記載の半導体装置。

【請求項 10】

- (a) 半導体基板表面上に、第1方向に延在するように分離絶縁膜領域を形成する工程と、
10
- (b) 前記分離絶縁膜領域により区画された前記第1方向に延在するように活性領域を形成する工程と、
- (c) 前記活性領域と交差する第2方向に複数本並行に延びるようにゲート電極を形成するとともに、前記ゲート電極端部にダミー電極を形成する工程と、
- (d) 前記活性領域の露出領域にソースおよびドレイン領域を形成する工程と、
- (e) 前記ゲート電極およびダミー電極の側壁にそれぞれ第1および第2サイドウォール絶縁膜を形成し、前記ゲート電極とダミー電極の間隙を前記第1および第2サイドウォール絶縁膜により埋め込む工程と、
- (f) 前記ゲート電極および前記ダミー電極を含む前記半導体基板表面を覆うように層間絶縁膜を形成する工程と、
20
- (g) 前記ゲート電極に沿った前記第2方向に延びる領域であって、前記ダミー電極に延びる領域まで前記ゲート電極間をエッティングし、導電膜を埋め込むことにより第1コンタクト部を形成する工程と、
を含み、

前記(c)工程は、前記ゲート電極および前記ダミー電極のそれぞれの上側に重なるようにストップ絶縁膜を形成する工程をさらに含み、

前記(g)工程は、前記第1および第2サイドウォール絶縁膜および前記ストップ絶縁膜上でエッティングを停止する、半導体装置の製造方法。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、半導体装置およびその製造方法に関するものである。
30

【0002】**【従来の技術】**

従来技術に基づくフラッシュメモリのNOR型アレイ構成は、基板表面において直線状の分離絶縁膜と直線状の活性領域とが交互に平行に並ぶように配列されて第1の方向に延びている。このような基板の上側に、第1の方向と垂直に交差する第2の方向に線状に延びるように直線状のゲート電極が配置されている。ゲート電極は平行に複数本が配置されている。上から見たときにゲート電極同士の間隙から線状に平行に複数本露出する基板表面の領域は、1本ずつ交互にソース領域とドレイン領域となっている。ゲート電極よりも上方のいずれかの層においては、3種類のメタル配線が別個に配置されており、この3種類のメタル配線は、ゲート電極、ソース領域およびドレイン領域のそれぞれに電気的に接続されている。この対応するメタル配線からソース領域やドレイン領域への接続技術としては、コンタクトエッティング技術が一般に知られている。
40

【0003】

しかし、半導体素子の小型化が進められる趨勢の中では、NOR型アレイ構成の各部の平面的に見た領域も小さくすることが求められる。そこで、ソース領域の幅を小さくした場合でも製作容易にする技術として、SAS(セルフアラインソース)技術が知られている。SAS技術については、たとえば特開2002-26156号公報(特許文献1)などに開示されている。

【0004】

10

20

30

40

50

S A S 技術においては、ゲート電極を作成した後に、ドレイン領域をそれぞれ覆いかつソース領域はそれぞれ露出するようにレジスト膜を形成し、このレジストとゲート電極とをマスクとして、分離絶縁膜のうちソース領域内に存在する部分をエッティング除去する。さらに各ソース領域にイオン注入を行ない、各ソース領域の基板表面近傍に拡散層を形成する。ソース領域内の分離絶縁膜は既に除去されているので、この拡散層は、ソース領域の長手方向に沿ってつながった形となる。このようにソース領域の基板表面近傍に形成した拡散層は、複数の平行な活性領域間を電気的に接続するソース配線の役割を果たす。S A S 技術によって得られるこのような構造は「S A S 構造」と呼ばれている。

【0005】

S A S 構造では、ソース配線を十分に低抵抗とするには、ソース領域へのイオン注入を高濃度で行なわなければならない。一方、素子の微細化によって、ゲート電極幅は小さくなる傾向にある。ゲート電極幅が小さくなってきたときに、従来のように高濃度の拡散層を用いたS A S 構造では、ゲート電極の下側でのパンチスルー現象を十分に抑えることができなくなるという問題があった。

【0006】

【特許文献1】

特開2002-26156号公報(図60-図65)

【0007】

【発明が解決しようとする課題】

層間絶縁膜とゲート電極を保護する絶縁膜とで材質を異なるものとし、コンタクトエッティング時の選択比の違いを利用して、コンタクトエッティングの進行を、ゲート電極を保護する絶縁膜で止めるというセルファアラインコンタクト(S A C)技術が一般に知られている。

【0008】

S A S 構造で問題になっていたパンチスルー現象を回避するために、ソース領域の幅が狭いにもかかわらずS A C 技術を採用して、ソース領域につながる円形のコンタクトホールを開けるべくエッティングを行なった場合、当初はゲート電極の上面および側面をSiNなどからなるトップア絶縁膜およびサイドウォール絶縁膜で覆っていたにもかかわらず、エッティングの進行につれてゲート電極が直接コンタクトホール内に露出してしまう場合がある。そのままコンタクトホールに導電体を充填してコンタクト部を形成した場合、ゲート電極とコンタクト部との間でショートしてしまう。すなわち、ゲートとソースとの間でショートが発生してしまう。

【0009】

そこで、本発明では、S A C 技術を行なう場合のゲート電極とコンタクト部との間でのショートを防止でき、なおかつ、S A S 技術において問題となっていたパンチスルー現象も抑制できる構造の半導体装置およびその製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】

上記目的を達成するため、本発明に基づく半導体装置は、表面にソース領域およびドレイン領域を有する半導体基板と、上記半導体基板の上側に上記ソース領域と上記ドレイン領域とを隔てる直線部分を含むように形成されたゲート電極と、上記半導体基板の上側に上記直線部分の長手方向への延長上の位置において形成されたダミー電極と、上記ゲート電極および上記ダミー電極の上側に各々重なるように形成されたトップア絶縁膜と、上記ゲート電極、上記ダミー電極および上記トップア絶縁膜の側壁を覆うサイドウォール絶縁膜と、上記トップア絶縁膜および上記サイドウォール絶縁膜を覆い隠すように上記半導体基板の上側を覆う層間絶縁膜と、上記層間絶縁膜の内部で上下方向に延び、下端が上記ソース領域および上記ドレイン領域のうち一方に電気的に接続された導電体部材であって、上から見たときに上記ゲート電極の上記直線部分に平行に延びる直線状コンタクト部とを備える。ただし、上から見たときの上記直線状コンタクト部の外形のうち長辺は、上記サイドウォール絶縁膜を越えて上記ゲート電極および上記ダミー電極の上側の領域にそれぞれ

10

20

30

40

50

入り込んだ位置にある。上から見たときに上記直線状コンタクト部の内部に現れる上記ゲート電極と上記ダミー電極との間の間隙は、上記半導体基板を露出させない程度に上記サイドウォール絶縁膜によって埋められている。

【0011】

【発明の実施の形態】

本発明者らは、SAC技術を行なった場合のゲート電極とコンタクト部との間でのショートがどのような原理で起こるのかについて検討を重ねた。その結果、このショートは、図1に示すように、上から見たときに、コンタクトホール10の外形線とストッパ絶縁膜5の輪郭線とが交差する位置（以下、「輪郭交差点」という。）¹⁰で起こりやすいことを突き止めた。図1では、ソース領域4に接続する目的でコンタクトホール10を設ける様子を平面図で示している。図1におけるII-II線に関する矢視断面図を図2に示す。図1におけるIII-III線に関する矢視断面図を図3に示す。半導体基板1の上側にゲート絶縁膜を介して形成されたゲート電極2は、その上面を、ゲート電極2と同じ幅で形成されたストッパ絶縁膜5で覆われている。ゲート電極2およびストッパ絶縁膜5の側面は、サイドウォール絶縁膜3によって覆われている。

【0012】

ところで、SAC技術では、一般に3つのガスの混合ガスを用いて異方性エッチングを行なう。この3つのガスは、いわゆる「デポガス」、いわゆる「抜け性用ガス」およびいわゆる「希釈系ガス」である。デポガスは、C（カーボン）が多重に結合しているものであり、たとえばC₄F₈、C₅F₈、C₄F₆などが挙げられる。デポガスは、エッチングによってできる穴の内面に反応生成物の膜、いわゆる「デポ膜」を形成する役割を果たす。デポ膜はエッチングによる除去作用から被処理物を保護する役割を果たす。抜け性用ガスは、デポガスの効果を抑制し、エッチングを進めていくためのガスであり、たとえばO₂やCOなどの酸素系ガスが主に用いられる。希釈系ガスは、デポガスおよび抜け性用ガスを希釈するためのガスである。²⁰

【0013】

異方性エッチングの最中は、エッチングが進むにつれて穴の側面には順次デポ膜が形成されて側方への除去作用の進行が抑制され、穴の下面においてはデポ膜形成よりも除去作用が勝ることによって下方への除去が進行する。この状態を維持することによって下方への選択性をもったエッチングが実現されている。³⁰

【0014】

上述のショートが輪郭交差点6で起こりやすいのは、異方性エッチングの最中に、輪郭交差点6は穴の底の隅に該当するため、幾何学的な制約によりデポガスが十分に行き渡らず、デポ膜7が十分に形成されないことに起因していると考えられる。II-II断面の位置においては、図2に示すようにトランジスタ構造の肩部においてもデポ膜7が十分厚く形成されるため、ショートは起こらないが、輪郭交差点6を通るIII-III断面の位置においては、図3に示すように、デポ膜7が十分に形成されないことにより、SiNなどのサイドウォール絶縁膜3がエッチング除去されてしまう。こうしてサイドウォール絶縁膜3の除去が異常に進行することによって、図4に示すように内部に隠されていたゲート電極2が露出してしまい、ショートが起こると考えられる。⁴⁰

【0015】

このような知見を基に、発明者らは、改良を重ね、本発明をなすに至った。以下に、本発明の実施の形態について説明する。

【0016】

（実施の形態1）

（構成）

図5～図7を参照して、本発明に基づく実施の形態1における半導体装置について説明する。本実施の形態では、比較的単純なトランジスタ構造に本発明を適用した例を示す。本実施の形態における半導体装置の平面図を図5に示す。図5におけるVI-VI線に関する矢視断面図を図6に示す。図5におけるVII-VII線に関する矢視断面図を図7に

10

20

30

40

50

示す。ただし、図6、図7は、図5に厳密に対応する矢視断面図ではなく、後述するように、説明の便宜上、図5に比べていくつかの構成要素を図示省略したり追加したりしている。

【0017】

この半導体装置においては、半導体基板1の表面を部分的に覆うように分離絶縁膜9が形成されることによって、上から見たときに、全体は活性領域14と分離絶縁膜9の領域とに分かれている。活性領域14は、図5における図中上下方向に帯状に延びている。半導体基板1の上側に少なくとも2本のゲート電極2が線状に形成されている。2本のゲート電極2は、それぞれ直線部分を含み、この直線部分によって活性領域14の長手方向に対して垂直方向に横切るように延びている。活性領域14はゲート電極2の直線部分によって区切られることによって一方の側がソース領域、他方の側がドレイン領域となっている。したがって、図5に示した例においては、活性領域14のうち、2本のゲート電極2に挟まれた部分がソース領域となり、それ以外の部分がドレイン領域となっている。

【0018】

図6、図7に示すように、ゲート電極2の上側にはストップ絶縁膜5が形成されている。ストップ絶縁膜5はゲート電極2と同じ大きさでゲート電極2の上側を覆っている。ゲート電極2およびストップ絶縁膜5の側面は、サイドウォール絶縁膜3によって覆われている。ただし、図5では、説明の便宜上、ストップ絶縁膜5を図示省略して、ゲート電極2が上から直接見えるようにして示している。

【0019】

半導体基板1の上側において、ゲート電極2の直線部分の両端にそれぞれ近接した位置であってゲート電極2の直線部分の延長上となる位置にダミー電極18が形成されている。ダミー電極18の上側は、ダミー電極18と同じ大きさのストップ絶縁膜25で覆われている。ダミー電極18およびストップ絶縁膜25の側面も、サイドウォール絶縁膜3によって覆われている。ただし、図5では、説明の便宜上、ストップ絶縁膜25を図示省略して、ダミー電極18が上から直接見えるようにして示している。

【0020】

図6、図7に示すように、全体の上側は直線状コンタクト部11を除いて層間絶縁膜20が覆っている。ただし、図5では、説明の便宜上、層間絶縁膜20は図示省略している。

図6、図7では、直線状コンタクト部11の導電体を充填するための凹部である直線状コンタクトホール11uが、導電体を充填する前の状態で示されている。

【0021】

図5に示すように、2本のゲート電極2に挟まれ、ゲート電極2の直線部分と平行に延びるように、直線状コンタクト部11が形成されている。直線状コンタクト部11は、ゲート電極2の両端近傍の合計2対のダミー電極18によっても挟まれるように延び、ダミー電極18がある位置よりも遠くまで延びて終わっている。直線状コンタクト部11は導電体で形成されており、半導体基板1の表面に平行な方向に長く延びているだけでなく、半導体基板1の表面に垂直な方向にも延びている。すなわち、直線状コンタクト部11は、層間絶縁膜20を上下方向(図5における紙面奥手前方向。図6、図7における図中上下方向。)に貫通するように延びている。直線状コンタクト部11の下端は、ゲート電極2同士の間にある活性領域14に対して接続されている。すなわち、ソース領域およびドレイン領域のうち一方に対して接続されている。また、上から見たとき、すなわち、図5に示すように平面図で考えたとき、直線状コンタクト部11の長辺は、サイドウォール絶縁膜3を越えてゲート電極2およびダミー電極18の上側の領域にそれぞれ入り込んだ位置にある。

【0022】

図5、図7に示すようにゲート電極2とダミー電極18とは十分に近接しているので、ゲート電極2とダミー電極18との間の隙間Gにおいては、サイドウォール絶縁膜3がつながって形成されることとなる。特に、隙間Gが直線状コンタクト部11の内部に現れる部分では、半導体基板1を露出させない程度にサイドウォール絶縁膜3によって埋められて

10

20

30

40

50

いる。

【0023】

このような構成の半導体装置を製造するには、従来の公知技術による製造方法において、ゲート電極2やゲート電極2上のストップア絶縁膜5を形成するエッチングにおいて、従来のエッチングパターンに、ダミー電極18やダミー電極18上のストップア絶縁膜25に対応するパターンを追加して行なえばよい。

【0024】

(作用・効果)

本実施の形態における半導体装置は、上述の構成を備えているので、直線状コンタクトホール11uを形成するためのエッチングにおいてサイドウォール絶縁膜3が除去されやすい箇所は、図5に示すようにダミー電極18と直線状コンタクトホール11uの外形線とが交差する輪郭交差点16になる。したがって、本来機能すべきゲート電極2においてサイドウォール絶縁膜3が不所望に除去されてしまってショートが生じるという問題を解消できる。一方、ダミー電極18においては仮にサイドウォール絶縁膜3が除去されてしまってダミー電極18と直線状コンタクト部11との間でショートが生じても、ダミー電極18は半導体装置の機能に無関係であるので、問題とならない。

10

【0025】

この半導体装置では、ゲート電極2同士の間にある活性領域14、すなわちソース領域およびドレイン領域のうち一方に対して、直線状コンタクト部11によって電気的接続を行なっているので、該当する活性領域14との接触面積を大きく確保することができ、コンタクト抵抗を低減することができる。また、このように側方に長く延在する直線状コンタクト部11を採用していることにより、この直線状コンタクト部11に上側から配線を接続する位置を選ぶ自由度が高まる。したがって、より上層におけるメタル配線の配置の自由度が高まる。

20

【0026】

(実施の形態2)

(構成)

図8を参照して、本発明に基づく実施の形態2における半導体装置について説明する。本実施の形態では、フラッシュメモリのアレイ構成に本発明を適用した例を示す。

【0027】

30

この半導体装置においては、図8に示すように半導体基板の表面が、上から見たときに活性領域14と分離絶縁膜9の領域とに分かれている点は実施の形態1と同様である。本実施の形態では、図8における図中上下方向に延びるように活性領域14が複数本平行に形成されている。活性領域14同士の間は分離絶縁膜9によって隔てられている。複数本のゲート電極102は、それぞれ直線部分を含み、この直線部分によって活性領域14の長手方向に対して垂直方向に横切るように延びている。活性領域14はゲート電極102の直線部分によって区切られることによって一方の側がソース領域4、他方の側がドレイン領域15となっている。ゲート電極102の上側にはストップア絶縁膜5が形成されている。このストップア絶縁膜5はゲート電極102と同じ大きさでゲート電極102の上側を覆っている。ゲート電極102およびストップア絶縁膜5の側面は、サイドウォール絶縁膜3によって覆われている。ただし、図8では、ゲート電極102と直線状コンタクト部11との位置関係を主に示すため、ストップア絶縁膜5およびサイドウォール絶縁膜を図示省略している。ゲート電極102の直線部分の一方の端には広くなった部分102aがある。さらにその外側に並ぶようにダミー電極118が配置されている。ゲート電極102の端の広くなった部分102aとダミー電極118とは十分に近接している。ゲート電極102とダミー電極118との並びに沿って、さらにダミー電極118よりも遠くまで延びるように、直線状コンタクト部111が配置されている。直線状コンタクト部111の長辺は、サイドウォール絶縁膜を越えてゲート電極102およびダミー電極118の上側の領域にそれぞれ入り込んだ位置にある。

40

【0028】

50

ゲート電極 102 の端の広くなった部分 102a にはそれぞれゲートコンタクト 19 が設けられている。ゲートコンタクト 19 とは、上方（図 8 においては紙面手前側）に張り巡らされたゲート用の配線との間で電気的接続を行なう部分である。ドレイン領域 15 には、ドレインコンタクト 17 が設けられている。ドレインコンタクト 17 は、やはり上方においてゲート配線とは別個に張り巡らされたドレイン用の配線との間で電気的接続を行なう部分である。図 8 においては、ドレインコンタクト 17 およびゲートコンタクト 19 は、いずれも円の中に X を書いた記号で示されている。一方、中央の 2 本のゲート電極 102 の間のソース領域 4 に対する電気的接続は、直線状コンタクト部 111 によって行なわれている。

【0029】

10

ソース領域 4 もドレイン領域 15 も、図 8 における左右方向に一直線上に同種類のものが分離絶縁膜 9 を介して複数個離散的に並ぶ。この並ぶ 1 列の集合を離散的領域群とする。

【0030】

上の説明では、ソース領域 4 の 1 列の離散的領域群だけに注目してこれに一体的に接続する直線状コンタクト部 111 について説明しているが、実際には、ソース領域 4 の離散的領域群が複数列あってもよい。現実的なアレイ構成としては、多数のゲート電極 102 が平行に配置され、これらによって挟まれる間隙の領域として、ソース領域 4 の離散的領域群とドレイン領域 15 の離散的領域群とが図 8 における上下方向に交互に並んで配置されることとなる。その場合、各ソース領域 4 の離散的領域群ごとに、直線状コンタクト部 111 が設けられる。

20

【0031】

離散的領域群のうち、ソースかドレインかのいずれか選択された方（本実施の形態では、ソース領域）の種類の離散的領域群を「特定種類領域群」とすると、複数本並ぶ特定種類領域群に対して、複数本の直線状コンタクト部 111 が、各々被覆するように延びる。

【0032】

(製造方法)

図 9、図 10 を参照して、本発明に基づく実施の形態 2 における半導体装置の製造方法について説明する。基本的に従来の半導体装置の製造方法と同様であるが、ここでは、フラッシュメモリ構造の例を示す。図 9 に示すように、ゲート電極 102 は、コントロールゲート電極 21 とフローティングゲート電極 22 とを含む。コントロールゲート電極 21 とフローティングゲート電極 22 との間には ONO 膜 23 が介在している。複数本線状に延びるフラッシュメモリ構造によって、半導体基板 1 の表面は区切られ、露出する活性領域は交互にソース領域 4 とドレイン領域 15 となっている。その場合、全面を覆うように層間絶縁膜 20 を形成した後に、ソース領域 4 に対応するようにそれぞれ細長い領域についてエッチングを行ない、サイドウォール絶縁膜 3 上でエッチングを一旦止める。こうすることで、図 9 に示すように直線状コンタクトホール 111u がそれぞれ形成される。この直線状コンタクトホール 111u の内部にタンクステンやポリシリコンといった導電体を充填し、直線状コンタクト部 111 を形成する。さらに、図 10 に示すように、これらの上側全面を覆う層間絶縁膜 24 を形成する。層間絶縁膜 24 を上下に貫通するようにエッチングを行ない、その凹部の内部に導電体を充填することによって、図 10 に示すようにドレインコンタクト 17 を形成する。このドレインコンタクト 17 の上端に電気的に接続されるように、ドレイン配線 27 を形成する。ドレイン配線 27 が形成される位置は、層間絶縁膜 24 の上側であるので、ソース領域 4 につながる直線状コンタクト部 111 とドレイン配線 27 やドレインコンタクト 17 との間は互いに電気的に隔離された状態で配線を行なうことができる。

30

【0033】

40

なお、ドレイン配線 27 は、通常「ビット線」と呼ばれている配線である。一般に、メモリセルトランジスタとして N 型 MOS ドラフトトランジスタを用いる場合、ビット線はメモリセルトランジスタのドレイン側に接続され、ソース線はメモリセルトランジスタのソース側に接続される。「ソース側」、「ドレイン側」の定義については、次のように説明すること

50

ができる。メモリセルトランジスタがN型MOSトランジスタである場合において、読み出し動作時にメモリセルトランジスタに向かって電流が流れ込む側が、ドレイン側であって、メモリセルトランジスタから電流が流れていく側がソース側である。

【0034】

(作用・効果)

本実施の形態における半導体装置(図8参照)では、上述の構成を備えているので、直線状コンタクトホール111uを形成するためのエッチングにおいてサイドウォール絶縁膜3が除去されやすい箇所は、図8に示すようにダミー電極118と直線状コンタクトホール111uの外形線とが交差する輪郭交差点116になる。したがって、本来機能すべきゲート電極102においてサイドウォール絶縁膜3が不所望に除去されてしまってショートが生じるという問題を解消できる。一方、ダミー電極118においては仮にサイドウォール絶縁膜3が除去されてしまってダミー電極118と直線状コンタクト部111との間でショートが生じても、ダミー電極118は半導体装置の機能に無関係であるので、問題とならない。

10

【0035】

図10に示した構造の例では、ドレイン配線27を第1の配線として、ゲート電極102の直線部分と平行に配置したが、この場合、ソース配線(図示せず)は、ドレイン配線27より上方において、ドレイン配線27と垂直な方向、すなわちゲート電極102の直線部分と垂直な方向に第2の配線として配置することが考えられる。しかし、本実施の形態によれば、ソース領域に接続される直線状コンタクト部111は長く延在しているので配線を取り出す位置の選択の自由度が高いので、図10に示した以外の配線の仕方も考えられる。たとえば、ソース配線を第1の配線としてゲート電極102の直線部分と平行な方向に配置し、ドレイン配線を第2の配線としてゲート電極102の直線部分と垂直な方向に配置することとしてもよい。

20

【0036】

同一のコントロールゲート電極を共有するような互いに隣接するメモリセルの各々のソース領域が分離絶縁膜を介して離散的に配置されている場合でも、たとえばこれらのソース領域を同一の配線に対して接続するタイプのフラッシュメモリ、すなわちたとえば、NOR型、DINOR型、AND型などのフラッシュメモリにおいては、直線状コンタクト部を採用することができ、ゲート電極とコンタクト部との間のショートを抑制することができる。

30

【0037】

(直線状コンタクト部の寸法)

直線状コンタクト部を配置する際に必要となる寸法について説明する。フラッシュメモリのメモリセルが1個の場合の直線状コンタクト部11の配置例を図11に示す。設計寸法の基準サイズとなるフューチャーサイズFをもとに、メモリセルが1個配列された場合の直線状コンタクト部の寸法の最小値を求めてみた。なお、「フューチャーサイズ」とは、実現できる最小スペース、最小ライン幅であって、通常、トランジスタのゲート長(ゲート電極の幅)やゲート電極同士の間隔に対応する基本的な長さとして用いられる。

40

【0038】

図11に示すように、主な部分の長さはFとなる。ゲート電極2と分離絶縁膜9との重なり部分の長さaは、写真製版の重ね合わせずれや仕上がり寸法の変動を考慮すると、0.5F程度とすべきである。直線状コンタクト部11とダミー電極18との直線状コンタクト部11長手方向(Y方向)に沿った重なり部分の長さbも同様に0.5F程度とすべきである。ゲート電極2とダミー電極18との間の隙間の大きさもFとなっているが、このFの隙間はサイドウォール絶縁膜3が両側から形成されることによって埋められる。すなわち、サイドウォール絶縁膜3が占める幅は片側当たりF/2以上であることが必要となる。

【0039】

以上の各部の寸法を合わせてみると、直線状コンタクト部11の長辺方向(Y方向)の長

50

さは少なくとも 5 F 必要ということになる。デザインルールが 0 . 18 μm ルールである場合、直線状コンタクト部の長辺方向の長さは 0 . 90 μm 以上必要ということになる。

【0040】

また、上記例ではメモリセルが 1 個の場合について説明したが、メモリセル 1 個が占める Y 方向の長さは 2 F であるので、Y 方向に沿って N 個のメモリセルを配列した場合、直線状コンタクト部 11 の長辺方向 (Y 方向) の必要長さは $3 F + N \times 2 F$ となる。

【0041】

一方、直線状コンタクト部 11 の短辺方向 (X 方向) の長さは $F + \dots +$ となる。は、ゲート電極 2 と直線状コンタクト部 11 との X 方向に関する重なり部分の大きさによって決まる値である。は、ゲート電極 2 同士に挟まれた活性領域 14 においてサイドウォール絶縁膜 3 を形成した後の状態でも埋まることなく露出させておく必要のある活性領域 14 の幅である。

【0042】

図 5、図 8 に示した例では、直線状コンタクト部 11, 111 の端がダミー電極 18, 118 を通り越して突き出た位置まで延びているが、本発明の適用形態はこのように突き出しているものに限られない。図 11 に示した例のように、直線状コンタクト部の一端または両端がダミー電極の途中で終わっているような構造であってもよい。たとえば、ダミー電極の先に何か他の構成要素が配置されていて、この構成要素との干渉を避けるために直線状コンタクト部をダミー電極の先まで突き出させることができないような場合には、直線状コンタクト部の端がダミー電極の途中にくるようにすることが考えられる。

10

20

【0043】

本発明によれば、SAS 技術を適用した場合と異なり、ソース / ドレイン領域に特に高濃度の不純物注入を行なう必要はないので、SAS 技術において問題となっていたパンチスルーハウジング現象の問題は抑制することができる。

【0044】

なお、パンチスルーハウジング現象が問題にならない場合には、SAS 技術を適用してさらに本発明を適用してもよい。

【0045】

なお、今回開示した上記実施の形態はすべての点で例示であって制限的なものではない。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更を含むものである。

30

【0046】

【発明の効果】

本発明によれば、ゲート電極の端に近接して並ぶようにダミー電極を備えているので、直線状コンタクトホールを形成するためのエッチングにおいてサイドウォール絶縁膜が除去されやすい箇所は、ダミー電極と直線状コンタクトホールの外形線とが交差する点になる。したがって、ゲート電極においてサイドウォール絶縁膜が不所望に除去されてしまってショートが生じるという問題を解消することができる。

【図面の簡単な説明】

【図 1】 本発明にとって参考となる、コンタクトホールを形成する工程の説明図である。

40

【図 2】 図 1 における I-I 線に関する矢視断面図である。

【図 3】 図 1 における II-II - III-III 線に関する矢視断面図である。

【図 4】 図 3 に示した状態からさらにエッチングが進んだ例を示す断面図である。

【図 5】 本発明に基づく実施の形態 1 における半導体装置の各構成要素の位置関係を模式的に示す平面図である。

【図 6】 図 5 における VI-VI 線に関する矢視断面図である。

【図 7】 図 5 における VII-VII - VIII-VIII 線に関する矢視断面図である。

【図 8】 本発明に基づく実施の形態 2 における半導体装置の各構成要素の位置関係を模式的に示す平面図である。

50

【図9】 本発明に基づく実施の形態2における半導体装置の一部分の製造途中の状態を示す斜視図である。

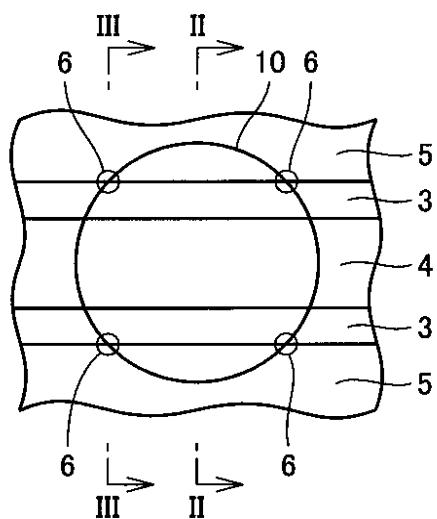
【図10】 本発明に基づく実施の形態2における半導体装置の一部分を示す斜視図である。

【図11】 本発明に基づく半導体装置の直線状コンタクト部の配置例を模式的に示す平面図である。

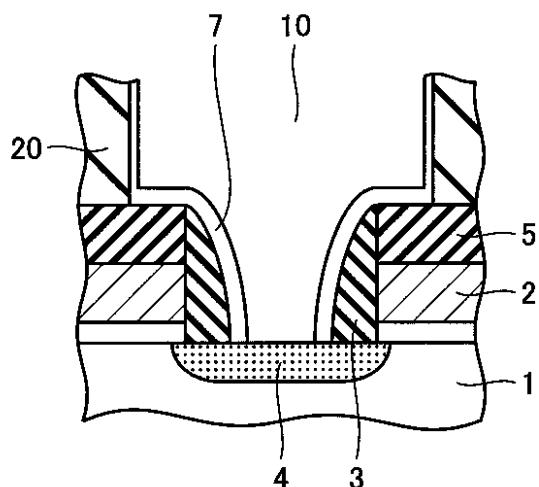
【符号の説明】

1 半導体基板、2 , 102 ゲート電極、3 サイドウォール絶縁膜、4 ソース領域
 、5 , 25 ストップ絶縁膜、6 , 16 , 116 輪郭交差点、7 デポ膜、9 分離絶
 縁膜、10 コンタクトホール、11 , 111 直線状コンタクト部、11u , 111u
 10
 直線状コンタクトホール、14 活性領域、15ドレイン領域、17 ドレインコンタ
 クト、18 , 118 ダミー電極、19ゲートコンタクト、20 , 24 層間絶縁膜、2
 1 コントロールゲート電極、22 フローティングゲート電極、23 ONO膜、27
 ドレイン配線、102a 広くなった部分。

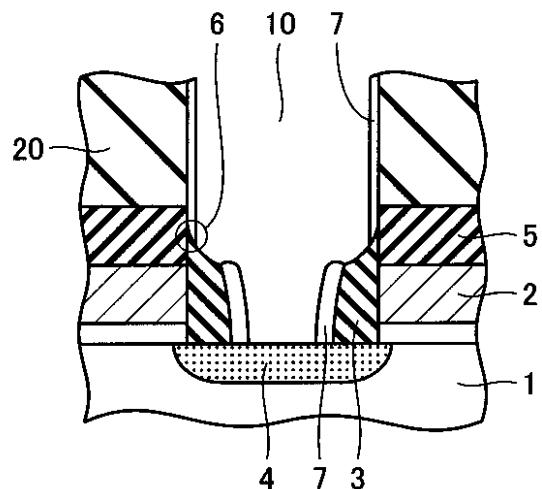
〔 図 1 〕



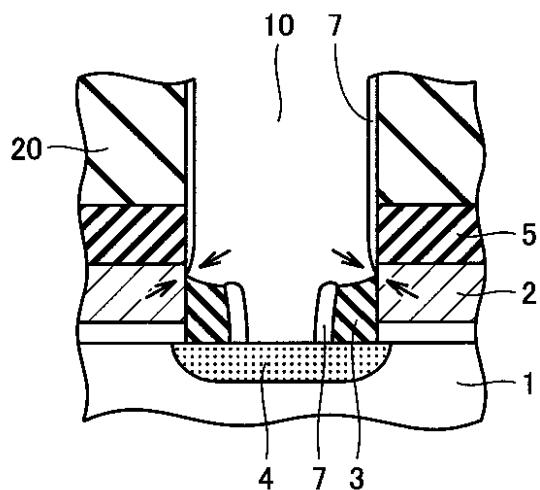
【 2 】



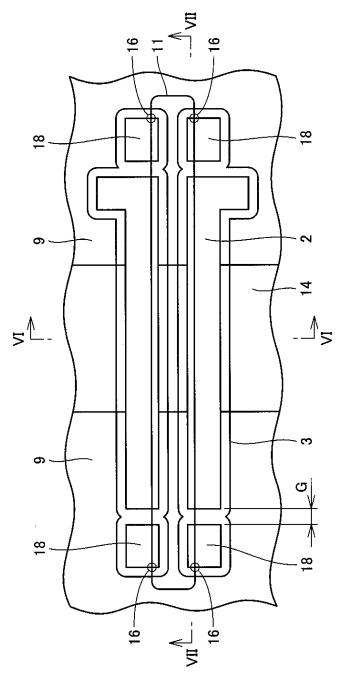
【図3】



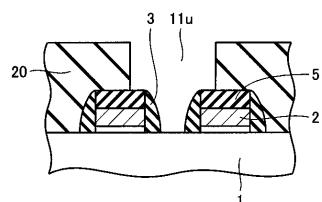
【図4】



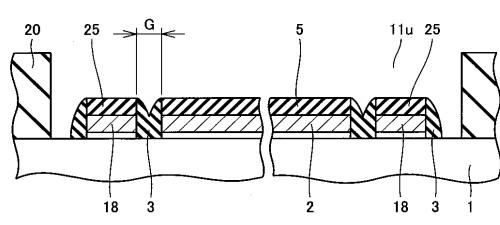
【図5】



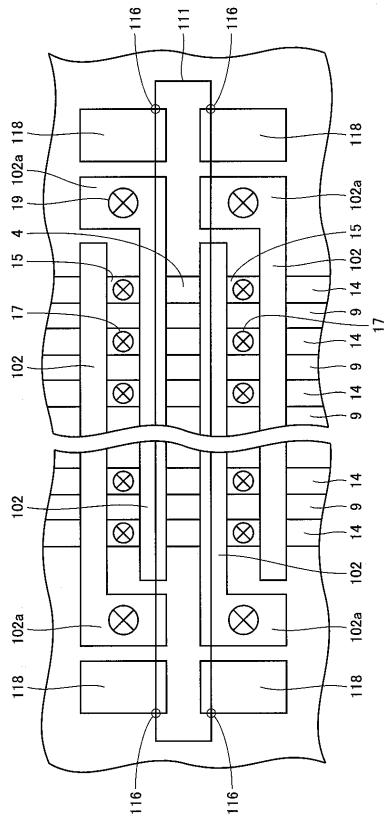
【図6】



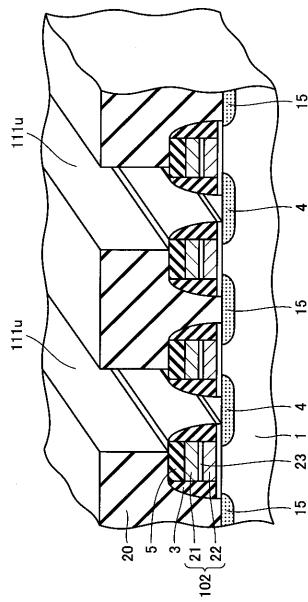
【図7】



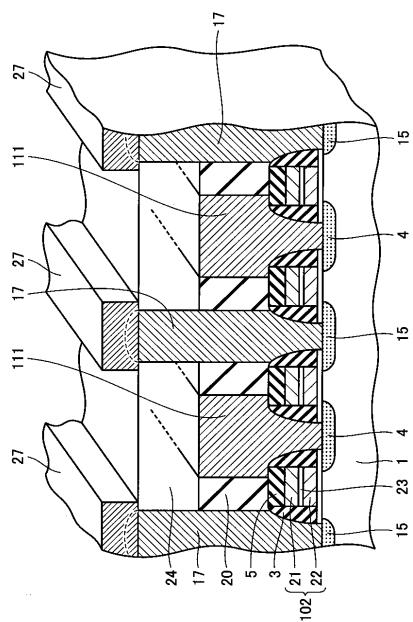
【図8】



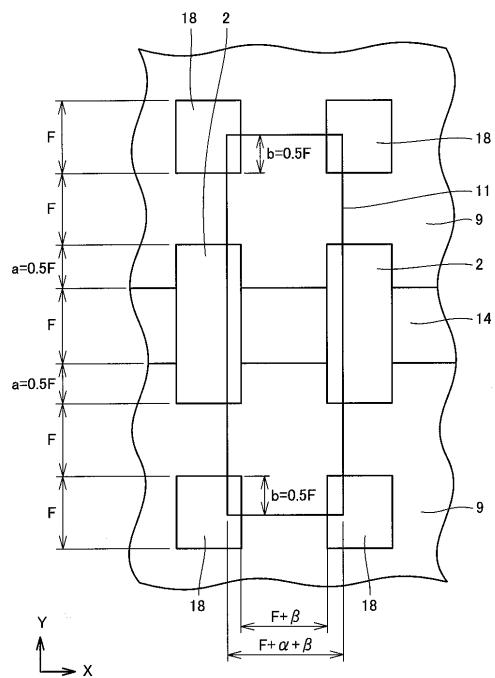
【図9】



【図10】



【図11】



フロントページの続き

(51)Int.Cl. F I
H 01 L 21/336 (2006.01) H 01 L 29/78 371
H 01 L 29/78 (2006.01)
H 01 L 29/788 (2006.01)
H 01 L 29/792 (2006.01)

(72)発明者 清水 悟
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

審査官 長谷山 健

(56)参考文献 特開平09-082924 (JP, A)
特開平11-177089 (JP, A)
特開平08-236767 (JP, A)
特開平10-303297 (JP, A)
特開平11-251560 (JP, A)
特開平11-017156 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/768
H01L 21/3205
H01L 21/336
H01L 21/8247
H01L 23/52
H01L 27/115
H01L 29/78
H01L 29/788
H01L 29/792