

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2010年5月27日(27.05.2010)

(10) 国際公開番号

WO 2010/058581 A1

- (51) 国際特許分類:
H01L 21/822 (2006.01) **H01L 27/04** (2006.01)
G02F 1/1368 (2006.01) **H01L 29/786** (2006.01)
H01L 21/336 (2006.01)
- (21) 国際出願番号: PCT/JP2009/006227
- (22) 国際出願日: 2009年11月19日(19.11.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
 特願 2008-297297 2008年11月20日(20.11.2008) JP
- (71) 出願人(米国を除く全ての指定国について):
 シャープ株式会社(SHARP KABUSHIKI KAISHA)
 [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
 22番22号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 坂本真由子
 (SAKAMOTO, Mayuko). 守口正生(MORIGUCHI,
 Masao). 岩瀬泰章(IWASE, Yasuaki). 齊藤裕一
 (SAITO, Yuhichi). 吉田徳生(YOSHIDA, Tokuo).
 神崎庸輔(KANZAKI, Yohsuke).
- (74) 代理人: 奥田誠司(OKUDA, Seiji); 〒5410041 大阪
 府大阪市中央区北浜一丁目8番16号 大阪証券
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

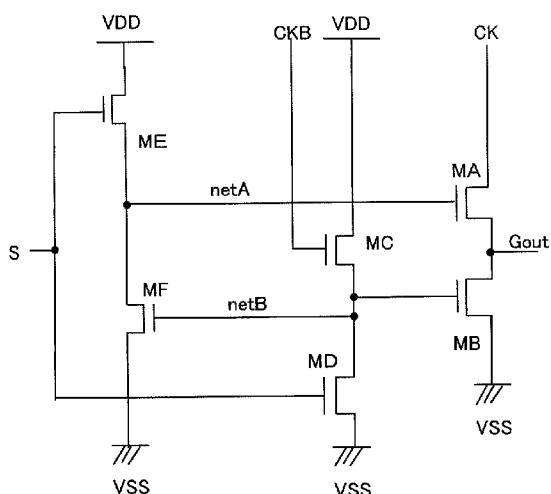
添付公開書類:

- 國際調査報告(条約第21条(3))

(54) Title: SHIFT REGISTER

(54) 発明の名称: シフトレジスタ

[図3]



(57) Abstract: Provided is a shift register supported by an insulating substrate and formed by a plurality of stages. Each of the stages successively outputs an output signal and includes: a first transistor (MA) which outputs an output signal; and a plurality of second transistors (ME, MF) each having a source region or a drain region electrically connected to the gate electrode of the first transistor (MA). The second transistors include a multi-channel transistor having an active layer containing at least two channel regions, a source region, and a drain region. This improves characteristic of the shift register constituting the monolithic gate driver.

(57) 要約: 本発明のシフトレジスタは、絶縁性の基板に支持されたシフトレジスタであって、それぞれが出力信号を順次出力する複数の段を有し、複数の段のそれぞれは、出力信号を出力する第1トランジスタ(MA)と、それぞれのソース領域またはドレン領域が第1トランジスタ(MA)のゲート電極に電気的に接続された複数

の第2トランジスタ(ME、MF)とを有し、複数の第2トランジスタは、少なくとも2つのチャネル領域と、ソース領域と、ドレン領域とを含む活性層を有するマルチチャネル型トランジスタを含む。それによって、モノリシックゲートドライバーを構成するシフトレジスタの特性が改善される。

明 細 書

発明の名称：シフトレジスタ

技術分野

[0001] 本発明は、シフトレジタに関し、特に液晶表示パネルや有機EL表示パネルのアクティブマトリクス基板に形成されたシフトレジスタに関する。

背景技術

[0002] 近年、画素ごとに薄膜トランジスタ（Thin Film Transistor；以下、「TFT」）を有する液晶表示装置や有機EL表示装置が普及している。TFTは、ガラス基板などの基板上に形成された半導体層を利用して作製される。TFTが形成された基板は、アクティブマトリクス基板と呼ばれる。

[0003] TFTとしては、従来から、アモルファスシリコン膜を活性層とするTFT（以下、「アモルファスシリコンTFT」）や多結晶シリコン膜を活性層とするTFT（以下、「多結晶シリコンTFT」）が広く用いられている。

[0004] 多結晶シリコン膜におけるキャリア移動度はアモルファスシリコン膜よりも高いので、多結晶シリコンTFTは、アモルファスシリコンTFTよりも高いオン電流を有し、高速動作が可能である。そこで、画素用のTFTだけでなく、ドライバーなどの周辺回路用のTFTの一部又は全部を多結晶シリコンTFTで構成した表示パネルが開発されている。このように、表示パネルを構成する絶縁性の基板（典型的にはガラス基板）に形成されたドライバーをモノリシックドライバーということがある。ドライバーにはゲートドライバーとソースドライバーがあり、いずれか一方だけがモノリシックドライバーとされることもある。ここで、表示パネルとは、液晶表示装置や有機EL表示装置の内で、表示領域を有する部分を指し、液晶表示装置のバックライトや、ベゼル等を含まない。

[0005] 多結晶シリコンTFTを作製するためには、アモルファスシリコン膜を結晶化させるためのレーザー結晶化工程の他、熱アニール工程、イオンドーピ

ング工程などの複雑な工程を行う必要があり、基板の単位面積あたりの製造コストが高くなる。従って、現在、多結晶シリコン TFT は主に中型および小型の表示装置に用いられ、アモルファスシリコン TFT は、大型の表示装置に用いられている。

- [0006] 近年、表示装置の大型化に加え、高画質化および低消費電力化に対する要求が高まるなか、アモルファス TFT よりも高性能で製造コストの低い、微結晶シリコン (μ c-Si) 膜を活性層として用いた TFT が提案されている（特許文献 1、特許文献 2 および非特許文献 1）。このような TFT を「微結晶シリコン TFT」と称する。
- [0007] 微結晶シリコン膜は、結晶相とアモルファス相とを有するシリコン膜であり、微結晶粒がアモルファス相中に分散した組織を有する。各微結晶粒のサイズは、多結晶シリコン膜に含まれる結晶粒のサイズよりも小さく（数百 nm 以下）、柱状結晶となることもある。
- [0008] 微結晶シリコン膜は、プラズマ CVD 法などを用いて形成することができ、結晶化のための熱処理を必要とせず、アモルファスシリコン膜用の製造設備をそのまま用いることができる。また、微結晶シリコン膜は、アモルファスシリコン膜よりも高いキャリア移動度を有しているので、アモルファスシリコン TFT よりも高性能な TFT を得ることができる。
- [0009] 例えば、特許文献 1 には、TFT の活性層として微結晶シリコン膜を用いることにより、アモルファスシリコン TFT の 1.5 倍のオン電流が得られることが記載されている。また、非特許文献 1 には、微結晶シリコンおよびアモルファスシリコンからなる半導体膜を用いることにより、オン／オフ電流比が 10^6 、移動度が約 $1 \text{ cm}^2/\text{V s}$ 、閾値が約 5 V の TFT が得られることが記載されている。
- [0010] さらに、特許文献 2 には、微結晶シリコンを用いた逆スタガ型の TFT が開示されている。
- [0011] 上述したように、微結晶シリコン TFT は有利な点を有しているにも拘わらず、今まで実用化に至っていない。その理由の 1 つは、微結晶シリコン

TFTのオフ電流（＝リーク電流）が高いことにある。

[0012] TFTのオフ電流を低減する方法として、多結晶シリコンTFTで利用されているマルチチャネル構造（マルチゲート構造ともいう。）の導入が考えられる。例えば、特許文献3および4には、マルチゲートチャネル構造を有する微結晶シリコンTFTを用いた液晶表示装置および有機EL表示装置が開示されている。これらの表示装置では、画素用TFTにマルチチャネル構造を導入することによって、画素用TFTのオフ電流を低減させ、画素の電圧保持特性を改善している。

先行技術文献

特許文献

[0013] 特許文献1：特開平6-196701号公報

特許文献2：特開平5-304171号公報

特許文献3：特開2005-51211号公報

特許文献4：特開2005-49832号公報

非特許文献

[0014] 非特許文献1：Zhongyang Xu他「A Novel Thin-film Transistors With μ c-Si/a-Si Dual Active Layer Structure For AM-LCD」IDW'96 Proceedings of The Third International Display Workshops VOLUME 1, 1996, p. 117~120

発明の概要

発明が解決しようとする課題

[0015] しかしながら、本発明者の検討によると、画素用TFTのオフ電流を低減させても、ゲートドライバーを構成するシフトレジスタに微結晶シリコンTFTを用いると、表示品位が低下する、場合によっては表示できない、ことがわかった。

- [0016] この問題は、後述するように、シフトレジスタを構成する一部のTFTのサブスレッショルド領域（ゲート電圧 $V_g \geq 0\text{ V}$ ）におけるリーク電流が大きいことにより、シフトレジスタの出力トランジスタ（プルアップトランジスタ）のゲート電極の電圧が低下し、出力波形がなまる、あるいは、出力トランジスタがオン状態とならないことに起因していることがわかった。
- [0017] シフトレジスタを構成する一部のTFTのソース・ドレイン間にかかる電圧 V_{ds} は、画素用TFTのソース・ドレイン間にかかる電圧 V_{ds} よりも高く、例えば、中型の液晶表示パネルでは最大50V付近に達し、大型の液晶表示パネルでは最大70V付近に達することもある。また、画素用TFTでは、ゲート電圧 V_g （ V_{gs} ）がマイナスの領域のオフ電流が問題になるのに対し、シフトレジスタを構成するTFTのゲート電圧 V_g （ V_{gs} ）は0V付近である。例えば、図20に示す、シングルチャネル構造の微結晶シリコンTFTのゲート電圧 V_g に対するソース・ドレイン間の電流 I_{ds} との関係（ $I_{ds} \cdot V_g$ 特性ということがある。）を見ると、 $V_g = 0\text{ V}$ において、 $V_{ds} = 40\text{ V}$ のときの I_{ds} は、 $V_{ds} = 10\text{ V}$ のときの I_{ds} と比較して、3桁も大きい。
- [0018] なお、上記の V_{ds} に高い電圧が印加されることによるサブスレッショルド領域におけるTFTのリーク電流の問題は、アモルファスシリコンTFTでも生じる。液晶表示パネルの大型化が進むにつれて、アモルファスシリコンTFTを用いてドライバーを形成する技術も開発されつつある。尚、アモルファス半導体膜や微結晶半導体膜としてTFTに用いられる半導体材料としては、シリコン（Si）の他、シリコンゲルマニウム（SiGe）やシリコンカーバイト（SiC）が知られており、上述と同様の問題がある。
- [0019] 上述したように、アモルファス半導体膜や微結晶半導体膜を用いると、多結晶半導体膜を用いるよりも製造コストが安いという利点が得られるが、シフトレジスタを構成する一部のTFTのリーク電流の問題は、半導体膜の種類に関わらない問題である。
- [0020] 本発明は、上記の問題点に鑑みてなされたものであり、その主な目的は、

モノリシックゲートドライバーを構成するシフトレジスタの特性を改善することにある。

[0021] また、本発明の他の目的は、特許文献3または4に記載されている従来のマルチチャネル型TFTよりもオフ電流を低減することが可能なマルチチャネル型TFTを提供することにある。

課題を解決するための手段

[0022] 本発明のシフトレジスタは、絶縁性の基板に支持されたシフトレジスタであって、それぞれが出力信号を順次出力する複数の段を有し、前記複数の段のそれぞれは、前記出力信号を出力する第1トランジスタと、それぞれのソース領域またはドレイン領域が前記第1トランジスタのゲート電極に電気的に接続された複数の第2トランジスタとを有し、前記複数の第2トランジスタは、少なくとも2つのチャネル領域と、ソース領域と、ドレイン領域とを含む活性層を有するマルチチャネル型トランジスタを含む。

[0023] ある実施形態において、前記複数の第2トランジスタの内でソース・ドレイン間電圧が最も高いものが、前記マルチチャネル型トランジスタである。複数の第2トランジスタの内の一が前記マルチチャネル型トランジスタである場合、マルチチャネル型トランジスタのソース・ドレイン間電圧は、マルチチャネル型トランジスタでないもののソース・ドレイン間電圧よりも高い。

[0024] ある実施形態において、前記複数の第2トランジスタの何れもが、前記マルチチャネル型トランジスタである。

[0025] ある実施形態において、前記活性層はアモルファス相を有する半導体膜を含む。アモルファス相を有する半導体膜は、アモルファス半導体膜のみで構成されてもよいし、微結晶半導体膜で構成されてもよいし、アモルファス半導体膜と微結晶半導体膜との積層膜で構成されてもよい。

[0026] ある実施形態において、前記半導体膜は微結晶半導体膜である。前記半導体膜は多結晶半導体膜であってもよい。

[0027] ある実施形態において、前記活性層は多結晶半導体膜を含む。

- [0028] ある実施形態において、前記マルチチャネル型トランジスタの前記ゲート電極は、前記ソース領域および前記ドレイン領域と重なる部分を有し、前記ゲート電極が前記ドレイン領域と重なる部分の面積および前記ゲート電極が前記ソース領域と重なる部分の面積は、互いに異なり、前記第1トランジスタの前記ゲート電極に接続されている方と重なる部分の面積が、前記第1トランジスタの前記ゲート電極に接続されていない方と重なる部分の面積よりも小さい。
- [0029] ある実施形態において、前記第1トランジスタが有するソース領域とドレイン領域との大きさは互いに異なり、ゲートバスラインに接続されていない方がゲートバスラインに接続されている方よりも小さい。
- [0030] ある実施形態において、前記マルチチャネル型トランジスタの前記活性層は、前記少なくとも2つのチャネル領域の間に形成された少なくとも1つの中間領域をさらに有し、前記少なくとも2つのチャネル領域は、前記ソース領域と前記少なくとも1つの中間領域との間に形成された第1チャネル領域と、前記ドレイン領域と前記少なくとも1つの中間領域との間に形成された第2チャネル領域とを含み、前記マルチチャネル型トランジスタは、前記ソース領域と接するソースコンタクト領域と、前記ドレイン領域と接するドレインコンタクト領域と、前記少なくとも1つの中間領域に接する少なくとも1つの中間コンタクト領域とを有するコンタクト層と、前記ソースコンタクト領域に接するソース電極、前記ドレインコンタクト領域に接するドレイン電極および、前記少なくとも1つの中間コンタクト領域に接する少なくとも1つの中間電極とをさらに有し、前記マルチチャネル型トランジスタの前記ゲート電極は、前記少なくとも2つのチャネル領域および前記少なくとも1つの中間領域に、ゲート絶縁膜を間に介して対向し、前記少なくとも1つの中間電極の、前記第1チャネル領域と前記第2チャネル領域との間に存在する部分の全体が、前記少なくとも1つの中間領域および前記ゲート絶縁膜を介して前記ゲート電極と重なっている。
- [0031] ある実施形態において、前記マルチチャネル型トランジスタの前記ゲート

電極は、前記ソース領域および前記ドレイン領域と重なる部分を有し、前記ソース領域および前記ドレイン領域の内で前記第1トランジスタの前記ゲート電極に接続されている方と前記ゲート電極が重なる部分の面積は、前記少なくとも1つの中間領域と前記ゲート電極が重なる部分の面積よりも小さい。前記ドレイン領域が前記第1トランジスタの前記ゲート電極に接続されているとき、少なくとも前記ゲート電極が前記ドレイン領域と重なる部分の面積は、前記少なくとも1つの中間領域と前記ゲート電極が重なる部分の面積よりも小さいことが好ましい。このとき、前記ゲート電極が前記ソース領域と重なる部分の面積が、前記少なくとも1つの中間領域と前記ゲート電極が重なる部分の面積よりも小さくてもよい。

- [0032] ある実施形態において、前記基板に垂直な方向から見たとき、前記マルチチャネル型トランジスタの前記少なくとも1つの中間電極は凹部を有し、前記ドレイン電極は前記少なくとも1つの中間電極の前記凹部内に突き出た部分を有する。
- [0033] ある実施形態において、前記基板に垂直な方向から見たとき、前記マルチチャネル型トランジスタの前記ソース電極は凹部を有し、前記少なくとも1つの中間電極は前記ソース電極の前記凹部内に突き出た部分を有する。
- [0034] ある実施形態において、前記マルチチャネル型トランジスタの前記少なくとも1つの中間領域は第1中間領域および第2中間領域を有し、前記少なくとも1つの中間コンタクト領域は第1中間コンタクト領域および第2中間コンタクト領域を有し、前記少なくとも1つの中間電極は第1中間電極および第2中間電極を有し、前記少なくとも2つのチャネル領域は第3チャネル領域を更に有し、前記第1チャネル領域は前記ソース電極と前記第1中間電極との間に形成されており、前記第2チャネル領域は前記ドレイン電極と前記第2中間電極との間に形成されており、前記第3チャネル領域は前記第1中間電極と前記第2中間電極との間に形成されている。
- [0035] ある実施形態において、前記マルチチャネル型トランジスタの前記少なくとも1つの中間コンタクト領域が前記少なくとも1つの中間電極を兼ねる。

[0036] 即ち、ある実施形態において、前記マルチチャネル型トランジスタは、基板に支持された、少なくとも2つのチャネル領域と、ソース領域と、ドレイン領域と、前記少なくとも2つのチャネル領域の間に形成された少なくとも1つの中間領域とを有する活性層と、前記ソース領域と接するソースコンタクト領域と、前記ドレイン領域と接するドレインコンタクト領域と、前記少なくとも1つの中間領域に接する少なくとも1つの中間コンタクト領域とを有するコンタクト層と、前記ソースコンタクト領域に接するソース電極と、前記ドレインコンタクト領域に接するドレイン電極と、前記少なくとも2つのチャネル領域および前記少なくとも1つの中間領域に、ゲート絶縁膜を間に介して対向するゲート電極とを有し、前記少なくとも2つのチャネル領域は、前記ソース領域と前記少なくとも1つの中間領域との間に形成された第1チャネル領域と、前記ドレイン領域と前記少なくとも1つの中間領域との間に形成された第2チャネル領域とを含み、前記少なくとも1つの中間コンタクト領域の、前記第1チャネル領域と前記第2チャネル領域との間に存在する部分の全体が、前記少なくとも1つの中間領域および前記ゲート絶縁膜を介して前記ゲート電極と重なっている。

[0037] ある実施形態において、前記活性層は、前記ゲート電極と前記基板との間に設けられている。

[0038] 本発明のアクティブマトリクス基板は、上記いずれかに記載のシフトレジスタを備えることを特徴とする。

[0039] 本発明の表示パネルは、上記いずれかに記載のシフトレジスタを備えることを特徴とする。

発明の効果

[0040] 本発明によると、アモルファス相を含む半導体膜を活性層として有するTFTを用いたシフトレジスタの特性を改善することができる。

[0041] また、本発明によると、従来よりもオフ電流を低減することができるマルチチャネル型TFTが提供される。このマルチチャネル型TFTを用いることによってシフトレジスタの特性がさらに改善される。

図面の簡単な説明

[0042] [図1] (a) は、本発明による実施形態の液晶表示パネル100の模式的な平面図であり、(b) は、1つの画素の模式的な構造を示す平面図である。

[図2] ゲートドライバー110に含まれるシフトレジスタ110Aの構成を説明するブロック図である。

[図3] シフトレジスタ110Aの1つの段に用いられる、従来の構成を示す模式図である。

[図4] シフトレジスタ110Aの各段の入出力信号の波形およびnetAの電圧波形を示す図である。

[図5] シフトレジスタ110Aのn-2からn+1の4段からの出力信号の波形を示す図である。

[図6] シフトレジスタ110Aの1つの段に用いられる、本発明による実施形態のシフトレジスタの1つの段の回路図である。

[図7] 従来の問題点および本発明の効果を説明するための図であり、(a) はnetAの波形を示す図であり、(b) は出力信号Goutの波形を示す図である。

[図8] ゲートドライバー110に含まれる他のシフトレジスタ110Bの構成を説明するブロック図である。

[図9] シフトレジスタ110Bの1つの段に用いられる、従来の構成を示す模式図である。

[図10] シフトレジスタ110Bの各段の入出力信号の波形およびnetAの電圧波形を示す図である。

[図11] シフトレジスタ110Bのn-2からn+2の5段からの出力信号の波形を示す図である。

[図12] シフトレジスタ110Bの1つの段に用いられる、本発明による実施形態のシフトレジスタの1つの段の回路図である。

[図13] (a) は本発明による実施形態の他のシフトレジスタの1段の回路図であり、(b)、(c) および(d) は、(a) に示すシフトレジスタに適

応可能なクロック信号のタイミングチャートの例を示す図である。

[図14] (a) は、本発明による実施形態の他のシフトレジスタの1段の回路図であり、(b) は (a) に示すシフトレジスタに適応可能なクロック信号のタイミングチャートの例を示す図である。

[図15] 本発明による実施形態の他のシフトレジスタの連続する3段の回路図である。

[図16] 本発明による実施形態の他のシフトレジスタの回路図である。

[図17] 本発明による実施形態の他のシフトレジスタの回路図である。

[図18] 本発明による実施形態の他のシフトレジスタの回路図である。

[図19] 特開2005-50502号公報に開示されているシフトレジスタの例を示す回路図である。

[図20] シングルチャネル構造の微結晶シリコンTFTのゲート電圧 V_g に対するソース・ドレイン間の電流 I_{ds} との関係を示すグラフである。

[図21] (a) は本発明による実施形態のTFT10の模式的な平面図であり、(b) は (a) 中の21B-21B' 線に沿った模式的な断面図であり、(c) は TFT10の等価回路図である。

[図22] (a) は従来のダブルゲート構造を有するTFT90の模式的な平面図であり、(b) は (a) 中の22B-22B' 線に沿った模式的な断面図である。

[図23] TFT10およびTFT90のオフ電流特性の例を示すグラフである。

[図24] シングルチャネル構造、デュアルチャネル構造およびトリプルチャネル構造を有するTFTについて、ゲート電圧 V_g (V) とソース・ドレイン間の電流 I_{ds} (A) との関係を示すグラフである。

[図25] (a) ~ (f) は、TFT10を備えるアクティブマトリクス基板101の製造方法を説明するための模式的な断面図である。

[図26] (a) は本発明による実施形態のTFT10Aの模式的な平面図であり、(b) は本発明による実施形態のTFT10Bの模式的な平面図である

。

[図27] TFT10AおよびTFT10Bについて、ゲート電圧 V_g (V) とソース・ドレイン間の電流 I_{ds} (A) との関係を示すグラフである。

[図28] (a) は本発明による実施形態のTFT10Cの模式的な平面図であり、(b) は本発明による実施形態のTFT10Dの模式的な平面図であり、(c) は本発明による実施形態のTFT10Eの模式的な平面図である。

[図29] (a) は本発明による実施形態のTFT10Fの模式的な平面図であり、(b) は本発明による実施形態のTFT10Gの模式的な平面図であり、(c) は本発明による実施形態のTFT10Hの模式的な平面図である。

発明を実施するための形態

[0043] 以下、図面を参照して、本発明のシフトレジスタの実施形態を説明する。以下では、液晶表示パネルに一体に（モノシックに）形成されたシフトレジスタを例示するが、本発明はこれに限られない。

[0044] 図1 (a) は、本発明による実施形態の液晶表示パネル100の模式的な平面図であり、図1 (b) は、1つの画素の模式的な構造を示している。なお、図1 (a) には、液晶表示パネル100のアクティブマトリクス基板101の構造を示し、液晶層や対向基板は省略している。液晶表示パネル100に、バックライトや電源等を設けることによって液晶表示装置が得られる。

[0045] アクティブマトリクス基板101には、ゲートドライバー110と、ソースドライバー120とが一体に形成されている。液晶表示パネル100の表示領域には複数の画素が形成されており、画素に対応するアクティブマトリクス基板101の領域を参考符号132で示している。なお、ソースドライバー120はアクティブマトリクス基板101に一体に形成する必要は無い。別途作製されたソースドライバーIC等を公知の方法で実装しても良い。

[0046] 図1 (b) に示すように、アクティブマトリクス基板101は、液晶表示パネル100の1つの画素に対応する画素電極101Pを有している。画素電極101Pは画素用TFT101Tを介して、ソースバスライン101S

に接続されている。TFT101Tのゲート電極はゲートバスライン101Gに接続されている。

[0047] ゲートバスライン101Gには、ゲートドライバー110の出力が接続されており、線順次に走査される。ソースバスライン101Sには、ソースドライバー120の出力が接続されており、表示信号電圧（階調電圧）が供給される。

[0048] 次に、図2は、ゲートドライバー110に含まれるシフトレジスタ110Aの構成を説明するブロック図である。シフトレジスタ110Aはアクティブマトリクス基板101を構成するガラス基板などの絶縁性の基板に支持されている。シフトレジスタ110Aを構成するTFTは、アクティブマトリクス基板101の表示領域に形成される画素用TFT101Tと同じプロセスで形成することが好ましい。

[0049] 図2には、シフトレジスタ110Aが有する複数の段（ステージ）の内のn-2からn+1の4段だけを模式的に示している。複数の段は、実質的に同一の構造を有し、カスケード接続されている。シフトレジスタ110Aの各段からの出力は、液晶表示パネル100の各ゲートバスライン101Gに与えられる。このようなシフトレジスタ110Aは、例えば、特許第2836642号公報に記載されている。特許第2836642号公報の開示内容を参考のために本明細書に援用する。

[0050] シフトレジスタ110Aの各段は、入力端子Sと、出力端子OUTと、位相が互いに異なる3つのクロック信号CK1、CK2およびCK3の内のいずれか1つをクロック信号CKとして受け取る端子と、CK1、CK2およびCK3の内の他のいずれか1つをクロック信号CKBとして受け取る端子とを有している。すなわち、シフトレジスタ110Aの一段について、クロック信号CKとして入力されるクロック信号とクロック信号CKBとして入力されるクロック信号は互いに異なっている。入力端子SにはゲートスタートパルスGSPが入力され、1つの出力端子OUTは対応するゲートバスライン101Gに接続されており、他の出力端子OUTは、次段の入力端子S

に接続されている。

- [0051] 図3はシフトレジスタ110Aの1つの段に用いられる、従来の構成を示す模式図であり、図4はシフトレジスタ110Aの各段の入出力信号の波形およびn_etAの電圧波形を示している。また、図5はシフトレジスタ110Aのn-2からn+1の4段からの出力信号の波形を示している。図5に示すように、シフトレジスタ110Aは各段から順次出力信号G_{out}を出力する。
- [0052] 図3に示すように、シフトレジスタ110Aの各段は、出力信号G_{out}を出力する第1トランジスタ(TFTMA)と、それぞれのソース領域またはドレイン領域が第1トランジスタTFTMAのゲート電極に電気的に接続された複数の第2トランジスタ(TFTMEおよびTFTMF)とを有している。
- [0053] 本明細書では、出力信号G_{out}を出力するトランジスタを第1トランジスタといい、ソース領域またはドレイン領域が第1トランジスタに接続されたトランジスタを第2トランジスタということにする。図3において、TFTMAは、いわゆるプルアップトランジスタであり、TFTMBはプルダウントランジスタである。TFTMAのゲート電極に接続された配線をn_etAといい、TFTMBのゲート電極に接続された配線をn_etBという。
- [0054] 各段からゲートバスライン101Gに対して出力信号G_{out}が出力されるのは画素書き込み時間のみである。1つの段に注目すると、1フレーム期間（全てのゲートバスライン101Gが順次選択され、再び当該ゲートバスラインが選択されるまでの期間）の中で大部分の時間に亘って出力信号G_{out}の電位はVSSに固定されるように構成されている。
- [0055] S信号（前段の出力信号G_{out}(n-1)）によってn_etAをプリチャージすると同時にn_etBをLOWにする。そのことによって、プリチャージされたn_etAの電位がTFTMFを通してリークしないようにする。
- [0056] 次に、クロック信号CKがHIGHのとき、n_etAをプルアップする。このときに、出力信号G_{out}(n)がゲートバスライン101G(n本目

) に出力され、このゲートバスライン T01G に接続されている画素用 TFT101T がオン状態となり、画素電極 T01P にソースバスライン T01S から表示信号電圧が供給される。即ち、画素電極 T01P と対向電極（不図示）と、これらの間の液晶層（不図示）によって構成される液晶容量が充電される。

- [0057] その後、クロック信号 CK が Low となり、それによって netA をプルダウンする。
- [0058] 続いて、クロック信号 CKB が High となり、それによって netB が High となり、netA と Gout の電位を VSS にプルダウンする。
- [0059] なお、出力信号 Gout (n) を出力しない期間は、クロック信号 CKB により、TFTMF で netA を、TFTMB で Gout の電位を VSS に固定する。
- [0060] ここで、TFTMC は、オン状態において、プルダウントランジスタ TFTTMB のゲート電極に接続された配線である netB を High にする。TFTMC がオン状態の間、出力信号 Gout の電位は Low に保たれる。TFTMD は、S 信号がゲート電極に入力されたとき、netB を Low にする。S 信号で netA をプリチャージするために、netB を Low することによって、TFTMF からのリークを防ぐ。VDD は DC 電圧であり、クロック信号 CK の High と同じ電位である。
- [0061] 図 4 に示した従来の回路を、微結晶シリコン TFT を用いて構成すると、以下のような問題が生じことがある。
- [0062] netA をプルアップすると、netA にソースまたはドレイン領域が繋がる第 2 トランジスタ (TFTME および TFTMF (オフ状態にある)) のソース・ドレイン間 (特に TFTMF) に大きな電圧 (Vds) がかかる。このときプルアップされている netA の電圧が、netA にソース領域またはドレイン領域が繋がる TFT のリーク電流により、本来のクロック信号 CK (Low) により立ち下がる前に、低下する。netA の波形がなるまる様子を図 7 (a) に示している。図 7 (a) 中の比較例は図 3 の回路を用

いた場合である。

- [0063] また、 $n_{e t A}$ の電圧が低下することによって、出力信号 $G_{o u t}$ が $H_i g h$ にならない、または出力信号 $G_{o u t}$ の波形がなまり、画素電極に十分な電圧を供給することができず、表示品位が低下する。出力信号 $G_{o u t}$ の波形がなまる様子を図7（b）に示している。図7（b）中の比較例は図3の回路を用いた場合である。
- [0064] このように、微結晶シリコントランジスタを用いてシフトレジスタを構成すると、TFTのサブスレッショルド領域におけるリーク電流に起因する不良が発生する。
- [0065] 本発明では、上記の問題を解決するために、シフトレジスタを構成するTFTの内、第2トランジスタである $TFTM_E$ および $TFTM_F$ にマルチチャネル構造を導入する。
- [0066] 図6に、図3の $TFTM_E$ および $TFTM_F$ を、それぞれデュアルチャネル構造を有する $TFTM_E_d$ および $TFTM_F_d$ に置き換えた、本発明による実施形態のシフトレジスタの1つの段の回路図を示す。
- [0067] $TFTM_E_d$ および $TFTM_F_d$ は、デュアルチャネル構造を有するので、TFTサブスレッショルド領域のリーク電流は、シングルチャネル構造を有する従来の $TFTM_E$ および $TFTM_F$ よりも小さく、上記の問題を解決することができる。即ち、図7（a）および（b）に示すように、 $n_{e t A}$ および出力信号 $G_{o u t}$ の波形のなまりが抑制される。なお、マルチチャネル構造を導入することによるリーク電流の低減効果については、図23および図24を参照して後に詳述する。
- [0068] なお、ここでは、第2トランジスタである $TFTM_E$ および $TFTM_F$ の全てにデュアルチャネル構造を導入したが、これに限られず、複数の第2トランジスタの内の少なくとも1つのTFTにデュアルチャネル構造を導入すれば、そのトランジスタについてはリーク電流を低減できる。複数の第2トランジスタの一部のTFTにデュアルチャネル構造を導入する場合には、ソース・ドレイン間電圧 $V_{d s}$ が最も高い $TFTM_F$ にデュアルチャネル構造

を導入することが好ましい。TFTMFは、そのゲート電極がプルダウントランジスタ(MB)に接続されており、ソース電極またはドレイン電極が、VSSまたは出力トランジスタ(MA)のゲート電極(neet A)に接続されている。もちろん、特性上は、複数の第2トランジスタの全てにマルチチャネル構造を導入することが好ましい。また、デュアルチャネル構造よりもトリプルチャネル構造とすることによって更にリーク電流を低減する効果を高めることができる。一般に、マルチチャネル構造を有するTFTのチャネル数をnとすると、リーク電流は概ね $1/n$ とすることができます。これらのこととは以下に説明する全ての例について成立する。

[0069] 次に、図8—図11を参照して、他のシフトレジスタ110Bの構成を説明する。

[0070] 図8には、シフトレジスタ110Bが有する複数の段(ステージ)の内の $n-2$ から $n+2$ の5段だけを模式的に示している。複数の段は、実質的に同一の構造を有し、カスケード接続されている。シフトレジスタ110Bの各段からの出力は、液晶表示パネル100の各ゲートバスライン101Gに与えられる。このようなシフトレジスタ110Bは、例えば、特開平8-87893号公報に記載されている。特開平8-87893号公報の開示内容を参考のために本明細書に援用する。

[0071] 図9はシフトレジスタ110Bの1つの段に用いられる、従来の構成を示す模式図であり、図10はシフトレジスタ110Bの各段の入出力信号の波形およびneet Aの電圧波形を示している。また、図11はシフトレジスタ110Bの $n-2$ から $n+2$ の5段からの出力信号の波形を示している。図11に示すように、シフトレジスタ110Bは各段から順次出力信号Goutを出力する。

[0072] 図9に示すように、シフトレジスタ110Bの各段は、出力信号Goutを出力する第1トランジスタ(TFTMG)と、それぞれのソース領域またはドレイン領域が第1トランジスタTFTMGのゲート電極に電気的に接続された複数の第2トランジスタ(TFTMH、TFTMK、TFTMMおよ

びTFTMN)とを有している。図9において、TFTMGは、いわゆるプルアップトランジスタであり、TFTMGのゲート電極に接続された配線をnet Aという。

- [0073] 各段からゲートバスライン101Gに対して出力信号Goutが outputされるのは画素書き込み時間のみである。1つの段に注目すると、1フレーム期間（全てのゲートバスライン101Gが順次選択され、再び当該ゲートバスラインが選択されるまでの期間）の中で大部分の時間に亘ってGoutの電位はVSSに固定されるように構成されている。
- [0074] S信号（前段の出力信号Gout(n-1)）によってnet Aをプリチャージする。このとき、net Aにソース領域またはドレイン領域が繋がるTFTMH、MKおよびMNはオフである。
- [0075] 次に、クロック信号CKがHighのとき、net Aをプルアップする。このときに、出力信号Gout(n)がゲートバスライン101G（n本目）に出力され、このゲートバスライン101Gに接続されている画素用TFT101Tがオン状態となり、画素電極101Pにソースバスライン101Sから表示信号電圧が供給される。即ち、画素電極101Pと対向電極（不図示）と、これらの間の液晶層（不図示）によって構成される液晶容量が充電される。
- [0076] その後、リセット信号R（次段の出力信号Gout(n+1)）によって、net AとGoutの電位をVSSにプルダウンする。
- [0077] なお、出力信号Gout(n)を出力しない期間は、クロック信号CKおよびクロック信号CKBにより、TFTMKでnet Aを、TFTMLでGoutの電位をVSSに固定する。
- [0078] ここで、容量CAP1は、net Aの電位を保ち、出力を補助する。TFTMJは、リセット信号Rに応じて、出力信号Goutの電位をLowにする。TFTMLは、クロック信号CKBに応じて出力信号Goutの電位をLowにする。クリア信号CLRは1フレーム（垂直走査期間）に1度、垂直帰線期間（シフトレジスタの最終段が出力してから、最初の段が出力する

までの間)に、シフトレジスタの全ての段に供給され、全ての段の n e t A を L o w にする。なお、クリア信号 C L R はシフトレジスタの最終段のリセット信号の役目も兼ねる。

- [0079] 図 9 に示した従来の回路を、微結晶シリコン TFT を用いて構成すると、上記と同様の問題が生じることがある。
- [0080] 本発明では、上記の問題を解決するために、シフトレジスタを構成する TFT の内、第 2 トランジスタである TFTMH、TFTMK、TFTMM および TFTMN にマルチチャネル構造を導入する。
- [0081] 図 12 に、図 9 の TFTMH、TFTMK、TFTMM および TFTMN を、それぞれデュアルチャネル構造を有する TFTMHD、TFTMKd、TFTMMD および TFTMD に置き換えた、本発明による実施形態のシフトレジスタの 1 つの段の回路図を示す。
- [0082] TFTMHD、TFTMKd、TFTMMD および TFTMD は、デュアルチャネル構造を有するので、TFT サブスレッショルド領域のリーク電流は、シングルチャネル構造を有する従来の TFTMH、TFTMK、TFTMM および TFTMN よりも小さく、上記の問題を解決することができる。
- [0083] なお、ここでは、第 2 トランジスタである TFTMH、TFTMK、TFTMM および TFTMN の全てにデュアルチャネル構造を導入したが、これに限られず、複数の第 2 トランジスタの内の少なくとも 1 つの TFT にデュアルチャネル構造を導入すれば、そのトランジスタについてはリーク電流を低減できる。複数の第 2 トランジスタの一部の TFT にデュアルチャネル構造を導入する場合には、ソース・ドレイン間電圧 Vds が最も高い TFTMHD、TFTML および TFTMM にデュアルチャネル構造を導入することが好ましい。TFTMH は、そのゲート電極が前段の出力 (Gout (n-1)) に接続され、ソース電極またはドレイン電極が出力トランジスタ TFTMG のゲート電極 (n e t A) または VSS に接続されている。TFTMK は、そのゲート電極がクロック信号 CK の配線に接続され、ソース電極また

はドレイン電極が出力トランジスタTFTMGのゲート電極（n_etA）またはVSSに接続されている。TFTMMは、そのゲート電極とソース電極とが互いに接続（ダイオード接続）され、ゲート電極には前段の出力（S信号）が供給される。TFTMMのドレイン電極はTFTMGのゲート電極（n_etA）に接続されている。もちろん、特性上は、複数の第2トランジスタの全てにマルチチャネル構造を導入することが好ましい。

[0084] 本発明は、種々のシフトレジスタに適用することができる。本発明を適用できるシフトレジスタの例を図13—図19を参照して説明する。

[0085] 図13（a）に本発明による実施形態の他のシフトレジスタの1段の回路図を示す。このシフトレジスタは、図13（a）に示した回路と実質的に同じ回路を有する複数の段をカスケード接続することによって構成されている。図13（b）、（c）または（d）は、図13（a）に示したシフトレジスタに適応可能なクロック信号のタイミングチャートの例を示す。これらは、特願2008-037625号および特願2008-068279号に記載されているシフトレジスタに本発明を適用したものである。これらの出願の開示内容の全てを本明細書に援用する。

[0086] 図13（a）において、TFTM1が第1トランジスタであり、第2トランジスタであるTFTM2dおよびTFTM3dがデュアルチャネル構造を有している。従って、このシフトレジスタも上記の問題を解決することができる。

[0087] ここで、TFTM1のソース電極またはドレイン電極はクロック信号（CKA）の配線または出力信号Goutを出力するゲートバスラインに接続されている。TFTM2dのソース電極またはドレイン電極はTFTM1のゲート電極またはVSSに接続されており、TFTM2dのゲート電極は次段の出力（Q_{n+1}）に接続されている。TFTM2dはリセットのタイミングでn_etAをLOWにする。TFTM3dのドレイン電極はTFTM1のゲート電極に接続されている。TFTM3dの、ダイオード接続されたソース電極とゲート電極には、前段の出力（Q_{n-1}）が入力される。TFTM

4のゲート電極は、クロック信号（C K B）の配線に接続されており、ソース電極またはドレイン電極がゲートバスライン（G o u t）またはV S Sに接続されている。T F T M 4は、非選択時に出力信号G o u tの電位変動を防ぐ役割を果たす。容量C 1は出力を補助するための容量であり、選択時にn e t Aの電位が下がるのを防ぐ。

[0088] 図14（a）に、本発明による実施形態の他のシフトレジスタの1段の回路図を示す。図14（b）は、図14（a）に示したシフトレジスタに適応可能なクロック信号のタイミングチャートの例を示す。

[0089] 図14（a）において、T F T M 5が第1トランジスタであり、第2トランジスタであるT F T M 8 dおよびT F T M 9 dがデュアルチャネル構造を有している。従って、このシフトレジスタも、上記の問題を解決することができる。

[0090] ここで、T F T M 5のソース電極またはドレイン電極はクロック信号（C K A）の配線またはゲートバスライン（G o u t）に接続されている。T F T M 8 dはソース電極またはドレイン電極が、T F T M 5のゲート電極またはV S Sに接続されている。T F T M 8 dのゲート電極は、次段の出力（Q_{n+1}）に接続されており、リセットタイミングでn e t AをL o wにする。T F T M 9 dのドレイン電極はT F T M 5のゲート電極に接続されており、T F T M 9 dの、ダイオード接続されたソース電極とゲート電極には、前段の出力信号（Q_{n-1}）が入力される。T F T M 6、M 7およびM 10のソース電極またはドレイン電極はゲートバスライン（G o u t）またはV S Sに接続されており、それぞれのゲート電極は互いに位相の異なるクロック信号の配線に接続されている。容量C 2は出力を補助するための容量であり、選択時にn e t Aの電位が下がるのを防ぐ。

[0091] 図14（b）のタイミングチャートに示すように、クロックのD u t yが1／4なので、T F Tの劣化を防止すると同時に、非出力時のG o u tをD u t y 3／4でL o wに保つことができる。

[0092] 図15に、本発明による実施形態の他のシフトレジスタの連続する3段の

回路図を示す。

- [0093] 図15において、TFTM11が第1トランジスタであり、第2トランジスタであるTFTM12dおよびTFTM13dがデュアルチャネル構造を有している。従って、このシフトレジスタも、上記の問題を解決することができる。
- [0094] TFTM11は、ソース電極またはドレイン電極がクロック信号（CK1）の配線またはゲートバスライン（OUT1、2または3）に接続されている。TFTM13dのソース電極またはドレイン電極は、TFTM11のゲート電極またはVSSに接続されている。TFTM13dのゲート電極は、次段の出力（次段のTFTM11の出力）に接続されている。TFTM13dは、リセットタイミングでnetAをLowにする。TFTM12dのドレイン電極はTFTM11のゲート電極に接続されており、TFTM12dの、ダイオード接続されたソース電極とゲート電極には、前段の出力（前段のTFTM11の出力信号）が入力される。
- [0095] なお、図14および図15に示したシフトレジスタは上記特願2008-068279号に記載されているシフトレジスタに本発明を適用したものである。
- [0096] 図16-18に、本発明による実施形態の他のシフトレジスタの回路図を示す。これらは、特願2008-037626号に記載されているシフトレジスタに本発明を適用したものである。この出願の開示内容の全てを本明細書に援用する。
- [0097] 図16において、TFTM15が第1トランジスタであり、第2トランジスタであるTFTM16d、TFTM19d、TFTM21dおよびTFTM22dがデュアルチャネル構造を有している。従って、このシフトレジスタも、上記の問題を解決することができる。
- [0098] TFTM15は、ソース電極またはドレイン電極がクロック信号（CKA）の配線またはゲートバスライン（Gout_(n)）に接続されている。TFTM16dのソース電極またはドレイン電極は、TFTM15のゲート電極また

はVSSに接続されている。TFTM16dのゲート電極は、次段の出力（Gout_(n+1)）に接続されている。TFTM16dは、リセットタイミングでnetaをLowにする。TFTM21dのゲート電極はTFTM15に接続されており、TFTM21dの、ダイオード接続されたソース電極とゲート電極には、前段の出力（Gout_(n-1)）が入力される。TFTM19dのソース電極またはドレイン電極がTFTM15のゲート電極またはゲートバスライン（Gout_(n)）に接続されており、TFTM19dのゲート電極はクロック信号（CKA）の配線に接続されている。TFTM22dのソース電極またはドレイン電極は、TFTM15のゲート電極またはVSSに接続されており、TFTM22dのゲート電極には、クリア信号CLRが入力される。クリア信号CLRは1フレーム（垂直走査期間）に1度、垂直帰線期間（シフトレジスタの最終段が出力してから、最初の段が出力するまでの間）に、シフトレジスタの全ての段に供給され、全ての段のnetaをLowにする。なお、クリア信号CLRはシフトレジスタの最終段のリセット信号の役目も兼ねる。TFTM17のソース電極またはドレイン電極は、ゲートバスライン（Gout_(n)）またはVSSに接続されており、ゲート電極は次段の出力（Gout_(n+1)）に接続されている。TFTM18およびTFTM20のソース電極またはドレイン電極はゲートバスライン（Gout_(n)）またはVSSに接続されており、これらのゲート電極は互いに位相が異なるクロック信号の配線に接続されている。

[0099] 図17に示すシフトレジスタは以下の点において、図16に示したシフトレジスタと異なり、その他は同じである。

[0100] TFTM21dのドレイン電極はTFTM15のゲート電極に接続されている。TFTM21dの、ダイオード接続されたソース電極とゲート電極に、前前段の出力（Gout_(n-2)）が入力される。TFTM18およびTFTM20のソース電極またはドレイン電極がゲートバスライン（Gout_(n)）またはVSSに接続されており、これらのゲート電極は互いに位相が等しいクロック信号の配線に接続されている。

- [0101] 図17において、TFTM15が第1トランジスタであり、第2トランジスタであるTFTM16d、TFTM19d、TFTM21dおよびTFTM22dがデュアルチャネル構造を有している。従って、これらのシフトレジスタも、上記の問題を解決することができる。
- [0102] なお、図17に示す回路は、図16に示す回路では3つの位相の異なるクロック信号CKA、CKBおよびCKCを利用しているのに対し、トランジスタTFTM20とTFTM18に共通のクロック信号CKBを用いることによって、クロック信号CKCを省略している。また、図17に示す回路では、TFTM21dに2つ前の段の出力信号Gout_(n-2)を用いる。
- [0103] 本発明は、特表平10-500243号公報に開示されているシフトレジスタに適用することもできる。この公報の開示内容の全てを本明細書に援用する。この公報に開示されているシフトレジスタに本発明を適用したシフトレジスタの構成を図18に示す。図18において、TFTM23が第1トランジスタであり、第2トランジスタであるTFTM24dおよびTFTM25dがデュアルチャネル構造を有している。従って、これらのシフトレジスタも、上記の問題を解決することができる。
- [0104] TFTM23のソース電極またはドレイン電極は、クロック信号Φ1の配線またはゲートバスライン(Gout_(n))に接続されている。TFTM23のゲート電極は、ブートストラップするノード(図17中のnet A、図18中のノードG)に接続されている。TFTM24dはノードGを充電する。TFTM24dのソース電極とゲート電極はダイオード接続されており、前段の出力信号Gout_(n-1)またはノードGに接続されている。TFTM25dはノードGを放電する。TFTM25dのソース電極またはドレイン電極はノードGまたはVSS(DC)に接続されており、TFTM25dのゲート電極は次段の出力信号Gout_(n+1)の配線に接続されている。容量C4は寄生容量を示している。容量C6は非選択時にノードGの変動を防ぐ。容量C6の一端はノードGに接続されており、他端にはクロック信号Φ2が入力されている。クロック信号Φ2はクロック信号Φ1の逆相のクロック信号である。

。クロック信号 Φ_1 および Φ_2 は、それぞれ図17のクロック信号CKAおよびCKBに相当する。容量C5は出力を補助する（容量C6により出力が弱くなるのを防ぐ）。

[0105] さらに、本発明は、特開2005-50502号公報に開示されているシフトレジスタに適用することもできる。この公報の開示内容の全てを本明細書に援用する。

[0106] 例えば、上記公報に開示されている図19において、TFTQ2が第1トランジスタであり、第2トランジスタであるTFTQ5をマルチチャネル化することによって、本発明の効果を得ることができる。

[0107] TFTQ2のソース電極またはドレイン電極はクロック信号（CK）の配線またはゲートバスライン（OUT）に接続されている。TFTQ1のドレイン電極はTFTQ2のゲート電極に接続されている。TFTQ1の、ダイオード接続されたソース電極とゲート電極に、入力信号として、例えば前段の出力信号が入力される。TFTQ5のソース電極またはドレイン電極はTFTQ2のゲート電極またはゲートバスライン（OUT）に接続されており、TFTQ5のゲート電極はクロック信号（CK）の配線に接続されている。TFTQ4のソース電極またはドレイン電極がTFTQ2のゲート電極またはVOFF（DC）に接続されており、TFTQ4のゲート電極の入力信号としては、例えば次段の出力信号が入力される。TFTQ3のソース電極またはドレイン電極はゲートバスライン（OUT）またはVOFF（DC）に接続されており、TFTQ3のゲート電極には入力信号として、例えば次段の出力信号が入力される。

[0108] 上述したシフトレジスタに用いられるマルチチャネル型TFTは、特許文献3または4等に開示されているものであってもよいが、以下に説明の本発明による実施形態のマルチチャネル型TFTを用いることが好ましい。

[0109] [マルチチャネル型TFT]

以下、図面を参照して、本発明の半導体素子の実施形態を説明する。ここでは、微結晶シリコン膜を活性層に備えるTFTを例示するが、本発明はこ

れに限られない。

- [0110] 図21に本発明による実施形態のTFT10を模式的に示す。図21(a)はTFT10の模式的な平面図であり、図21(b)は図21(a)中の21B-21B'線に沿った模式的な断面であり、図21(c)はTFT10の等価回路図である。
- [0111] TFT10は、デュアルチャネル構造を有し、電気的には、図21(c)の等価回路図に示すように、直列に接続された2つのTFTと等価な構造を有している。
- [0112] TFT10は、基板(例えばガラス基板)11に支持された活性層14を有する。活性層14は、半導体層であり、ここでは微結晶シリコン膜を含む。活性層14は、チャネル領域14c1および14c2と、ソース領域14sと、ドレイン領域14dと、2つのチャネル領域14c1および14c2の間に形成された中間領域14mとを有する。ここでは、1つの中間領域14mと、2つのチャネル領域14c1および14c2とを有する場合を例示するが、これに限られず、2つ以上の中間領域と、3つ以上のチャネル領域とを有してもよい。
- [0113] TFT10は、さらに、ソース領域14sと接するソースコンタクト領域16sと、ドレイン領域14dと接するドレインコンタクト領域16dと、中間領域14mに接する中間コンタクト領域16mとを有するコンタクト層16と、ソースコンタクト領域16sに接するソース電極18s、ドレインコンタクト領域16dに接するドレイン電極18dおよび、中間コンタクト領域16mに接する中間電極18mと、2つのチャネル領域14c1、14c2および中間領域14mに、ゲート絶縁膜13を間に介して対向するゲート電極12とを有する。中間電極18mは、どこにも電気的な接続を形成しない、いわゆるフローティング電極である。TFT10は、これらを覆う保護膜19をさらに有している。
- [0114] 第1チャネル領域14c1は、ソース領域14sと中間領域14mとの間に形成されており、第2チャネル領域14c2は、ドレイン領域14dと中

間領域 14mとの間に形成されている。また、2つのチャネル領域 14c1 および 14c2 と、ソース領域 14s と、ドレイン領域 14d と、中間領域 14m は、全て1つの連続した活性層 14 に形成されている。また、中間電極 18m の、第1チャネル領域 14c1 と第2チャネル領域 14c2 との間に存在する部分の全体が、中間領域 14m およびゲート絶縁膜 13 を介してゲート電極 12 と重なっている。

[0115] ここでは、中間電極 18m の全体が、中間領域 14m およびゲート絶縁膜 13 を介してゲート電極 12 と重なっているが、これに限られない。例えば、中間電極 18m が、その両側に位置する第1チャネル領域 14c1 と第2チャネル領域 14c2 との間の領域外にまで延設されている場合、例えば、図 21 (a)において、上下方向に延びている場合、第1チャネル領域 14c1 と第2チャネル領域 14c2 との間の領域外に存在する部分は、中間領域 14m およびゲート絶縁膜 13 を介してゲート電極 12 と重なる必要がない。

[0116] TFT10 は、中間電極 18m の、第1チャネル領域 14c1 と第2チャネル領域 14c2 との間に存在する部分の全体が、中間領域 14m およびゲート絶縁膜 13 を介してゲート電極 12 と重なっている点において、特許文献 3 および 4 に記載の TFT (比較例として図 22 に示す TFT90) と異なり、オフ電流の低減効果に優れる等の利点を有している。

[0117] なお、TFT10 は、図 21 (b) に示す断面構造から明らかなように、ゲート電極 12 が活性層 14 と基板 11 との間に設けられているボトムゲート型 (逆スタガ一型) であり、かつ、活性層 14 がエッチングされた領域にチャネル領域 14c1 および 14c2 が形成されているチャネルエッチング型である。

[0118] TFT10 の活性層 14 は、微結晶シリコン膜、または、微結晶シリコン膜とアモルファスシリコン膜との積層膜とから形成されており、従来のアモルファスシリコン TFT の製造プロセスを用いて製造することができる。微結晶シリコン膜は、例えば、水素ガスで希釈したシランガスを原料ガスとし

て、アモルファスシリコン膜の作製方法と同様のプラズマCVD法を用いて形成できる。

[0119] ここで、微結晶シリコン膜について詳しく説明する。

[0120] 微結晶シリコン膜は、結晶質シリコン相とアモルファスシリコン相とが混在した構造を有する。微結晶シリコン膜に占めるアモルファス相の体積率は例えば5%以上95%以下の範囲で制御され得る。なお、アモルファス相の体積率は好ましくは5%以上40%以下であり、これにより、TFTのオンオフ比をより効果的に改善できる。また、微結晶シリコン膜に対して可視光を用いたラマン散乱スペクトル分析を行うと、そのスペクトルは、結晶質シリコンのピークである 520 cm^{-1} の波長で最も高いピークを有するとともに、アモルファスシリコンのピークである 480 cm^{-1} の波長でブロードなピークを有する。 480 cm^{-1} 付近のアモルファスシリコンのピーク高さは、 520 cm^{-1} 付近にみられる結晶質シリコンのピーク高さの例えば1/30以上1以下となる。

[0121] 比較のため、多結晶シリコン膜に対してラマン散乱スペクトル分析を行うと、アモルファス成分はほとんど確認されず、アモルファスシリコンのピークの高さはほぼゼロとなる。なお、多結晶シリコン膜を形成する際に、結晶化条件により、局所的にアモルファス相が残ってしまう場合があるが、のような場合でも、多結晶シリコン膜に占めるアモルファス相の体積率は概ね5%未満であり、ラマン散乱スペクトル分析によるアモルファスシリコンのピーク高さは多結晶シリコンのピーク高さの概ね1/30未満となる。

[0122] 微結晶シリコン膜は、結晶粒と、アモルファス相とを含んでいる。また、微結晶シリコン膜の基板側には、薄いアモルファス層（以下、「インキュベーション層」という）が形成されることがある。インキュベーション層の厚さは、微結晶シリコン膜の成膜条件にもよるが、例えば数nmである。ただし、特に高密度プラズマCVDを用いる場合など、微結晶シリコン膜の成膜条件、成膜方法によってはインキュベーション層がほとんどみられない場合もある。

- [0123] 微結晶シリコン膜に含まれる結晶粒は、一般に、多結晶シリコン膜を構成する結晶粒よりも小さい。微結晶シリコン膜の断面を、透過型電子顕微鏡（TEM）を用いて観察すると、結晶粒の平均粒径は概ね2 nm以上300 nm以下である。結晶粒は、インキュベーション層から微結晶シリコン膜の上面まで柱状に延びる形態をとることもある。結晶粒の直径が約10 nmで、かつ、微結晶シリコン膜の全体に対する結晶粒の体積率が60%以上85%以下のとき、膜中の欠陥が少ない良質の微結晶シリコン膜を得ることができる。
- [0124] 微結晶シリコンは、結晶粒を含むので、アモルファスシリコンよりもキャリア移動度が高い反面、アモルファスシリコンに比べてバンドギャップが小さく、また、膜中に欠陥が形成されやすいので、微結晶シリコンTFTはオフ電流が大きくなってしまうという問題がある。本発明による実施形態のTFT10は、新規なマルチゲート構造によって、TFTのオフ電流を低減することができる。
- [0125] ここで、図22を参照して比較例のTFT90の構造を説明する。図22は、特許文献3および4に記載されているダブルゲート構造を有するTFT90の模式図であり、図22(a)は模式的な平面図であり、図22(b)は図22(a)中の22B-22B'線に沿った模式的な断面図である。
- [0126] TFT90が有するゲート電極92は、2股に分岐されており、2つのゲート枝部92aと92bとを有している。ゲート電極92を覆うゲート絶縁膜93を介して、2つのゲート枝部92aおよび92bのそれぞれに対応する活性層94aおよび94bが別々に形成されている。活性層94aには、ソース領域94sと、第1チャネル領域94c1と、第1中間領域94maとが形成されており、活性層94bには、ドレイン領域94dと、第2チャネル領域94c2と、第2中間領域94mbとが形成されている。ソース電極98sはソースコンタクト層96sを介してソース領域94sに対向するように形成されており、ドレイン電極98dは、ドレインコンタクト層96dを介してドレイン領域94dに対向するように形成されている。TFT9

0は、これらを覆う保護膜99をさらに有している。

- [0127] TFT90の中間電極98mは、中間コンタクト層96maを介して中間領域94maと対向するとともに、中間コンタクト層96mbを介して中間領域94mbと対向するように形成されている。中間電極98mは、2つの活性層94aと94bとの間、および、2つのゲート枝部92aと92bとの間を跨ぐように形成されており、中間電極98mの、第1チャネル領域94c1と第2チャネル領域94c2との間に存在する部分に、活性層94a、94bおよびゲート電極92のいずれとも重ならない部分がある。
- [0128] TFT90の等価回路は図21(c)に示したTFT10の等価回路と同じであるが、中間電極および活性層の構成の違いに起因して、TFT10はTFT90に比べて下記の利点を有している。
- [0129] まず、TFT10はTFT90よりもオフ電流を低減できる。理由を以下に説明する。
- [0130] 図22(a)および(b)に示したように、TFT90においては、中間電極98mは、中間電極98mの両端部分だけが中間コンタクト層96maおよび96mbを介して活性層94aおよび94bに電気的に接続されている。従って、TFT90においては、中間電極98mの一端(中間コンタクト層96ma側)が、ソース電極98sに対するドレイン電極として機能し、中間電極98mの他端(中間コンタクト層96mb側)が、ドレイン電極98dに対するソース電極として機能することになる。すなわち、中間電極98mの両端部分に電界が集中する。
- [0131] これに対し、図21(a)および(b)に示したように、TFT10においては、中間電極18mの全体が中間コンタクト層16mを介して活性層14に電気的に接続されている。従って、中間電極18m自体が、ソース電極18sに対するドレイン電極として機能するとともに、ドレイン電極18dに対するソース電極として機能する。従って、TFT10が有する中間電極18mにおける電界集中の程度は、TFT90が有する中間電極98mの両端部における電界集中の程度よりも緩和される。その結果、TFT10のオ

フ電流はTFT90のオフ電流よりも更に小さく、かつ、TFT10の信頼性はTFT90の信頼性よりも優れる。

[0132] TFT10およびTFT90のオフ電流特性の例を図23に示す。図23にはシングルチャネル構造を有するTFTのオフ電流特性をあわせて示している。図23の横軸はソース・ドレイン間電圧 V_{ds} (V) であり、縦軸はソース・ドレイン間の電流 I_{ds} (A) である。ここでは、ゲート電圧は0 Vであり、 I_{ds} はオフ電流を示す。なお、ここで用いたTFT10およびTFT90の半導体層は高密度PECVD法で形成された微結晶シリコン膜である。この微結晶シリコン膜の結晶化率は、ラマン測定で70%程度であり、粒径は5 nm～10 nm程度である。TFTのチャネル長(L)とチャネル幅(W)は、それぞれ $L/W = 4 \mu m / 100 \mu m$ である。

[0133] 図23から明らかなように、シングルチャネル構造のTFTに比べ、従来のデュアルチャネル構造を有するTFT(比較例)はオフ電流が小さく、本発明による新規なデュアルチャネル構造を有するTFTは更にオフ電流が小さい。本発明によるデュアルチャネル構造では、中間電極における電界集中が緩和されるので、特に、高電界が印加されたときのオフ電流を低減できる。

[0134] 次に、図24を参照して、シングルチャネル構造、デュアルチャネル構造およびトリプルチャネル構造を有するTFTについて、ゲート電圧 V_g (V)とソース・ドレイン間の電流 I_{ds} (A)との関係を説明する。図24の横軸は、ゲート電圧 V_g (V)であり、縦軸はソース・ドレイン間の電流 I_{ds} (A)である。ソース・ドレイン間電圧 V_{ds} は10 Vである。

[0135] ここで、デュアルチャネル構造は、図21に示したTFT10と同様の構造であり、シングルチャネル構造はTFT10の中間電極18 mを有しない構造であり、トリプルチャネル構造は、TFT10の中間電極18 mを2つ平行に配列した構造である。チャネル長はいずれも $6 \mu m$ とした。すなわち、シングルチャネル構造はチャネル長が $6 \mu m$ の1つのチャネルを有し(L-6-SG)、デュアルチャネル構造は各チャネル長が $3 \mu m$ の2つのチャネ

ルを有し（L 6-D G）、トリプルチャネル構造は各チャネル長が $2 \mu m$ の3つのチャネルを有する（L 6-T G）。なお、チャネル長が $3 \mu m$ のシングルチャネル構造の結果（L 3-S G）も図24にあわせて示している。

- [0136] まず、図24のシングルチャネル構造の結果を見ると、チャネル長が $6 \mu m$ の場合（L 6-S G）と、チャネル長が $3 \mu m$ の場合（L 3-S G）とで、オフ電流に差は見られなかった。すなわち、オフ電流の大きさとチャネル長との間には相関関係は無く、オフ電流はもっぱらドレイン部におけるリーク電流であることがわかる。
- [0137] 図24から明らかなように、デュアルチャネル構造およびトリプルチャネル構造を採用することによって、オフ電流を低減できることがわかる。また、トリプルチャネル構造の方がデュアルチャネル構造よりも、オフ電流の低減効果が大きいことがわかる。
- [0138] 下記の表1に、ゲート電圧が0Vでソース・ドレイン間電圧Vdsが40Vの場合、および、ゲート電圧が-29Vでソース・ドレイン間電圧Vdsが10Vの場合のソース・ドレイン間のオフ電流の値を示す。

[0139] [表1]

Vg/Vds	オフ電流(A)		
	シングルチャネル	デュアルチャネル	トリプルチャネル
0V/40V	3.0×E-09	1.9×E-10	6.0×E-11
-29V/10V	6.6×E-09	1.0×E-09	3.9×E-10

- [0140] 表1の結果からわかるように、Vdsが40Vの場合、ゲート電圧Vgが0Vのときのオフ電流は、デュアルチャネル構造またはトリプルチャネル構造を採用することによって、シングルチャネル構造よりも、1~2桁低下させることができる。一方、Vdsが10Vの場合、ゲート電圧Vgが-29Vのときのオフ電流は、デュアルチャネル構造またはトリプルチャネル構造を採用することによって、シングルチャネル構造よりも、1桁程度低下させることができる。

- [0141] 上述したように、本発明によるマルチチャネル構造を採用すると、TFT

のオフ電流を効果的に低減できることがわかる。即ち、本発明によると、TFTのサブスレッショルド領域におけるリーク電流とともに、オフ領域におけるリーク電流を低減することができる。従って、本発明のTFTを用いてシフトレジスタを構成することによって、シフトレジスタの特性を改善することができる。また、本発明のTFTを、特許文献3または4のように、画素用TFTに用いることによって、画素の電圧保持特性を改善することができる。

[0142] また、本発明によるマルチチャネル構造を採用すると、TFTを従来のマルチチャネル構造を有するTFTよりも小型化できるという利点が得られる。

[0143] 再び、図21(a)および図22(a)を参照する。図21(a)と図22(a)との比較から明らかなように、TFT10はTFT90よりもチャネル方向の長さが小さい。

[0144] TFT10のチャネル方向(ソース電極18sからドレイン電極18dへ向かう方向)の長さは、図21(a)からわかるように、 $2L_1 + 2L_2 + L_3$ で与えられる。ここで、L1はソース電極18sが活性層14を間に介してゲート電極12と重なる領域の長さまたはドレイン電極18dが活性層14を間に介してゲート電極12と重なる領域の長さである。L2は、チャネル領域14c1および14c2のそれぞれの長さである。L3は中間電極18mの長さである。例えば、 $L_1 = 3 \mu m$ 、 $L_2 = 4 \mu m$ 、 $L_3 = 4 \mu m$ とすると、TFT10のチャネル方向の長さは、 $2L_1 + 2L_2 + L_3 = 18 \mu m$ となる。

[0145] これに対し、TFT90のチャネル方向(ソース電極98sからドレイン電極98dへ向かう方向)の長さは、図22(a)からわかるように、 $2L_1 + 2L_2 + 2L_4 + L_5$ で与えられる。ここで、L1はソース電極98sが活性層94aを間に介してゲート枝部92aと重なる領域の長さまたはドレイン電極98dが活性層94bを間に介してゲート枝部92bと重なる領域の長さである。L2はチャネル領域94c1および94c2のそれぞれの

長さである。L₄は中間電極98mが活性層94aを間に介してゲート枝部92aと重なる領域の長さまたは中間電極98mが活性層94bを間に介してゲート枝部92bと重なる領域の長さである。例えば、L₁=3μm、L₂=4μm、L₄=3μm、L₅=5μmとすると、TFT90のチャネル方向の長さは、2L₁+2L₂+2L₄+L₅=25μmとなる。

[0146] このように、本発明による新規なデュアルチャネル構造を採用することによって、TFTを小型化することができる。

[0147] 次に、図25(a)～(f)を参照して、TFT10を備えるアクティブマトリクス基板101の製造方法を説明する。ここで例示するアクティブマトリクス基板101は、液晶表示装置に用いられる。

[0148] まず、図25(a)に示すように、ガラス基板11上にゲート電極12を形成する。ゲート電極12は、例えば、Ti/AI/Tiの積層膜（例えば、厚さが0.2μm）をパターニングすることによって形成される。このとき、ゲート電極12と同じ導電膜を用いて、ゲートバスラインやCSバスライン（何れも不図示）が形成され得る。

[0149] 次に、図25(b)に示すように、ゲート絶縁膜13、微結晶シリコン膜14、N⁺シリコン膜16をこの順で連続成膜する。ゲート絶縁膜13は、例えば、平行平板型プラズマCVD法でSiNx膜（例えば厚さが0.4μm）13を堆積することによって形成される。微結晶シリコン膜（例えば厚さが0.12μm）14は、高密度プラズマCVD法で形成される。N⁺シリコン膜（例えば厚さが0.05μm）16は、高密度プラズマCVD法あるいは平行平板型プラズマCVD法で形成される。

[0150] SiNx膜13の成膜は、例えば、平行平板型（容量結合型）の電極構造を有する成膜チャンバーを用いて、基板温度：300°C、圧力：50～300Pa、電力密度：10～20mW/cm²の条件下で行う。また、成膜用のガスとして、シラン(SiH₄)、アンモニア(NH₃)、及び窒素(N₂)の混合ガスを用いる。

[0151] 微結晶シリコン膜14の成膜は、ICP型の高密度PECVDを用いて、

基板温度：250～350°C、圧力：0.5～5Pa、電力密度：100～200mW/cm²という条件で行い、成膜用のガスとして水素ガスで希釈したシランガスを用いる。シラン（SiH₄）と水素（H₂）との流量比は1：1～1：10とする。

- [0152] N⁺シリコン膜16の成膜は、平行平板型（容量結合型）の電極構造をもつ成膜チャンバーを用いて、基板温度：250～300°C、圧力：50～300Pa、電力密度：10～20mW/cm²の条件下で行う。また、成膜用のガスとして、シラン（SiH₄）と水素（H₂）とホスフィン（PH₃）との混合ガスを用いる。
- [0153] その後、図25(c)に示すように、微結晶シリコン膜14およびN⁺シリコン膜16をパターニングすることによって、活性層14およびコンタクト層16を得る。
- [0154] 次に、図25(d)に示すように、N⁺シリコン膜16を覆うように金属膜（いわゆるソースメタル）を成膜し、パターニングすることによってソース電極18s、ドレイン電極18dおよび中間電極18mを形成する。金属膜としては例えばAl/Moの積層膜を用いることができる。Al/Mo膜のパターニングは、一般的な金属エッチャントであるSLAエッチャント(H₃PO₄: H₂O : HNO₃ : CH₃COOH = 16 : 2 : 1 : 1)を用いて行うことができる。
- [0155] 金属膜のエッティングに用いたマスク（たとえばフォトレジスト層）を利用して、ドライエッティング法によりコンタクト層（N⁺シリコン層）16をエッティングすることによって、ソースコンタクト領域16s、ドレインコンタクト領域16d、中間コンタクト領域16mに分離する。このとき、活性層（微結晶シリコン膜）14の一部もエッティングされる（チャネルエッチ）。活性層14の残膜厚さは40nm程度である。
- [0156] 次に、図25(e)に示すように、保護膜19を形成する。保護膜19としては、例えばプラズマCVDで成膜されたSiNx膜を用いることができる。このようにして、TFT10が得られる。

- [0157] 更に、図25(f)に示すように、平坦化膜22を形成する。平坦化膜22は、例えば、有機樹脂膜を用いて形成される。平坦化膜22および保護膜19にコンタクトホール22aを形成する。その後、透明導電膜(例えばITO膜)を成膜し、パターニングすることによって画素電極24を形成する。画素電極24はコンタクトホール22a内においてドレイン電極18dに接続されている。
- [0158] このようにして、画素電極24に接続されたTFT10を有するアクティブマトリクス基板101が得られる。
- [0159] 次に、図26および図27を参照して、本発明による実施形態の他のTFTの構造を説明する。
- [0160] 図26(a)はTFT10Aの模式的な平面図であり、図26(b)はTFT10Bの模式的な平面図である。TFT10AおよびTFT10Bの断面構造は、図21(b)に示したTFT10の断面構造と同じなので省略する。
- [0161] 図26(a)に示すTFT10Aは、図21に示したTFT10と同様のデュアルチャネル構造を有している。TFT10Aは、基板(不図示)上に形成されたゲート電極12と、活性層14と、ソース電極18saと、ドレイン電極18daと、中間電極18maとを有している。各電極18sa、18daおよび18maと活性層14との間にはそれぞれコンタクト層(不図示)が形成されている。活性層14がコンタクト層を介してソース電極18saと重なっている領域がソース領域であり、活性層14がコンタクト層を介してドレイン電極18daと重なっている領域がドレイン領域であり、活性層14がコンタクト層を介して中間電極18maと重なっている領域が中間領域である。基板に垂直な方向から見たとき、ソース領域はソース電極18saと同じ形状を有し、ドレイン領域はドレイン電極18daと同じ形状を有し、中間領域は中間電極18maと同じ形状を有している。
- [0162] TFT10Aの特徴は、ゲート電極12がドレイン領域と重なる部分の面積が、ゲート電極12がソース領域と重なる部分の面積よりも小さい点にあ

る。

[0163] 図26(a)に示すように、中間電極18maは凹部18ma2を有し、ドレイン電極18daは中間電極18maの凹部18ma2内に突き出た部分18da1を有している。ドレイン電極18daが活性層14(すなわちドレイン領域)を介してゲート電極12と重なる部分は、本体から細く突き出た部分18da1である。図21(a)に示したTFT10のドレイン電極18dと比べると明らかなように、TFT10Aのドレイン電極18daは、それが活性層14を介してゲート電極12と重なる部分の面積が小さい。

[0164] また、図26(a)に示すTFT10Aは、ソース電極18saが凹部18sa1を有し、中間電極18maはソース電極18saの凹部18sa1内に突き出た部分18ma1を有している。図21(a)に示したTFT10のソース電極18sと比べると明らかなように、TFT10Aのソース電極18saは、それが活性層14を介してゲート電極12と重なる部分の面積が大きい。

[0165] このように、図26(a)に示すTFT10Aは、ドレイン電極18da、中間電極18maおよびソース電極18saが上述のような形状を有しているので、ゲート電極12がドレイン領域と重なる部分の面積は、ゲート電極12がソース領域と重なる部分の面積よりも小さい。また、ゲート電極12がドレイン領域と重なる部分の面積は、ゲート電極12が中間領域と重なる部分の面積よりも小さい。

[0166] なお、図26(a)中のTFT10Aの中間電極18maの左側の構成を図21(a)に示したTFT10の中間電極18mの左側の構成と同じにしても、ゲート電極12が活性層14を介してドレイン電極18daと重なる部分の面積は、ゲート電極12が活性層14を介してソース電極18s(図21(a)参照)と重なる部分の面積よりも小さい。

[0167] また、図26(a)中のTFT10Aの中間電極18maの右側の構成を図21(a)に示したTFT10の中間電極18mの右側の構成と同じにし

ても、ゲート電極12が活性層14を介してドレイン電極18d（図21（a）参照）と重なる部分の面積は、ゲート電極12が活性層14を介してソース電極18saと重なる部分の面積よりも小さい。

[0168] このように、図26（a）に示したTFT10Aの中間電極18maの右側あるいは左側の何れか一方と、図21（a）に示したTFT10とを組み合わせても、ゲート電極12がドレイン領域と重なる部分の面積が、ゲート電極12がソース領域と重なる部分の面積よりも小さい構成を得ることができる。

[0169] 上述したように、ゲート電極12がドレイン領域と重なる部分の面積を小さくすることによって、TFTのオフ電流を低減することができる。図26（a）に示したTFT10Aと、図26（b）に示したTFT10Bについて、ゲート電圧 V_g （V）とソース・ドレイン間の電流 I_{ds} （A）との関係を求めた結果を図27に示す。図27の横軸は、ゲート電圧 V_g （V）であり、縦軸はソース・ドレイン間の電流 I_{ds} （A）である。ソース・ドレイン間電圧 V_{ds} （V）が5Vおよび10Vの結果を示している。

[0170] なお、図26（b）に示すTFT10Bは、図26（a）に示したTFT10Aのソース側とドレイン側とを入れ替えたものに相当する。ドレイン電極18dbが凹部18db1を有し、中間電極18mbはドレイン電極18dbの凹部18db1内に突き出た部分18mb2を有している。また、中間電極18mbは凹部18mb1を有し、ソース電極18sbは中間電極18mbの凹部18mb1内に突き出た部分18sb1を有している。従って、TFT10Bにおいては、ゲート電極12がドレイン領域と重なる部分の面積は、ゲート電極12がソース領域と重なる部分の面積よりも大きい。

[0171] 図27からわかるように、ソース・ドレイン間電圧 V_{ds} （V）が5Vおよび10Vのいずれの場合も、TFT10Aの方がTFT10Bよりもオフ電流が小さい。このことから、ゲート電極12がドレイン領域と重なる部分の面積を小さくすることによって、TFTのオフ電流を低減できることがわかる。上述したシフトレジスタの第2トランジスタとして、TFT10Aを

用いる場合、ドレイン電極 $18\text{d}\alpha$ をn_et A（第1トランジスタのゲート電極）に接続することが好ましい。ソース電極 $18\text{s}\alpha$ は、例えば、V_{SS}に接続される。

[0172] なお、オフ電流の大きさはゲート電極 12 がドレイン領域と重なる部分の面積に依存しており、その意味においては、ゲート電極 12 がソース領域と重なる部分の面積に対する相対的な大小関係は重要ではない。但し、TFTのオフ電流を低減させるために、ゲート電極 12 がドレイン領域と重なる部分の面積を小さくすると、ゲート電極 12 がドレイン領域と重なる部分の面積が、ゲート電極 12 がソース領域と重なる部分の面積よりも小さいという非対称な構成となる。

[0173] また、良く知られているように、TFTの特性はチャネル幅に依存し、チャネル幅は大きい方が好ましい。図26(a)に示した中間電極 $18\text{m}\alpha$ およびソース電極 $18\text{s}\alpha$ のように、U字型の凹部 $18\text{m}\alpha_2$ および $18\text{s}\alpha_1$ を設けることによって、チャネル領域をU字型として、チャネル幅を大きくすることができる。

[0174] 図28を参照して、本発明による実施形態の他のTFTの構造を説明する。

[0175] 図28(a)に、本発明による実施形態のTFT10Cの模式的な平面図を示す。TFT10Cは図21(a)に示したTFT10と同様にデュアルチャネル構造を有している。TFT10Cが有する中間電極 $18\text{m}\alpha$ は、H字型を有し、ドレイン側およびソース側にU字型の凹部を有している。ドレイン電極 $18\text{d}\alpha$ およびソース電極 $18\text{s}\alpha$ は、それぞれ中間電極 $18\text{m}\alpha$ の凹部内に突き出た部分を有している。ゲート電極 12 がドレイン領域と重なる部分およびゲート電極 12 がソース領域と重なる部分の面積はいずれも、ゲート電極 12 が中間領域と重なる部分の面積よりも小さい。TFT10Cは、TFT10に比べて、ゲート電極 12 がドレイン領域と重なる部分の面積が小さく、かつ、2つのチャネル領域の幅が大きい。従って、TFT10Cは、TFT10よりも、オフ電流が小さく、かつTFT特性が優れる。

- [0176] 図28（b）に、本発明による実施形態のTFT10Dの模式的な平面図を示す。TFT10Dは、図26（a）に示したTFT10Aがデュアルチャネル構造であったのに対し、2つの中間電極18md1および18md2を備えるトリプルチャネル構造を有する。即ち、ソース電極18sdと第1中間電極18md1との間に第1チャネル領域が形成されており、ドレイン電極18ddと第2中間電極18md2との間に第2チャネル領域が形成されており、第1中間電極18md1と第2中間電極18md2との間に第3チャネル領域が形成されている。
- [0177] なお、図示は省略しているが、第1中間電極18md1の下のコンタクト層には第1中間コンタクト領域が形成されており、第1中間コンタクト領域の下の活性層には第1中間領域が形成されている。また、第2中間電極18md2の下のコンタクト層には第2中間コンタクト領域が形成されており、第2中間コンタクト領域の下の活性層には第2中間領域が形成されている。
- [0178] TFT10Dが有する3つのチャネルのそれぞれについてドレイン電極として機能する部分は、何れも突き出た部分（中間電極18md1および18md2の突き出た部分およびドレイン電極18ddの突き出た部分）であり、ゲート電極12と重なる面積が小さいので、オフ電流を低減させる効果が大きい。ゲート電極12がドレイン領域と重なる部分およびゲート電極12がソース領域と重なる部分の面積はいずれも、ゲート電極12が中間領域と重なる部分の面積よりも小さい。また、3つのチャネルのそれぞれについてソース電極として機能する部分はU字型の凹部を有し、各凹部内に、中間電極18md1、18md2の突き出た部分またはドレイン電極18ddの突き出た部分が存在している。従って、3つのチャネル領域の幅が大きく、優れたTFT特性を有する。上述したシフトレジスタの第2トランジスタとして、TFT10Dを用いる場合、ドレイン電極18ddをn_etA（第1トランジスタのゲート電極）に接続することが好ましい。
- [0179] 図28（c）に、本発明による実施形態のTFT10Eの模式的な平面図を示す。TFT10Eは、図28（b）に示したTFT10Dと同様に、2

つの中間電極 $18m\epsilon 1$ および $18m\epsilon 2$ を備えるトリプルチャネル構造を有している。即ち、ソース電極 $18s\epsilon$ と第1中間電極 $18m\epsilon 1$ との間に第1チャネル領域が形成されており、ドレイン電極 $18d\epsilon$ と第2中間電極 $18m\epsilon 2$ との間に第2チャネル領域が形成されており、第1中間電極 $18m\epsilon 1$ と第2中間電極 $18m\epsilon 2$ との間に第3チャネル領域が形成されている。第2中間電極 $18m\epsilon 2$ は、H字型を有し、ドレイン側およびソース側にU字型の凹部を有している。第2中間電極 $18m\epsilon 2$ の一方の凹部内にはドレイン電極 $18d\epsilon$ の突き出た部分が存在し、第2中間電極 $18m\epsilon 2$ の他方の凹部内には長方形の第1中間電極 $18m\epsilon 1$ の一端が存在している。ソース電極 $18s\epsilon$ はU字型の凹部を有し、第1中間電極 $18m\epsilon 1$ の他端がソース電極 $18s\epsilon$ の凹部内に存在している。

[0180] TFT10Eも、ゲート電極 12 がドレイン領域と重なる部分の面積が、ゲート電極 12 がソース領域と重なる部分の面積よりも小さい構成を有しており、オフ電流が小さいという利点を有している。また、ゲート電極 12 がドレイン領域と重なる部分およびゲート電極 12 がソース領域と重なる部分の面積はいずれも、ゲート電極 12 が中間領域と重なる部分の面積よりも小さい。上述したシフトレジスタの第2トランジスタとして、TFT10Eを用いる場合、ドレイン電極 $18d\epsilon$ をn_etA（第1トランジスタのゲート電極）に接続することが好ましい。

[0181] 図29（a）～（c）を参照して、本発明による実施形態のさらに他のTFTの構造を説明する。

[0182] 図29（a）に、本発明による実施形態のTFT10Fの模式的な断面図を示す。図21に示したTFT10がチャネルエッチング型のTFTであるのに対し、TFT10Fはエッチストップ層 17 を有する点において異なっている。

[0183] TFT10Fは、図25に示したTFT10の製造プロセスにおいて、微結晶シリコン膜 14 を成膜した後に、エッチストップ層 17 を形成する工程を追加することによって作製される。エッチストップ層 17 は、例えばSi

N_x膜（例えば厚さが0.15 μm）を堆積し、パターニングすることによって形成される。

[0184] エッチストップ層17が存在するので、コンタクト層（N⁺シリコン層）16をエッティングすることによって、ソースコンタクト領域16s、ドレインコンタクト領域16d、中間コンタクト領域16mに分離する際に、活性層（微結晶シリコン膜）14がエッティングされることがない。従って、活性層14の厚さは成膜工程で制御することができるという利点が得られる。また、エッティングによって活性層14がダメージを受けることがないという利点も得られる。さらに、ゲート絶縁膜13、活性層14およびエッチストップ層17を連続的に成膜することができるのでプロセスの安定性が高いという利点も得られる。

[0185] 本発明による実施形態のTFTは、図29（b）および（c）に示すように、トップゲート型（スタガ型）のTFTであっても良い。

[0186] 図29（b）に示すTFT10Gは、ガラス基板11上に形成されたソース電極18sg、中間電極18mg、ドレイン電極18dgと、それぞれこれらを覆うように形成されたソースコンタクト領域16sgと、ドレインコンタクト領域16dgと、中間コンタクト領域16mgとを有している。ソースコンタクト領域16sg、ドレインコンタクト領域16dg、および中間コンタクト領域16mgを覆うように活性層14gが形成されており、その上にゲート絶縁膜13gが形成されている。ゲート電極12gはゲート絶縁膜13gを介して、中間電極18mgの全体（2つのチャネル間に存在する部分）と、ソース電極18sgの一部と、ドレイン電極18dgの一部とに重なるように形成されている。即ち、TFT10Gも、TFT10と同様にダブルゲート構造を有している。なお、ゲート電極12gと同じ導電層から、ソース引き出し電極18sg1およびドレイン引き出し電極18dg1が形成されており、ゲート絶縁膜13g、活性層14gおよび各コンタクト領域16sg、16dgに形成されたコンタクトホール内で、それぞれ、ソース電極18sgおよびドレイン電極18dgに電気的に接続されている。

[0187] このように、トップゲート型を採用すると、微結晶シリコン膜から形成されている活性層 14 h の最上面近傍をチャネル領域として利用できる利点が得られる。微結晶シリコン膜を基板上に形成すると、最下層にインキュベーション層と呼ばれるアモルファス相からなる層が形成されることがある。特に、基板と接触する部分は成膜の初期に形成されるので、ボイドを含み易く、移動度が低い。トップゲート型を採用すると、インキュベーション層がチャネル領域に含まれることが無いので、微結晶シリコン膜の高い移動度をフルに利用することができる。

[0188] 図 29 (c) に示す TFT10H は、基板 11 に形成された活性層 14 h と、活性層 14 h 上に形成されたソースコンタクト領域 16 sh と、ドレインコンタクト領域 16 dh と、中間コンタクト領域 16 mh とを有している。各コンタクト領域は、TFT10 と同様にチャネルエッチによって分断されている。活性層 14 h、ソースコンタクト領域 16 sh、ドレインコンタクト領域 16 dh、および中間コンタクト領域 16 mh を覆うように、ゲート絶縁膜 13 h が形成されている。ゲート電極 12 h はゲート絶縁膜 13 h を介して、中間コンタクト領域 16 mh (ここでは中間電極を兼ねる) の全体 (2つのチャネル間に存在する部分) と、ソースコンタクト領域 16 sh の一部と、ドレインコンタクト領域 16 dh の一部とに重なるように形成されている。即ち、TFT10H も、TFT10 と同様にダブルゲート構造を有している。なお、ゲート電極 12 h と同じ導電層から、ソース引き出し電極 (ソース電極) 18 sh およびドレイン引き出し電極 (ドレイン電極) 18 dh が形成されており、ゲート絶縁膜 13 h、活性層 14 h および各コンタクト層 16 sh、16 dh に形成されたコンタクトホール内で、それぞれ、ソース引き出し電極 18 sh およびドレイン引き出し電極 18 dh に電気的に接続されている。

[0189] TFT10H もトップゲート構造を有するので、TFT10G と同様に、微結晶シリコン膜から形成されている活性層 14 h の最上面近傍をチャネル領域として利用できる利点が得られる。TFT10H では、さらに、中間コ

ンタクト領域 16 m h が中間電極を兼ねるので、中間電極を形成する工程を省略できるという利点が得られる。中間コンタクト領域に中間電極を兼ねさせる構成は、TFT10H に限られず、他の上記の TFT に適用することもできる。

[0190] 上述したように、本発明による実施形態の TFT は、ボトムゲート型およびトップゲート型のいずれであってもよく、オフ電流を低減することができる。また、本発明による実施形態の TFT は、活性層として微結晶シリコン膜を含むことにより、高い移動度と、低いオフ電流とを有し得る。活性層として、微結晶シリコン膜のみを有する場合だけでなく、微結晶シリコン膜とアモルファスシリコン膜との積層膜を有する場合にも効果を奏する。なお、微結晶シリコン膜の高い移動度を活用するためには、微結晶シリコン膜内にチャネルが形成されるように、アモルファスシリコン膜よりもゲート電極側に微結晶シリコン膜を配置することが好ましい。ここでは、シリコンのみから形成された半導体膜を例に本発明による実施形態の TFT を説明したが、本発明による実施形態は、半導体膜の種類に限定されず、オフ電流を低減することが望まれる、他の微結晶半導体膜、例えば、微結晶 SiGe 膜や微結晶 SiC 膜を有する TFT に適用できる。

[0191] なお、アモルファスシリコンまたは微結晶シリコンを用いると、上述したように量産性において有利であるが、多結晶シリコンを用いることもできる。

産業上の利用可能性

[0192] 本発明の半導体素子は、アクティブマトリクス基板等の回路基板、液晶表示装置、有機エレクトロルミネセンス (EL) 表示装置および無機エレクトロルミネセンス表示装置等の表示装置、フラットパネル型 X 線イメージセンサー装置等の撮像装置、画像入力装置や指紋読み取り装置等の電子装置などの薄膜トランジスタを備えた装置に広く適用できる。

符号の説明

[0193] 10、10A、10B、10C、10D、10E、10F、10G、10

H T F T

- 1 1 基板（ガラス基板）
- 1 2 ゲート電極
- 1 3 ゲート絶縁膜
- 1 4 活性層（半導体層）
 - 1 4 c 1、1 4 c 2 チャネル領域
 - 1 4 s ソース領域
 - 1 4 d ドレイン領域
 - 1 4 m 中間領域
- 1 6 コンタクト層
 - 1 6 s ソースコンタクト領域
 - 1 6 d ドレインコンタクト領域
 - 1 6 m 中間コンタクト領域
- 1 7 エッチストップ層
- 1 8 s ソース電極
- 1 8 d ドレイン電極
- 1 8 m 中間電極
- 1 9 保護膜

請求の範囲

- [請求項1] 絶縁性の基板に支持されたシフトレジスタであって、
それぞれが出力信号を順次出力する複数の段を有し、
前記複数の段のそれぞれは、前記出力信号を出力する第1トランジ
スタと、それぞれのソース領域またはドレイン領域が前記第1トラン
ジスタのゲート電極に電気的に接続された複数の第2トランジスタと
を有し、
前記複数の第2トランジスタは、少なくとも2つのチャネル領域と
、ソース領域と、ドレイン領域とを含む活性層を有するマルチチャネ
ル型トランジスタを含む、シフトレジスタ。
- [請求項2] 前記複数の第2トランジスタの内でソース・ドレイン間電圧が最も
高いものが、前記マルチチャネル型トランジスタである、請求項1に
記載のシフトレジスタ。
- [請求項3] 前記複数の第2トランジスタのいずれもが、前記マルチチャネル型
トランジスタである、請求項1に記載のシフトレジスタ。
- [請求項4] 前記活性層はアモルファス相を有する半導体膜を含む、請求項1か
ら3のいずれかに記載のシフトレジスタ。
- [請求項5] 前記半導体膜は、微結晶半導体膜である、請求項4に記載のシフト
レジスタ。
- [請求項6] 前記活性層は多結晶半導体膜を含む、請求項1から3のいずれかに
記載のシフトレジスタ。
- [請求項7] 前記マルチチャネル型トランジスタの前記ゲート電極は、前記ソ
ース領域および前記ドレイン領域と重なる部分を有し、
前記ゲート電極が前記ドレイン領域と重なる部分の面積および前記
ゲート電極が前記ソース領域と重なる部分の面積は互いに異なり、
前記第1トランジスタの前記ゲート電極に接続されている方と重な
る部分の面積が、前記第1トランジスタの前記ゲート電極に接続され
ていない方と重なる部分の面積よりも小さい、請求項1から6のいず

れかに記載のシフトレジスタ。

[請求項8] 前記第1トランジスタが有するソース領域とドレイン領域との大きさは互いに異なり、ゲートバスラインに接続されていない方がゲートバスラインに接続されている方よりも小さい、請求項1から7のいずれかに記載のシフトレジスタ。

[請求項9] 前記マルチチャネル型トランジスタの前記活性層は、前記少なくとも2つのチャネル領域の間に形成された少なくとも1つの中間領域をさらに有し、前記少なくとも2つのチャネル領域は、前記ソース領域と前記少なくとも1つの中間領域との間に形成された第1チャネル領域と、前記ドレイン領域と前記少なくとも1つの中間領域との間に形成された第2チャネル領域とを含み、

前記マルチチャネル型トランジスタは、

前記ソース領域と接するソースコンタクト領域と、前記ドレイン領域と接するドレインコンタクト領域と、前記少なくとも1つの中間領域に接する少なくとも1つの中間コンタクト領域とを有するコンタクト層と、

前記ソースコンタクト領域に接するソース電極、前記ドレインコンタクト領域に接するドレイン電極および、前記少なくとも1つの中間コンタクト領域に接する少なくとも1つの中間電極とをさらに有し、

前記マルチチャネル型トランジスタの前記ゲート電極は、前記少なくとも2つのチャネル領域および前記少なくとも1つの中間領域に、ゲート絶縁膜を間に介して対向し、

前記少なくとも1つの中間電極の、前記第1チャネル領域と前記第2チャネル領域との間に存在する部分の全体が、前記少なくとも1つの中間領域および前記ゲート絶縁膜を介して前記ゲート電極と重なっている、請求項1から8のいずれかに記載のシフトレジスタ。

[請求項10] 前記マルチチャネル型トランジスタの前記ゲート電極は、前記ソース領域および前記ドレイン領域と重なる部分を有し、

前記ソース領域および前記ドレイン領域の内で前記第1トランジスタの前記ゲート電極に接続されている方と前記ゲート電極が重なる部分の面積は、前記少なくとも1つの中間領域と前記ゲート電極が重なる部分の面積よりも小さい、請求項9に記載のシフトレジスタ。

[請求項11] 前記基板に垂直な方向から見たとき、前記マルチチャネル型トランジスタの前記少なくとも1つの中間電極は凹部を有し、前記ドレイン電極は前記少なくとも1つの中間電極の前記凹部内に突き出た部分を有する、請求項9または10に記載のシフトレジスタ。

[請求項12] 前記基板に垂直な方向から見たとき、前記マルチチャネル型トランジスタの前記ソース電極は凹部を有し、前記少なくとも1つの中間電極は前記ソース電極の前記凹部内に突き出た部分を有する、請求項9から11のいずれかに記載のシフトレジスタ。

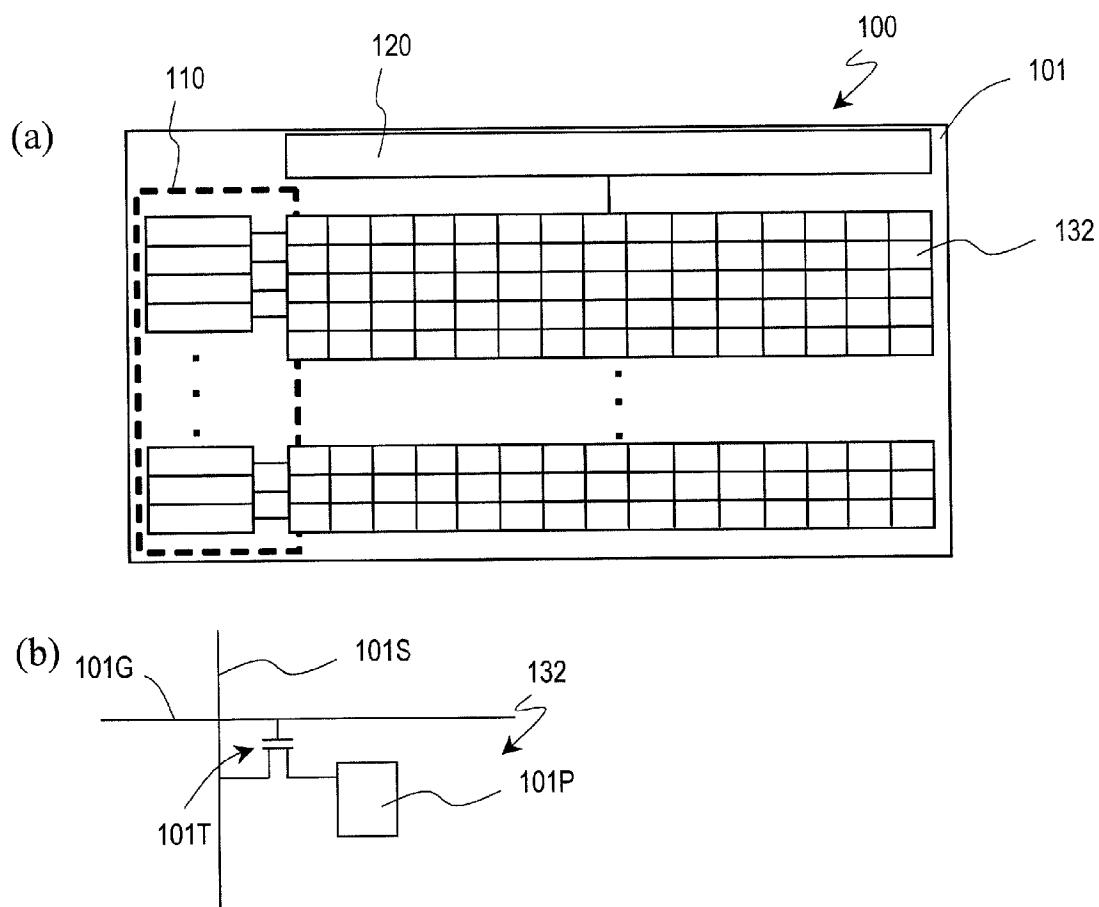
[請求項13] 前記マルチチャネル型トランジスタの前記少なくとも1つの中間領域は第1中間領域および第2中間領域を有し、前記少なくとも1つの中間コンタクト領域は第1中間コンタクト領域および第2中間コンタクト領域を有し、前記少なくとも1つの中間電極は第1中間電極および第2中間電極を有し、

前記少なくとも2つのチャネル領域は第3チャネル領域を更に有し、前記第1チャネル領域は前記ソース電極と前記第1中間電極との間に形成されており、前記第2チャネル領域は前記ドレイン電極と前記第2中間電極との間に形成されており、前記第3チャネル領域は前記第1中間電極と前記第2中間電極との間に形成されている、請求項9から12のいずれかに記載のシフトレジスタ。

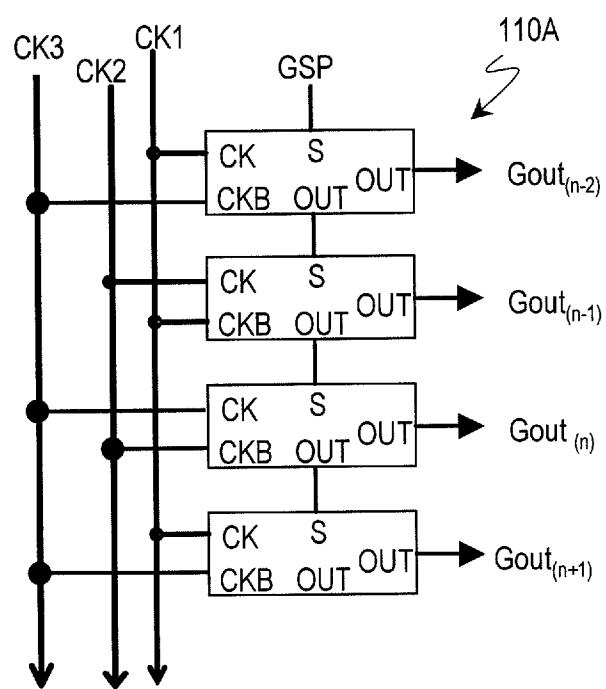
[請求項14] 請求項1から13のいずれかに記載のシフトレジスタを備えたアクティブラトリクス基板。

[請求項15] 請求項1から13のいずれかに記載のシフトレジスタを備えた表示パネル。

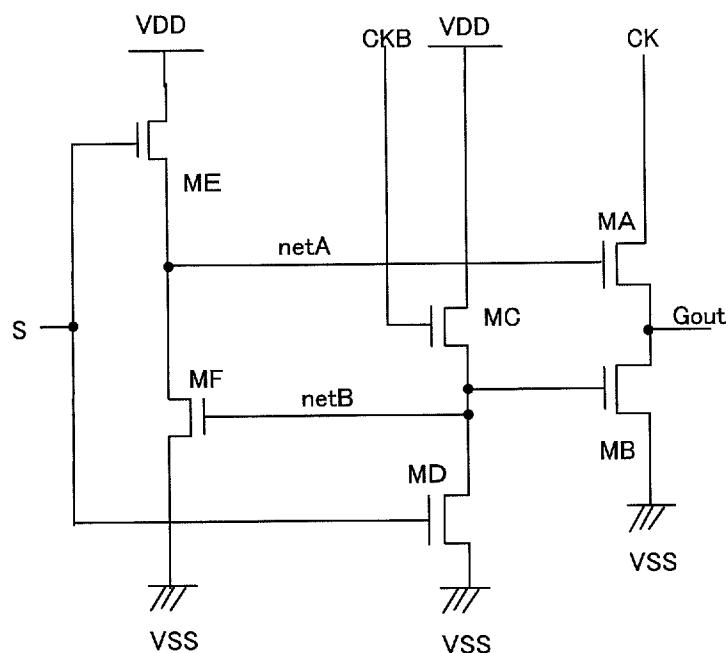
[図1]



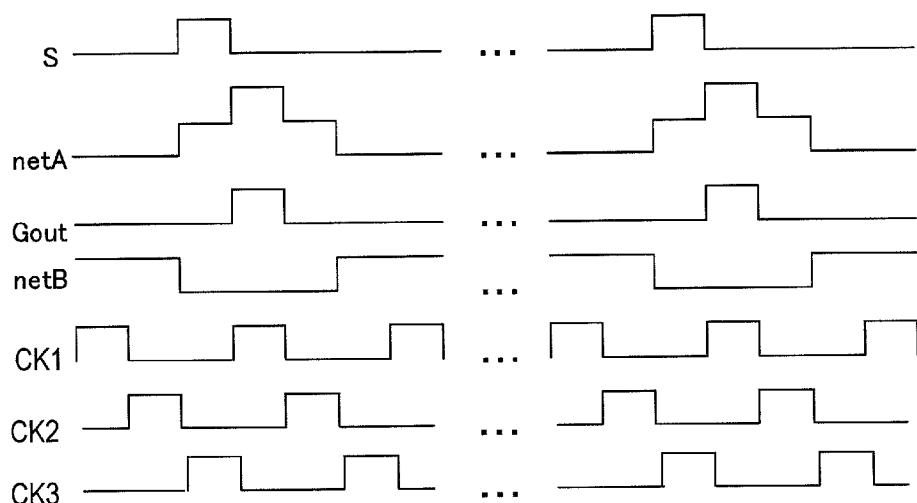
[図2]



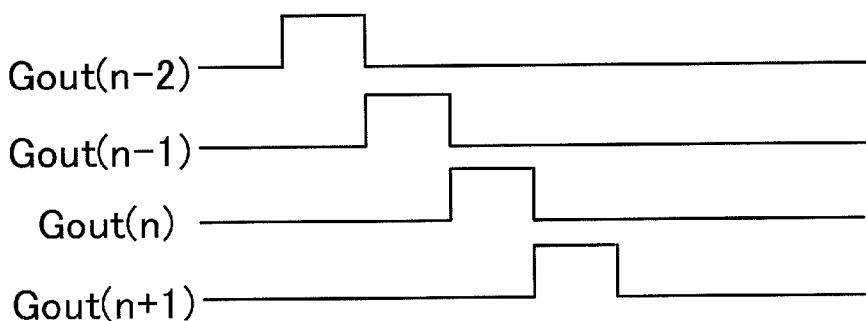
[図3]



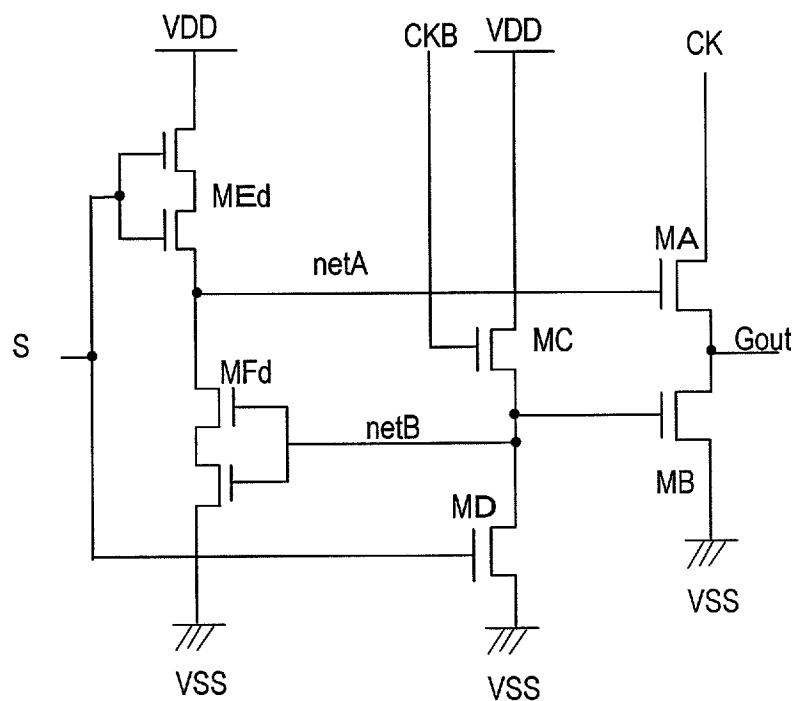
[図4]



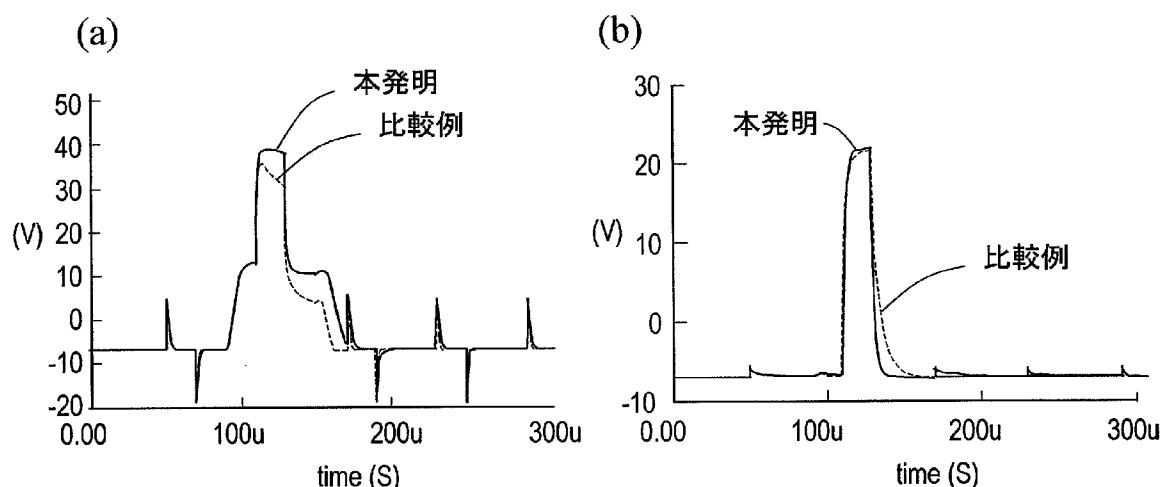
[図5]



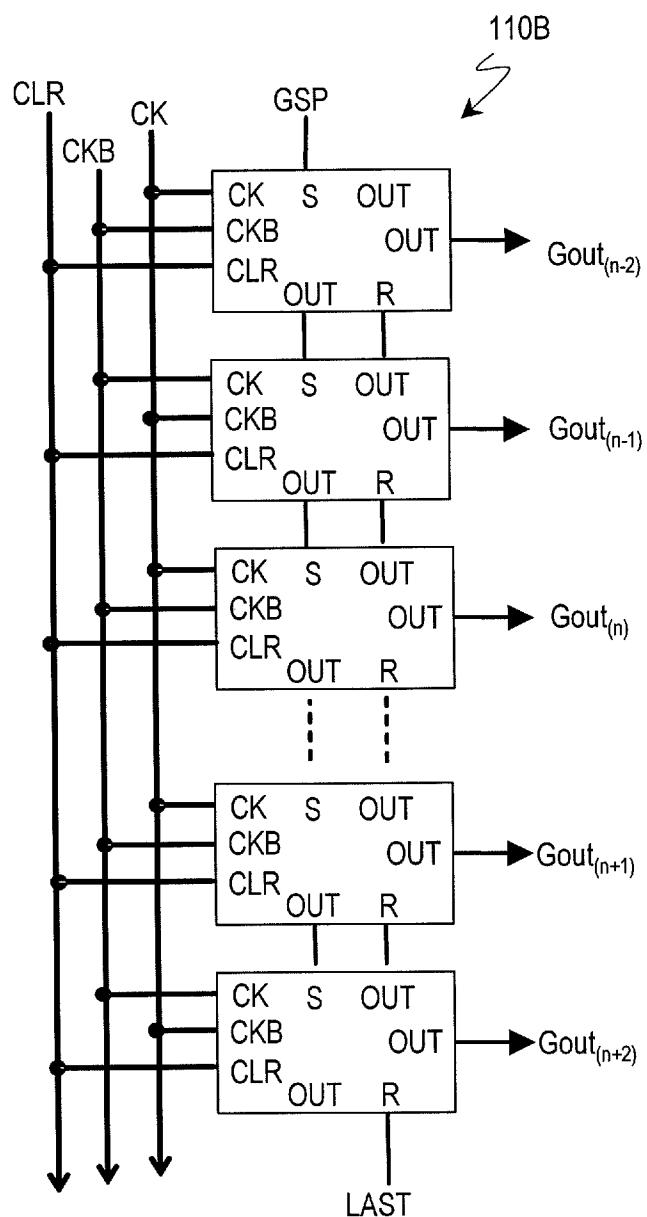
[図6]



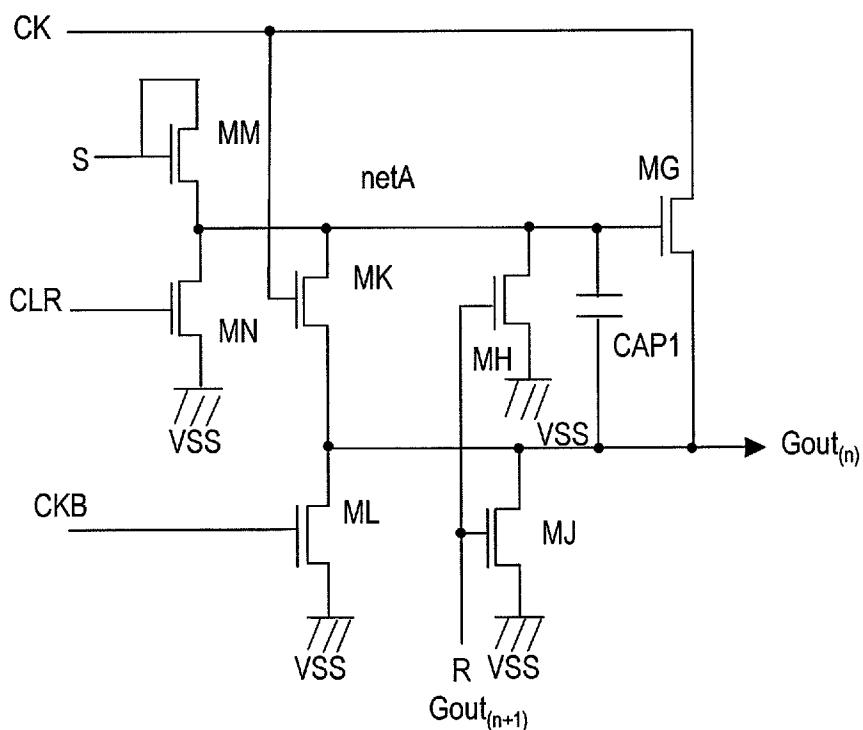
[図7]



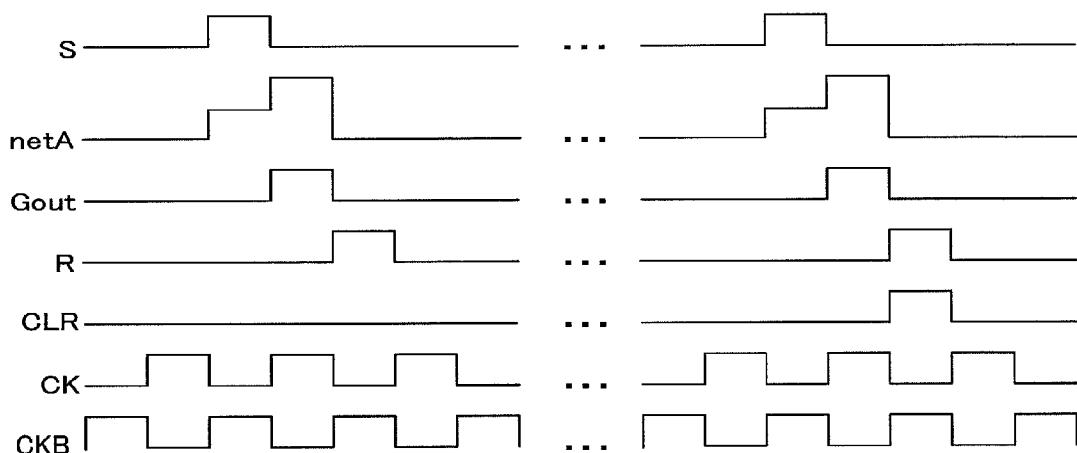
[図8]



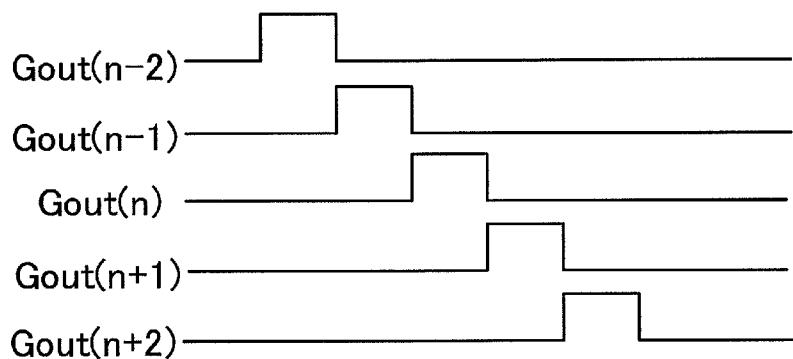
[図9]



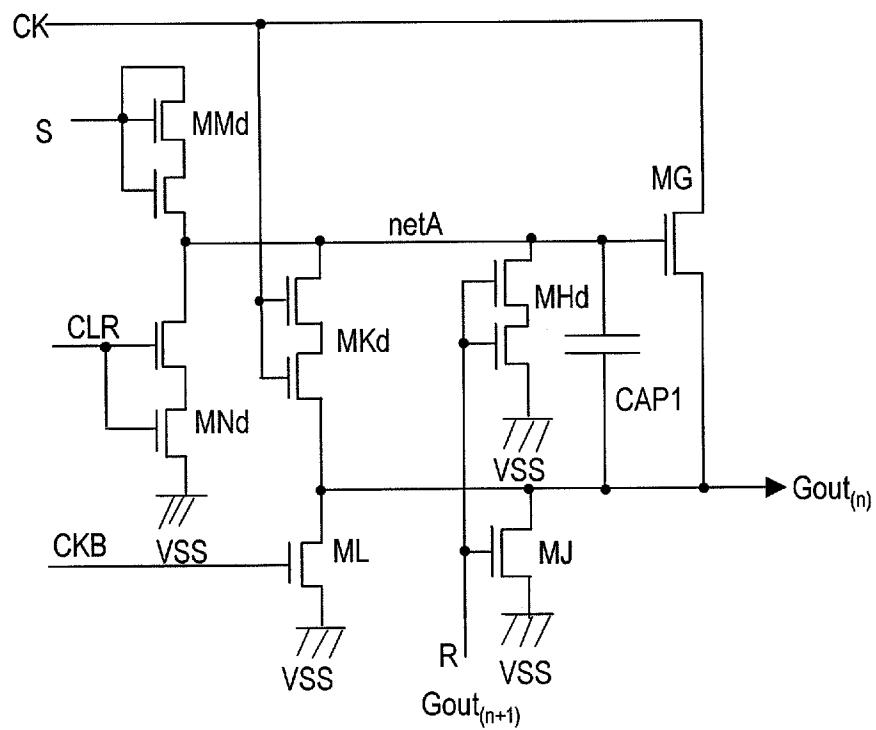
[図10]



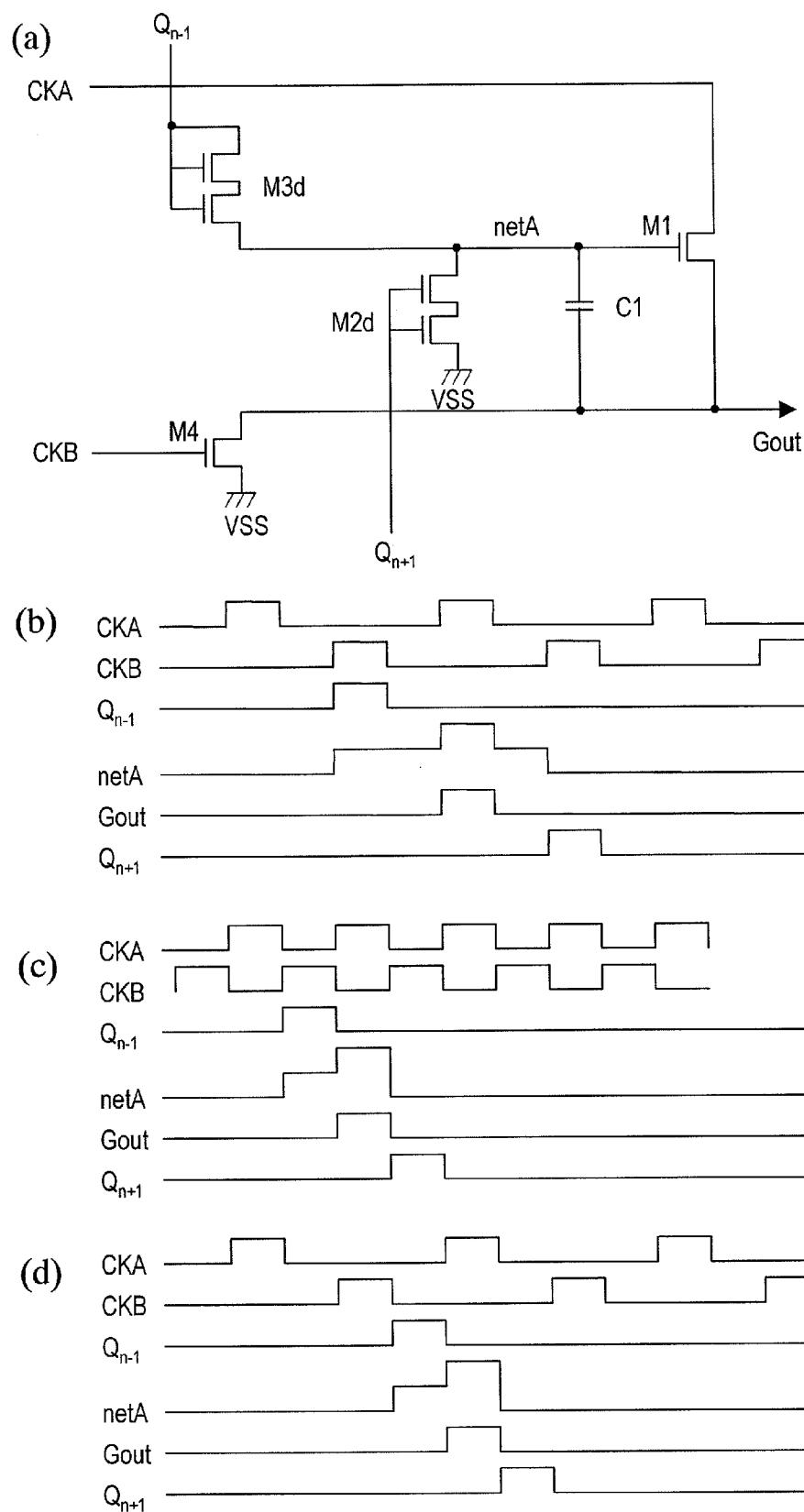
[図11]



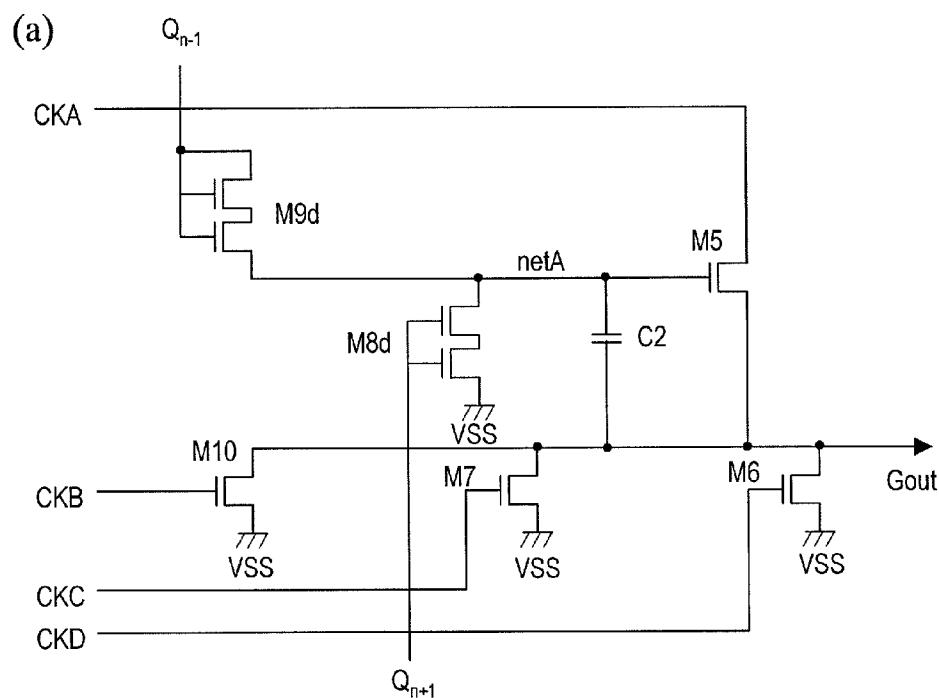
[図12]



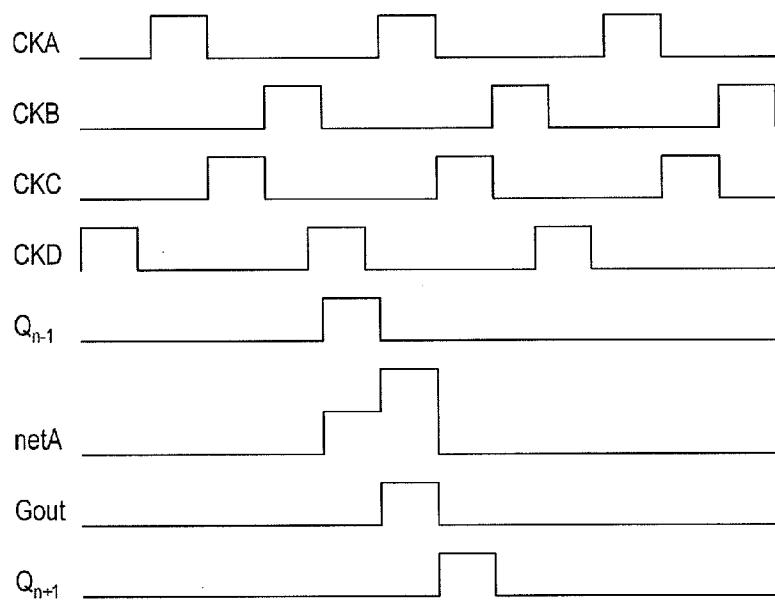
[図13]



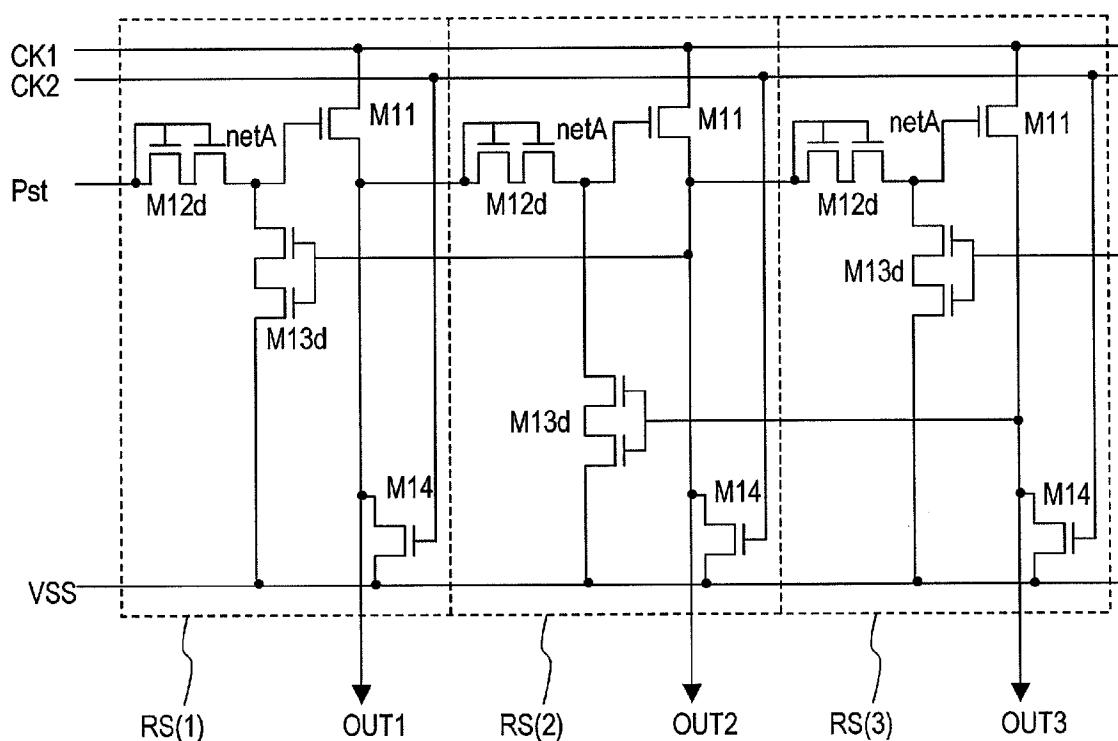
[図14]



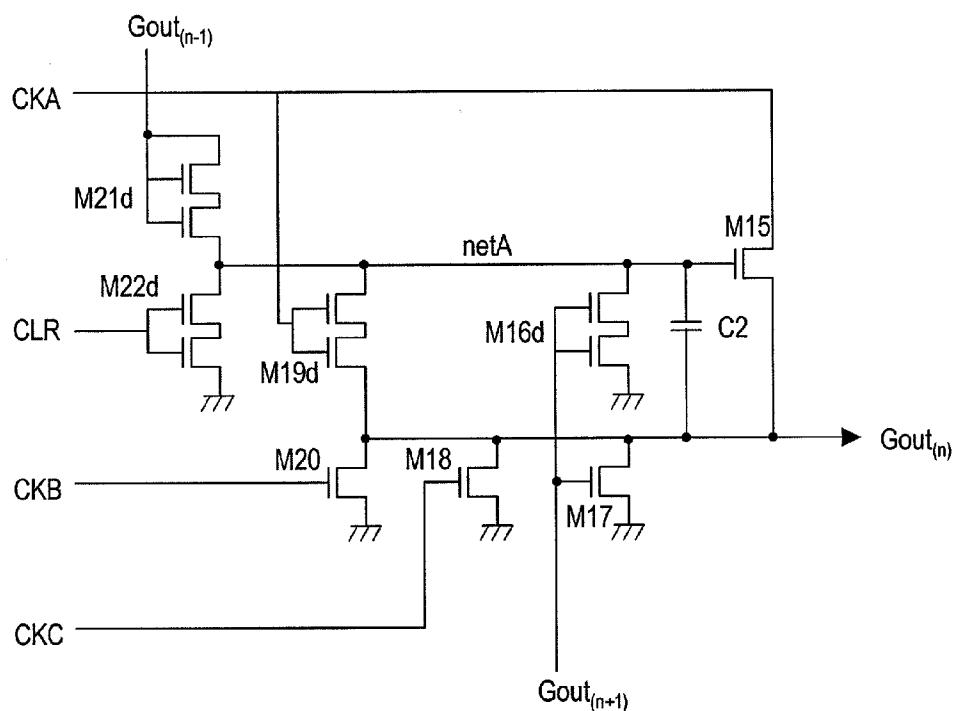
(b)



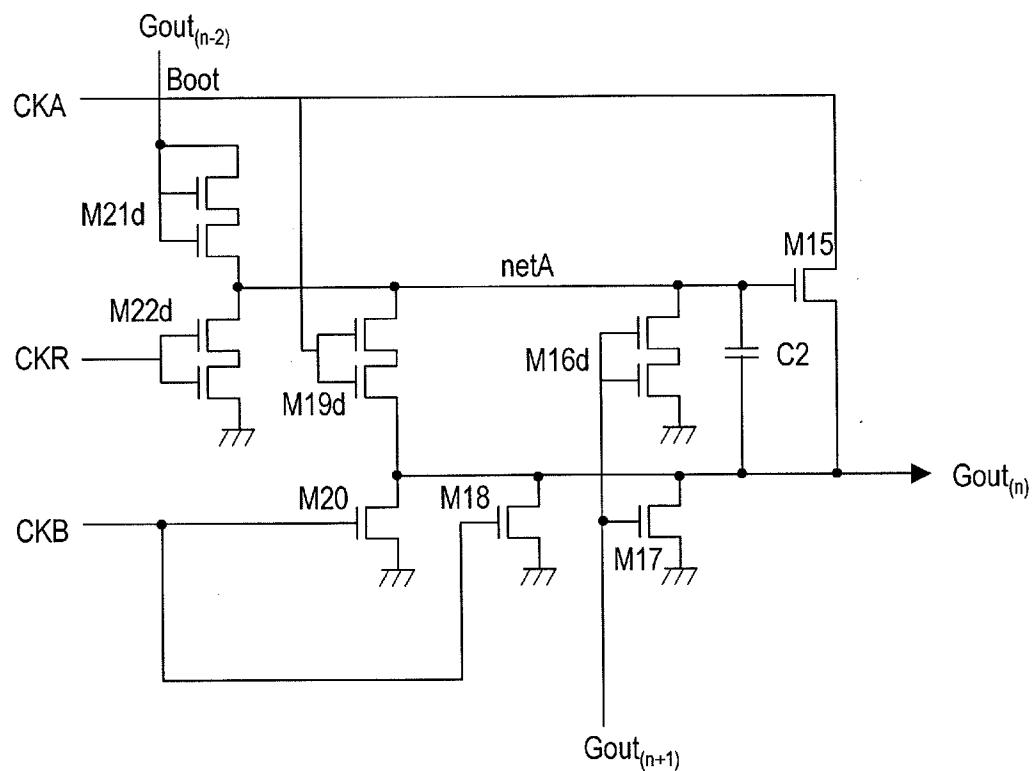
[図15]



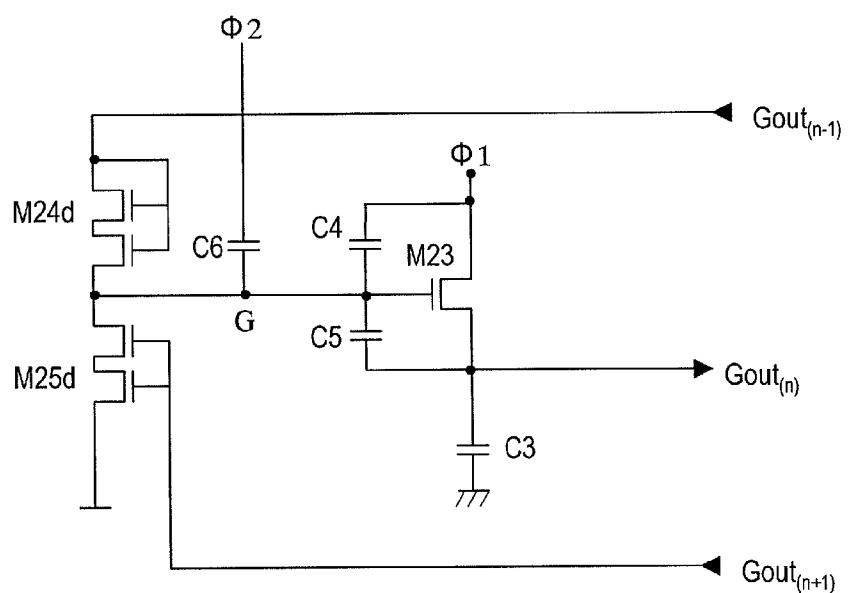
[図16]



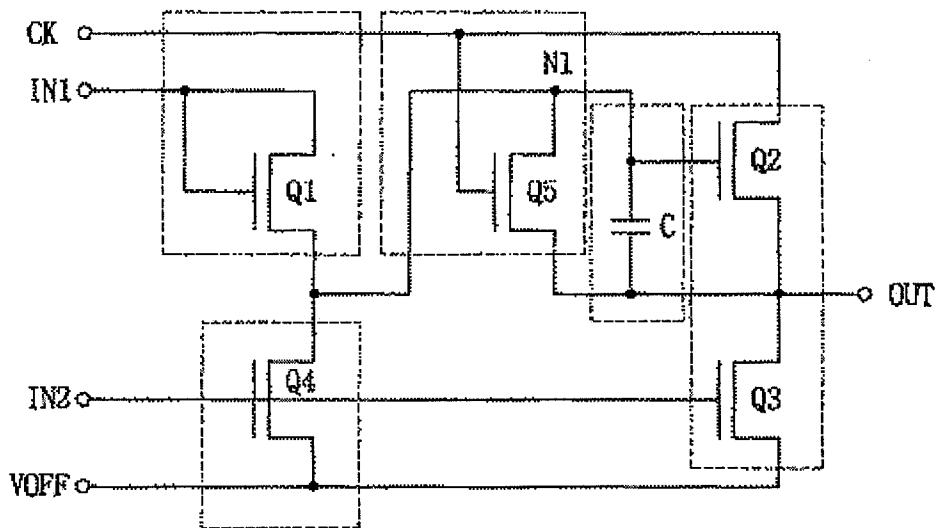
[図17]



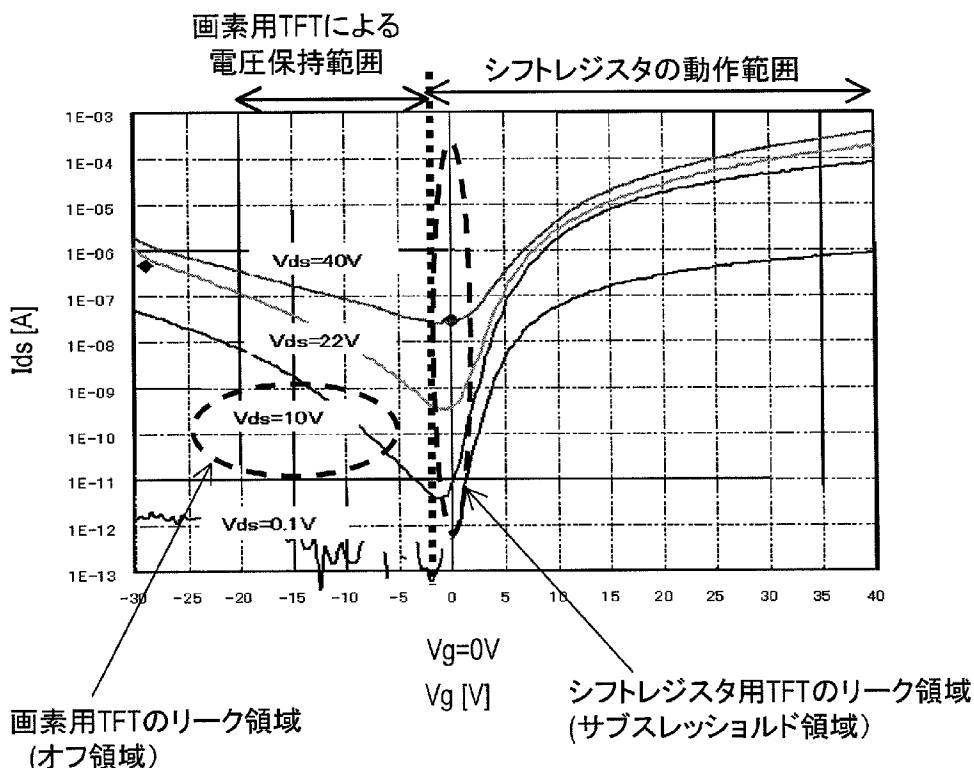
[図18]



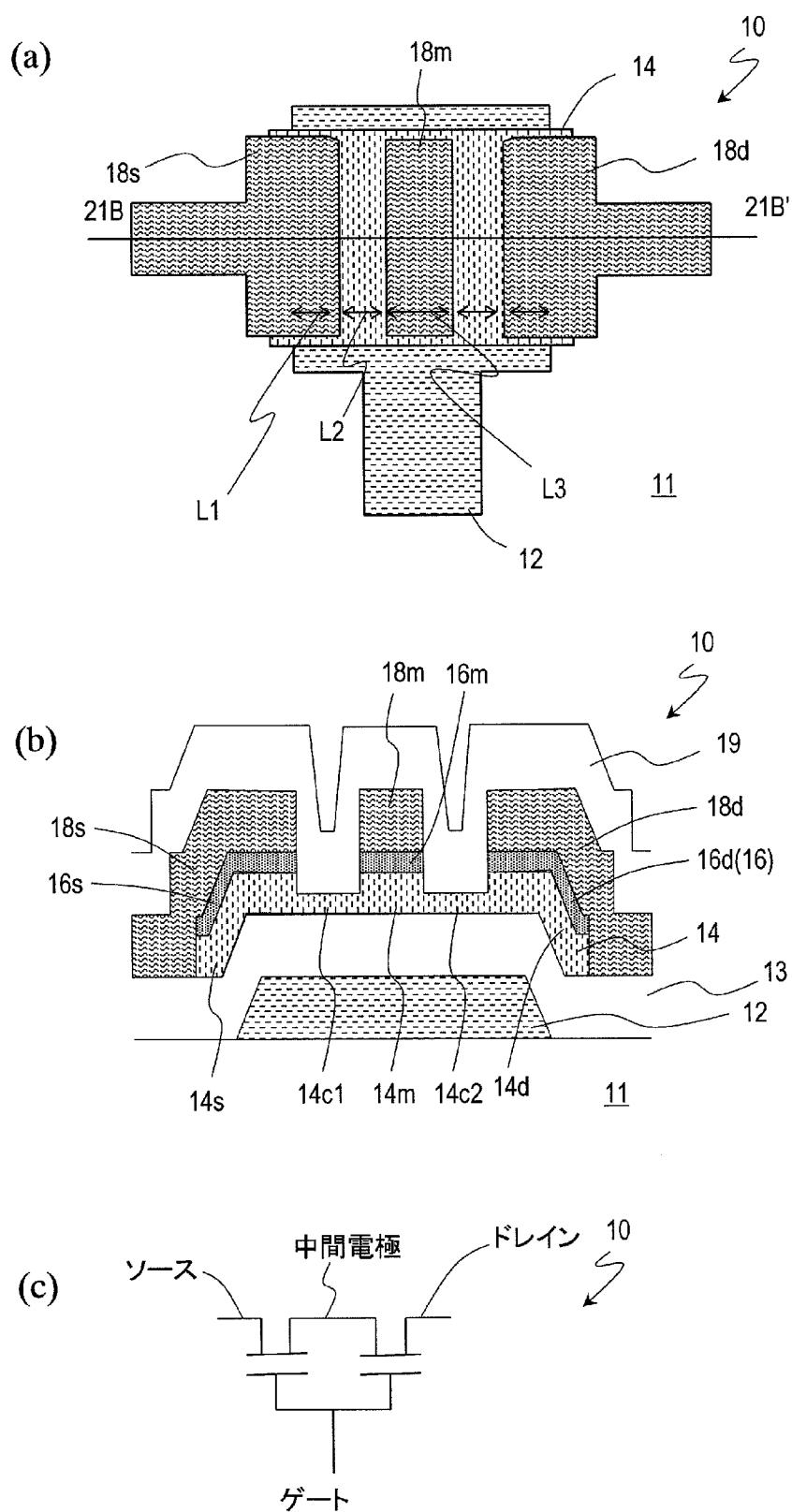
[図19]



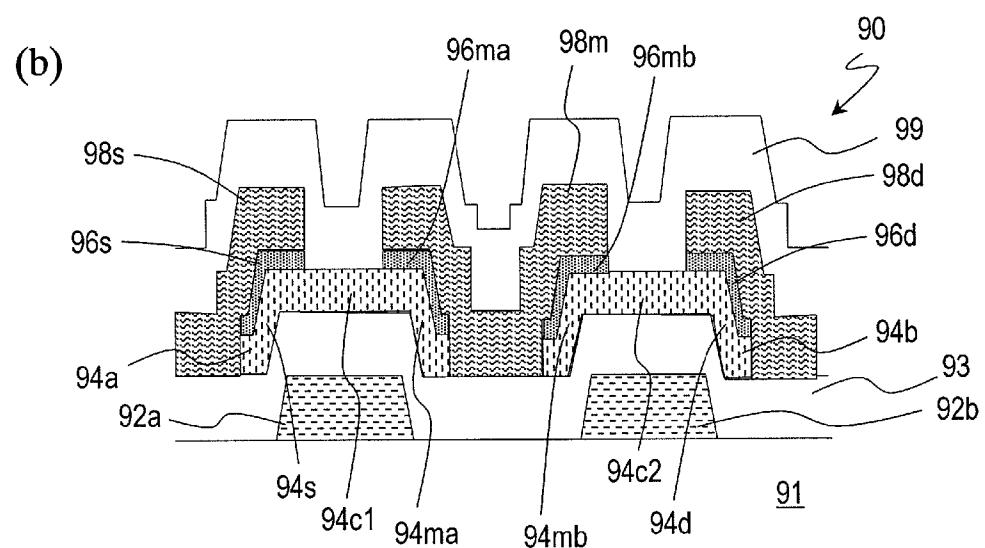
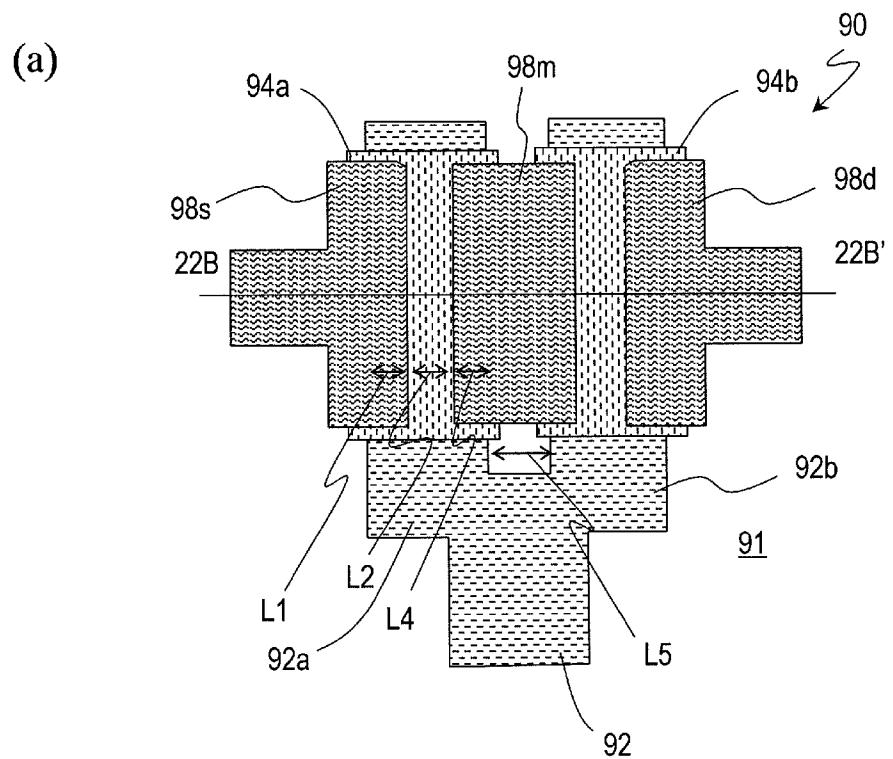
[図20]



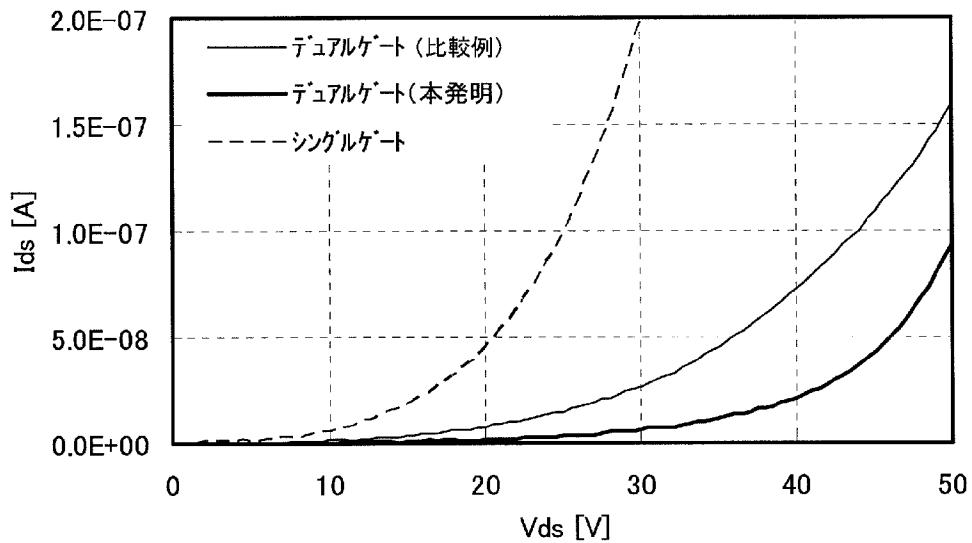
[図21]



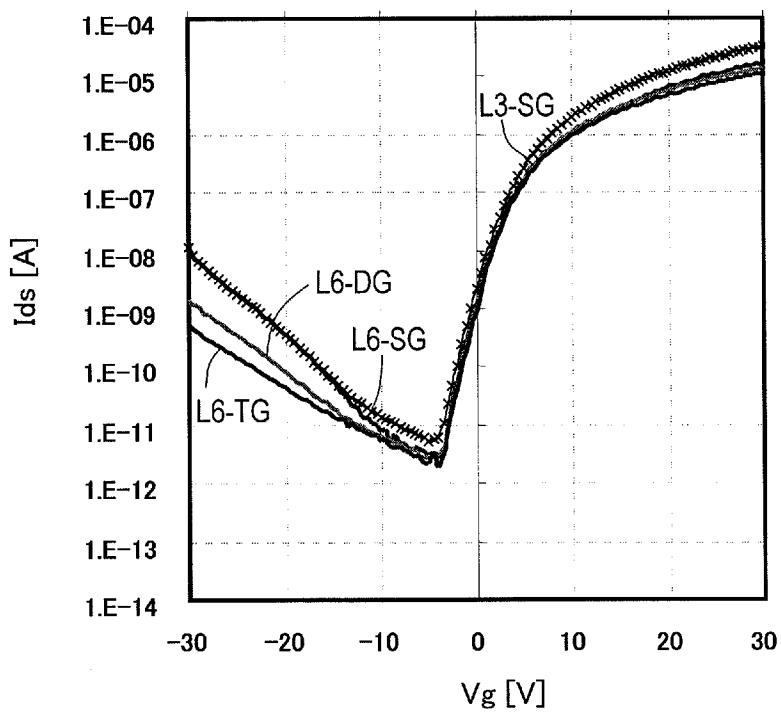
[図22]



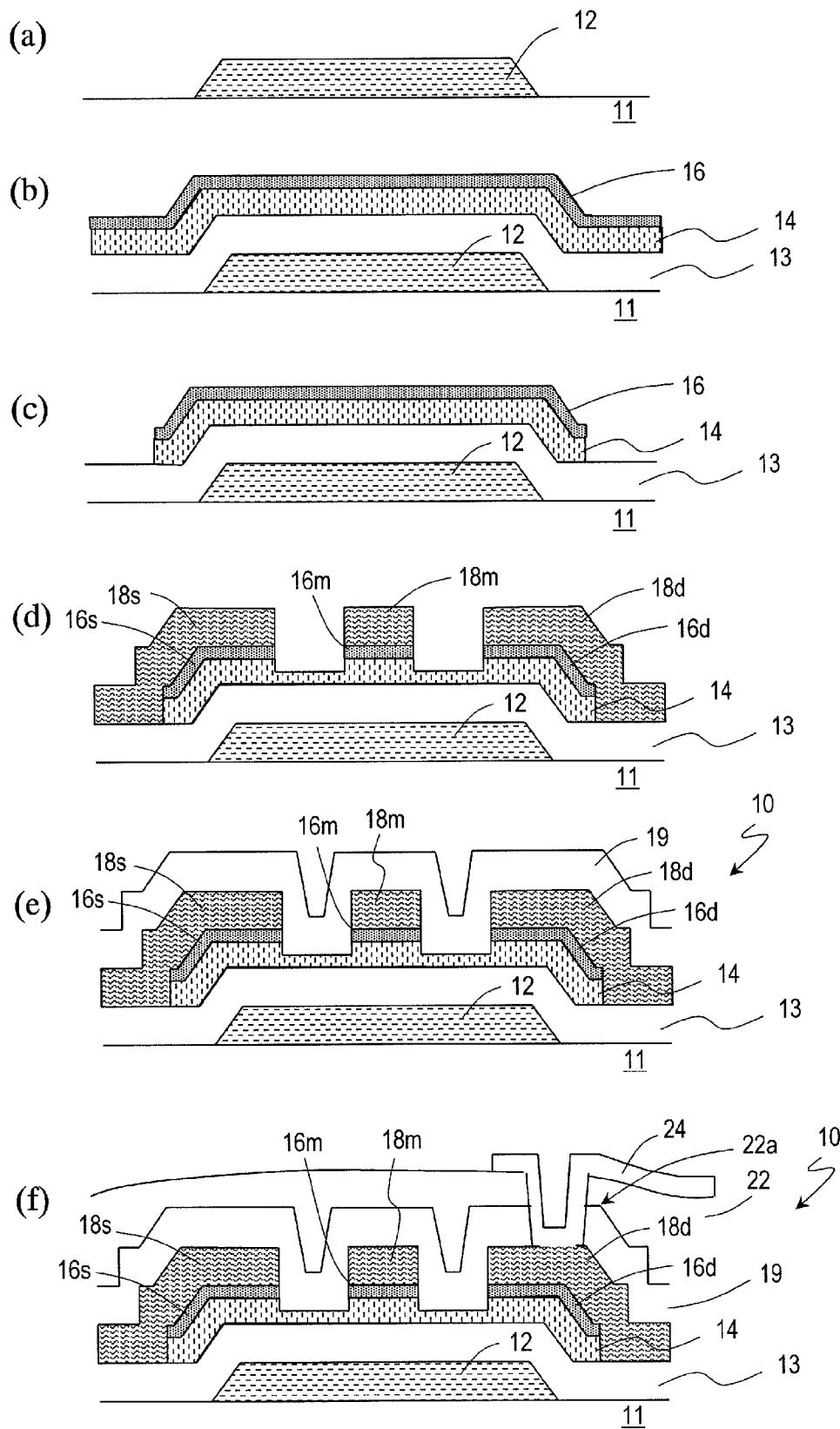
[図23]



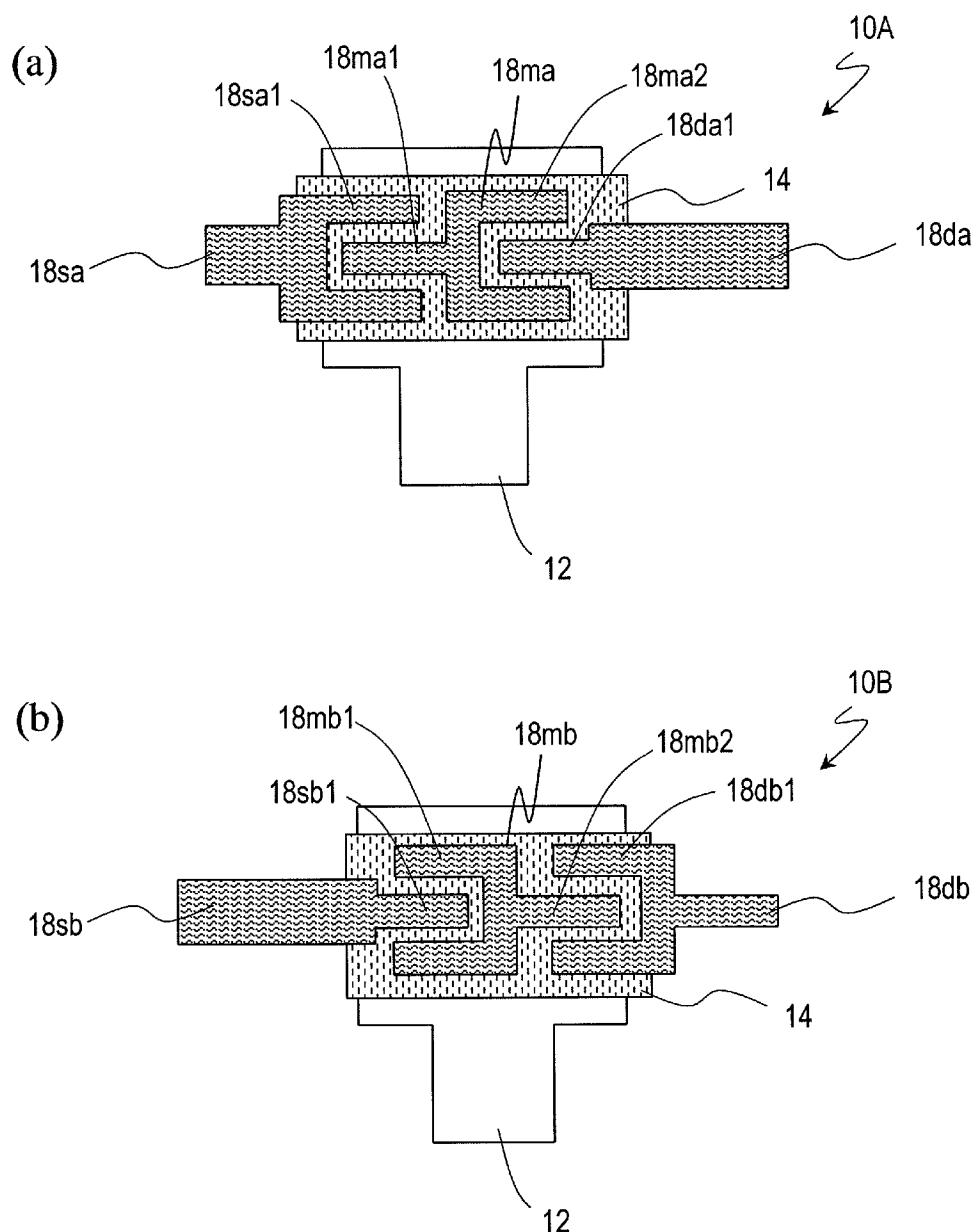
[図24]



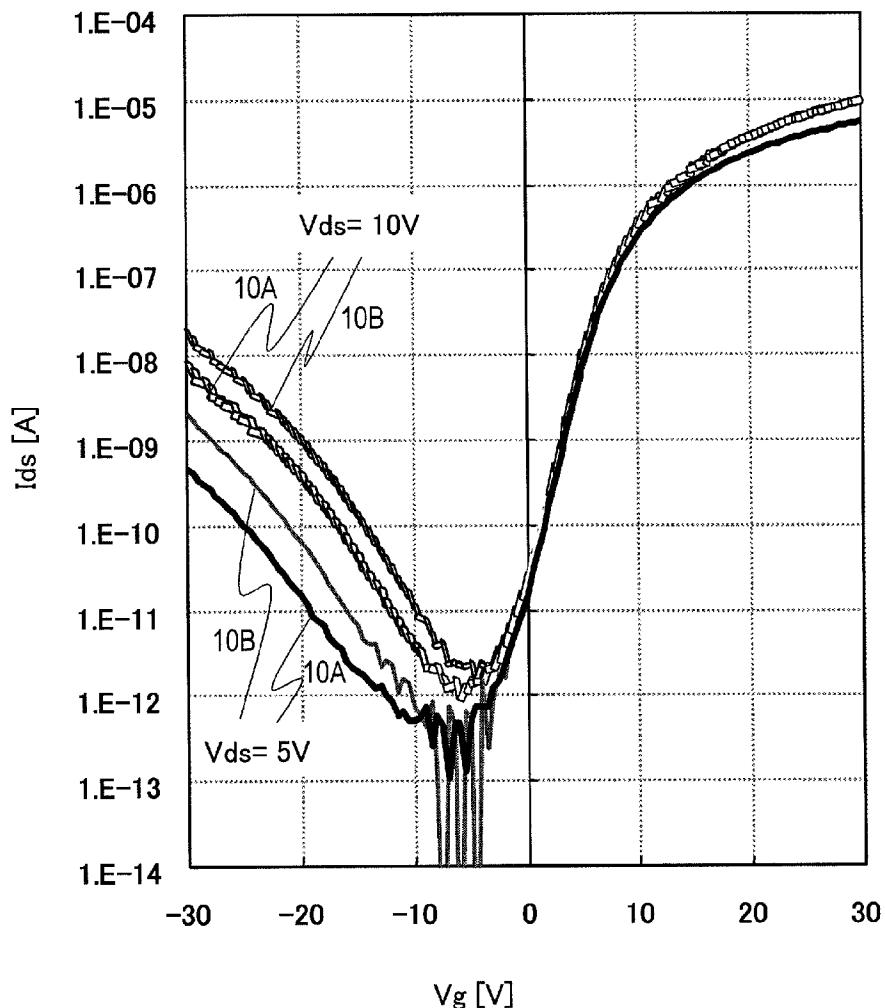
[図25]



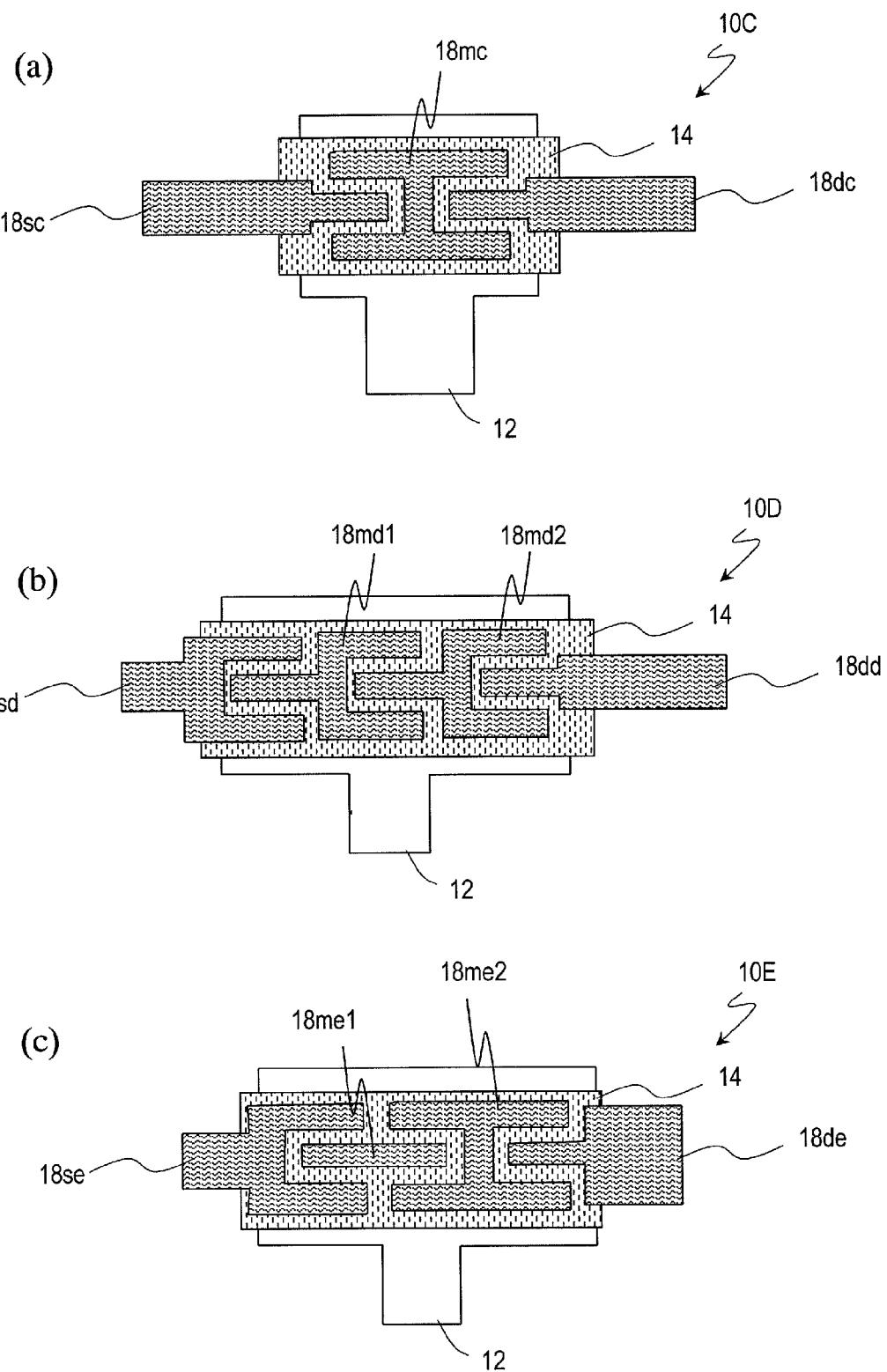
[図26]



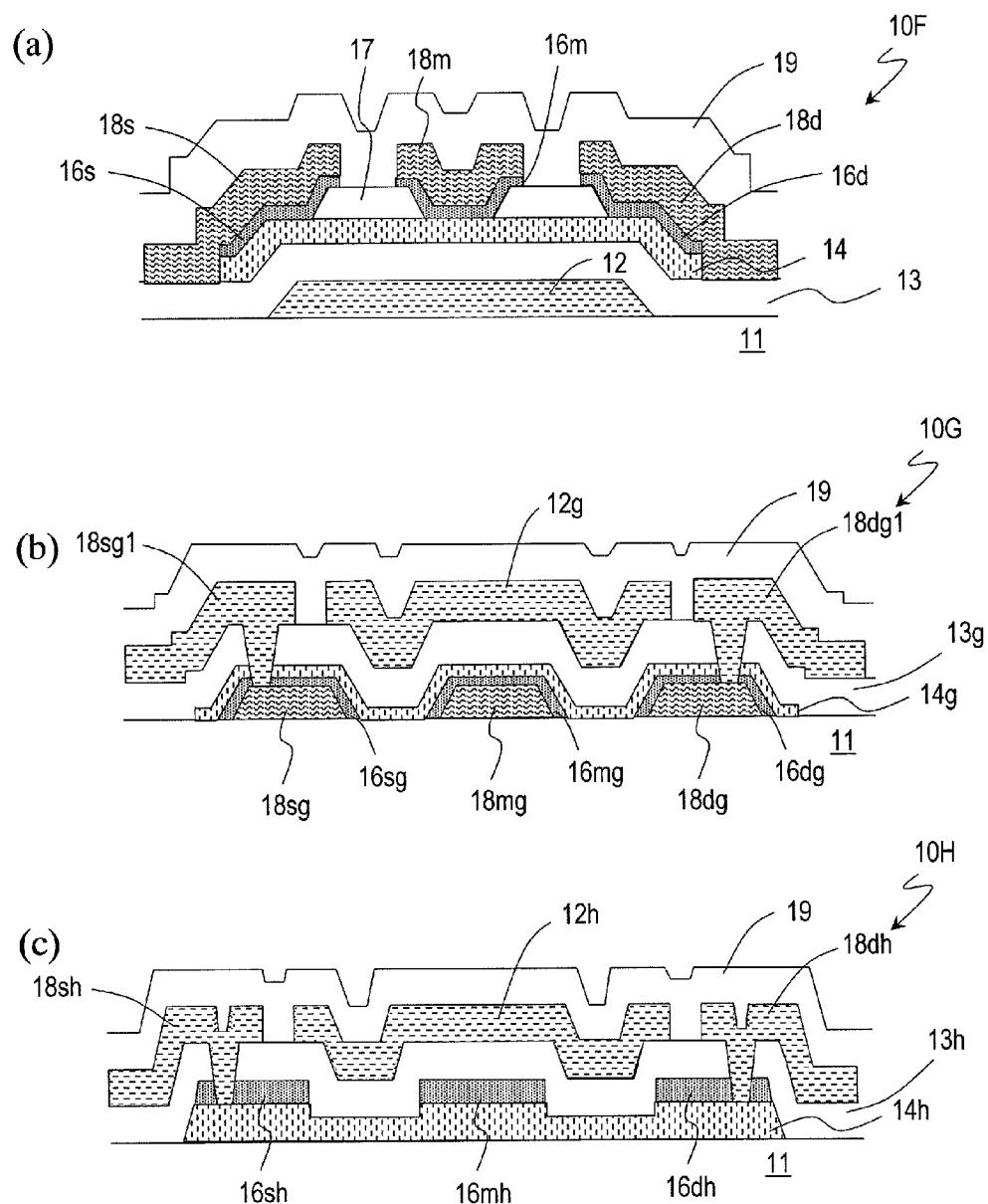
[図27]



[図28]



[図29]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/006227

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/822(2006.01)i, G02F1/1368(2006.01)i, H01L21/336(2006.01)i,
H01L27/04(2006.01)i, H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/822, G02F1/1368, H01L21/336, H01L27/04, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2007-066912 A (Semiconductor Energy Laboratory Co., Ltd.), 15 March 2007 (15.03.2007), paragraphs [0022] to [0029], [0168] to [0174] & US 2005/0197031 A1 & US 2005/0206313 A1 & US 2005/0208863 A1 & US 7288420 B1 & EP 1058314 A2	1-6, 14, 15 7-13
Y A	JP 2005-037842 A (Semiconductor Energy Laboratory Co., Ltd.), 10 February 2005 (10.02.2005), paragraphs [0012] to [0016] & US 2005/0012887 A1 & US 2009/0160753 A & CN 1577028 A	1-6, 14, 15 7-13

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 December, 2009 (24.12.09)

Date of mailing of the international search report
12 January, 2010 (12.01.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/JP2009/006227

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2005-311341 A (Semiconductor Energy Laboratory Co., Ltd.), 04 November 2005 (04.11.2005), paragraphs [0036], [0056], [0270] to [0273] & US 2005/0214983 A1 & US 2008/0191278 A1 & CN 1707749 A & CN 101442106 A	1-6, 14, 15 7-13
Y A	JP 2005-286317 A (Semiconductor Energy Laboratory Co., Ltd.), 13 October 2005 (13.10.2005), paragraphs [0318] to [0321], [0177] to [0199] & US 2005/0196711 A1 & US 2009/0114922 A & CN 1700417 A	1-6, 14, 15 7-13
E, A	JP 2009-049393 A (Semiconductor Energy Laboratory Co., Ltd.), 05 March 2009 (05.03.2009), entire text & US 2009/0026452 A1 & CN 101354514 A & KR 10-2009-0012120 A	1-15

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/822(2006.01)i, G02F1/1368(2006.01)i, H01L21/336(2006.01)i, H01L27/04(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/822, G02F1/1368, H01L21/336, H01L27/04, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2009年
日本国実用新案登録公報	1996-2009年
日本国登録実用新案公報	1994-2009年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2007-066912 A (株式会社半導体エネルギー研究所) 2007.03.15, 段落【0022】-【0029】、【0168】～【0174】 & US 2005/0197031 A1 & US 2005/0206313 A1 & US 2005/0208863 A1 & US 7288420 B1 & EP 1058314 A2	1-6, 14, 15 7-13
Y A	JP 2005-037842 A (株式会社半導体エネルギー研究所) 2005.02.10, 段落【0012】-【0016】 & US 2005/0012887 A1 & US 2009/0160753 A & CN 1577028 A	1-6, 14, 15 7-13

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日

24. 12. 2009

国際調査報告の発送日

12. 01. 2010

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

池渕 立

4 L 8831

電話番号 03-3581-1101 内線 3498

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2005-311341 A (株式会社半導体エネルギー研究所) 2005. 11. 04, 段落【0036】 , 【0056】 , 【0270】 - 【0273】 & US 2005/0214983 A1 & US 2008/0191278 A1 & CN 1707749 A & CN 101442106 A	1-6, 14, 15 7-13
Y A	JP 2005-286317 A (株式会社半導体エネルギー研究所) 2005. 10. 13, 段落【0318】 ~ 【0321】 , 【0177】 ~ 【0199】 & US 2005/0196711 A1 & US 2009/0114922 A & CN 1700417 A	1-6, 14, 15 7-13
EA	JP 2009-049393 A (株式会社半導体エネルギー研究所) 2009. 03. 05, 全文 & US 2009/0026452 A1 & CN 101354514 A & KR 10-2009-0012120 A	1-15