

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-161005

(P2014-161005A)

(43) 公開日 平成26年9月4日(2014.9.4)

(51) Int.Cl.	F I	テーマコード (参考)
H03F 3/70 (2006.01)	H03F 3/70	5J022
H03M 1/12 (2006.01)	H03M 1/12 A	5J500
H03M 1/38 (2006.01)	H03M 1/38	
H03F 3/45 (2006.01)	H03F 3/45 Z	

審査請求 未請求 請求項の数 25 O L (全 51 頁)

(21) 出願番号	特願2013-259954 (P2013-259954)	(71) 出願人	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成25年12月17日 (2013.12.17)	(74) 代理人	100102864 弁理士 工藤 実
(31) 優先権主張番号	特願2013-10218 (P2013-10218)	(72) 発明者	大島 俊 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
(32) 優先日	平成25年1月23日 (2013.1.23)	(72) 発明者	奥田 裕一 神奈川県川崎市中原区下沼部1753番地 ルネサスエレクトロニクス株式会社内
(33) 優先権主張国	日本国 (JP)	(72) 発明者	中根 秀夫 神奈川県川崎市中原区下沼部1753番地 ルネサスエレクトロニクス株式会社内

最終頁に続く

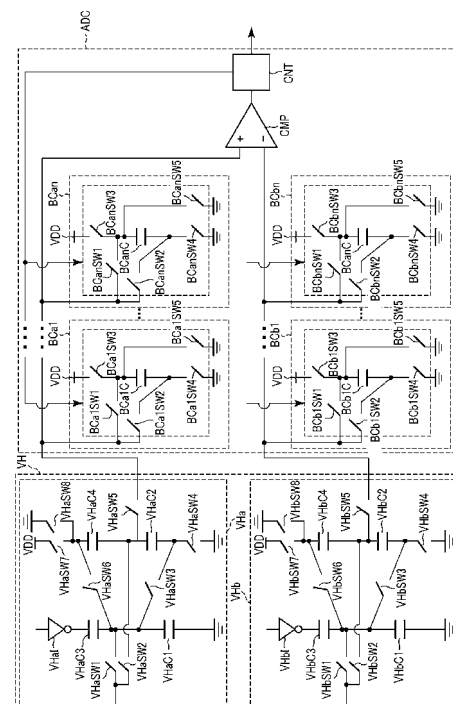
(54) 【発明の名称】 パッシブ増幅回路およびアナログデジタルコンバータ

(57) 【要約】

【課題】 パッシブ増幅回路で差動信号を増幅するにあたって、コモンモード電圧のリファレンスを必要とせず差動信号のみを増幅する。また、逐次比較アナログデジタルコンバータの有効分解能を1ビット分改善する。

【解決手段】 コモンモード電圧のリファレンスを用いないパッシブ増幅回路で差動信号を増幅し、また、逐次比較アナログデジタル変換動作を行う前に、入力信号の電圧をパッシブ2倍増幅する。パッシブ増幅は、サンプリングを行う容量素子を複数設けて、これらの接続関係をスイッチで切り替えることで行う。こうすることで、消費電力やチップサイズの増加を伴うことなく、コンパレータの雑音による影響を半減し、結果的に有効分解能を1ビット増加させることが出来る。

【選択図】 図16



【特許請求の範囲】

【請求項 1】

差動信号を入力する入力端群と、

サンプリング動作時に、入力した前記差動信号の電圧を充電する第 1 ～第 4 の容量素子と、

前記第 1 ～前記第 4 の容量素子の接続関係を、前記サンプリング動作を行う第 1 状態と、増幅動作を行う第 2 状態との間で切り替える複数のスイッチと、

前記増幅動作時に、増幅した前記差動信号を出力する出力端群とを具備し、

前記第 1 状態において、前記第 1 の容量素子および前記第 2 の容量素子は並列に接続されており、かつ、前記第 3 の容量素子および前記第 4 の容量素子は並列に接続されており、

前記第 2 状態において、前記第 1 の容量素子および前記第 2 の容量素子は直列に接続されており、かつ、前記第 3 の容量素子および前記第 4 の容量素子は直列に接続されており、

前記第 1 ～前記第 4 容量素子のそれぞれは、一方の端部および他方の端部が、前記複数のスイッチ、前記出力端群、電源電圧を供給する電源またはグラウンドのいずれかに接続されており、

前記複数のスイッチのそれぞれは、一方の端部および他方の端部が、前記第 1 ～前記第 4 の容量素子、前記入力端群、前記出力端群、前記電源または前記グラウンドのいずれかに接続されている

パッシブ増幅回路。

【請求項 2】

請求項 1 に記載のパッシブ増幅回路において、

前記複数のスイッチは、

前記第 1 状態において導通状態になり、前記第 2 状態において遮断状態となる第 1 スイッチ群と、

前記第 1 状態において遮断状態になり、前記第 2 状態において導通状態となる第 2 スイッチ群と

を具備し、

前記第 1 スイッチ群に含まれる各スイッチは、一方の端部が前記入力端群のいずれかに接続されており、かつ、他方の端部が前記第 1 ～前記第 4 の容量素子のいずれかに接続されており、

前記第 2 スイッチ群に含まれる各スイッチは、一方の端部が電源またはグラウンドに接続されており、かつ、他方の端部が前記第 1 ～前記第 4 の容量素子のいずれかに接続されている

パッシブ増幅回路。

【請求項 3】

請求項 2 に記載のパッシブ増幅回路において、

前記入力端群は、

前記差動信号のプラス側電圧を入力するプラス側入力端と、

前記差動信号のマイナス側電圧を入力するマイナス側入力端と

を具備し、

前記出力端群は、

前記増幅された差動信号のプラス側電圧を出力するプラス側出力端と、

前記増幅された差動信号のマイナス側電圧を出力するマイナス側出力端と

を具備し、

前記第 1 状態において、前記第 1 ～前記第 4 の容量素子は、前記プラス側入力端および前記マイナス側入力端の間に並列に接続されており、

前記第 2 状態において、前記第 1 の容量素子は、前記電源および前記マイナス側出力端

10

20

30

40

50

の間に接続されており、

前記第 2 状態において、前記第 2 の容量素子は、前記マイナス側出力端および前記グラウンドの間に接続されており、

前記第 2 状態において、前記第 3 の容量素子は、前記電源および前記プラス側出力端の間に接続されており、

前記第 2 状態において、前記第 4 の容量素子は、前記プラス側出力端および前記グラウンドの間に接続されており、

前記第 1 の容量素子および前記第 3 の容量素子は、同じ第 1 の容量値を具備し、

前記第 2 の容量素子および前記第 4 の容量素子は、同じ第 2 の容量値を具備する
パッシブ増幅回路。

10

【請求項 4】

請求項 1 に記載のパッシブ増幅回路において、

前記入力端群は、

前記差動信号を入力する入力端

を具備し、

前記出力端群は、

前記増幅された差動信号を出力する出力端

を具備し、

前記第 1 状態において、前記第 1 の容量素子および前記第 2 の容量素子は、前記グラウンドおよび前記入力端の間に並列に接続されており、

20

前記第 1 状態において、前記第 3 の容量素子および前記第 4 の容量素子は、前記入力端および前記電源の間に並列に接続されており、

前記第 2 状態において、前記第 1 の容量素子および前記第 2 の容量素子は、前記グラウンドおよび前記出力端の間に直列に接続されており、

前記第 2 状態において、前記第 3 の容量素子および前記第 4 の容量素子は、前記出力端および前記電源の間に直列に接続されており、

前記第 1 の容量素子および前記第 2 の容量素子は、同じ第 1 容量値を具備し、

前記第 3 の容量素子および前記第 4 の容量素子は、同じ第 2 容量値を具備する
パッシブ増幅回路。

【請求項 5】

30

アナログ値をデジタル値に変換するアナログデジタル変換回路部と、

前記アナログデジタル変換回路部の前段に設けられて、前記アナログ値を保持する保持回路部と、

前記アナログデジタル変換回路部および前記保持回路部を制御する制御回路部と
を具備し、

前記保持回路部は、

前記アナログ値に対応する電圧または電荷を保持する容量群と、

前記容量群の接続関係を切り替えることによって前記電圧をパッシブ増幅するスイッチ
群と

を具備する

40

アナログデジタルコンバータ。

【請求項 6】

請求項 5 に記載のアナログデジタルコンバータにおいて、

前記容量群は、

第 1 容量と、

第 1 状態では前記スイッチ群を介して前記第 1 容量と並列に接続されて、第 2 状態では
前記スイッチ群を介して前記第 1 容量と直列に接続される第 2 容量と

を具備する

アナログデジタルコンバータ。

【請求項 7】

50

請求項 6 に記載のアナログデジタルコンバータにおいて、
前記スイッチ群は、

前記第 1 状態では前記第 1 容量の一方の端部を前記保持回路部の入力部に導通し、前記第 2 状態では前記第 1 容量の前記一方の端部を前記入力部から遮断する第 1 スイッチと、
前記第 1 状態では前記第 2 容量の一方の端部を前記入力部に導通し、前記第 2 状態では前記第 2 容量の前記一方の端部を前記入力部から遮断する第 2 スイッチと、

前記第 1 状態では前記第 1 容量の前記一方の端部を前記第 2 容量の他方の端部から遮断し、前記第 2 状態では前記第 1 容量の前記一方の端部を前記第 2 容量の前記他方の端部に導通する第 3 スイッチと、

前記第 1 状態では前記第 2 容量の前記他方の端部を接地し、前記第 2 状態では前記第 2 容量の前記他方の端部を接地から遮断する第 4 スイッチと、

前記第 1 状態では前記第 2 容量の前記一方の端部を前記アナログデジタル変換回路部から遮断し、前記第 2 状態では前記第 2 容量の前記一方の端部を前記アナログデジタル変換回路部に導通する第 5 スイッチと
を具備し、

前記第 1 容量の他方の端部は接地されている
アナログデジタルコンバータ。

【請求項 8】

請求項 5 に記載のアナログデジタルコンバータにおいて、
前記電圧を、前記パッシブ増幅の後に所定のレンジに収まる範囲に直流レベルシフトする同相電圧シフト回路部
をさらに具備する

アナログデジタルコンバータ。

【請求項 9】

請求項 8 に記載のアナログデジタルコンバータにおいて、
前記同相電圧シフト回路部は、
前記保持回路部に含まれて、前記容量群に接続された他の容量群と、
前記保持回路部に含まれて、前記容量群および前記他の容量群の接続関係を前記スイッチ群とともに切り替えることによって前記直流レベルシフトを行う他のスイッチ群と
を具備する

アナログデジタルコンバータ。

【請求項 10】

請求項 9 に記載のアナログデジタルコンバータにおいて、
前記容量群は、
第 1 容量と、
第 1 状態では前記スイッチ群を介して前記第 1 容量と並列に接続されて、第 2 状態では前記スイッチ群を介して前記第 1 容量から遮断されて、第 3 状態では前記スイッチ群を介して前記第 1 容量と直列に接続される第 2 容量と、

前記第 1 状態および前記第 2 状態では前記スイッチ群を介して前記第 1 容量と直列に接続されて、前記第 3 状態では前記スイッチ群を介して前記第 1 容量と並列に接続される第 3 容量と、

前記第 1 状態および前記第 2 状態では前記スイッチ群を介して前記第 2 容量と直列に接続されて、前記第 3 状態では前記スイッチ群を介して前記第 2 容量と並列に接続される第 4 容量と
を具備する

アナログデジタルコンバータ。

【請求項 11】

請求項 10 に記載のアナログデジタルコンバータにおいて、
前記スイッチ群は、
前記第 1 容量および前記第 3 容量のそれぞれにおける一方の端部を、前記第 1 状態では

前記保持回路部の入力部に導通し、前記第 2 状態および前記第 3 状態では前記入力部から遮断する第 1 スイッチと、

前記第 2 容量および前記第 4 容量のそれぞれにおける一方の端部を、前記第 1 状態では前記入力部に導通し、前記第 2 状態および前記第 3 状態では前記入力部から遮断する第 2 スイッチと、

前記第 1 容量の前記一方の端部および前記第 2 容量の他方の端部を、前記第 1 および前記第 2 状態では遮断し、前記第 3 状態では導通する第 3 スイッチと、

前記第 2 容量の前記他方の端部およびグランドを、前記第 1 および前記第 2 状態では導通し、前記第 3 状態では遮断する第 4 スイッチと、

前記第 2 容量および前記第 4 容量のそれぞれにおける前記一方の端部を、前記第 1 状態および前記第 2 状態では前記保持回路部の出力部から遮断し、前記第 3 状態では前記出力部に導通する第 5 スイッチと、

前記第 1 容量および前記第 3 容量のそれぞれにおける前記一方の端部を、前記第 1 状態および前記第 2 状態では前記第 4 容量の他方の端部から遮断し、前記第 3 状態では前記第 4 容量の前記他方の端部に導通する第 6 スイッチと、

前記第 4 容量の前記他方の端部および電源を、前記第 1 状態では導通し、前記第 2 状態および前記第 3 状態では遮断する第 7 スイッチと、

前記第 4 容量の前記他方の端部およびグランドを、前記第 1 状態および前記第 3 状態では遮断し、前記第 2 状態では導通する第 8 スイッチとを具備し、

前記第 1 容量の他方の端部は、接地されており、

前記保持回路部は、

出力部が前記第 3 容量の他方の端部に接続されており、前記第 1 状態ではロー状態の信号を入力し、前記第 2 状態および前記第 3 状態ではハイ状態の信号を入力するインバータをさらに具備する

アナログデジタルコンバータ。

【請求項 1 2】

請求項 5 に記載のアナログデジタルコンバータにおいて、

前記アナログデジタル変換回路部は、

前記デジタル値に含まれる複数のビットにそれぞれ対応して設けられた複数の対グランド接続型ビット比較回路部と、

前記保持回路部と前記複数の対グランド接続型ビット比較回路部の少なくとも一つが電荷シェアを行うことで生成される差動電圧同士を比較するコンパレータとを具備する

アナログデジタルコンバータ。

【請求項 1 3】

請求項 1 2 に記載のアナログデジタルコンバータにおいて、

前記複数の対グランド接続型ビット比較回路部のそれぞれは、

容量と、

前記容量の一方の端部を前記アナログデジタル変換回路部の入力部に導通または遮断する第 1 スイッチと、

前記容量の他方の端部を前記入力部に導通または遮断する第 2 スイッチと、

前記容量の前記一方の端部を電源に導通または遮断する第 3 スイッチと、

前記容量の前記他方の端部をグランドに導通または遮断する第 4 スイッチと、

前記容量の前記一方の端部をグランドに導通または遮断する第 5 スイッチと

を具備する

アナログデジタルコンバータ。

【請求項 1 4】

請求項 1 2 または 1 3 に記載のアナログデジタルコンバータにおいて、

前記アナログデジタル変換回路部は、

10

20

30

40

50

前記デジタル値を補正する補正係数を探索するために必要な直流シフトを印加するデジタル補正用直流シフト印加回路部
をさらに具備する

アナログデジタルコンバータ。

【請求項 15】

請求項 14 に記載のアナログデジタルコンバータにおいて、
前記デジタル補正用直流シフト印加回路部は、
容量と、
前記容量の一方の端部を前記アナログデジタル変換回路部の入力部に導通または遮断する第 1 スイッチと、
前記容量の他方の端部を前記入力部に導通または遮断する第 2 スイッチと、
前記容量の前記一方の端部を電源に導通または遮断する第 3 スイッチと、
前記容量の前記他方の端部をグランドに導通または遮断する第 4 スイッチと、
前記容量の前記一方の端部をグランドに導通または遮断する第 5 スイッチと
を具備する

アナログデジタルコンバータ。

【請求項 16】

請求項 12 に記載のアナログデジタルコンバータにおいて、
前記コンパレータは、
直流オフセット電圧をゼロ調整できるプリアンプ回路部と、
前記プリアンプ回路部の後段に設けられたラッチ回路部と
を具備する

アナログデジタルコンバータ。

【請求項 17】

請求項 16 に記載のアナログデジタルコンバータにおいて、
前記プリアンプ回路部は、
増幅期間およびリセット期間を切り替えるクロック信号を入力するクロック信号入力部
をさらに具備する

アナログデジタルコンバータ。

【請求項 18】

請求項 5 に記載のアナログデジタルコンバータにおいて、
前記アナログデジタル変換回路部は、
前記デジタル値に含まれる複数のビットにそれぞれ対応して設けられた複数のフローティング接続型ビット比較回路部と、
前記保持回路部と前記複数のフローティング接続型ビット比較回路部の少なくとも一つが電荷シェアを行うことで生成される差動電圧同士を比較するコンパレータと
を具備する

アナログデジタルコンバータ。

【請求項 19】

請求項 18 に記載のアナログデジタルコンバータにおいて、
前記複数のフローティング接続型ビット比較回路部のそれぞれは、
容量と、
前記容量の一方の端部を電源に導通または遮断する第 1 スイッチと、
前記容量の他方の端部をグランドに導通または遮断する第 2 スイッチと、
前記アナログデジタル変換回路部の第 1 入力部を前記容量の前記一方の端部に導通または遮断する第 3 スイッチと、
前記アナログデジタル変換回路部の第 2 入力部を前記容量の前記他方の端部に導通または遮断する第 4 スイッチと、
前記アナログデジタル変換回路部の前記第 2 入力部を前記容量の前記一方の端部に導通または遮断する第 5 スイッチと、

前記アナログデジタル変換回路部の前記第 1 入力部を前記容量の前記他方の端部に導通または遮断する第 6 スイッチと
を具備する

アナログデジタルコンバータ。

【請求項 20】

請求項 18 または 19 に記載のアナログデジタルコンバータにおいて、
前記アナログデジタル変換回路部は、
前記デジタル値を補正する補正係数を探索するために必要な直流シフトを印加するデジタル補正用直流シフト印加回路部
をさらに具備する

10

アナログデジタルコンバータ。

【請求項 21】

請求項 20 に記載のアナログデジタルコンバータにおいて、
前記デジタル補正用直流シフト印加回路部は、
容量と、
前記容量の一方の端部を電源に導通または遮断する第 1 スイッチと、
前記容量の他方の端部をグラウンドに導通または遮断する第 2 スイッチと、
前記アナログデジタル変換回路部の第 1 入力部を前記容量の前記一方の端部に導通または遮断する第 3 スイッチと、
前記アナログデジタル変換回路部の第 2 入力部を前記容量の前記他方の端部に導通または遮断する第 4 スイッチと、
前記アナログデジタル変換回路部の前記第 2 入力部を前記容量の前記一方の端部に導通または遮断する第 5 スイッチと、
前記アナログデジタル変換回路部の前記第 1 入力部を前記容量の前記他方の端部に導通または遮断する第 6 スイッチと、
前記容量の前記一方の端部をグラウンドに導通または遮断する第 7 スイッチと
を具備する

20

アナログデジタルコンバータ。

【請求項 22】

請求項 8 に記載のアナログデジタルコンバータにおいて、
前記保持回路部の前段に接続されて、前記アナログ値を表す信号をバッファして出力する抵抗帰還型のオペアンプ
をさらに具備し、

30

前記同相電圧シフト回路部は、

前記オペアンプの反転側入力部にシフト用電圧を供給する電圧源
を具備する

アナログデジタルコンバータ。

【請求項 23】

請求項 5 または 12 ～ 21 のいずれかに記載のアナログデジタルコンバータにおいて、
前記保持回路部は、請求項 1 ～ 4 のいずれかに記載のバッシブ増幅回路
を具備する

40

アナログデジタルコンバータ。

【請求項 24】

請求項 8、9 または 22 に記載のアナログデジタルコンバータにおいて、
前記同相電圧シフト回路部は、請求項 1 ～ 4 のいずれかに記載のバッシブ増幅回路
を具備する

アナログデジタルコンバータ。

【請求項 25】

アナログ値を保持することと、
前記アナログ値をデジタル値に変換することと、

50

前記保持することおよび前記変換することを制御することとを具備し、

前記保持することは、

前記アナログ値に対応する電圧または電荷をホールド用容量群で保持することと、

前記ホールド用容量群の接続関係を切り替えることによって前記電圧をパッシブ増幅することと

を具備する

アナログデジタル変換方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明はパッシブ増幅回路およびアナログデジタルコンバータに関し、例えば、電圧ゲインが1～2倍のパッシブ増幅回路および電荷シェア型逐次比較アナログデジタルコンバータに好適に利用出来るものである。

【背景技術】

【0002】

従来、パイプラインADC (Analog Digital Converter: アナログデジタルコンバータ) などの、内部に増幅ステージを含む回路には、クローズドアンプを用いて正確な信号増幅を行う構成を用いることが一般的であった。

【0003】

20

ところが、クローズドアンプは、高精度な増幅を実現できる半面、高速動作を行うと消費電力の増大を招き、その結果、ADCの消費電力が増大する傾向にあった。そこで、オープンループアンプや、コンパレータなどのダイナミックアンプや、パッシブ素子によるアンプなどにより消費電力を抑えるアプローチが提案されている。

【0004】

ただし、これらの手法では、高速動作および低消費電力動作の両立を実現できる半面、単独では高精度な線形性およびゲインを実現することが難しい。そこで、キャリブレーション技術と組み合わせた使用方法が採られている。

【0005】

クローズドアンプを用いずに信号増幅を行うこれらの手法は、パイプラインADCのステージ間アンプに限らず、サンプリング動作を行うADCであれば有効である。サンプリング後に増幅段を設けると、サンプリングステージ以降の入力換算雑音を低減し、ノイズ要求を緩和することが出来る。

30

【0006】

同様の目的を持つ技術が、非特許文献1および特許文献1で報告されている。非特許文献1では、容量素子を用いた信号増幅を単純に実現する方法が説明されている。特許文献1では、コモンモードリファレンス電圧を用いて差動信号のみを増幅する手法が提案されている。

【0007】

また、次世代携帯電話端末では、従来のGSM (登録商標) (Global System for Mobile communication) 方式やWCDMA (登録商標) (Wideband Code Division Multiple Access) 方式に加えて、LTE (Long Term Evolution) やLTE Advancedなどの様々な方式にも対応する必要がある。これらの各方式で受信する信号に、一つのアナログデジタルコンバータで対応するには、40MS/s (メガサンプル毎秒) 程度の高速な変換レートと、11ビット以上の高い有効分解能が要求される。

40

【0008】

また、携帯端末では、アナログデジタルコンバータの消費電力が極めて小さいことが要求される。半導体製造プロセスの微細化により、アナログデジタルコンバータのアナログ回路の持つ誤差要因をデジタル回路で補正し、有効分解能を向上する手法が有効となって

50

いる。低電力なアナログデジタルコンバータとしては、デジタル補正を行う逐次比較アナログデジタルコンバータが適している。さらに、高速動作を行う逐次比較アナログデジタルコンバータとしては、電荷再配分型逐次比較アナログデジタルコンバータよりも、下記非特許文献 2 などに記載の電荷シェア型逐次比較アナログデジタルコンバータが適している。

【0009】

次世代のマイコンにおいても、その多機能化の進展に伴い、高速かつ高分解能のアナログデジタルコンバータが要求されている。マイコン搭載用のアナログデジタルコンバータとしても、11ビット以上の有効分解能が要求されることが多い。

【0010】

また、マイコンの場合、特にアナログデジタルコンバータのチップサイズが小さいことが要求される。そのため、デジタル補正を行うパイプラインアナログデジタルコンバータよりも、デジタル補正を行う逐次比較アナログデジタルコンバータの方が適している。さらに、多くの場合、数十MS/s以上の高速動作が要求されるため、やはり、電荷シェア型逐次比較アナログデジタルコンバータが適している。

【0011】

デジタル補正を行う電荷シェア型逐次比較アナログデジタルコンバータは、100MS/s程度以下の変換レートで、小さなチップサイズおよび消費電力で、高分解能を実現出来る特徴を持つため、上記以外にも、SoC (System on a Chip: システムオンチップ) など、幅広いアプリケーションが考えられる。

【0012】

特許文献 2 および 3 には、アナログデジタルコンバータ用コンパレータが開示されている。

【0013】

非特許文献 3 は、デジタル補正を行う電荷再配分型逐次比較アナログデジタルコンバータにおいて、入力フルスケールレンジをRail-to-Rail (レール・トゥ・レール) とすることで、有効分解能を高めるアプローチを開示している。すなわち、電源V_DDの電圧からグラウンドの接地電圧まで全て利用することで、SNR (Signal Noise Ratio: 信号対雑音比) のうちの、信号成分を最大化している。

【0014】

また、従来の多くの逐次比較アナログデジタルコンバータでは、アナログデジタルコンバータの支配的な雑音源として知られるコンパレータが発生する雑音量を根本的に低減することで、有効分解能を高めるアプローチを開示している。コンパレータの雑音電圧レベルは、その容量負荷の平方根に反比例する。そのため、負荷容量を4倍にすることで、雑音を半減出来る。負荷容量を4倍にした場合、コンパレータの消費電力を4倍にして、応答速度を維持することで、変換レートを維持する必要がある。

【0015】

非特許文献 4 は、電荷再配分型の逐次比較アナログデジタルコンバータにおいて、MSB (Most Significant Bit: 最上位ビット) から始まる前半の各ビットの判定をまず行う。次に、前半の変換の変換残差を中間アンプにより増幅し、増幅された変換残差に対してアナログデジタル変換を行うことで、LSB (Least Significant Bit: 最下位ビット) までの後半の各ビットの判定を行う。このようにすることで、コンパレータに要求される雑音レベルを、上記の中間アンプの利得の分だけ緩和することが出来るので、コンパレータの雑音による影響を実質的に見えなくすることが出来る。

【0016】

非特許文献 5 は、高い分解能を出せるとして知られているシグマデルタアナログデジタルコンバータを開示している。

【先行技術文献】

【特許文献】

10

20

30

40

50

【0017】

【特許文献1】米国特許公開公報2010/0237710

【特許文献2】特開昭60-51901号公報

【特許文献3】特開2000-269792号公報

【非特許文献】

【0018】

【非特許文献1】I. Ahmed et al., "A 50MS/s 9.9mW Pipelined ADC with 58dB SNDR in 0.18μm CMOS Using Capacitive Charge-Pumps", ISSCC Dig. Tech. Papers, pp. 164-165, 2009. 10

【非特許文献2】Jan Craninckx and Geert Van der Plas, "A 65fJ/Conversion-Step 0-to-50MS/s 0-to-0.7mW 9b Charge-Sharing SAR ADC in 90nm Digital CMOS," International Solid-State Circuits Conference, Digest of Technical Papers, pp. 246-247, Feb. 2007.

【非特許文献3】Wenbo Liu, Pingli Huang and Yun Chiu, "A 12b 22.5/45MS/s 3.0mW 0.059mm² CMOS SAR ADC achieving over 90dB SFDR", International Solid-State Circuits Conference, Digest of Technical Papers, pp. 380-381, Feb. 2010. 20

【非特許文献4】Christopher Peter Hurrell, Colin Lynden, David Laing, Derek Hummerston and Mark Vickery, "An 18b 12.5MHz ADC with 93dB SNR", International Solid-State Circuits Conference, Digest of Technical Papers, pp. 378-379, Feb. 2012.

【非特許文献5】Yun-Shiang Shu, Bang-Sup Song and Kantilal Bacrania, "A 65nm CMOS CT ΔΣ modulator with 81dB DR and 8MHz BW auto-tuned by pulse injection", International Solid-State Circuits Conference, Digest of Technical Papers, pp. 500-501, Feb. 2008. 30

【発明の概要】

【発明が解決しようとする課題】

【0019】

パッシブ増幅回路で差動信号を増幅するにあたって、コモンモード電圧のリファレンスを必要とせずに差動信号のみを増幅する。また、アナログデジタルコンバータの有効分解能を劣化させる原因であるアナログ回路の誤差要因には、非線形誤差、直流オフセット、コンパレータ雑音等が挙げられる。非線形誤差および直流オフセットについてはデジタル補正することにより有効分解能により改善することが可能である。しかし、コンパレータ雑音はランダムな要因であるため、デジタル補正によりシステムティックな補正を行うことが困難である。本発明が解決しようとする課題は、デジタル補正を行うアナログデジタルコンバータの有効分解能を改善することである。その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。 40

【課題を解決するための手段】

【0020】

以下に、（発明を実施するための形態）で使用される番号を用いて、課題を解決するた 50

めの手段を説明する。これらの番号は、（特許請求の範囲）の記載と（発明を実施するための形態）との対応関係を明らかにするために付加されたものである。ただし、それらの番号を、（特許請求の範囲）に記載されている発明の技術的範囲の解釈に用いてはならない。

【0021】

一実施の形態によれば、コモンモード電圧のリファレンスを用いないパッシブ増幅回路で差動信号を増幅し、また、アナログデジタル変換動作を行う前に、入力信号の電圧をパッシブ2倍増幅する。

【発明の効果】

【0022】

前記一実施の形態によれば、パッシブ増幅回路にコモンモード電圧のリファレンスを用いないことで高速な充放電を避けることが可能となり、また、消費電力やチップサイズの増加を伴うことなく、コンパレータの雑音による影響を半減し、結果的に有効分解能を1ビット増加させることが出来る。

【図面の簡単な説明】

【0023】

【図1A】図1Aは、従来例1によるパッシブ増幅回路の構成例を示す回路図である。

【図1B】図1Bは、図1Aに示した各スイッチ群を制御する制御信号の一例を示すタイムチャートである。

【図2A】図2Aは、従来例1によるパッシブ増幅回路の構成例を示す回路図である。

【図2B】図2Bは、図2Aに示した各スイッチ群を制御する制御信号の一例を示すタイムチャートである。

【図3A】図3Aは、従来例1によるパッシブ増幅回路の構成例を示す回路図である。

【図3B】図3Bは、図3Aに示した各スイッチ群を制御する制御信号の一例を示すタイムチャートである。

【図4A】図4Aは、第1の実施形態によるパッシブ増幅回路の構成例を示す回路図である。

【図4B】図4Bは、図4Aに示した各スイッチ群を制御する制御信号の一例を示すタイムチャートである。

【図5A】図5Aは、第2の実施形態によるパッシブ増幅回路の構成例を示す回路図である。

【図5B】図5Bは、図5Aに示した各スイッチ群を制御する制御信号の一例を示すタイムチャートである。

【図6】図6は、第3の実施形態によるアナログデジタルコンバータの構成を示す機能ブロック図である。

【図7】図7は、第3の実施形態による電圧保持回路部およびアナログデジタル変換回路部の構成を示す回路図である。

【図8A】図8Aは、第3の実施形態による正相側電圧保持回路部および逆相側電圧保持回路部のそれぞれにおける第1状態を示す回路図である。

【図8B】図8Bは、第3の実施形態による正相側電圧保持回路部および逆相側電圧保持回路部のそれぞれにおける第1状態に対応する等価回路図である。

【図8C】図8Cは、第3の実施形態による正相側電圧保持回路部および逆相側電圧保持回路部のそれぞれにおける第2状態を示す回路図である。

【図8D】図8Dは、第3の実施形態による正相側電圧保持回路部および逆相側電圧保持回路部のそれぞれにおける第2状態に対応する等価回路図である。

【図9】図9は、第4の実施形態によるアナログデジタルコンバータの構成を示す機能ブロック図である。

【図10】図10は、第4の実施形態による電圧保持回路部VHおよびアナログデジタル変換回路部の構成を示す回路図である。

【図11A】図11Aは、第4の実施形態による正相側電圧保持回路部および逆相側電圧

10

20

30

40

50

保持回路部に共通する第 1 の状態を示す回路図である。

【図 1 1 B】図 1 1 B は、第 4 の実施形態による正相側電圧保持回路部および逆相側電圧保持回路部に共通する第 2 の状態を示す回路図である。

【図 1 1 C】図 1 1 C は、第 4 の実施形態による正相側電圧保持回路部および逆相側電圧保持回路部に共通する第 3 の状態を示す回路図である。

【図 1 2 A】図 1 2 A は、図 1 1 A に示した第 4 の実施形態による正相側電圧保持回路部および逆相側電圧保持回路部に共通する第 1 の状態を示す等化回路図である。

【図 1 2 B】図 1 2 B は、図 1 1 B に示した第 4 の実施形態による正相側電圧保持回路部および逆相側電圧保持回路部に共通する第 2 の状態を示す等化回路図である。

【図 1 2 C】図 1 2 C は、図 1 1 C に示した第 4 の実施形態による正相側電圧保持回路部および逆相側電圧保持回路部に共通する第 3 の状態を示す等化回路図である。

【図 1 3】図 1 3 は、第 5 の実施形態によるアナログデジタルコンバータの構成を示す機能ブロック図である。

【図 1 4】図 1 4 は、第 5 の実施形態による入力回路部の構成を示す回路図である。

【図 1 5】図 1 5 は、第 6 の実施形態によるアナログデジタルコンバータの構成を示す機能ブロック図である。

【図 1 6】図 1 6 は、第 7 の実施形態による電圧保持回路部およびアナログデジタル変換回路部の構成を示す回路図である。

【図 1 7】図 1 7 は、第 8 の実施形態による電圧保持回路部およびアナログデジタル変換回路部の構成を示す回路図である。

【図 1 8 A】図 1 8 A は、第 8 の実施形態による正相側電圧保持回路部および逆相側電圧保持回路部のそれぞれにおける第 1 状態を示す回路図である。

【図 1 8 B】図 1 8 B は、第 8 の実施形態による正相側電圧保持回路部および逆相側電圧保持回路部のそれぞれにおける第 2 状態を示す回路図である。

【図 1 8 C】図 1 8 C は、第 8 の実施形態による正相側電圧保持回路部および逆相側電圧保持回路部のそれぞれにおける第 3 状態を示す回路図である。

【図 1 9】図 1 9 は、第 10 の実施形態によるアナログデジタル変換回路部の構成を示す回路図である。

【図 20】図 20 は、第 10 の実施形態によるアナログデジタル変換回路部を 2 つ組み合わせたアナログデジタルコンバータの構成を示す機能ブロック図である。

【図 21】図 21 は、第 11 の実施形態によるアナログデジタル変換回路部の構成を示す回路図である。

【図 22】図 22 は、第 12 の実施形態によるコンパレータの構成を示す回路図である。

【図 23】図 23 は、第 13 の実施形態によるコンパレータの構成を示す回路図である。

【図 24】図 24 は、第 14 の実施形態による携帯端末用 RF-IC およびその周辺の回路要素の構成を示す回路図である。

【発明を実施するための形態】

【0024】

以下では、まず、技術的意義の理解を容易にするために、従来のパッシブ増幅回路に起こり得る問題について、従来例 1～3 として説明する。

【0025】

(従来例 1)

非特許文献 1 では、容量素子を用いた信号増幅を単純に実現する方法が説明されている。この方法は、信号サンプリング時に並列接続して用いた容量を直列にスタックし、おおよそ 2 倍の電圧を得るというものである。

【0026】

図 1 A は、従来例 1 によるパッシブ増幅回路の構成例を示す回路図である。

【0027】

図 1 A に示したパッシブ増幅回路の構成要素について説明する。図 1 A に示したパッシブ増幅回路は、第 1 容量素子 C 1 1 と、第 2 容量素子 C 1 2 と、入力端 V i n と、出力端

10

20

30

40

50

V_oと、グラウンドGNDと、第1スイッチS₁₁～第4スイッチS₁₄とを有している。ここで、第1容量素子と、第2容量素子とは、同じ容量を有している。

【0028】

図1Aに示した各構成要素の接続関係について説明する。入力端V_{in}は、第1スイッチS₁₁の一方の端部と、第2スイッチS₁₂の一方の端部とに共通接続されている。出力端V_oは、第1スイッチS₁₁の他方の端部と、第1容量素子C₁₁の一方の端部とに共通接続されている。第2スイッチS₁₂の他方の端部は、第2容量素子C₁₂の一方の端部と、第4スイッチS₁₄の一方の端部とに共通接続されている。第1容量C₁₁の他方の端部は、第3スイッチS₁₃の一方の端部と、第4スイッチS₁₄の他方の端部とに共通接続されている。グラウンドGNDは、第2容量C₁₂の他方の端部と、第3スイッチS₁₃の他方の端部とに共通接続されている。

10

【0029】

図1Aに示したパッシブ増幅回路の動作について説明する。第1スイッチS₁₁～第3スイッチS₁₃は、第1スイッチ群として、その遮断状態および導通状態の切り替えが同時に行われるように、連動して制御される。第4スイッチS₁₄は、第2スイッチ群として、その遮断状態および導通状態の切り替えが第1スイッチ群とは独立して制御される。

【0030】

第1スイッチ群および第2スイッチ群の制御は、図示しない制御回路が生成する第1制御信号および第2制御信号によってそれぞれ行われる。

【0031】

20

図1Bは、図1Aに示した各スイッチ群を制御する制御信号の一例を示すタイムチャートである。図1Bは、第1のグラフ(A)と、第2のグラフ(B)とを含んでいる。

【0032】

図1Bに示した第1のグラフ(A)は、第1制御信号の一例を示している。図1Bに示した第2のグラフ(B)は、第2制御信号の一例を示している。図1Bに示した第1のグラフ(A)および第2のグラフ(B)のそれぞれにおいて、横軸は時間の経過を現し、縦軸は各制御信号の状態を表している。ここでは、各グラフにおいて、各制御信号がロー状態のときは制御される各スイッチが遮断状態になり、同じくハイ状態のときは導通状態になることを表している。

【0033】

30

図1Bに示したタイムチャートの例では、時刻t₀～t₁、t₄～t₅およびt₈以降の各範囲において、第1スイッチS₁₁～第3スイッチS₁₃は遮断状態であり、第4スイッチS₁₄は導通状態である。このとき、図1Aの回路では、第1容量素子C₁₁および第2容量素子C₁₂は、入力端V_{in}およびグラウンドGNDの間に並列に接続されている。図1Aに示したパッシブ増幅回路のこの状態を、並列接続状態と呼ぶ。

【0034】

同様に、時刻t₂～t₃およびt₆～t₇の範囲において、第1容量C₁₁および第2容量C₁₂は、この順番に、出力端V_oおよびグラウンドGNDの間に直列に接続されている。図1Aに示したパッシブ増幅回路のこの状態を、直列接続状態と呼ぶ。

【0035】

40

その他、時刻t₁～t₂、t₃～t₄、t₅～t₆およびt₇～t₈の範囲では、全てのスイッチが遮断状態である。このとき、図1Aの回路では、第1容量素子C₁₁および第2容量素子C₁₂の各端は、入力端V_{in}、出力端V_oおよびグラウンドGNDの全てから遮断されている。図1Aに示したパッシブ増幅回路のこの状態を、遮断状態と呼ぶ。

【0036】

図1Aに示したパッシブ増幅回路では、上記の並列接続状態および直列接続状態を、遮断状態を介して繰り返す。こうすることで、並列接続状態では入力端V_{in}から供給される信号のサンプリングを行い、直列接続状態では直列にスタックされておおよそ2倍に増幅された電圧を出力端V_oから得ることが出来る。

【0037】

50

ここで、図 1 A に示したパッシブ増幅回路で差動信号を増幅する場合は、信号の差動成分だけを増幅することが望ましい。すなわち、差動信号の電圧を $V_{cmi} \pm V_{in}$ と置き、増幅ゲインを G と置くと、所望の出力信号は $V_{cmo} \pm G V_{in}$ である。

【0038】

ところが、図 1 A に示したパッシブ増幅回路では、信号のコモンモード成分も増幅されてしまうので、実際には、出力信号として $G V_{cmi} \pm G V_{in}$ が得られる。その結果、出力ダイナミックレンジが制限される、後段の入力レンジとの整合性を取るために新たにレベルシフト回路が必要となる、などの問題がある。

【0039】

これらの問題を解決するアプローチとして、コモンモードリファレンスを用いて差動信号のみを増幅する 2 つの方法が、非特許文献 1 および特許文献 1 で提案されている。これらの方法を、従来例 2 および 3 として説明する。

【0040】

(従来例 2)

図 2 A は、従来例 2 によるパッシブ増幅回路の構成例を示す回路図である。

【0041】

図 2 A に示したパッシブ増幅回路の構成要素について説明する。図 2 A に示したパッシブ増幅回路は、第 1 容量素子 C_1 ～第 4 容量素子 C_4 と、プラス側入力端 V_{in}^+ と、マイナス側入力端 V_{in}^- と、プラス側出力端 V_{o}^+ と、マイナス側出力端 V_{o}^- と、リファレンス電圧供給端 V_{cm} と、第 1 スイッチ S_1 ～第 8 スイッチ S_8 とを有している。ここで、第 1 容量素子 C_1 ～第 4 容量素子 C_4 は全て同じ容量を有している。プラス側入力端 V_{in}^+ およびマイナス側入力端 V_{in}^- は、入力信号のプラス側電圧およびマイナス側電圧をそれぞれ入力する。プラス側出力端 V_{o}^+ およびマイナス側出力端 V_{o}^- は、出力信号のプラス側電圧およびマイナス側電圧をそれぞれ出力する。リファレンス電圧供給端 V_{cm} は、入力する差動信号のコモンモード成分をリファレンス電圧として供給する。

【0042】

図 2 A に示した各構成要素の接続関係について説明する。プラス側入力端 V_{in}^+ は、第 1 スイッチ S_1 の一方の端部と、第 3 スイッチ S_3 の一方の端部とに共通接続されている。プラス側出力端 V_{o}^+ は、第 3 スイッチ S_3 の他方の端部と、第 3 容量素子 C_3 の一方の端部とに共通接続されている。リファレンス電圧供給端 V_{cm} は、第 5 スイッチ S_5 の一方の端部と、第 6 スイッチ S_6 の一方の端部と、第 7 スイッチ S_7 の一方の端部と、第 8 スイッチ S_8 の一方の端部とに接続されている。第 1 容量素子 C_1 の一方の端部は、第 1 スイッチ S_1 の他方の端部と、第 7 スイッチ S_7 の他方の端部とに共通接続されている。第 1 容量素子 C_1 の他方の端部は、第 5 スイッチ S_5 の他方の端部と、第 2 容量素子 C_2 の一方の端部とに共通接続されている。マイナス側出力端 V_{o}^- は、第 2 容量素子 C_2 の他方の端部と、第 2 スイッチ S_2 の一方の端部とに共通接続されている。第 3 容量素子 C_3 の他方の端部は、第 6 スイッチ S_6 の他方の端部と、第 4 容量素子 C_4 の一方の端部とに共通接続されている。第 4 容量素子 C_4 の他方の端部は、第 7 スイッチ S_7 の他方の端部と、第 4 スイッチ S_4 の一方の端部とに共通接続されている。マイナス側入力端 V_{in}^- は、第 2 スイッチ S_2 の他方の端部と、第 4 スイッチ S_4 の他方の端部とに共通接続されている。

【0043】

図 2 A に示したパッシブ増幅回路の動作について説明する。第 1 スイッチ S_1 ～第 6 スイッチ S_6 は、第 1 スイッチ群として、その遮断状態および導通状態の切り替えが同時に行われるように、連動して制御される。第 7 スイッチ S_7 ～第 8 スイッチ S_8 は、第 2 スイッチ群として、その遮断状態および導通状態の切り替えが同時に行われるように、連動して、ただし第 1 スイッチ群とは独立して制御される。

【0044】

第 1 スイッチ群および第 2 スイッチ群の制御は、図示しない制御回路が生成する第 1 制御信号および第 2 制御信号によってそれぞれ行われる。

10

20

30

40

50

【0045】

図2Bは、図2Aに示した各スイッチ群を制御する制御信号の一例を示すタイムチャートである。図2Bに示したタイムチャートは、図1Bに示したタイムチャートと同じである。また、図2Bに示した各グラフと、上記2つの制御信号と、上記2つのスイッチ群との関係も、図1Bの場合と同様であるので、さらなる詳細な説明を省略する。

【0046】

図2Aに示したパッシブ増幅回路では、時刻 $t_0 \sim t_1$ 、 $t_4 \sim t_5$ および t_8 以降の各範囲において、サンプリング動作を行う。このとき、第1容量素子 C_1 と、第2容量素子 C_2 とは、プラス側入力端 V_{in+} と、マイナス側入力端 V_{in-} との間に直列に接続されており、さらに、2つの容量素子の間のノードにはリファレンス電圧が印加されている。同様に、第3容量素子 C_3 と、第4容量素子 C_4 とは、プラス側入力端 V_{in+} と、マイナス側入力端 V_{in-} との間に直列に接続されており、さらに、2つの容量素子の間のノードにはリファレンス電圧が印加されている。なお、このとき、第1容量素子 C_1 および第2容量素子 C_2 の集合と、第3容量素子 C_3 および第4容量素子 C_4 の集合とは、並列に接続されている。

【0047】

このリファレンス電圧は、プラス側入力端 V_{in+} と、マイナス側入力端 V_{in-} との間に供給される差動信号 $V_{cm} \pm V_{in}$ のコモンモード成分に等しい。したがって、サンプリング時には、第1容量素子 $C_1 \sim$ 第4容量素子 C_4 には、差動信号のうち、差動成分だけが印加される。

【0048】

また、図2Aに示したパッシブ増幅回路では、時刻 $t_2 \sim t_3$ および $t_6 \sim t_7$ の範囲において、増幅動作を行う。このとき、第1容量素子 C_1 および第2容量素子 C_2 は、リファレンス電圧供給端 V_{cm} と、マイナス側出力端 V_{o-} との間に、直列に接続されている。同様に、第3容量素子 C_3 および第4容量素子 C_4 は、リファレンス電圧供給端 V_{cm} と、プラス側出力端 V_{o+} との間に、直列に接続されている。したがって、各出力端では、差動信号のうち、差動成分だけがおよそ2倍に増幅された信号が得られる。

【0049】

(従来例3)

図3Aは、従来例3によるパッシブ増幅回路の構成例を示す回路図である。

【0050】

図3Aに示したパッシブ増幅回路の構成要素について説明する。図3Aに示したパッシブ増幅回路は、第1容量素子 C_1 と、第2容量素子 C_2 と、プラス側入力端 V_{in+} と、マイナス側入力端 V_{in-} と、プラス側出力端 V_{o+} と、マイナス側出力端 V_{o-} と、リファレンス電圧供給端 V_{cm} と、第1スイッチ $S_1 \sim$ 第6スイッチ S_6 とを有している。ここで、第1容量素子 C_1 および第2容量素子 C_2 は全て同じ容量を有している。プラス側入力端 V_{in+} およびマイナス側入力端 V_{in-} は、入力信号のプラス側電圧およびマイナス側電圧をそれぞれ入力する。プラス側出力端 V_{o+} およびマイナス側出力端 V_{o-} は、出力信号のプラス側電圧およびマイナス側電圧をそれぞれ出力する。リファレンス電圧供給端 V_{cm} は、入力する差動信号のコモンモード成分をリファレンス電圧として供給する。

【0051】

図3Aに示した各構成要素の接続関係について説明する。プラス側入力端 V_{in+} は、第1スイッチ S_1 の一方の端部と、第3スイッチ S_3 の一方の端部とに共通接続されている。リファレンス電圧供給端 V_{cm} は、第5スイッチ S_5 の一方の端部と、第6スイッチ S_6 の一方の端部とに接続されている。第1容量素子 C_1 の一方の端部は、第1スイッチ S_1 の他方の端部と、第5スイッチ S_5 の他方の端部とに共通接続されている。マイナス側出力端 V_{o-} は、第1容量素子 C_1 の他方の端部と、第2スイッチ S_2 の一方の端部とに共通接続されている。プラス側出力端 V_{o+} は、第3スイッチ S_3 の他方の端部と、第2容量素子 C_2 の一方の端部とに共通接続されている。第2容量素子 C_2 の他方の端部は

、第4スイッチS4の一方の端部と、第6スイッチS6の他方の端部とに共通接続されている。マイナス側入力端 V_{in-} は、第2スイッチS2の他方の端部と、第4スイッチS4の他方の端部とに共通接続されている。

【0052】

図3Aに示したパッシブ増幅回路の動作について説明する。第1スイッチS1～第4スイッチS4は、第1スイッチ群として、その遮断状態および導通状態の切り替えが同時に行われるように、連動して制御される。第5スイッチS5および第6スイッチS6は、第2スイッチ群として、その遮断状態および導通状態の切り替えが同時に行われるように、連動して、ただし第1スイッチ群とは独立して制御される。

【0053】

第1スイッチ群および第2スイッチ群の制御は、図示しない制御回路が生成する第1制御信号および第2制御信号によってそれぞれ行われる。

【0054】

図3Bは、図3Aに示した各スイッチ群を制御する制御信号の一例を示すタイムチャートである。図3Bに示したタイムチャートは、図1Bに示したタイムチャートと同じである。また、図3Bに示した各グラフと、上記2つの制御信号と、上記2つのスイッチ群との関係も、図1Bの場合と同様であるので、さらなる詳細な説明を省略する。

【0055】

図3Aに示したパッシブ増幅回路では、時刻 $t_0 \sim t_1$ 、 $t_4 \sim t_5$ および t_8 以降の各範囲において、サンプリング動作を行う。このとき、第1容量素子C1と、第2容量素子C2とは、プラス側入力端 V_{in+} と、マイナス側入力端 V_{in-} との間に、並列に接続されている。

【0056】

また、図3Aに示したパッシブ増幅回路では、時刻 $t_2 \sim t_3$ および $t_6 \sim t_7$ の範囲において、増幅動作を行う。このとき、第1容量素子C1は、リファレンス電圧供給端 V_{cm} と、マイナス側出力端 V_o- との間に接続されている。同様に、第1容量素子C1は、プラス側出力端 V_o+ と、リファレンス電圧供給端 V_{cm} との間に接続されている。

【0057】

ここで、リファレンス電圧供給端 V_{cm} から印加されるリファレンス電圧は、プラス側入力端 V_{in+} と、マイナス側入力端 V_{in-} との間に供給される差動信号 $V_{cm} \pm V_{in}$ のコモンモード成分に等しい。したがって、図3Aに示したパッシブ増幅回路では、増幅動作時において、おおよそ2倍に増幅された差動信号から増幅前のコモンモード成分に相当するリファレンス電圧が差し引かれることによって、差動成分だけが増幅された差動信号が得られる。

【0058】

従来例3によるパッシブ増幅回路では、従来例2の場合と比較して、総容量面積を低減できるメリットがある。また、信号あたりの KT/C 雑音（熱雑音）を一定とする条件で比較すると、従来例3の必要容量は、従来例2の $1/4$ で済むので、さらなる面積上のアドバンテージがある。

【0059】

このように、従来例2および従来例3では、サンプリング周波数程度の高速な充放電がコモンモードリファレンスに対して起こる。リファレンス電圧の整定不足は増幅後の信号精度の劣化を引き起こすため、十分な電流供給能力を有し、かつ、高速で応答するリファレンス電圧源を用意する必要がある。このことは、LDO（Low Drop Out：ロードロップアウト）レギュレータなどの新たな回路の追加や、多ピン化につながり、コストが増大する。

【0060】

これに加えて、1V程度の低電源電圧で駆動する近年の微細プロセスにおいては、問題点がもう一つある。微細プロセスでは、電源電圧に対するMOS閾値が比較的高い。したがって、コモンモードとして選択される電圧レベル（電源電圧が1Vの場合、0.4～0

10

20

30

40

50

． 6 V 程度）をバイパスするスイッチのオン抵抗を下げるのが難しい。例えば、従来例 2 の第 7 スイッチ S 7 および第 8 スイッチ S 8 や、従来例 3 の第 5 スイッチ S 5 および第 6 スイッチ S 6 は、増幅動作時においてオン状態であるが、現実的なスイッチサイズを用いてオン抵抗を下げることは難しく、整定スピードの低下や、熱雑音に起因する雑音特性の劣化などが引き起こされる。

【 0 0 6 1 】

上記の問題のうち、リファレンス電圧に関する前者の問題を、以降、第 1 問題点と呼ぶ。また、オン抵抗に関する後者の問題を、第 2 問題点と呼ぶ。第 1 の実施形態では、第 1 問題点を解決する手法を提案する。また、第 2 の実施形態では、第 1 問題点および第 2 問題点を解決する手法を提案する。

10

【 0 0 6 2 】

添付図面を参照して、本発明によるバッシブ増幅回路を実施するための形態を以下に説明する。

【 0 0 6 3 】

以下に、容量を用いたスイッチング動作によって、入力差動電圧信号を G 倍に増幅する手法を提案する。ここで、G はゲインであって、その値は $1 < G < 2$ の範囲に含まれる。

【 0 0 6 4 】

必要とするリファレンス電圧は、電源電圧とグラウンドレベルの 2 種類のみであって、他の基準電圧を必要としない。近年の微細プロセスでは、電源電圧へのロバスト性向上のため、電源電圧に関しては I C チップ内の L D O から供給されるのが一般的であり、電源電圧レベルのリファレンスの使用は大きな問題とならない。

20

【 0 0 6 5 】

（第 1 の実施形態）

図 4 A は、第 1 の実施形態によるバッシブ増幅回路の構成例を示す回路図である。この構成は、先に述べたとおり、高速放充電の必要なコモンモードリファレンスを何ら必要とせず、入力信号の差動信号成分のみを増幅する回路である。図 4 A に示すバッシブ増幅器は、図 9 に示すアナログデジタルコンバータの電圧保持回路部 V H として用いられるものである。ここではシングルエンドの信号の場合が示されているが、アナログデジタル変換回路部 A D C に差動信号が入力される場合は、必要に応じて 2 つのバッシブ増幅回路が用いられる。

30

【 0 0 6 6 】

図 4 A に示したバッシブ増幅回路の構成要素について説明する。図 4 A に示したバッシブ増幅回路は、第 1 容量素子 C 1 ～第 4 容量素子 C 4 と、第 1 スイッチ S 1 ～第 7 スイッチ S 7 と、入力端 V i n と、出力端 V o と、電源 V d d と、グラウンド G N D とを有している。ここで、入力端 V i n は、入力信号を入力する。出力端 V o は、アナログデジタル変換回路部 A D C へ出力信号を出力する。電源 V d d は、電源電圧を供給する。グラウンド G N D は、グラウンド電圧を供給する。

【 0 0 6 7 】

図 4 A に示した各構成要素の接続関係について説明する。入力端 V i n は、第 1 スイッチ S 1 の一方の端部と、第 2 スイッチ S 2 の一方の端部と、第 3 スイッチ S 3 の一方の端部とに共通接続されている。出力端 V o は、第 1 スイッチ S 1 の他方の端部と、第 1 容量素子 C 1 の一方の端部と、第 3 容量素子 C 3 の一方の端部とに共通接続されている。第 2 スイッチ S 2 の他方の端部は、第 6 スイッチ S 6 の一方の端部と、第 2 容量素子 C 2 の一方の端部とに共通接続されている。第 3 スイッチ S 3 の他方の端部は、第 7 スイッチ S 7 の一方の端部と、第 4 容量素子 C 4 の一方の端部とに共通接続されている。第 1 容量素子 C 1 の他方の端部は、第 4 スイッチ S 4 の一方の端部と、第 6 スイッチ S 6 の他方の端部とに共通接続されている。第 2 容量素子 C 2 の他方の端部は、第 4 スイッチ S 4 の他方の端部と、グラウンド G N D とに共通接続されている。第 3 容量素子 C 3 の他方の端部は、第 5 スイッチ S 5 の一方の端部と、第 7 スイッチ S 7 の他方の端部とに共通接続されている。第 4 容量素子 C 4 の他方の端部は、第 5 スイッチ S 5 の他方の端部と、電源 V d d とに

40

50

共通接続されている。

【0068】

図4Aに示したパッシブ増幅回路の動作について説明する。第1スイッチS1～第5スイッチS5は、第1スイッチ群として、その遮断状態および導通状態の切り替えが同時に行われるように、連動して制御される。第6スイッチS6および第7スイッチS7は、第2スイッチ群として、その遮断状態及び導通状態の切り替えが同時に行われるように連動して、ただし第1スイッチ群とは独立して制御される。

【0069】

第1スイッチ群および第2スイッチ群の制御は、図示しない制御回路が生成する第1制御信号および第2制御信号によってそれぞれ行われる。

10

【0070】

図4Bは、図4Aに示した各スイッチ群を制御する制御信号の一例を示すタイムチャートである。図4Bに示したタイムチャートは、図1Bに示したタイムチャートと同じである。また、図4Bに示した各グラフと、上記2つの制御信号と、上記2つのスイッチ群との関係も、図1Bの場合と同様であるので、さらなる詳細な説明を省略する。

【0071】

図4Aに示したパッシブ増幅回路では、時刻 $t_0 \sim t_1$ 、 $t_4 \sim t_5$ および t_8 以降の各範囲において、入力端Vinから入力する入力信号のサンプリング動作を行う。このとき、第1容量素子C1および第2容量素子C2は、入力端VinおよびグランドGNDの間に並列に接続されている。また、第3容量素子C3および第4容量素子C4は、入力端Vinおよび電源Vddの間に並列に接続されている。

20

【0072】

また、図4Aに示したパッシブ増幅回路では、時刻 $t_2 \sim t_3$ および $t_6 \sim t_7$ の範囲において、増幅動作を行う。このとき、第1容量素子C1および第2容量素子は、出力端VoおよびグランドGNDの間に直列に接続されている。また、第3容量素子C3および第4容量素子C4は、電源Vddおよび出力端Voの間に直列に接続されている。

【0073】

ここで、第1容量素子C1および第2容量素子C2のそれぞれにおける容量値を同じCaと置き、第3容量素子C3および第4容量素子C4のそれぞれにおける容量値を同じCbと置く。さらに、サンプリング動作時に第1容量素子C1～第4容量素子C4に充電された電荷量と、同じく増幅動作時に充電されている電荷量とについて計算すると、電荷総量の保存式から、増幅動作時における出力端Voの電圧は、 $2(V_{in} + V_{dd} \times C_a / (C_a + C_b))$ と導出される。

30

【0074】

すなわち、容量値CaおよびCbを適切に選ぶことで、出力信号のコモンモード電圧を設計することが可能である。これにより、同相電圧シフト回路部VSの機能を持つことが可能となる。さらに、このような増幅機能を有する容量のセットと並列に、増幅機能を持たない容量を接続し、これらの容量値を適切に選ぶことで、増幅回路としての電圧ゲインを1～2倍の範囲内で設計することも可能となる。

【0075】

40

(第2の実施形態)

図5Aは、第2の実施形態によるパッシブ増幅回路の構成例を示す回路図である。この構成では、第1の実施形態でも解決された第1問題点に加えて、第2問題点であるオン抵抗の問題をも解決し、また、コモンモードリファレンス電圧も必要ない。図5Aに示すパッシブ増幅器は、図9に示すアナログデジタルコンバータの電圧保持回路部VHとして用いられるものである。

【0076】

図5Aに示したパッシブ増幅回路の構成要素について説明する。図5Aに示したパッシブ増幅回路は、第1容量素子C1～第4容量素子C4と、第1スイッチS1～第10スイッチS10と、プラス側入力端Vin⁺と、マイナス側入力端Vin⁻と、プラス側出力

50

端 V_{o+} と、マイナス側出力端 V_{o-} と、電源 V_{dd} と、グランド GND とを有している。ここで、プラス側入力端 V_{in+} およびマイナス側入力端 V_{in-} は、入力信号のプラス側電圧およびマイナス側電圧をそれぞれ入力する。プラス側出力端 V_{o+} およびマイナス側出力端 V_{o-} は、出力信号のプラス側電圧およびマイナス側電圧をそれぞれアナログデジタル変換回路部 ADC へ出力する。電源 V_{dd} は、電源電圧を供給する。グランド GND は、グランド電圧を供給する。

【0077】

図5Aに示した各構成要素の接続関係について説明する。プラス側入力端 V_{in+} は、第1スイッチ $S1$ の一方の端部と、第2スイッチ $S2$ の一方の端部と、第3スイッチ $S3$ の一方の端部とに共通接続されている。電源 V_{dd} は、第7スイッチ $S7$ の一方の端部と、第9スイッチ $S9$ の一方の端部とに接続されている。グランド GND は、第8スイッチ $S8$ の一方の端部と、第10スイッチ $S10$ の一方の端部とに接続されている。第1容量素子 $C1$ の一方の端部は、第1スイッチ $S1$ の他方の端部と、第7スイッチ $S7$ の他方の端部とに接続されている。第2容量素子 $C2$ の一方の端部は、第2スイッチ $S2$ の他方の端部と、第8スイッチ $S8$ の他方の端部とに接続されている。プラス側出力端 V_{o+} は、第3スイッチ $S3$ の他方の端部と、第3容量素子 $C3$ の一方の端部と、第4容量素子 $C4$ の一方の端部とに共通接続されている。マイナス側出力端 V_{o-} は、第1容量素子 $C1$ の他方の端部と、第2容量素子 $C2$ の他方の端部と、第4スイッチ $S4$ の一方の端部とに共通接続されている。第3容量素子 $C3$ の他方の端部は、第5スイッチ $S5$ の一方の端部と、第9スイッチ $S9$ の他方の端部とに共通接続されている。第4容量素子 $C4$ の他方の端部は、第6スイッチ $S6$ の一方の端部と、第10スイッチ $S10$ の他方の端部とに共通接続されている。マイナス側入力端 V_{in-} は、第4スイッチ $S4$ の他方の端部と、第5スイッチ $S5$ の他方の端部と、第6スイッチ $S6$ の他方の端部とに共通接続されている。

【0078】

図5Aに示したパッシブ増幅回路の動作について説明する。第1スイッチ $S1$ ～第6スイッチ $S6$ は、第1スイッチ群として、その遮断状態および導通状態の切り替えが同時に行われるように、連動して制御される。第7スイッチ $S7$ ～第10スイッチ $S10$ は、第2スイッチ群として、その遮断状態及び導通状態の切り替えが同時に行われるように連動して、ただし第1スイッチ群とは独立して制御される。

【0079】

第1スイッチ群および第2スイッチ群の制御は、図示しない制御回路が生成する第1制御信号および第2制御信号によってそれぞれ行われる。

【0080】

図5Bは、図5Aに示した各スイッチ群を制御する制御信号の一例を示すタイムチャートである。図5Bに示したタイムチャートは、図1Bに示したタイムチャートと同じである。また、図5Bに示した各グラフと、上記2つの制御信号と、上記2つのスイッチ群との関係も、図1Bの場合と同様であるので、さらなる詳細な説明を省略する。

【0081】

図5Aに示したパッシブ増幅回路では、時刻 $t_0 \sim t_1$ 、 $t_4 \sim t_5$ および t_8 以降の各範囲において、入力端 V_{in} から入力する入力信号のサンプリング動作を行う。このとき、第1容量素子 $C1$ ～第4容量素子 $C4$ は、プラス側入力端 V_{in+} と、マイナス側入力端 V_{in-} との間に、それぞれ並列に接続されている。

【0082】

ここで、高速入力信号を高精度でサンプリング処理するためには、ブーストスイッチを用いるのが一般的である。しかし、昇圧電圧を生成するためには、サンプリングスイッチの寄生容量に対して十分大きな容量を昇圧ブロック内にインプリメントする必要がある。このため、ブーストスイッチは面積のコストが大きい。本実施形態においても、高速信号を高精度にサンプリング処理するためには、第1スイッチ $S1$ ～第6スイッチ $S6$ としてブーストスイッチを使用する必要がある。しかし、接続先が同じブーストスイッチの昇圧ブロックは共通利用が可能である。したがって、増幅機構のないサンプリングブロックと

比較して、大きな面積のオーバーヘッドとはならず済む。

【0083】

また、図5Aに示したバッシブ増幅回路では、時刻 $t_2 \sim t_3$ および $t_6 \sim t_7$ の範囲において、増幅動作を行う。このとき、電源 V_{dd} と、第1容量素子 C_1 と、マイナス側出力端 V_o^- と、第2容量素子 C_2 と、グランド GND とは、この順番に直列に接続されている。また、電源 V_{dd} と、第3容量素子 C_3 と、プラス側出力端 V_o^+ と、第4容量素子 C_4 と、グランド GND についても、この順番に直列に接続されている。

【0084】

このとき、プラス側出力端 V_o^+ およびマイナス側出力端 V_o^- のそれぞれにおける電圧は、入力差動信号を増幅した電圧となる。

10

【0085】

ここで、第1容量素子 C_1 および第3容量素子 C_3 のそれぞれにおける容量値を同じ C_a と置き、第2容量素子 C_2 および第4容量素子 C_4 のそれぞれにおける容量値を同じ C_b と置く。さらに、サンプリング動作時に第1容量素子 $C_1 \sim$ 第4容量素子 C_4 に充電された電荷量と、同じく増幅動作時に充電されている電荷量とについて計算すると、電荷総量の保存式から、増幅動作時における出力端 V_o の電圧は、 $2(\pm V_{in} + V_{dd} \times C_a / (C_a + C_b))$ と導出される。

【0086】

したがって、第1の実施形態の場合と同様に、本実施形態でも、容量値 C_a および C_b を適切に選ぶことで、出力信号のコモンモード電圧を設計することが可能である。これにより、同相電圧シフト回路部 VS の機能を持つことが可能となる。さらに、このような増幅機能を有する容量のセットと並列に、増幅機能を持たない容量を接続し、これらの容量値を適切に選ぶことで、増幅回路としての電圧ゲインを設計することも可能となる。

20

【0087】

次に、アナログデジタルコンバータの各種実施形態について説明する。これらのアナログデジタルコンバータには、第1および第2の実施形態で提案したバッシブ増幅回路を組み合わせても良い。

【0088】

添付図面を参照して、本発明によるアナログデジタルコンバータを実施するための形態を以下に説明する。

30

【0089】

(第3の実施形態)

図6は、第3の実施形態によるアナログデジタルコンバータの構成を示す機能ブロック図である。図6に示したアナログデジタルコンバータの構成要素について説明する。

【0090】

図6に示したアナログデジタルコンバータは、入力バッファ回路部 IB と、電圧保持回路部 VH と、アナログデジタル変換回路部 ADC と、デジタル補正回路部 DC とを含んでいる。電圧保持回路部 VH は、サンプリング回路部 S と、ホールド回路部 H と、バッシブ増幅回路部 PA とを含んでいる。ここで、サンプリング回路部 S と、ホールド回路部 H と、バッシブ増幅回路部 PA とは、必ずしも明確に分離出来るとは限らず、それぞれの構成要素の一部または全てが共有されていても構わない。

40

【0091】

図6に示したアナログデジタルコンバータの構成要素の接続関係について説明する。入力バッファ回路部 IB の後段には、電圧保持回路部 VH が接続されている。電圧保持回路部 VH の後段には、アナログデジタル変換回路部 ADC が接続されている。アナログデジタル変換回路部 ADC の後段には、デジタル補正回路部 DC が接続されている。

【0092】

図6に示したアナログデジタルコンバータの構成要素の動作について説明する。入力バッファ回路部 IB は、電圧保持回路部 VH のサンプリング容量を高速かつ高精度に駆動するために、入力信号のバッファリングを行う。ただし、本実施形態において入力バッファ

50

回路部 I B は必須構成要素ではなく、省略も可能である。電圧保持回路部 V H は、入力信号の電圧値および対応する電荷値を実効的に保持する。より具体的には、電圧保持回路部 V H は入力信号のサンプリングをサンプリング回路部 S で行い、サンプリングされた入力信号の電圧値および対応する電荷値をホールド回路部 H で実効的に保持し、保持された入力信号電圧をバッシブ増幅回路部 P A でバッシブ増幅する。アナログデジタル変換回路部 A D C は、電荷シェア型逐次比較アナログデジタル変換を行い、アナログ信号をデジタル信号に変換する。デジタル補正回路部 D C は、高い有効分解能を目指す場合に、アナログデジタル変換回路部 A D C 内の容量値のばらつきによりもたらされるデジタル信号の歪みを補正する。

【0093】

図7は、第3の実施形態による電圧保持回路部 V H およびアナログデジタル変換回路部 A D C の構成を示す回路図である。図7に示した回路図の構成要素について説明する。電圧保持回路部 V H は、正相側電圧保持回路部 V H a と、逆相側電圧保持回路部 V H b とを含んでいる。

【0094】

正相側電圧保持回路部 V H a の構成要素について説明する。正相側電圧保持回路部 V H a は、第1および第2の正相側容量 V H a C 1 および V H a C 2 と、第1～第5の正相側スイッチ V H a S W 1 ～ V H a S W 5 とを含んでいる。逆相側電圧保持回路部 V H b は、第1および第2の逆相側容量 V H b C 1 および V H b C 2 と、第1～第5の逆相側スイッチ V H b S W 1 ～ V H b S W 5 とを含んでいる。

【0095】

アナログデジタル変換回路部 A D C は、第1～第 n のビット比較回路部 B C 1 ～ B C n と、コンパレータ C M P と、制御回路部 C N T とを含んでいる。ここで、「n」は変換後のデジタル値のビット桁の総数を示す整数である。

【0096】

第1ビット比較回路部 B C 1 の構成要素について説明する。第1ビット比較回路部 B C 1 は、容量 B C 1 C と、第1～第6のスイッチ B C 1 S W 1 ～ B C 1 S W 6 とを含んでいる。なお、第1～第 n のビット比較回路部 B C 1 ～ B C n の構成要素は、容量 B C 1 C ～ B C n C の容量値や各ビット用のスイッチサイズは異なるものの、全て同じである。すなわち、1～nのビット桁を添え字「i」で表すとき、容量 B C i C の容量値は容量 B C (i - 1) C の約半分である。第1以外のビット比較回路部 B C i のさらなる詳細な説明は省略する。

【0097】

図7に示した電圧保持回路部 V H およびアナログデジタル変換回路部 A D C の構成要素の接続関係について説明する。

【0098】

まず、正相側電圧保持回路部 V H a の構成要素の接続関係について説明する。正相側電圧保持回路部 V H a の入力部は、第1の正相側スイッチ V H a S W 1 における一方の端部と、第2の正相側スイッチ V H a S W 2 における一方の端部とに共通接続されている。第1の正相側スイッチ V H a S W 1 における他方の端部は、第3の正相側スイッチ V H a S W 3 における一方の端部と、第1の正相側容量 V H a C 1 における一方の端部とに共通接続されている。第3の正相側スイッチ V H a S W 3 における他方の端部は、第4の正相側スイッチ V H a S W 4 における一方の端部と、第2の正相側容量 V H a C 2 における一方の端部とに共通接続されている。第1の正相側容量 V H a C 1 における他方の端部は、接地されている。第4の正相側スイッチ V H a S W 4 における他方の端部は、接地されている。第2の正相側スイッチ V H a S W 2 における他方の端部と、第2の正相側容量 V H a C 2 における他方の端部とは、第5の正相側スイッチ V H a S W 5 における一方の端部に共通接続されている。第5の正相側スイッチ V H a S W 5 における他方の端部は、正相側電圧保持回路部 V H a の出力部に接続されている。

【0099】

逆相側電圧保持回路部VHbの構成要素の接続関係は、正相側電圧保持回路部VHaの場合と同様であるので、さらなる詳細な説明を省略する。

【0100】

次に、アナログデジタル変換回路部ADCの接続関係について説明する。正相側電圧保持回路部VHaの出力部は、第1～第nのビット比較回路部のそれぞれにおける非反転側入力部と、コンパレータCMPにおける非反転側入力部とに共通接続されている。逆相側電圧保持回路部VHbの出力部は、第1～第nのビット比較回路部のそれぞれにおける反転側入力部と、コンパレータCMPにおける反転側入力部とに共通接続されている。コンパレータCMPにおける出力部は、制御回路部CNTにおける入力部に接続されている。制御回路部CNTにおける出力部は、アナログデジタル変換回路部ADCにおける出力部に接続されている。

10

【0101】

第1ビット比較回路部BC1の構成要素の接続関係について説明する。第1のスイッチBC1SW1における一方の端部は、電源VDDに接続されている。第2のスイッチBC1SW2における一方の端部は、接地されている。第3のスイッチBC1SW3および第4のスイッチBC1SW4のそれぞれにおける一方の端部は、正相側電圧保持回路部VHaの出力部に接続されている。第5のスイッチBC1SW5および第6のスイッチBC1SW6のそれぞれにおける一方の端部は、逆相側電圧保持回路部VHbの出力部に接続されている。第1のスイッチBC1SW1、第3のスイッチBC1SW3および第5のスイッチBC1SW5のそれぞれにおける他方の端部は、容量BC1Cにおける一方の端部に接続されている。第2のスイッチBC1SW2、第4のスイッチBC1SW4および第6のスイッチBC1SW6のそれぞれにおける他方の端部は、容量BC1Cにおける他方の端部に接続されている。

20

【0102】

第1～第nのビット比較回路部BC1～BCnの構成要素の接続関係は同様であるので、さらなる詳細な説明を省略する。

【0103】

第3の実施形態によるアナログデジタルコンバータの動作について説明する。まず、入力バッファ回路部IBが、アナログ信号を入力してバッファリングする。入力バッファ回路部IBは、入力したアナログ信号が示すアナログ値に対応する電圧を、電圧保持回路部VHに向けて出力する。

30

【0104】

第3の実施形態による電圧保持回路部VHの動作について説明する。電圧保持回路部VHは、アナログ入力信号のサンプリングをサンプリング回路部Sで行い、サンプリングされた電圧の保持動作をホールド回路部Hで行い、バッシブ増幅回路部PAで保持電圧のバッシブ増幅を行う。より具体的には、電圧保持回路部VHは、図8Aおよび図8Bに示す第1状態と、図8Cおよび図8Dに示す第2状態とを交互に切り替えることで、サンプリング、電圧保持およびバッシブ増幅を行う。

【0105】

図8Aは、第3の実施形態による正相側電圧保持回路部VHaおよび逆相側電圧保持回路部VHbのそれぞれにおける第1状態を示す回路図である。図8Aに示した回路図は、入力部と、第1の容量C1と、第2の容量C2と、第1～第4のスイッチSW1～SW4と、出力部とを含んでいる。ここで、図8Aに示した入力部および出力部は、図7に示した正相側電圧保持回路部VHaおよび逆相側電圧保持回路部VHbのそれぞれにおける入力部および出力部に、それぞれ対応する。図8Aに示した第1の容量C1および第2の容量C2は、図7に示した第1の正相側容量VHaC1および第1の逆相側容量VHbC1ならびに第2の正相側容量VHaC2および第2の逆相側容量VHbC2に、それぞれ対応する。図8Aに示した第1～第4のスイッチSW1～SW4は、図7に示した第1～第4の正相側スイッチVHaSW1～VHaSW4および第1～第4の逆相側スイッチVHbSW1～VHbSW4に、それぞれ対応する。

40

50

【0106】

図8Aの回路図に示した第1状態では、第1のスイッチSW1、第2のスイッチSW2および第4のスイッチSW4が導通状態で、第3のスイッチSW3が遮断状態である。なお、このとき、図7に示した第5の正相側スイッチVHaSW5および第5の逆相側スイッチVHbSW5は、遮断状態であることが望ましい。

【0107】

図8Bは、第3の実施形態による正相側電圧保持回路部VHaおよび逆相側電圧保持回路部VHbのそれぞれにおける第1状態に対応する等価回路図である。図8Bに示した等価回路図は、入力部と、第1の容量C1と、第2の容量C2とを含んでいる。ここで、図8Aの場合と同様に、図8Bに示した入力部と、第1の容量C1と、第2の容量C2とは、正相側電圧保持回路部VHaおよび逆相側電圧保持回路部VHbのそれぞれにおける入力部と、第1の正相側容量VHaC1および第1の逆相側容量VHbC1と、第2の正相側容量VHaC2および第2の逆相側容量VHbC2とにそれぞれ対応する。なお、第1状態では正相側電圧保持回路部VHaおよび逆相側電圧保持回路部VHbのそれぞれにおける第5の正相側スイッチVHaSW5および第5の逆相側スイッチVHbSW5が遮断状態であるので、図8Bでは出力部の図示を省略する。

10

【0108】

図8Aおよび図8Bに示した第1状態では、2つの容量C1およびC2のそれぞれにおいて、一方の端部は入力部に接続されており、他方の端部は接地されている。言い換えれば、図8Aおよび図8Bに示した第1状態において、2つの容量C1およびC2は、入力部と、グラウンドとの間に、並列に接続されている。

20

【0109】

図8Cは、第3の実施形態による正相側電圧保持回路部VHaおよび逆相側電圧保持回路部VHbのそれぞれにおける第2状態を示す回路図である。図8Cに示した回路図は、第1の容量C1と、第2の容量C2と、第1～第4のスイッチSW1～SW4とを含んでいる。ここで、図8Cに示した第1の容量C1と、第2の容量C2とは、図7に示した第1の正相側容量VHaC1および第1の逆相側容量VHbC1と、第2の正相側容量VHaC2および第2の逆相側容量VHbC2とに、それぞれ対応する。図8Cに示した第1～第4のスイッチSW1～SW4は、図7に示した第1～第4の正相側スイッチVHaSW1～VHaSW4および第1～第4の逆相側スイッチVHbSW1～VHbSW4に、それぞれ対応する。

30

【0110】

図8Cの回路図に示した第1状態では、第1のスイッチSW1、第2のスイッチSW2および第4のスイッチSW4が遮断状態で、第3のスイッチSW3が導通状態である。なお、図7に示した第5の正相側スイッチVHaSW5および第5の逆相側スイッチVHbSW5は、アナログデジタル変換処理時に導通状態に設定される。

【0111】

図8Dは、第3の実施形態による正相側電圧保持回路部VHaおよび逆相側電圧保持回路部VHbのそれぞれにおける第2状態に対応する等価回路図である。図8Dに示した等価回路図は、第1の容量C1および第2の容量C2を含んでいる。ここで、図8Cの場合と同様に、第1の容量C1と、第2の容量C2は、第1の正相側容量VHaC1および第1の逆相側容量VHbC1と、第2の正相側容量VHaC2および第2の逆相側容量VHbC2とにそれぞれ対応する。

40

【0112】

図8Cおよび図8Dに示した第2状態では、第1の容量C1における一方の端部は接地されており、第1の容量C1における他方の端部は第2の容量C2における一方の端部に接続されており、第2の容量C2における他方の端部は出力部に接続されている。言い換えれば、図8Cおよび図8Dに示した第2状態において、2つの容量C1およびC2は、出力部と、グラウンドとの間に、直列に接続されている。

【0113】

50

ここでは、一例として、第1および第2の容量C1およびC2の容量値が等しく、電源VDDの電圧が1.2Vであり、入力信号の電圧が0~0.6Vの範囲で変動する場合のバッシブ増幅について説明する。

【0114】

まず、第1状態では、第1の容量C1および第2の容量C2が、図6に示した入力バッファ回路部IBが出力するアナログ信号の電圧を印加されて並列に充電される。このとき、並列に接続された第1の容量C1と、第2の容量C2とは、0~0.6Vの範囲に含まれる同値のサンプリング電圧で充電される。

【0115】

次に、第2状態では、第1のスイッチSW1および第2のスイッチSW2が遮断されて、第1の容量C1および第2の容量C2の充電が終了し、すなわちサンプリング動作が完了する。また、第3のスイッチSW3および第4のスイッチSW4の状態が切り替わり、第1の容量C1および第2の容量C2の接続関係が並列から直列に切り替わる。このとき、直列に接続された第1および第2の容量C1およびC2の両端部間電圧は、0~1.2Vの範囲に含まれていることになり、すなわちバッシブ増幅が行われている。さらに、第5スイッチSW5の状態が切り替わり、バッシブ増幅された電圧が実効的に保持されて、後段のアナログデジタル変換回路部に印加される。

【0116】

このように、アナログデジタル変換動作に先立って、入力信号の電圧振幅を2倍に増幅しておくことによって、コンパレータCMPが生成する雑音の入力換算値を半減出来る。その結果、有効分解能が1ビット分程度増加し、すなわちアナログデジタル変換の精度が2倍になる。バッシブ増幅は、容量素子のつなぎ換えだけで実現出来るので、消費電流やチップサイズの増加を伴わない。

【0117】

なお、バッシブ増幅の比率は、第1および第2の容量C1およびC2の容量値の比率によって決定する。上記のように2つの容量値が同じであれば、バッシブ増幅の比率は約2倍となる。バッシブ増幅の比率は、2つの容量値の比率を適宜に調節することによって自由に変更可能である。

【0118】

図7に示した本実施形態によるアナログデジタル変換回路部ADCは、一般的な電荷シェア型逐次比較アナログデジタル変換回路の場合と同様に動作する。このとき、第1のビット比較回路部BC1に対応するMSBから第nのビット比較回路部BCnに対応するLSBまで逐次、コンパレータCMPが容量の両端部間の電圧を比較する際に、制御回路部CNTが各スイッチの導通状態および遮断状態を適宜に切り替える。

【0119】

第3の実施形態では、第1の容量C1と、第2の容量C2とで、容量値は同じである。したがって、バッシブ増幅後に得られる電圧は、バッシブ増幅前の約2倍である。アナログデジタル変換回路部ADCによるアナログデジタル変換の前に、アナログ値を表す電圧を2倍にバッシブ増幅したことによって、コンパレータCMPによる比較動作で生成される雑音の入力換算値を半分に抑えることが出来る。その結果、アナログデジタル変換の精度が2倍となるので、有効分解能が1ビット程度増加する。

【0120】

また、バッシブ増幅は、容量素子の繋ぎ替えだけで実現出来るので、消費電力やチップサイズの増加を必要としない。なお、バッシブ増幅で状態が切り替わるスイッチ群の制御は、アナログデジタル変換回路部ADCに含まれる制御回路部CNTや、図示されない他の制御回路部などによって行われても良い。

【0121】

(第4の実施形態)

図9は、第4の実施形態によるアナログデジタルコンバータの構成を示す機能ブロック図である。図9に示した本実施形態によるアナログデジタルコンバータは、図6に示した

10

20

30

40

50

第3の実施形態によるアナログデジタルコンバータに、同相電圧シフト回路部VSを追加したものに等しい。ここで、本実施形態による同相電圧シフト回路部VSは、電圧保持回路部VHに含まれている。図9に示した本実施形態によるアナログデジタルコンバータのその他の構成については、図6に示した第3の実施形態の場合と同様であるので、さらなる詳細な説明を省略する。

【0122】

図10は、第4の実施形態による電圧保持回路部VHおよびアナログデジタル変換回路部ADCの構成を示す回路図である。図9に示した本実施形態による電圧保持回路部VHは、図7に示した第3の実施形態による電圧保持回路部VHに、以下の変更を加えたものに等しい。

10

【0123】

すなわち、まず、本実施形態による電圧保持回路部VHのうち、正相側電圧保持回路部VHaについては、図7に示した第3の実施形態による正相側電圧保持回路部VHaに正相側インバータVHaIと、第3の正相側容量VHaC3と、第4の正相側容量VHaC4と、第6～第8の正相側スイッチVHaSW6～VHaSW8とを加える。

【0124】

ここで、正相側インバータVHaIの入力部は、図示されない制御信号生成部に接続されている。正相側インバータVHaIの出力部は、第3の正相側容量VHaC3の一方の端部に接続されている。第3の正相側容量VHaC3の他方の端部と、第6の正相側スイッチVHaSW6の一方の端部とは、第1の正相側容量VHaC1の一方の端部と、第1の正相側スイッチVHaSW1の他方の端部と、第3の正相側スイッチVHaSW3の一方の端部とに共通接続されている。第7の正相側スイッチVHaSW7の一方の端部は、電源VDDに接続されている。第8の正相側スイッチVHaSW8の一方の端部は、接地されている。第6の正相側スイッチVHaSW6の他方の端部と、第7の正相側スイッチVHaSW7の他方の端部と、第8の正相側スイッチVHaSW8の他方の端部とは、第4の正相側容量VHaC4の一方の端部に共通接続されている。第4の正相側容量VHaC4の他方の端部は、第2の正相側容量VHaC2の一方の端部と、第2の正相側スイッチVHaSW2の他方の端部と、第5の正相側スイッチVHaSW5の一方の端部とに共通接続されている。

20

【0125】

また、本実施形態による電圧保持回路部VHのうち、逆相側電圧保持回路部VHbについては、図7に示した第3の実施形態による逆相側電圧保持回路部VHbに逆相側インバータVHbIと、第3の逆相側容量VHbC3と、第4の逆相側容量VHbC4と、第6～第8の逆相側スイッチVHbSW6～VHbSW8とを加える。

30

【0126】

ここで、逆相側インバータVHbIの入力部は、図示しない制御信号生成部に接続されている。逆相側インバータVHbIの出力部は、第3の逆相側容量VHbC3の一方の端部に接続されている。第3の逆相側容量VHbC3の他方の端部と、第6の逆相側スイッチVHbSW6の一方の端部とは、第1の逆相側容量VHbC1の一方の端部と、第1の逆相側スイッチVHbSW1の他方の端部と、第3の逆相側スイッチVHbSW3の一方の端部とに共通接続されている。第7の逆相側スイッチVHbSW7の一方の端部は、電源VDDに接続されている。第8の逆相側スイッチVHbSW8の一方の端部は、接地されている。第6の逆相側スイッチVHbSW6の他方の端部と、第7の逆相側スイッチVHbSW7の他方の端部と、第8の逆相側スイッチVHbSW8の他方の端部とは、第4の逆相側容量VHbC4の一方の端部に共通接続されている。第4の逆相側容量VHbC4の他方の端部は、第2の逆相側容量VHbC2の一方の端部と、第2の逆相側スイッチVHbSW2の他方の端部と、第5の逆相側スイッチVHbSW5の一方の端部とに共通接続されている。

40

【0127】

なお、本実施形態による電圧保持回路部VHのその他の構成については、図7に示した

50

第 3 の実施形態の場合と同様であるので、さらなる詳細な説明を省略する。

【0128】

以上の変更を加えたことで、本実施形態による電圧保持回路部 V H が同相電圧シフト回路部 V S としての機能を有することを説明する。

【0129】

図 1 1 A は、第 4 の実施形態による正相側電圧保持回路部 V H a および逆相側電圧保持回路部 V H b に共通する第 1 の状態を示す回路図である。図 1 1 B は、第 4 の実施形態による正相側電圧保持回路部 V H a および逆相側電圧保持回路部 V H b に共通する第 2 の状態を示す回路図である。図 1 1 C は、第 4 の実施形態による正相側電圧保持回路部 V H a および逆相側電圧保持回路部 V H b に共通する第 3 の状態を示す回路図である。

10

【0130】

図 1 1 A ～ 図 1 1 C に示した回路図は、第 1 ～ 第 4 の容量 C 1 ～ C 4 と、第 1 ～ 第 8 のスイッチ S W 1 ～ S W 8 と、インバータ I N V とを含んでいる。ここで、図 1 1 A ～ 図 1 1 C に示した第 1 ～ 第 4 の容量 C 1 ～ C 4 は、図 1 0 に示した第 1 ～ 第 4 の正相側容量 V H a C 1 ～ V H a C 4 と、同じく図 1 0 に示した第 1 ～ 第 4 の逆相側容量 V H b C 1 ～ V H b C 4 とに、それぞれ対応する。図 1 1 A ～ 図 1 1 C に示した第 1 ～ 第 8 のスイッチ S W 1 ～ S W 8 は、図 1 0 に示した第 1 ～ 第 8 の正相側スイッチ V H a S W 1 ～ V H a S W 8 と、同じく図 1 0 に示した第 1 ～ 第 8 の逆相側スイッチ V H b S W 1 ～ V H b S W 8 とに、それぞれ対応する。図 1 1 A ～ 図 1 1 C に示したインバータ I N V は、図 1 0 に示した正相側インバータ V H a I と、同じく図 1 0 に示した逆相側インバータ V H b I とに、それぞれ対応する。図 1 1 A ～ 図 1 1 C に示した構成要素の接続関係は、図 1 0 に示した正相側電圧保持回路部 V H a および逆相側電圧保持回路部 V H b の場合と同様であるので、さらなる詳細な説明を省略する。

20

【0131】

図 1 1 A の回路図が示す第 1 の状態において、第 1、第 2、第 4 および第 7 のスイッチ S W 1、S W 2、S W 4 および S W 7 は導通状態にあり、第 3、第 5、第 6 および第 8 のスイッチ S W 3、S W 5、S W 6 および S W 8 は遮断状態にあり、インバータ I N V の入力信号はロー状態にある。図 1 1 B の回路図が示す第 2 の状態において、第 4 および第 8 のスイッチ S W 4 および S W 8 は導通状態にあり、第 1 ～ 第 3 および第 5 ～ 第 7 のスイッチ S W 1 ～ S W 3 および S W 5 ～ S W 7 は遮断状態にあり、インバータ I N V の入力信号はハイ状態にある。図 1 1 C の回路図が示す第 3 の状態において、第 3、第 5 および第 6 のスイッチ S W 3、S W 5 および S W 6 は導通状態にあり、第 1、第 2、第 4、第 7 および第 8 のスイッチ S W 1、S W 2、S W 4、S W 7 および S W 8 は遮断状態にあり、インバータ I N V の入力信号はハイ状態にある。

30

【0132】

図 1 2 A は、図 1 1 A に示した第 4 の実施形態による正相側電圧保持回路部 V H a および逆相側電圧保持回路部 V H b に共通する第 1 の状態を示す等化回路図である。図 1 2 B は、図 1 1 B に示した第 4 の実施形態による正相側電圧保持回路部 V H a および逆相側電圧保持回路部 V H b に共通する第 2 の状態を示す等化回路図である。図 1 2 C は、図 1 1 C に示した第 4 の実施形態による正相側電圧保持回路部 V H a および逆相側電圧保持回路部 V H b に共通する第 3 の状態を示す等化回路図である。

40

【0133】

図 1 2 A ～ 図 1 2 C に示した等価回路図は、第 1 ～ 第 4 の容量 C 1 ～ C 4 を含んでいる。ここで、図 1 2 A ～ 図 1 2 C に示した第 1 ～ 第 4 の容量 C 1 ～ C 4 は、図 1 1 A ～ 図 1 1 C の場合と同様に、図 1 0 に示した第 1 ～ 第 4 の正相側容量 V H a C 1 ～ V H a C 4 と、同じく図 1 0 に示した第 1 ～ 第 4 の逆相側容量 V H b C 1 ～ V H b C 4 とに、それぞれ対応する。

【0134】

図 1 2 A の等価回路に示した第 1 の状態では、第 1 ～ 第 4 の容量 C 1 ～ C 4 のそれぞれにおける一方の端部が、正相側電圧保持回路部 V H a または逆相側電圧保持回路部 V H b

50

の入力部に接続されている。第 1 および第 2 の容量 C 1 および C 2 のそれぞれにおける他方の端部は、接地されている。第 3 および第 4 の容量 C 3 および C 4 のそれぞれにおける他方の端部は、電源 V D D に接続されている。

【0135】

図 1 2 A では、これらの容量 C 1 ～ C 4 のそれぞれにおいて、上記「一方の端部」を「T」で示している。なお、この表記は、後述する図 1 2 B および図 1 2 C においても同様である。

【0136】

ここでは、一例として、第 1 ～第 4 の容量 C 1 ～ C 4 のそれぞれにおける容量値が同じであり、電源 V D D の電圧が 1. 2 V であり、入力電圧が 0. 3 ～ 0. 9 V の範囲で変動する場合について説明する。

10

【0137】

第 1 の状態において、入力電圧のサンプリングが行われる。すなわち、第 1 の状態において、第 1 および第 2 の容量 C 1 および C 2 は、正相側電圧保持回路部 V H a または逆相側電圧保持回路部 V H b が入力する電圧が印加される。この電圧は、0. 3 ～ 0. 9 V の範囲に含まれている。また、第 3 および第 4 の容量 C 3 および C 4 は、電源 V D D の電圧と、正相側電圧保持回路部 V H a または逆相側電圧保持回路部 V H b が入力する電圧との電圧差が印加される。この電圧差を計算すると、以下のような結果が得られる。

$$1. 2 - 0. 3 = 0. 9$$

$$1. 2 - 0. 9 = 0. 3$$

20

したがって、この電圧も、0. 3 ～ 0. 9 V の範囲に含まれている。

【0138】

第 1 の状態におけるサンプリングが完了すると、第 2 の状態に移行する。

【0139】

図 1 2 B の等価回路に示した第 2 の状態では、第 1 および第 3 の容量 C 1 および C 3 のそれぞれにおける一方の端部は互いに接続されており、第 2 および第 4 の容量 C 2 および C 4 のそれぞれにおける一方の端部も互いに接続されており、第 1 ～第 4 の容量 C 1 ～ C 4 のそれぞれにおける他方の端部が接地されている。言い換えれば、第 3 および第 4 の容量 C 3 および C 4 の接続先が、電源側から接地側につなが換えられる。

【0140】

30

第 1 の状態から第 2 の状態に移行することで、同相電圧シフトが行われる。すなわち、第 2 の状態において、第 1 および第 3 の容量 C 1 および C 3 のそれぞれにおいて電圧値が均等となるまで、第 1 および第 3 の容量 C 1 および C 3 の間で電荷が移動する。同様に、第 2 および第 4 の容量 C 2 および C 4 の間でも電荷が移動する。その結果、この例では、第 1 ～第 4 の容量 C 1 ～ C 4 のそれぞれにおける電圧範囲が、入力信号の電圧範囲 0. 3 ～ 0. 9 V から 0. 3 V 分下落して 0 ～ 0. 6 V にシフトする。ここで、シフト後の電圧範囲は、グラウンド電圧から電源電圧までのレンジの前半に等しいので、この後にパッシブ 2 倍増幅を行っても V D D の電圧 1. 2 V に対してオーバーレンジとならない。

【0141】

図 1 2 C の等価回路に示した第 3 の状態では、第 2 および第 4 の容量 C 2 および C 4 のそれぞれにおける一方の端部は出力部に接続されている。第 2 および第 4 の容量 C 2 および C 4 のそれぞれにおける他方の端部ならびに第 1 および第 3 の容量 C 1 および C 3 のそれぞれにおける一方の端部は互いに接続されている。第 1 および第 3 の容量 C 1 および C 3 のそれぞれにおける他方の端部は接地されている。

40

【0142】

第 3 の状態において、同相電圧シフト後の電圧がパッシブ増幅されて保持される。すなわち、第 3 の状態において、第 1 ～第 4 の容量 C 1 ～ C 4 の電圧がそれぞれ 0 ～ 0. 6 V の範囲にあり、かつ、第 1 ～第 4 の容量 C 1 ～ C 4 の容量値は同じであるので、直列接続への切り替えにより出力部の電圧は 2 倍に増幅されて、その範囲は 0 ～ 1. 2 V に広がる。

50

【0143】

上記の例が示すように、本実施形態による電圧保持回路部VHは、同相電圧シフトおよびバッシブ増幅を用いて、電圧値が0.3～0.9Vの範囲で変動する入力信号を、電圧値が0～1.2Vの範囲に変動する出力信号に変換して保持することが可能である。

【0144】

第4の実施形態においても、第3の実施形態の場合と同様に、入力信号の電圧振幅を予め2倍に増幅しておくことで、コンパレータが生成する雑音の入力換算値を半減出来る。その結果、有効分解能が1ビット分程度増加し、すなわち、アナログデジタル変換の精度が2倍になる。また、同相電圧シフトおよびバッシブ増幅は、いずれも容量素子のつなぎ換えだけで実現出来るので、消費電流やチップサイズの増加を伴わない。

10

【0145】

ここで、第3の実施形態の場合と同様に、本実施形態におけるバッシブ増幅の比率は、第1～第4の容量C1～C4の容量値の比率によって決定し、また、この比率を適宜に調節することによって自由に変更可能である。

【0146】

アナログデジタル変換回路部ADCの動作については、第3の実施形態の場合と同様であるので、さらなる詳細な説明を省略する。

【0147】

(第5の実施形態)

図13は、第5の実施形態によるアナログデジタルコンバータの構成を示す機能ブロック図である。図13に示したアナログデジタルコンバータの構成は、図6に示した第3の実施形態によるアナログデジタルコンバータに、以下の変更を加えたものに等しい。すなわち、図6に示したアナログデジタルコンバータに、同相電圧シフト回路部VSを加える。ここで、同相電圧シフト回路部VSは、電圧保持回路部VHの前段に設けられている。電圧保持回路部VHの前段に設けられた同相電圧シフト回路部VSと、入力バッファ回路部IBとをまとめて、入力回路部Iと呼ぶ。

20

【0148】

図13に示したアナログデジタルコンバータのその他の構成は、図6に示した第3の実施形態の場合と同様であるので、さらなる詳細な説明を省略する。

【0149】

図14は、第5の実施形態による入力回路部Iの構成を示す回路図である。図14に示した入力回路部Iの構成要素について説明する。

30

【0150】

図14に示した入力回路部Iは、正相側オペアンプOAaと、第1～第4の正相側抵抗Ra1～Ra4と、第1および第2の正相側電源Va1およびVa2と、逆相側オペアンプOAbと、第1～第4の逆相側抵抗Rb1～Rb4と、第1および第2の逆相側電源Vb1およびVb2とを含んでいる。このうち、第4の正相側抵抗Ra4と、第2の正相側電源Va2とをまとめて、正相側同相電圧シフト回路部Vsaと呼ぶ。同様に、第4の逆相側抵抗Rb4と、第2の逆相側電源Vb2とをまとめて、逆相側同相電圧シフト回路部Vsbと呼ぶ。

40

【0151】

図14に示した入力回路部Iの構成要素の接続関係について説明する。入力回路部Iの正相側入力部は、第1の正相側抵抗Ra1の一方の端部に接続されている。第1の正相側抵抗Ra1の他方の端部は、第2の正相側抵抗Ra2の一方の端部と、第4の正相側抵抗Ra4の一方の端部と、正相側オペアンプOAaの非反転側入力部とに共通接続されている。第4の正相側抵抗Ra4の他方の端部は、第2の正相側電源Va2のプラス側端部に接続されている。第2の正相側電源Va2のマイナス側端部は、接地されている。第1の正相側電源Va1のプラス側端部は、正相側オペアンプOAaの反転側入力部に接続されている。第1の正相側電源Va1のマイナス側端部は、接地されている。正相側オペアンプOAaの出力部は、第2の正相側抵抗Ra2の他方の端部と、第3の正相側抵抗Ra3

50

の一方の端部とに共通接続されている。第 3 の正相側抵抗 R_{a3} の他方の端部は、入力回路部 I の正相側出力部に接続されている。

【0152】

入力回路部 I の逆相側入力部は、第 1 の逆相側抵抗 R_{b1} の一方の端部に接続されている。第 1 の逆相側抵抗 R_{b1} の他方の端部は、第 2 の逆相側抵抗 R_{b2} の一方の端部と、第 4 の逆相側抵抗 R_{b4} の一方の端部と、逆相側オペアンプ OAb の非反転側入力部とに共通接続されている。第 4 の逆相側抵抗 R_{b4} の他方の端部は、第 2 の逆相側電源 V_{b2} のプラス側端部に接続されている。第 2 の逆相側電源 V_{b2} のマイナス側端部は、接地されている。第 1 の逆相側電源 V_{b1} のプラス側端部は、逆相側オペアンプ OAb の反転側入力部に接続されている。第 1 の逆相側電源 V_{b1} のマイナス側端部は、接地されている。逆相側オペアンプ OAb の出力部は、第 2 の逆相側抵抗 R_{b2} の他方の端部と、第 3 の逆相側抵抗 R_{b3} の一方の端部とに共通接続されている。第 3 の逆相側抵抗 R_{b3} の他方の端部は、入力回路部 I の逆相側出力部に接続されている。

10

【0153】

本実施形態による入力回路部 I の正相側回路部において、入力バッファ機能は、第 2 の正相側抵抗 R_{a2} によって抵抗帰還される正相側オペアンプ OaA で実現される。また、同相電圧シフト機能は、正相側同相電圧シフト回路部 VSa が正相側オペアンプ OaA の反転側入力部に接続されることによって実現される。このとき、正相側同相電圧シフト回路部 VSa に含まれる第 2 の正相側電源 V_{a2} および第 4 の正相側抵抗 R_{a4} は、正相側シフト用直流電圧源および正相側シフト用抵抗としてそれぞれ機能する。正相側オペアンプ OaA による加算回路動作によって、同相電圧の加算が行われる。正相側シフト用直流電圧源として機能する第 2 の正相側電源 V_{a2} の電圧値を適切に設定することで、所望の負の同相電圧を加算することが出来る。

20

【0154】

同様に、本実施形態による入力回路部 I の逆相側回路部において、入力バッファ機能は、第 2 の逆相側抵抗 R_{b2} によって抵抗帰還される逆相側オペアンプ OAb で実現される。また、同相電圧シフト機能は、逆相側同相電圧シフト回路部 VSb が逆相側オペアンプ OAb の反転側入力部に接続されることによって実現される。このとき、逆相側同相電圧シフト回路部 VSb に含まれる第 2 の逆相側電源 V_{b2} および第 4 の逆相側抵抗 R_{b4} は、逆相側シフト用直流電圧源および逆相側シフト用抵抗としてそれぞれ機能する。逆相側オペアンプ OAb による加算回路動作によって、同相電圧の加算が行われる。逆相側シフト用直流電圧源として機能する第 2 の逆相側電源 V_{b2} の電圧値を適切に設定することで、所望の負の同相電圧を加算することが出来る。

30

【0155】

なお、図 14 に示した例では、シングルエンドのオペアンプを用いているが、完全差動型のオペアンプを用いた場合も同様に同相電圧シフトを行うことが可能である。

【0156】

第 5 の実施形態においても、第 3 または第 4 の実施形態の場合と同様に、入力信号の電圧振幅を予め 2 倍に増幅しておくことで、コンパレータが生成する雑音の入力換算値を半減出来る。その結果、有効分解能が 1 ビット分程度増加し、すなわち、アナログデジタル変換の精度が 2 倍になる。また、パッシブ増幅は、容量素子のつなぎ換えだけで実現出来るので、消費電流やチップサイズの増加を伴わない。

40

【0157】

(第 6 の実施形態)

図 15 は、第 6 の実施形態によるアナログデジタルコンバータの構成を示す機能ブロック図である。図 15 に示したアナログデジタルコンバータは、図 9 に示した第 4 の実施形態によるアナログデジタルコンバータからデジタル補正回路部 DC を取り除いたものである。なお、図 15 に示した本実施形態によるアナログデジタルコンバータのその他の構成は、図 9 に示した第 4 の実施形態の場合と同様であるので、さらなる詳細な説明を省略する。

50

【0158】

図15に示した本実施形態のアナログデジタルコンバータは、デジタル補正回路部を持たないため、アナログデジタル変換回路部ADCの容量ばらつきによって生じるデジタル信号のゆがみを除去出来ず、したがって例えば11ビット以上の高い有効分解能は得られない。しかし、本実施形態でも、第1～第5の実施形態の場合と同様に、電圧保持回路部VHで行われるパッシブ増幅によってコンパレータCMPの雑音による影響を半減出来る。したがって、本実施形態によれば、例えば10ビット程度以下の有効分解能を有するアナログデジタルコンバータを、より低い消費電力で実現することが出来る。

【0159】

(第7の実施形態)

図16は、第7の実施形態による電圧保持回路部VHおよびアナログデジタル変換回路部ADCの構成を示す回路図である。なお、本実施形態によるアナログデジタルコンバータの全体的な構成は、図9に示した第4の実施形態の場合と同様であるので、図示およびさらなる詳細な説明を省略する。

【0160】

図16に示した本実施形態による電圧保持回路部VHの構成は、図10に示した第4の実施形態の場合と同様であるので、さらなる詳細な説明を省略する。

【0161】

図16に示した本実施形態によるアナログデジタル変換回路部ADCの構成要素について説明する。

【0162】

図16に示した本実施形態によるアナログデジタル変換回路部ADCは、第1～第nの正相側ビット比較回路部BCa1～BCanと、第1～第nの逆相側ビット比較回路部BCb1～BCbnと、コンパレータCMPと、制御回路部CNTとを含んでいる。

【0163】

第1の正相側ビット比較回路部BCa1の構成要素について説明する。第1の正相側ビット比較回路部BCa1は、容量BCa1Cと、第1～第5のスイッチBCa1SW1～BCa1SW5とを含んでいる。

【0164】

第1の正相側ビット比較回路部BCa1の構成要素の接続関係について説明する。正相側電圧保持回路部VHaの出力部は、第1および第2のスイッチBCa1SW1およびBCa1SW2のそれぞれにおける一方の端部に共通接続されている。第1のスイッチBCa1SW1の他方の端部は、第3および第5のスイッチBCa1SW3およびBCa1SW5のそれぞれにおける一方の端部と、容量BCaCの一方の端部とに共通接続されている。第2のスイッチBCa1SW2の他方の端部は、第4のスイッチBCa1SW4の一方の端部と、容量BCaCの他方の端部とに共通接続されている。第3のスイッチBCa1SW3の他方の端部は、電源VDDに接続されている。第4のスイッチBCa1SW4の他方の端部は、接地されている。第5のスイッチBCa1SW5の他方の端部は、接地されている。

【0165】

第2～第nの正相側ビット比較回路部BCa2～BCanの構成は、第1の正相側ビット比較回路部BCa1の場合と同様であるので、さらなる詳細な説明を省略する。また、第1～第nの逆相側ビット比較回路部BCb1～BCbnの構成も、第1～第nの正相側ビット比較回路部BCa1～BCanの場合と同様であるので、さらなる詳細な説明を省略する。

【0166】

コンパレータCMPの非反転側入力部は、正相側電圧保持回路部VHaの出力部に接続されている。コンパレータCMPの反転側入力部は、逆相側電圧保持回路部VHbの出力部に接続されている。コンパレータCMPの出力部は、制御回路部CNTの入力部に接続されている。制御回路部の制御信号出力部は、第1～第nの正相側ビット比較回路部BC

10

20

30

40

50

a 1 ～ B C a n のそれぞれおよび第 1 ～ 第 n の逆相側ビット比較回路部 B C b 1 ～ B C b n のそれぞれにおける第 1 ～ 第 5 のスイッチの図示しない制御信号入力部に接続されている。

【0167】

このように、本実施形態によるアナログデジタル変換回路部 A D C に含まれる各容量は対グランド型であり、差動ノード間にフローティング接続されている第 4 の実施形態の場合とは異なり、各差動ノードおよびグランドとの間にそれぞれ接続されている。

【0168】

本実施形態によるアナログデジタルコンバータは、第 4 の実施形態の場合と比較して、2 つの利点を有している。第 1 の利点は、本実施形態の方が、増幅率の、2 倍からの低下を、より少なく出来る。一般的に、電価シェア型逐次比較アナログデジタル変換では、M S B から L S B へ向かう変換ステップの進行とともに、サンプリング容量と、各デジタルアナログ変換用容量との間の電荷シェアが進む。このため、パッシブ増幅を行わない場合は、L S B 判定時点での実効的な信号利得が、以下の数式 (1) のとおり、1 倍よりも低下する。

【0169】

【数 1】

$$Gain_conv = \frac{C_s}{C_{total}} = \frac{C_s}{C_s + 2 \sum_i 2C_i} = \frac{C_s}{C_s + 4 \sum_i C_i} \quad (1)$$

10

20

【0170】

上記の数式 (1) において、「G a i n _ C o n v」は実効的な信号利得を表し、「C s」はサンプリング容量値を表し、「C i」は i ビット目の判定を行うためのデジタルアナログ変換用容量の容量値を表す。第 4 の実施形態のようにパッシブ増幅を行う場合は、実効利得は以下の数式 (2) のように求められる。

【0171】

【数 2】

$$Gain_amp = \frac{\frac{1}{2}C_s}{C_{total}} = \frac{\frac{1}{2}C_s}{\frac{1}{4}C_s + 2 \sum_i C_i} = \frac{C_s}{\frac{1}{2}C_s + 4 \sum_i C_i} \quad (2)$$

30

【0172】

第 4 の実施形態に対して、本実施形態では、実効利得は以下の数式 (3) のように求められる。

【0173】

【数 3】

$$Gain_amp = \frac{\frac{1}{2}C_s}{C_{total}} = \frac{\frac{1}{2}C_s}{\frac{1}{4}C_s + \sum_i C_i} = \frac{C_s}{\frac{1}{2}C_s + 2 \sum_i C_i} \quad (3)$$

40

【0174】

このように、本実施形態で得られる実効利得は、第 4 の実施形態の場合よりも高い。第 4 の実施形態のようなフローティング型の容量デジタルアナログ変換では、差動信号から

50

見た容量値はフローティング容量値の 2 倍に見え、それが電荷シェアに係るからである。

【0175】

第 2 の利点は、MSB から LSB へ向かう変換ステップの進行とともに、同相電圧が降下することである。その理由は、やはりサンプリング容量と、各デジタルアナログ変換容量との間で、電荷シェアが進むためである。パッシブ増幅後の同相電圧は、 $V_{DD}/2$ であるが、これは、MOS を用いた各スイッチのオン抵抗を小さくする上では好ましくない。第 4 の実施形態の場合、各デジタルアナログ変換容量が差動回路間でフローティング接続されているので、同相成分から見るとオープン接続に見える。そのため、同相電圧は変換ステップが進行しても $V_{DD}/2$ のままである。しかし、本実施形態では、同相電圧は、以下の数式 (4) に従い、変換ステップの序盤において速やかに 0.4 V 程度の十分に小さい値に降下する。そのため、NMOS スwitch のゲートソース間電圧が大きくなり、同じスイッチサイズでオン抵抗を小さく出来、アナログデジタル変換レートを高速化出来る。

【0176】

【数 4】

$$V_{CM} = \frac{1}{2} V_{DD} \cdot \frac{\frac{1}{4} C_s}{\frac{1}{4} C_s + \sum_i C_i} = \frac{1}{2} V_{DD} \cdot \frac{C_s}{C_s + 4 \sum_i C_i} \quad (4)$$

【0177】

(第 8 の実施形態)

図 17 は、第 8 の実施形態による電圧保持回路部 VH およびアナログデジタル変換回路部 ADC の構成を示す回路図である。なお、本実施形態によるアナログデジタルコンバータの全体的な構成については、図 9 に示した第 4 の実施形態の場合と同様であるので、さらなる詳細な説明を省略する。

【0178】

図 17 に示した本実施形態による電圧保持回路部 VH およびアナログデジタル変換回路部 ADC の構成要素について説明する。本実施形態による電圧保持回路部 VH は、図 10 に示した第 4 の実施形態による電圧保持回路部 VH に、以下の変更を加えたものに等しい。すなわち、第 2 の正相側スイッチ VH a SW 2 の一方の端部の接続先を、正相側電圧保持回路部 VH a の入力部から、第 1 の正相側スイッチ VH a SW 1 の他方の端部に変更する。また、第 2 の逆相側スイッチ VH b SW 2 の一方の端部の接続先を、逆相側電圧保持回路部 VH b の入力部から、第 1 の逆相側スイッチ VH b SW 1 の他方の端部に変更する。

【0179】

図 17 に示した本実施形態による電圧保持回路部 VH のその他の構成は、図 10 に示した第 4 の実施形態の場合と同様であるので、さらなる詳細な説明を省略する。また、図 17 に示した本実施形態によるアナログデジタル変換回路部 ADC の構成も、図 10 に示した第 4 の実施形態の場合と同様であるので、さらなる詳細な説明を省略する。

【0180】

本実施形態による正相側電圧保持回路部 VH a では、第 1 および第 3 の正相側容量 VH a C 1 および VH a C 3 が、第 1 の正相側スイッチ VH a SW 1 を介して正相側電圧保持回路部 VH a の入力部に接続されている。しかし、第 2 および第 4 の正相側容量 VH a C 2 および VH a C 4 は、第 1 の正相側スイッチ VH a SW 1 に加えて第 2 の正相側スイッチ VH a SW 2 をも介して正相側電圧保持回路部 VH a の入力部に接続されている。

【0181】

本実施形態による逆相側電圧保持回路部 VH b についても、正相側電圧保持回路部 VH a の場合と同様であるので、さらなる詳細な説明を省略する。

【0182】

本実施形態による電圧保持回路部VHは、第1および第2の正相側スイッチVHaSW1およびVHaSW2と、第1および第2の逆相側スイッチVHbSW1およびVHbSW2とのそれぞれにおける状態を適宜に切り替えることによって、サンプリング動作と、同相電圧シフト動作と、パッシブ増幅動作とを、順次行うことが可能である。

【0183】

本実施形態による電圧保持回路部VHの動作について説明する。図18Aは、第8の実施形態による正相側電圧保持回路部VHaおよび逆相側電圧保持回路部VHbのそれぞれにおける第1状態を示す回路図である。図18Bは、第8の実施形態による正相側電圧保持回路部VHaおよび逆相側電圧保持回路部VHbのそれぞれにおける第2状態を示す回路図である。図18Cは、第8の実施形態による正相側電圧保持回路部VHaおよび逆相側電圧保持回路部VHbのそれぞれにおける第3状態を示す回路図である。

10

【0184】

図18A～図18Cは、第4の実施形態による正相側電圧保持回路部VHaおよび逆相側電圧保持回路部VHbのそれぞれにおける第1、第2および第3の状態をそれぞれ示す図11A～図11Cに、以下の変更を加えたものに等しい。すなわち、第2のスイッチSW2の一方の端部の接続先を、正相側電圧保持回路部VHaまたは逆相側電圧保持回路部VHbの入力部から、第1のスイッチSW1の他方の端部に変更する。図18A～図18Cのそれぞれに示されるその他の構成要素と、これらの構成要素の接続関係とについては、図11～図11Cのそれぞれと同様であるので、さらなる詳細な説明を省略する。

20

【0185】

図18Aに示した第1状態において、第2のスイッチSW2は導通状態であり、その他の第1および第3～第8のスイッチSW1およびSW3～SW8の状態は、図11Aに示した第4の実施形態の場合と同じである。したがって、図18Aに示した第1状態における正相側電圧保持回路部VHaおよび逆相側電圧保持回路部VHbの等価回路は、図12Aに示した第4の実施形態の場合と同様である。すなわち、図18Aに示した本実施形態における第1状態でも、第4の実施形態の場合と同様に、入力電圧のサンプリングが行われる。

【0186】

図18Bに示した第2状態において、第2のスイッチSW2は導通状態であり、その他の第1および第3～第8のスイッチSW1およびSW3～SW8の状態は、図11Bに示した第4の実施形態の場合と同じである。

30

【0187】

図18Cに示した第3状態において、第2のスイッチSW2は遮断状態であり、その他の第1および第3～第8のスイッチSW1およびSW3～SW8の状態は、図11Cに示した第4の実施形態の場合と同じである。したがって、図18Cに示した第3状態における正相側電圧保持回路部VHaおよび逆相側電圧保持回路部VHbの等価回路は、図12Cに示した第4の実施形態の場合と同様である。すなわち、図18Cに示した本実施形態における第3状態でも、第4の実施形態の場合と同様に、同相電圧シフト後の電圧がパッシブ増幅されて保持される。

40

【0188】

このように、本実施形態による電圧保持回路部VHも、第4の実施形態の場合と同様に動作するので、第4の実施形態と同様の作用効果が得られる。

【0189】

(第9の実施形態)

第9の実施形態によるアナログデジタルコンバータの全体的な構成は、図9に示した第4の実施形態の場合と同様であるので、さらなる詳細な説明を省略する。本実施形態による電圧保持回路部VHの構成は、図10に示した第4の実施形態による電圧保持回路部VHに以下の変更を加えたものに等しい。すなわち、第1～第4の正相側容量VHaC1～VHaC4と、第1～第4の逆相側容量VHbC1～VHbC4とのそれぞれにおいて、

50

容量値を変更する。具体的には、

第1の正相側容量 $VH a C 1$ の容量値 $= 2 \times$ 第2の正相側容量 $VH a C 2$ の容量値

第3の正相側容量 $VH a C 3$ の容量値 $= 2 \times$ 第4の正相側容量 $VH a C 4$ の容量値

第1の逆相側容量 $VH b C 1$ の容量値 $= 2 \times$ 第2の逆相側容量 $VH b C 2$ の容量値

第3の逆相側容量 $VH b C 3$ の容量値 $= 2 \times$ 第4の逆相側容量 $VH b C 4$ の容量値

とする。

【0190】

本実施形態による電圧保持回路部 VH のその他の構成は、図9に示した第4の実施形態の場合と同様であるので、さらなる詳細な説明を省略する。

【0191】

本実施形態によるアナログデジタルコンバータは、パッシブ2倍増幅も含め、第4の実施形態の場合と同様の動作が行えるので、第4の実施形態の場合と同様の効果が得られる。

【0192】

(第10の実施形態)

図19は、第10の実施形態によるアナログデジタル変換回路部 ADC の構成を示す回路図である。なお、本実施形態によるアナログデジタルコンバータの全体的な構成については、図9に示した第4の実施形態の場合と同様であるので、さらなる詳細な説明を省略する。図19に示した本実施形態によるアナログデジタル変換回路部 ADC の構成要素について説明する。

【0193】

図19に示した本実施形態によるアナログデジタル変換回路部 ADC は、図10に示した第4の実施形態によるアナログデジタル変換回路部 ADC に、以下の変更を加えたものに等しい。すなわち、第1～第 n のビット比較回路部 $BC 1 \sim BC n$ と並列に接続されたデジタル補正用直流シフト印加回路部 OS を追加する。

【0194】

図19に示した本実施形態によるデジタル補正用直流シフト印加回路部 OS の構成要素について説明する。図19に示した本実施形態によるデジタル補正用直流シフト印加回路部 OS は、容量 OSC と、第1～第7のスイッチ $OSSW 1 \sim OSSW 7$ を含んでいる。

【0195】

図19に示した本実施形態によるデジタル補正用直流シフト印加回路部 OS の構成要素の接続関係について説明する。第1のスイッチ $OSSW 1$ の一方の端部は、電源 VDD に接続されている。第2のスイッチ $OSSW 2$ の一方の端部は、接地されている。第3および第4のスイッチ $OSSW 3$ および $OSSW 4$ のそれぞれにおける一方の端部は、アナログデジタル変換回路部 ADC の正相側入力部に共通接続されている。第5および第6のスイッチ $OSSW 5$ および $OSSW 6$ のそれぞれにおける一方の端部は、アナログデジタル変換回路部 ADC の逆相側入力部に共通接続されている。第7のスイッチ $OSSW 7$ の一方の端部は、接地されている。第1、第3、第5および第7のスイッチ $OSSW 1$ 、 $OSSW 3$ 、 $OSSW 5$ および $OSSW 7$ のそれぞれにおける他方の端部は、容量 OSC の一方の端部に共通接続されている。第2、第4および第6のスイッチ $OSSW 2$ 、 $OSSW 4$ および $OSSW 6$ のそれぞれにおける他方の端部は、容量 OSC の他方の端部に共通接続されている。

【0196】

図19に示した本実施形態によるアナログデジタル変換回路部 ADC のその他の構成については、図10に示した第4の実施形態の場合と同様であるので、さらなる詳細な説明を省略する。

【0197】

本実施形態によるデジタル補正用直流シフト印加回路部 OS は、非特許文献3などに示された方法でデジタル補正を行うために、デジタル補正用直流シフト電圧を印加する。本実施形態によるアナログデジタル変換方法では、まず、パッシブ増幅までは第4の実施形

10

20

30

40

50

態の場合と同様に行う。パッシブ増幅の完了後、MSBからのビット判定動作に先立ち、デジタル補正用直流シフト印加回路部OSの容量OSCに予め充電されている電荷を、サンプリング動作で用いた電圧保持回路部VHに含まれる各容量とシェアする。こうすることで、容量OSCに充電されている電荷の形で設定されるデジタル補正用直流シフトを、入力信号に実効的に印加出来る。

【0198】

本実施形態による構成を用いることで、アナログデジタル変換回路部ADCに含まれる各容量の容量値ばらつきをデジタル補正することが可能となる。

【0199】

本実施形態のさらなる発展形としては、図19に示したアナログデジタル変換回路部ADCを2つ備えるシステムも考えられる。

【0200】

図20は、第10の実施形態によるアナログデジタル変換回路部ADCを2つ組み合わせたアナログデジタルコンバータの構成を示す機能ブロック図である。図20に示したアナログデジタルコンバータの構成要素について説明する。

【0201】

図20に示した第10の実施形態によるアナログデジタルコンバータは、I軸側入力バッファ回路部IBiと、Q軸側入力バッファ回路部IBqと、第1および第2のI軸側スイッチSWi1およびSWi2と、第1および第2のQ軸側スイッチSWq1およびSWq2と、I軸側電圧保持回路部VHiと、Q軸側電圧保持回路部VHqとを含んでいる。図20に示した第10の実施形態によるアナログデジタルコンバータは、さらに、I軸側アナログデジタル変換回路部ADCiと、Q軸側アナログデジタル変換回路部ADCqと、I軸側デジタル補正回路部DCiと、Q軸側デジタル補正回路部DCqと、加減算器ASとを含んでいる。

【0202】

ここで、I軸側電圧保持回路部VHiは、I軸側サンプリング回路部Siと、I軸側ホールド回路部Hiと、I軸側同相電圧シフト回路部VSiと、I軸側パッシブ増幅回路部PAiとを含んでいる。同様に、Q軸側電圧保持回路部VHqは、Q軸側サンプリング回路部Sqと、Q軸側ホールド回路部Hqと、Q軸側同相電圧シフト回路部VSqと、Q軸側パッシブ増幅回路部PAqとを含んでいる。

【0203】

図20に示した第10の実施形態によるアナログデジタルコンバータの構成要素の接続関係について説明する。アナログデジタルコンバータのI軸側入力部は、I軸側入力バッファ回路部IBiの入力部に接続されている。I軸側入力バッファ回路部IBiの出力部は、第1のI軸側スイッチSWi1の一方の端部に接続されている。第1のI軸側スイッチSWi1の他方の端部は、第2のI軸側スイッチSWi2の一方の端部と、I軸側電圧保持回路部VHiの入力部とに共通接続されている。

【0204】

アナログデジタルコンバータのQ軸側入力部は、Q軸側入力バッファ回路部IBqの入力部に接続されている。Q軸側入力バッファ回路部IBqの出力部は、第1のQ軸側スイッチSWq1の一方の端部に接続されている。第1のQ軸側スイッチSWq1の他方の端部は、第2のQ軸側スイッチSWq2の一方の端部と、Q軸側電圧保持回路部VHqの入力部とに共通接続されている。

【0205】

アナログデジタルコンバータの補正用信号入力部は、第2のI軸側スイッチSWi2の他方の端部と、第2のQ軸側スイッチSWq2の他方の端部とに、共通接続されている。

【0206】

I軸側電圧保持回路部VHiの出力部は、I軸側アナログデジタル変換回路部ADCiの入力部に接続されている。アナログデジタルコンバータのI軸側デジタル補正用オフセット電圧入力部は、I軸側アナログデジタル変換回路部ADCiのI軸側デジタル補正用

10

20

30

40

50

オフセット電圧入力部に接続されている。I 軸側アナログデジタル変換回路部 A D C i の出力部は、I 軸側デジタル補正回路部 D C i の第 1 入力部に接続されている。

【0207】

Q 軸側電圧保持回路部 V H q の出力部は、Q 軸側アナログデジタル変換回路部 A D C q の入力部に接続されている。アナログデジタルコンバータの Q 軸側デジタル補正用オフセット電圧入力部は、Q 軸側アナログデジタル変換回路部 A D C q の Q 軸側デジタル補正用オフセット電圧入力部に接続されている。Q 軸側アナログデジタル変換回路部 A D C q の出力部は、Q 軸側デジタル補正回路部 D C q の第 1 入力部に接続されている。

【0208】

I 軸側デジタル補正回路部 D C i の出力部は、アナログデジタルコンバータの I 軸側出力部と、加減算器 A S のプラス側入力部とに共通接続されている。Q 軸側デジタル補正回路部 D C q の出力部は、アナログデジタルコンバータの Q 軸側出力部と、加減算器 A S のマイナス側入力部とに共通接続されている。加減算器 A S の出力部は、I 軸側デジタル補正回路部 D C i の第 2 入力部と、Q 軸側デジタル補正回路部 D C q の第 2 入力部とに共通接続されている。

【0209】

図 20 に示した本実施形態によるアナログデジタルコンバータの動作について説明する。本実施形態では、2 つのアナログデジタル変換回路部を組み合わせる I / Q スプリットデジタル補正を行う。この I / Q スプリットデジタル補正では、2 つのアナログデジタル変換回路部が共通の補正用信号を入力してアナログデジタル変換を行い、それぞれのアナログデジタル変換回路部が出力するデジタル値の差分を加減算器で取得し、この差分に基づいてデジタル補正を行う。その際に、2 つのアナログデジタル変換回路部に 2 つの異なるデジタル補正用直流シフト電圧をそれぞれ印加しておくことで、2 つのデジタル補正回路部における補正係数探索アルゴリズムの収束が保証される。

【0210】

本実施形態によるアナログデジタルコンバータで得られる効果は、第 4 の実施形態の場合と同様であるので、さらなる詳細な説明を省略する。

【0211】

(第 11 の実施形態)

図 21 は、第 11 の実施形態によるアナログデジタル変換回路部 A D C の構成を示す回路図である。なお、本実施形態によるアナログデジタルコンバータの全体的な構成は、図 9 に示した第 4 の実施形態または第 7 の実施形態の場合と同様であるので、さらなる詳細な説明を省略する。

【0212】

図 21 に示した本実施形態によるアナログデジタル変換回路部 A D C は、図 16 に示した第 7 の実施形態によるアナログデジタル変換回路部 A D C に、以下の変更を加えたものに等しい。すなわち、第 1 ～第 n の正相側ビット比較回路部 B C a 1 ～B C a n と並列に接続された正相側デジタル補正用直流シフト印加回路部 O S a と、第 1 ～第 n の逆相側ビット比較回路部 B C b 1 ～B C b n と並列に接続された逆相側デジタル補正用直流シフト印加回路部 O S b とを追加する。

【0213】

図 21 に示した正相側デジタル補正用直流シフト印加回路部 O S a の構成要素について説明する。図 21 に示した正相側デジタル補正用直流シフト印加回路部 O S a は、正相側容量 O S a C と、第 1 ～第 5 の正相側スイッチ O S a S W 1 ～O S a S W 5 とを含んでいる。

【0214】

図 21 に示した正相側デジタル補正用直流シフト印加回路部 O S a の構成要素の接続関係について説明する。アナログデジタル変換回路部 A D C の正相側入力部は、第 1 および第 2 の正相側スイッチ O S a S W 1 および O S a S W 2 のそれぞれにおける一方の端部に共通接続されている。第 3 の正相側スイッチ O S a S W 3 の一方の端部は、電源 V D D に

接続されている。第 4 の正相側スイッチ O S a S W 4 の一方の端部は、接地されている。第 5 の正相側スイッチ O S a S W 5 の一方の端部は、接地されている。第 1、第 3 および第 5 の正相側スイッチ O S a S W 1、O S a S W 3 および O S a S W 5 のそれぞれにおける他方の端部は、正相側容量 O S a C の一方の端部に共通接続されている。第 2 および第 4 の正相側スイッチ O S a S W 2 および O S a S W 4 のそれぞれにおける他方の端部は、正相側容量 O S a C の他方の端部に共通接続されている。

【0215】

なお、図 2 1 に示した逆相側デジタル補正用直流シフト印加回路部 O S b の構成については、正相側デジタル補正用直流シフト印加回路部 O S a の場合と同様であるので、さらなる詳細な説明を省略する。

10

【0216】

図 2 1 に示した本実施形態によるアナログデジタル変換回路部 A D C のその他の構成については、図 1 6 に示した第 7 の実施形態の場合と同様であるので、さらなる詳細な説明を省略する。

【0217】

このように、本実施形態によるアナログデジタル変換回路部 A D C は、デジタル補正用直流シフトを印加するための対グラウンド型容量デジタルアナログ変換回路部として、正相側デジタル補正用直流シフト印加回路部 O S a と、逆相側デジタル補正用直流シフト印加回路部 O S b とを追加で備えている。また、逐次変換用の容量デジタルアナログ変換回路部も、対グラウンド型である。本実施形態によるアナログデジタルコンバータは、やはり、非特許文献 3 などに示されたような方法でデジタル補正を行うことが出来る。

20

【0218】

本実施形態では、デジタル補正用の直流シフト印加用の容量デジタルアナログ変換回路部と、逐次変換用の容量デジタルアナログ変換回路部とが、いずれも対グラウンド型であるが、一方が対グラウンド型で、他方がフローティング型であっても良い。

【0219】

本実施形態によるアナログデジタルコンバータの動作と、その結果得られる効果とは、いずれも第 1 0 の実施形態の場合と同様であるので、さらなる詳細な説明を省略する。

【0220】

(第 1 2 の実施形態)

30

図 2 2 は、第 1 2 の実施形態によるコンパレータ C M P の構成を示す回路図である。なお、本実施形態によるアナログデジタル変換回路部 A D C の構成は、図 1 6 に示した第 7 の実施形態などの場合と同様であるので、さらなる詳細な説明を省略する。また、本実施形態によるアナログデジタルコンバータの構成も、図 9 などに示した第 4 または第 7 の実施形態などの場合と同様であるので、さらなる詳細な説明を省略する。

【0221】

図 2 2 に示した第 1 2 の実施形態によるコンパレータ C M P の構成要素について説明する。図 2 2 に示したコンパレータ C M P は、プリアンプ回路部 P と、第 1 および第 2 の容量 C M P C 1 および C M P C 2 と、ラッチ回路部 L と、フリップフロップ回路部 F F と、バイアス入力部 B と、第 1 および第 2 のクロック信号入力部 C L K 1 および C L K 2 と、正相側入力部 I a と、逆相側入力部 I b と、出力部とを含んでいる。

40

【0222】

プリアンプ回路部 P は、第 1 ～第 6 のトランジスタ P A T R 1 ～ P A T R 6 と、第 1 および第 2 の可変容量 P A V C 1 および P A V C 2 とを含んでいる。ラッチ回路部 L は、第 1 ～第 8 のトランジスタ L T R 1 ～ L T R 8 を含んでいる。フリップフロップ回路部 F F は、第 1 および第 2 の N A N D (否定論理積) 回路 N A 1 および N A 2 を含んでいる。

【0223】

図 2 2 に示した第 1 2 の実施形態によるコンパレータ C M P の構成要素の接続関係について説明する。

【0224】

50

まず、プリアンプ回路部 P の構成要素の接続関係について説明する。第 5 のトランジスタ P A T R 5 のソースは、電源 V D D に接続されている。第 5 のトランジスタ P A T R 5 のゲートは、バイアス入力部 B に接続されている。第 5 のトランジスタ P A T R 5 のドレインは、第 6 のトランジスタ P A T R 6 のソースに接続されている。第 6 のトランジスタ P A T R 6 のゲートは、第 2 のクロック信号入力部 C L K 2 に接続されている。第 6 のトランジスタ P A T R 6 のドレインは、第 1 および第 2 のトランジスタ P A T R 1 および P A T R 2 のそれぞれにおけるソースに共通接続されている。第 1 のトランジスタ P A T R 1 のゲートは、正相側入力部 I a に接続されている。第 2 のトランジスタ P A T R 2 のゲートは、逆相側入力部 I b に接続されている。第 1 のトランジスタ P A T R 1 のドレインは、第 3 のトランジスタ P A T R 3 のドレインと、第 1 の可変容量 P A V C 1 の一方の端部と、第 1 の容量 C M P C 1 の一方の端部と、ラッチ回路部 L に含まれる第 5 のトランジスタ L T R 5 のゲートとに共通接続されている。第 2 のトランジスタ P A T R 2 のドレインは、第 4 のトランジスタ P A T R 4 のドレインと、第 2 の可変容量 P A V C 2 の一方の端部と、第 2 の容量 C M P C 2 の一方の端部と、ラッチ回路部 L に含まれる第 6 のトランジスタ L T R 6 のゲートとに共通接続されている。第 3 および第 4 のトランジスタ P A T R 3 および P A T R 4 のそれぞれにおけるゲートは、第 2 のクロック信号入力部 C L K 2 に共通接続されている。第 3 および第 4 のトランジスタ P A T R 3 および P A T R 4 のそれぞれにおけるソースは、接地されている。

【0225】

なお、本例では P M O S 入力型のプリアンプ構成であるが、N M O S 入力型であってもよい。

【0226】

次に、ラッチ回路部 L の構成要素の接続関係について説明する。第 1 ～第 4 のトランジスタ L T R 1 ～L T R 4 のそれぞれにおけるソースは、電源 V D D に共通接続されている。第 1 および第 4 のトランジスタ L T R 1 および L T R 4 のそれぞれにおけるゲートは、第 1 のクロック信号入力部 C L K 1 に接続されている。第 1 のトランジスタ L T R 1 のドレインは、第 2 のトランジスタ L T R 2 のドレインと、第 3 のトランジスタ L T R 3 のゲートと、第 5 のトランジスタ L T R 5 のドレインと、第 8 のトランジスタ L T R 8 のゲートと、フリップフロップ回路部 F F に含まれる第 1 の N A N D 回路 N A 1 の一方の入力部とに共通接続されている。第 4 のトランジスタ L T R 4 のドレインは、第 2 のトランジスタ L T R 2 のゲートと、第 3 のトランジスタ L T R 3 のドレインと、第 6 のトランジスタ L T R 6 のドレインと、第 7 のトランジスタ L T R 7 のゲートと、フリップフロップ回路部 F F に含まれる第 2 の N A N D 回路 N A 2 の一方の入力部とに共通接続されている。第 5 のトランジスタ L T R 5 のソースは、第 7 のトランジスタ L T R 7 のドレインに接続されている。第 6 のトランジスタ L T R 6 のソースは、第 8 のトランジスタ L T R 8 のドレインに接続されている。第 7 および第 8 のトランジスタ L T R 7 および L T R 8 のそれぞれにおけるソースは、接地されている。

【0227】

次に、フリップフロップ回路部 F F の構成要素の接続関係について説明する。第 1 の N A N D 回路 N A 1 の出力部は、第 2 の N A N D 回路 N A 2 の他方の入力部に接続されている。第 2 の N A N D 回路 N A 2 の出力部は、第 1 の N A N D 回路 N A 1 の他方の入力部と、コンパレータ C M P の出力部とに共通接続されている。

【0228】

本実施形態によるコンパレータ C M P の動作について説明する。プリアンプ回路部 P は、例えば、可変負荷容量により直流オフセット電圧をゼロに調整する機能を有し、また、定電流源を有する。

【0229】

一般的に、プリアンプ回路部は、後段に接続されたラッチ回路部がメタステーブル状態に陥ることを回避し、かつ、ラッチ回路部による雑音の影響を緩和するために必要とされる。プリアンプ回路部には、増幅期間と、リセット期間とがある。増幅期間におけるプリ

アンプ回路部は、一定のバイアス電流がMOS（Metal Oxide Semiconductor：金属酸化膜半導体）トランジスタ差動対に流れることで、アンプとして動作する。リセット期間におけるプリアンプ回路部は、バイアス電流が遮断されることで低電力化を図ることが可能である。直流オフセット電圧のゼロ調整は、例えば、アナログデジタル変換回路部ADCの非動作期間を利用して、予め行っておくことが好ましい。

【0230】

本実施形態によるプリアンプ回路部Pがアンプとして動作する際、バイアス電流は一定であるので、第7の実施形態のように変換ステップの進行とともにコンパレータCMPの入力同相電圧が変化しても、コンパレータCMPの直流オフセット電圧は変化しない。したがって、一度、適当な入力同相電圧下でコンパレータCMPの直流オフセット電圧をゼロ調整しておけば、コンパレータCMPの直流オフセット電圧はアナログデジタル変換動作中もゼロのまま維持される。これにより、本実施形態のアナログデジタルコンバータは高精度を実現出来る。

10

【0231】

なお、本実施形態によるアナログデジタルコンバータの最も本質的な効果は、他の実施形態の場合と同様に、パッシブ2倍増幅に伴いアナログデジタル変換の精度が2倍になる点にある。

【0232】

（第13の実施形態）

図23は、第13の実施形態によるコンパレータCMPの構成を示す回路図である。なお、本実施形態によるアナログデジタル変換回路部ADCの構成は、図16に示した第7の実施形態などの場合と同様であるので、さらなる詳細な説明を省略する。また、本実施形態によるアナログデジタルコンバータの構成も、図9などに示した第4または第7の実施形態などの場合と同様であるので、さらなる詳細な説明を省略する。

20

【0233】

図23に示した第13の実施形態によるコンパレータCMPは、図22に示した第12の実施形態によるコンパレータCMPのうち、プリアンプ回路部Pを変更したものに等しい。

【0234】

図23に示した第13の実施形態によるプリアンプ回路部Pの構成要素について説明する。図23に示した第13の実施形態によるプリアンプ回路部Pは、第1～第5、第7および第8のトランジスタPATR1～PATR5、PATR7およびPATR8と、第1および第2の抵抗PAR1およびPAR2とを含んでいる。

30

【0235】

図23に示した第13の実施形態によるプリアンプ回路部Pの構成要素の接続関係について説明する。第5のトランジスタPATR5のソースは、電源VDDに接続されている。第5のトランジスタPATR5のゲートは、バイアス入力部Bに接続されている。第5のトランジスタPATR5のドレインは、第1および第2のトランジスタPATR1およびPATR2のそれぞれにおけるソースに共通接続されている。第1のトランジスタPATR1のゲートは、正相側入力部Iaに接続されている。第2のトランジスタPATR2のゲートは、逆相側入力部Ibに接続されている。第1のトランジスタPATR1のドレインは、第7および第8のトランジスタPATR7およびPATR8のそれぞれにおけるドレインと、第3のトランジスタPATR3のドレインと、第1の抵抗PAR1の一方の端部と、第1の容量CMPC1の一方の端部と、ラッチ回路部Lの第5のトランジスタLTR5のゲートとに共通接続されている。第2のトランジスタPATR2のドレインは、第7および第8のトランジスタPATR7およびPATR8のそれぞれにおけるソースと、第4のトランジスタPATR4のドレインと、第2の抵抗PAR2の一方の端部と、第2の容量CMPC2の一方の端部と、ラッチ回路部Lの第6のトランジスタLTR6のゲートとに共通接続されている。第7のトランジスタPATR7のゲートは、第2のクロック信号入力部CLK2に接続されている。第8のトランジスタPATR8のゲートは、第

40

50

1のクロック信号入力部CLK1に接続されている。第1および第2の抵抗PAR1およびPAR2のそれぞれにおける他方の端部は、第3および第4のトランジスタPATR3およびPATR4のそれぞれにおけるゲートに共通接続されている。第3および第4のトランジスタPATR3およびPATR4のそれぞれにおけるソースは、接地されている。

【0236】

図23に示した本実施形態によるコンパレータCMPのその他の構成については、図22に示した第12の実施形態の場合と同様であるので、さらなる詳細な説明を省略する。

【0237】

本実施形態によるコンパレータCMPの動作について説明する。このコンパレータCMPも、定電流源型によるゼロ直流オフセット電圧の維持を狙っている点においては、図22に示した第12の実施形態によるコンパレータCMPと同じである。ただし、本実施形態によるコンパレータCMPは、第12の実施形態の場合とは異なり、常にアンプ動作モードにあり、一定のバイアス電流を流し続ける。

【0238】

本実施形態によるコンパレータCMPのその他の動作については、一般的なコンパレータの場合と同様であるので、さらなる詳細な説明を省略する。また、本実施形態によるコンパレータと、このコンパレータを用いた本実施形態によるアナログデジタルコンバータとによって得られる効果は、第12の実施形態の場合と同様であるので、さらなる詳細な説明を省略する。

【0239】

(第14の実施形態)

図24は、第14の実施形態による携帯端末用RF-ICおよびその周辺の回路要素の構成を示す回路図である。

【0240】

図24に示す携帯端末用RF-ICおよびその周辺回路の構成要素について説明する。図24に示す携帯端末用RF-ICは、第1および第2の低雑音アンプLNA1およびLNA2と、第1～第4のミキサMIX1～MIX4と、第1および第2のローカル発振回路部LO1およびLO2と、第1および第2のローパスフィルタLPF1およびLPF2とを含んでいる。図24に示す携帯端末用RF-ICは、さらに、第1および第2の可変利得アンプVGA1およびVGA2と、第1および第2のアナログデジタルコンバータADC1およびADC2と、ベースバンド信号処理回路部BBSPと、送信回路部TRとを含んでいる。

【0241】

図24に示す携帯端末用RF-ICの周辺回路要素には、第1～第4のアンテナANT1～ANT4と、第1および第2のバンドパスフィルタBPF1およびBPF2と、第1および第2のパワーアンプPA1およびPA2とが含まれている。

【0242】

図24に示した各構成要素の接続関係について説明する。第1のアンテナANT1は、第1のバンドパスフィルタBPF1を介して、第1の低雑音アンプLNA1の入力部に接続されている。第2のアンテナANT2は、第2のバンドパスフィルタBPF2を介して、第2の低雑音アンプLNA2の入力部に接続されている。第1の低雑音アンプLNA1の出力部は、第1および第2のミキサMIX1およびMIX2のそれぞれにおける一方の入力部に共通接続されている。第2の低雑音アンプLNA2の出力部は、第3および第4のミキサMIX3およびMIX4のそれぞれにおける一方の入力部に共通接続されている。

【0243】

第1のローカル発振回路部LO1の一方の出力部は、第1のミキサMIX1の他方の入力部に接続されている。第1のローカル発振回路部LO1の他方の出力部は、第2のミキサMIX2の他方の入力部に接続されている。第2のローカル発振回路部LO2の一方の出力部は、第3のミキサMIX3の他方の入力部に接続されている。第2のローカル発振

回路部 L O 2 の他方の出力部は、第 4 のミキサ M I X 4 の他方の入力部に接続されている。

【0244】

第 1 および第 3 のミキサ M I X 1 および M I X 3 のそれぞれにおける出力部は、第 1 のローパスフィルタ L P F 1 の入力部に共通接続されている。第 2 および第 4 のミキサ M I X 2 および M I X 4 のそれぞれにおける出力部は、第 2 のローパスフィルタ L P F 2 の入力部に共通接続されている。第 1 のローパスフィルタ L P F 1 の出力部は、第 1 の可変利得アンプ V G A 1 および第 1 のアナログデジタルコンバータ A D C 1 をこの順番に介して、ベースバンド信号処理回路部 B B S P の一方の入力部に接続されている。この、第 1 のローパスフィルタ L P F 1 から第 1 のアナログデジタルコンバータ A D C 1 までの経路は、I 軸側経路として利用される。第 2 のローパスフィルタ L P F 2 の出力部は、第 2 の可変利得アンプ V G A 2 および第 2 のアナログデジタルコンバータ A D C 2 をこの順番に介して、ベースバンド信号処理回路部 B B S P の他方の入力部に接続されている。この、第 2 のローパスフィルタ L P F 2 から第 2 のアナログデジタルコンバータ A D C 2 までの経路は、Q 軸側経路として利用される。

10

【0245】

ベースバンド信号処理回路部 B B S P の出力部は、送信回路部 T R の入力部に接続されている。送信回路部 T R の一方の出力部は、第 1 のパワーアンプ P A 1 を介して第 3 のアンテナ A N T 3 に接続されている。送信回路部 T R の他方の出力部は、第 2 のパワーアンプ P A 2 を介して第 4 のアンテナ A N T 4 に接続されている。なお、ベースバンド信号処理回路部 B B S P は、他の入出力部で図示しない他の回路に接続されている。

20

【0246】

本実施形態による携帯端末用 R F - I C の動作について説明する。図 2 4 に示した第 1 および第 2 のアナログデジタルコンバータ A D C 1 および A D C 2 として、第 3 ~ 第 1 3 の実施形態のいずれかによるアナログデジタルコンバータを 2 つ用いる。特に、図 2 0 に示した第 1 0 の実施形態によるデジタル補正を行っても良い。

【0247】

第 1 および第 3 のアンテナ A N T 1 および A N T 3 に係る回路は、例えば、信号の高分解能を優先して G S M (登録商標) などによる通信を行い、第 2 および第 4 のアンテナ A N T 2 および A N T 4 に係る回路は、例えば、信号の高速性を優先して L T E などによる通信を行っても良い。本実施形態による携帯端末用 R F - I C は、その他、W C D M A (登録商標)、L T E A d v a n c e d などの通信方式にも対応するマルチスタンダード型であっても良い。この場合、異なる通信方式ごとにさらなるアンテナおよび回路を追加しても良い。

30

【0248】

本実施形態によるアナログデジタルコンバータ A D C 1 および A D C 2 は、パッシブ増幅により 1 1 ビット以上の有効分解能が得られるので、全ての通信方式でアナログ信号を共通に処理出来る。すなわち、上記のとおり、I 軸側経路および Q 軸側経路のそれぞれに 1 つずつ、合計 2 つのアナログデジタルコンバータ A D C 1 および A D C 2 を設ければ十分である。これにより、本実施形態による携帯端末用 R F - I C のチップ面積を低減することが出来る。チップ面積の低減は、携帯端末用 R F - I C において最も重要な要求の一つである。

40

【0249】

以上、発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。また、前記実施の形態に説明したそれぞれの特徴は、技術的に矛盾しない範囲で自由に組み合わせることが可能である。

【符号の説明】

【0250】

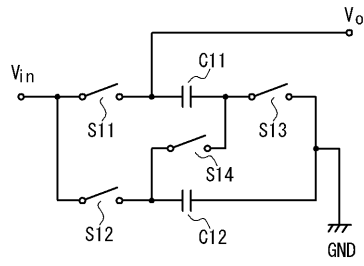
A D C アナログデジタル変換回路部

50

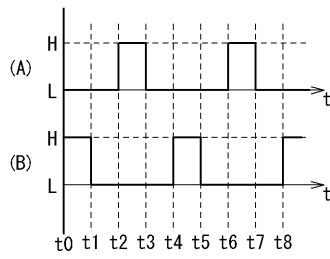
A D C 1、A D C 2	アナログデジタルコンバータ	
A D C i	I 軸側アナログデジタル変換回路部	
A D C q	Q 軸側アナログデジタル変換回路部	
A N T 1～A N T 4	アンテナ	
A S	加減算器	
B	バイアス入力部	
B B S P	ベースバンド信号処理回路部	
B C 1	第 1 ビット比較回路部	
B C 1 C	容量	
B C 1 S W 1～B C 1 S W 6	スイッチ	10
B C n	第 n ビット比較回路部	
B C n C	容量	
B C n S W 1～B C n S W 6	スイッチ	
B C a 1	正相側第 1 ビット比較回路部	
B C a 1 C	容量	
B C a 1 S W 1～B C a 1 S W 6	スイッチ	
B C a n	正相側第 n ビット比較回路部	
B C a n C	容量	
B C a n S W 1～B C a n S W 6	スイッチ	
B C b 1	逆相側第 1 ビット比較回路部	20
B C b 1 C	容量	
B C b 1 S W 1～B C b 1 S W 6	スイッチ	
B C b n	逆相側第 n ビット比較回路部	
B C b n C	容量	
B C b n S W 1～B C b n S W 6	スイッチ	
B P F 1、B P F 2	バンドパスフィルタ	
C 1～C 4	容量素子	
C L K 1、C L K 2	クロック信号入力部	
C M P	コンパレータ	
C M P C 1、C M P C 2	容量	30
C N T	制御回路部	
D C	デジタル補正回路部	
D C i	I 軸側デジタル補正回路部	
D C q	Q 軸側デジタル補正回路部	
F F	フリップフロップ回路部	
G N D	グラウンド	
H	ホールド回路部	
H i	I 軸側ホールド回路部	
H q	Q 軸側ホールド回路部	
I	入力回路部	40
I a	正相側入力部	
I b	逆相側入力部	
I B	入力バッファ回路部	
I B i	I 軸側入力バッファ回路部	
I B q	Q 軸側入力バッファ回路部	
L	ラッチ回路部	
L N A 1、L N A 2	低雑音アンプ	
L O 1、L O 2	ローカル発振回路部	
L P F 1、L P F 2	ローパスフィルタ	
L T R 1～L T R 8	トランジスタ	50

M I X 1 ~ M I X 4	ミキサ	
O A a	正相側オペアンプ	
O A b	逆相側オペアンプ	
O S	デジタル補正用直流シフト印加回路部	
O S C	容量	
O S S W 1 ~ O S S W 7	スイッチ	
O S a	正相側デジタル補正用直流シフト印加回路部	
O S a C	正相側容量	
O S a S W 1 ~ O S a S W 7	正相側スイッチ	
O S b	逆相側デジタル補正用直流シフト印加回路部	10
O S b C	逆相側容量	
O S b S W 1 ~ O S b S W 7	逆相側スイッチ	
P	プリアンプ回路部	
P A	パッシブ増幅回路部	
P A 1、P A 2	パワーアンプ	
P A i	I 軸側パッシブ増幅回路部	
P A q	Q 軸側パッシブ増幅回路部	
R a 1 ~ R a 4	正相側抵抗	
R b 1 ~ R b 4	逆相側抵抗	
S	サンプリング回路部	20
S 1 ~ S 1 0	スイッチ	
S i	I 軸側サンプリング回路部	
S q	Q 軸側サンプリング回路部	
S W i 1、S W i 2	I 軸側スイッチ	
S W q 1、S W q 2	Q 軸側スイッチ	
V a 1、V a 2	正相側電源	
V b 1、V b 2	逆相側電源	
V c m	リファレンス電圧供給端	
V d d、V D D	電源	
V G A 1、V G A 2	可変利得アンプ	30
V H	電圧保持回路部	
V H a	正相側電圧保持回路部	
V H a C 1 ~ V H a C 4	正相側容量	
V H a I	正相側インバータ	
V H a S W 1 ~ V H a S W 8	正相側スイッチ	
V H b	逆相側電圧保持回路部	
V H b C 1 ~ V H b C 4	逆相側容量	
V H b I	インバータ	
V H b S W 1 ~ V H b S W 8	逆相側スイッチ	
V H i	I 軸側電圧保持回路部	40
V H q	Q 軸側電圧保持回路部	
V i n、V i n ⁺ 、V i n ⁻	入力端	
V o、V o ⁺ 、V o ⁻	出力端	
V S	同相電圧シフト回路部	
V S a	正相側同相電圧シフト回路部	
V S b	逆相側同相電圧シフト回路部	
V S i	I 軸側同相電圧シフト回路部	
V S q	Q 軸側同相電圧シフト回路部	

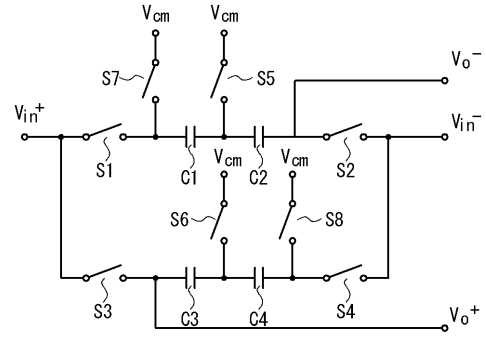
【図 1 A】



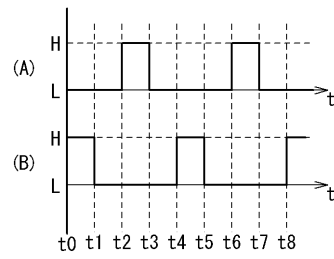
【図 1 B】



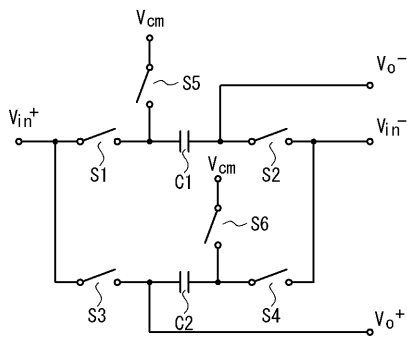
【図 2 A】



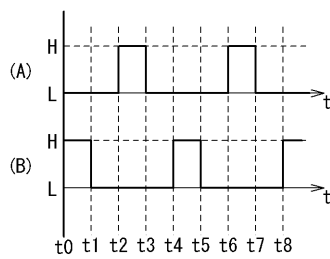
【図 2 B】



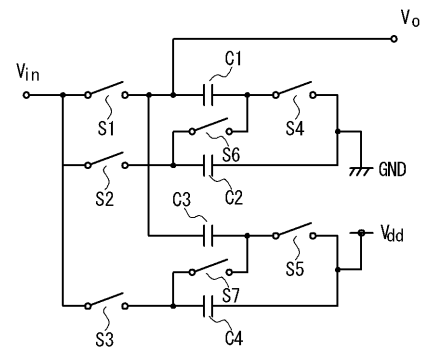
【図 3 A】



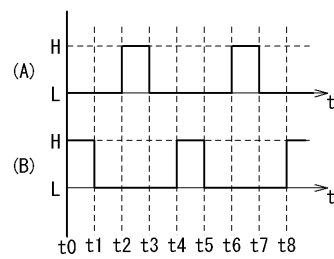
【図 3 B】



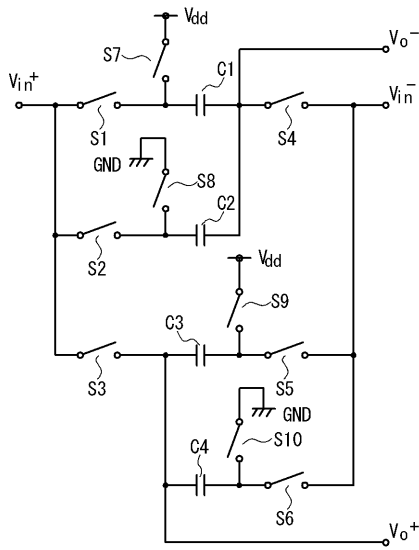
【図 4 A】



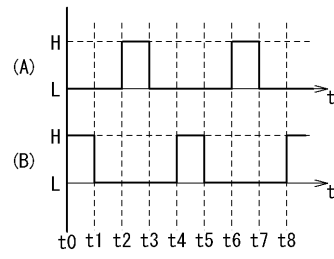
【図 4 B】



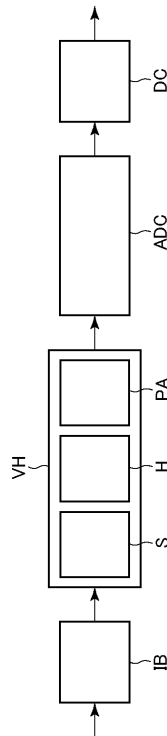
【図 5 A】



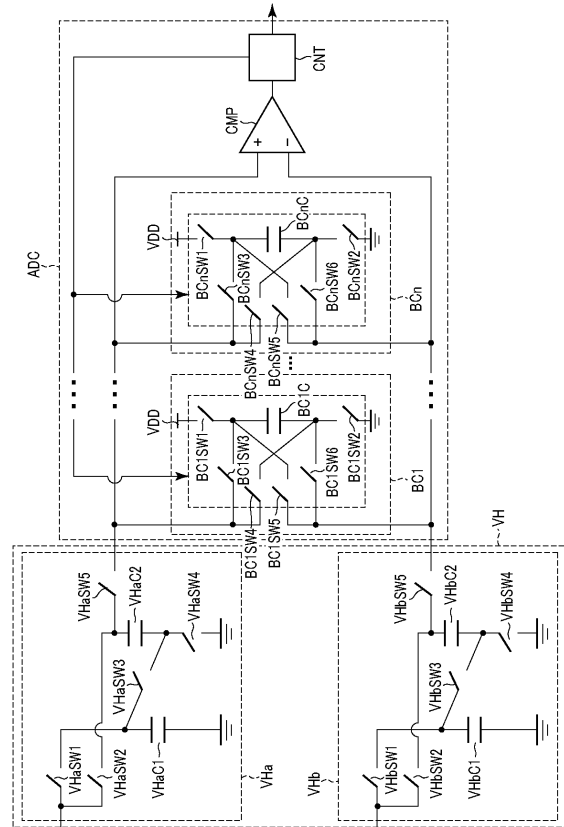
【図 5 B】



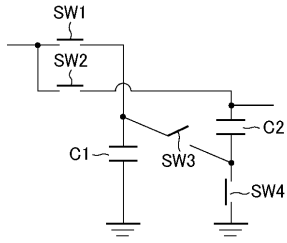
【図 6】



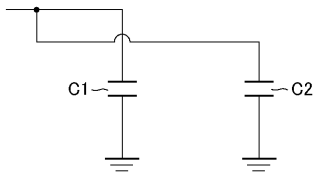
【図 7】



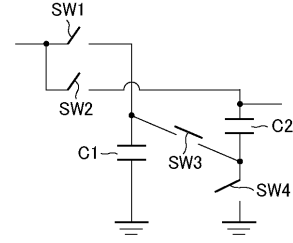
【図 8 A】



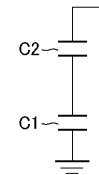
【図 8 B】



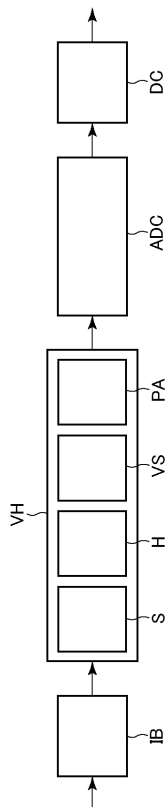
【図 8 C】



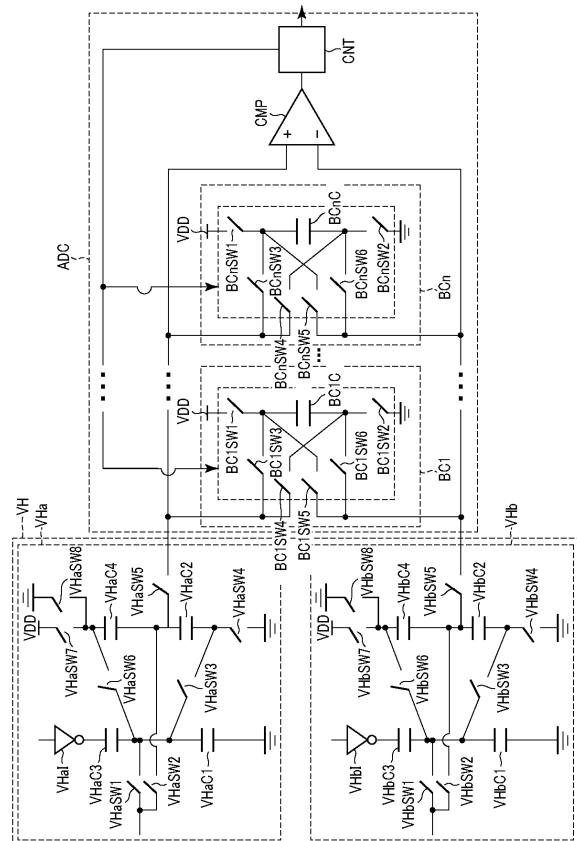
【図 8 D】



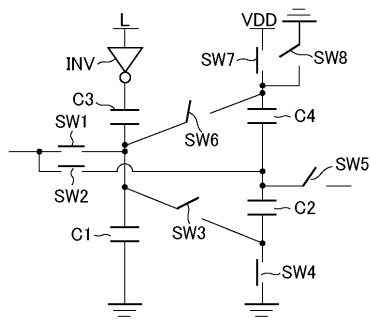
【図 9】



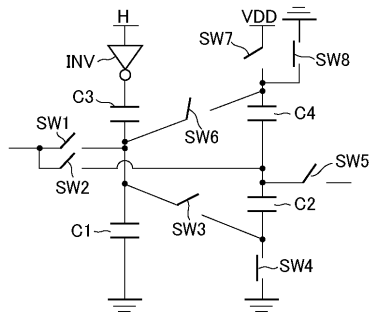
【図 10】



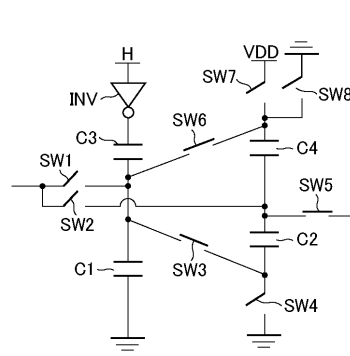
【図 1 1 A】



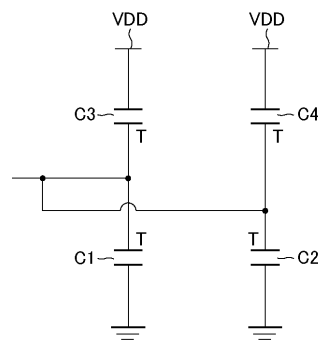
【図 1 1 B】



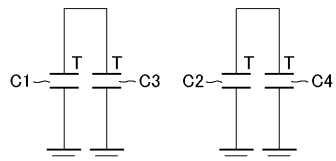
【図 1 1 C】



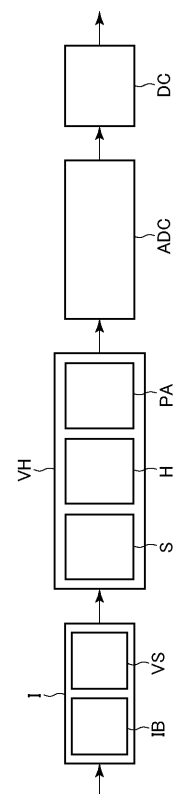
【図 1 2 A】



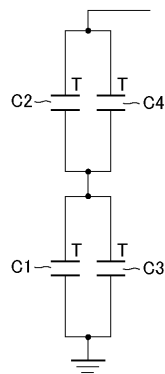
【図 1 2 B】



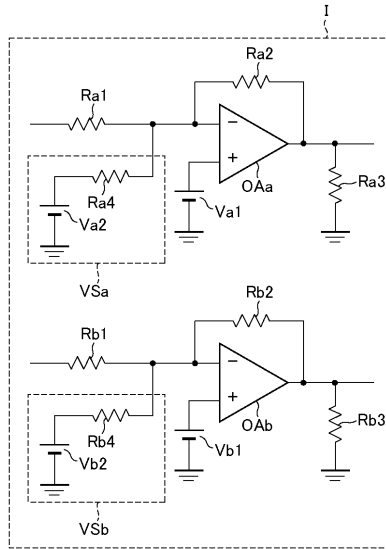
【図 1 3】



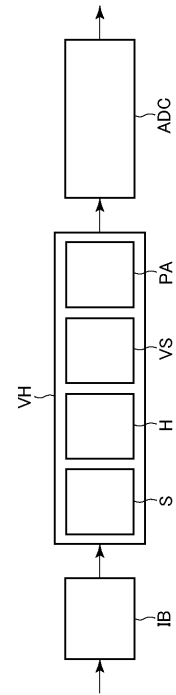
【図 1 2 C】



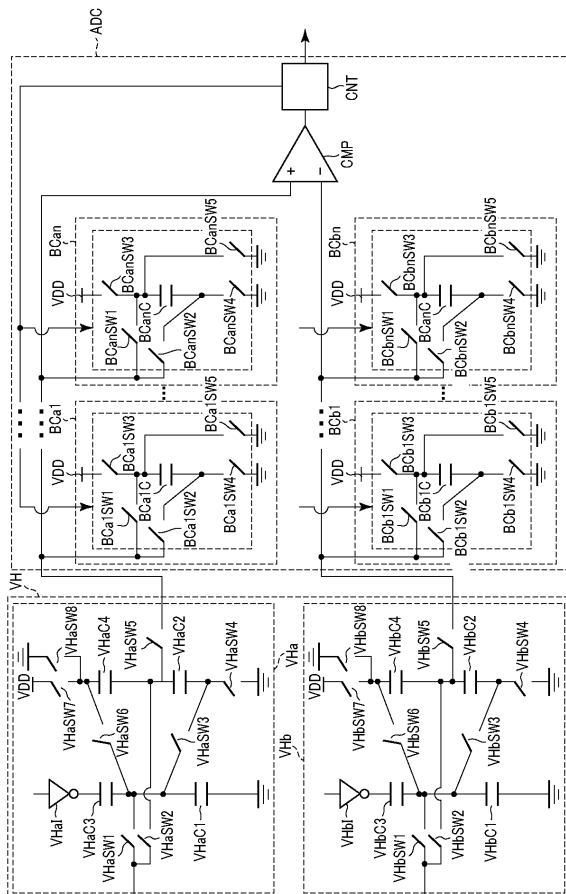
【図 14】



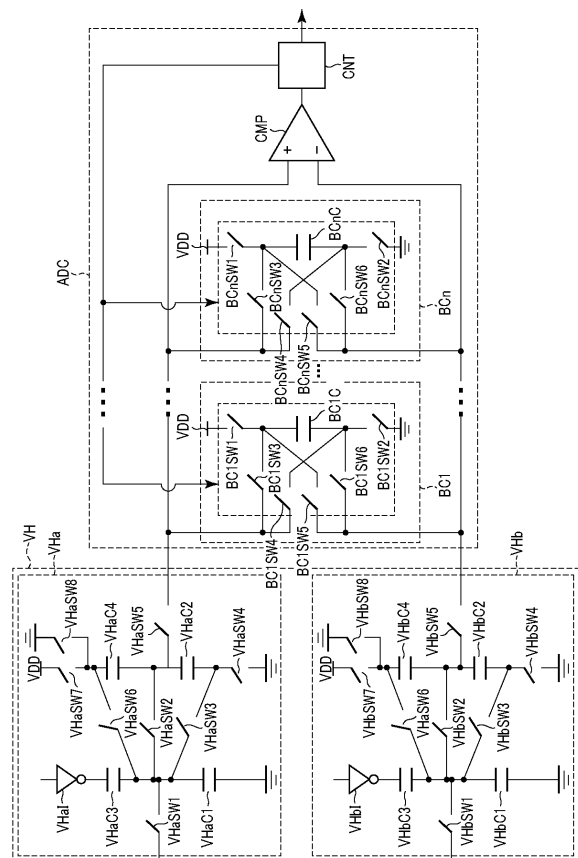
【図 15】



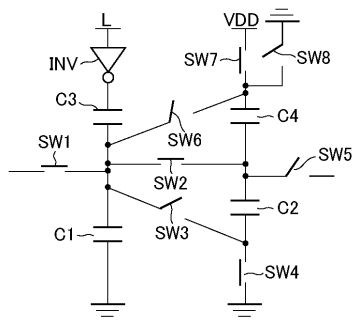
【図 16】



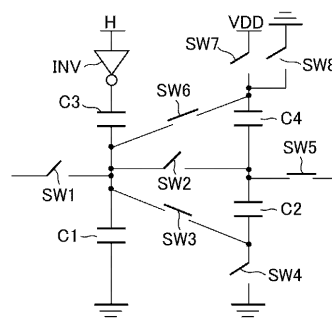
【図 17】



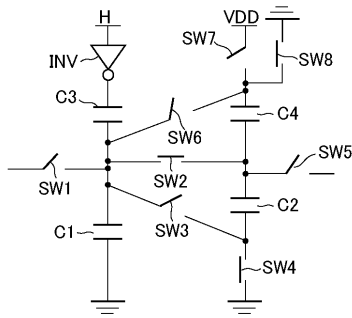
【図 18 A】



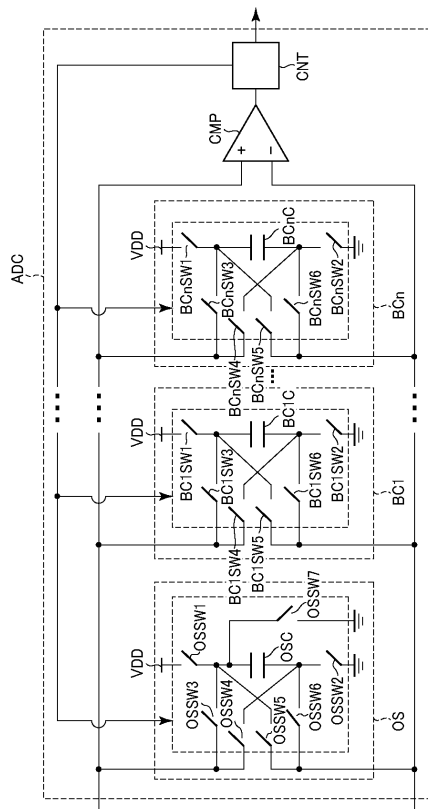
【図 18 C】



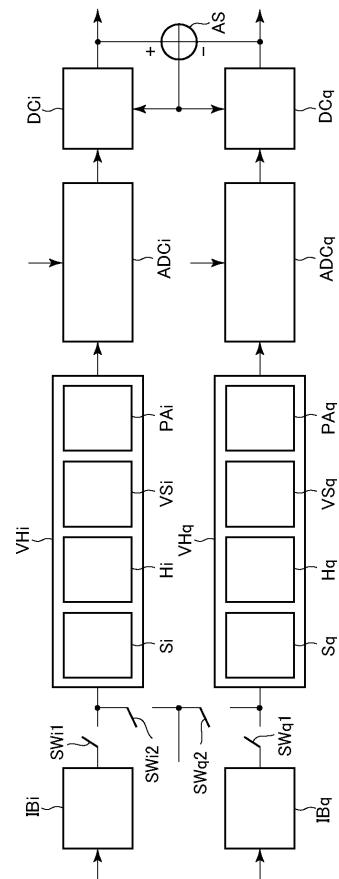
【図 18 B】



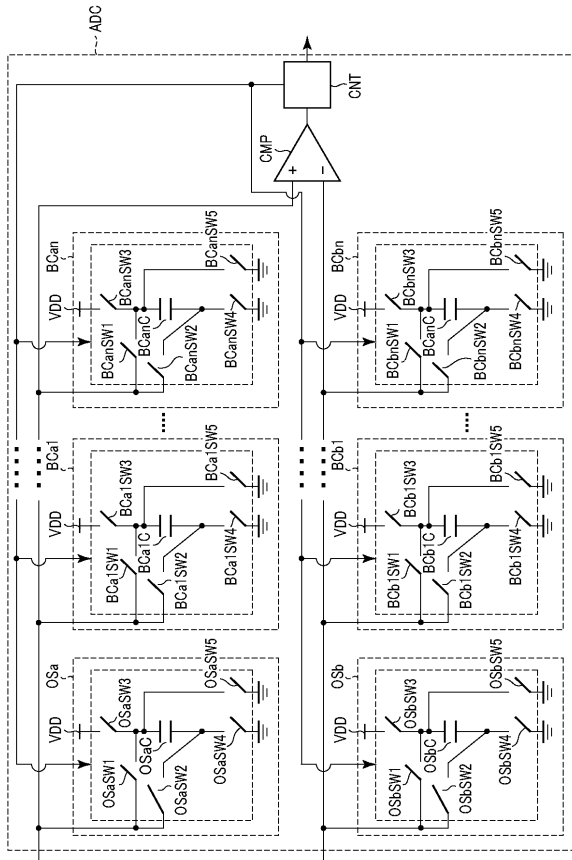
【図 19】



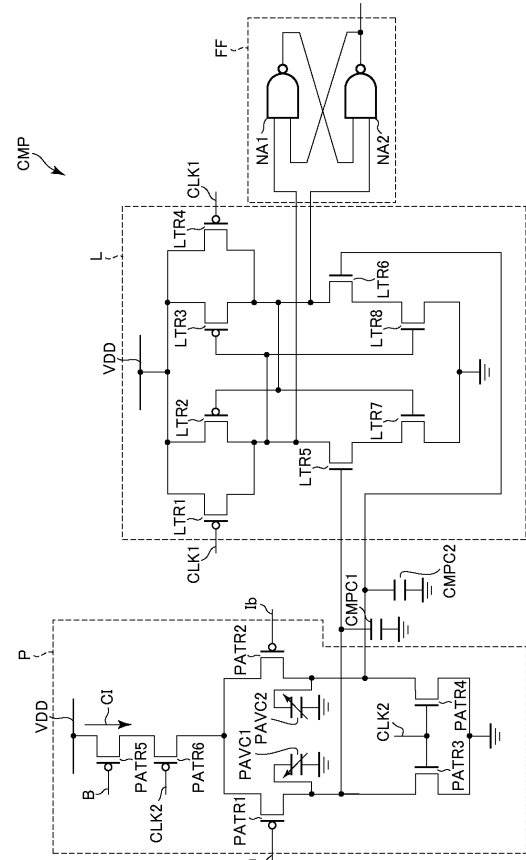
【図 20】



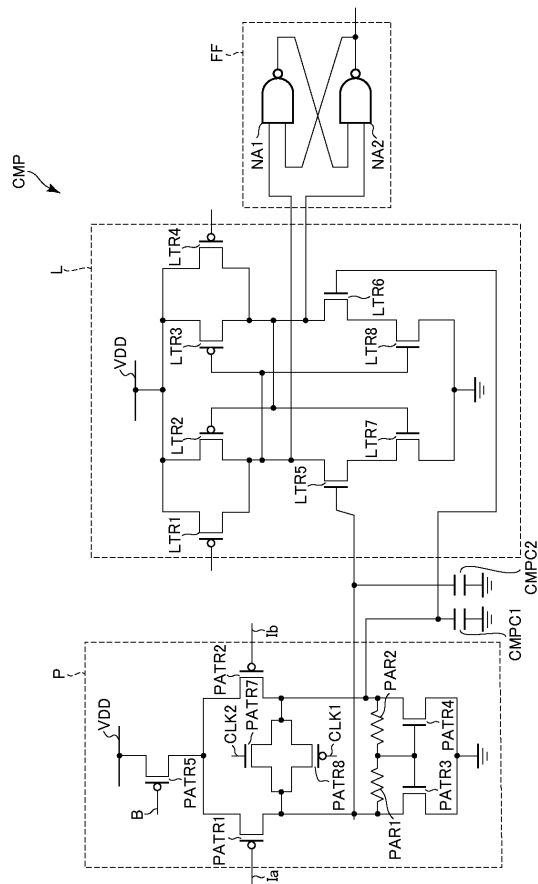
【図 2 1】



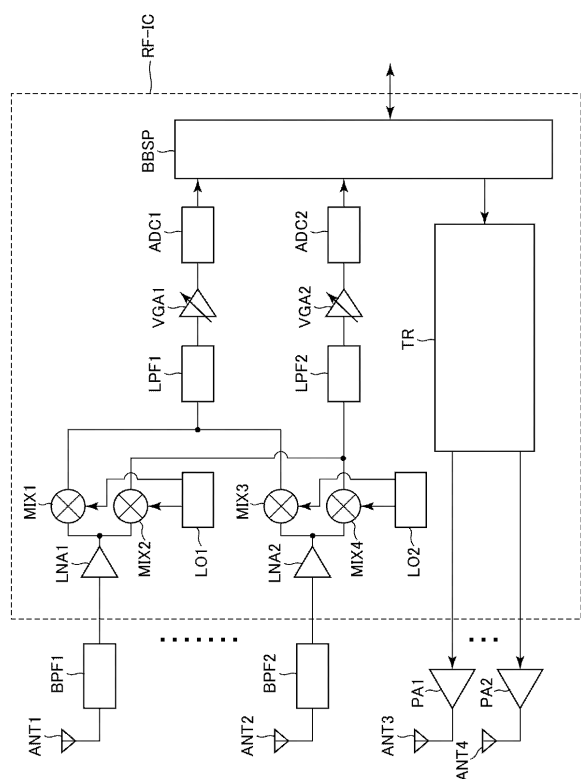
【図 2 2】



【図 2 3】



【図 2 4】



フロントページの続き

(72)発明者 山本 崇也
神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内

(72)発明者 木村 圭助
神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内

(72)発明者 松浦 達治
神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内

Fターム(参考) 5J022 AA01 AA02 CA07 CA10 CF02 CF07
5J500 AA01 AA25 AC36 AC92 AF18 AH25 AH29 AH39 AK01 AK11
AK12 AK17 AK34 AS01 AT01