

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成21年9月17日(2009.9.17)

【公開番号】特開2007-164139(P2007-164139A)

【公開日】平成19年6月28日(2007.6.28)

【年通号数】公開・登録公報2007-024

【出願番号】特願2006-218484(P2006-218484)

【国際特許分類】

G 0 9 G	3/36	(2006.01)
G 0 9 G	3/20	(2006.01)
G 0 2 F	1/1337	(2006.01)
G 0 2 F	1/1343	(2006.01)
G 0 2 F	1/1368	(2006.01)
G 0 2 F	1/133	(2006.01)

【F I】

G 0 9 G	3/36	
G 0 9 G	3/20	6 2 4 A
G 0 9 G	3/20	6 4 1 G
G 0 9 G	3/20	6 2 2 K
G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 4 1 C
G 0 9 G	3/20	6 2 3 U
G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/20	6 1 1 A
G 0 2 F	1/1337	5 0 0
G 0 2 F	1/1343	
G 0 2 F	1/1368	
G 0 2 F	1/133	5 5 0

【手続補正書】

【提出日】平成21年8月3日(2009.8.3)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

データ駆動部からデータ信号を伝達する複数のデータ線と、

互いに交互に配列され、前記データ線と交差する複数の第1及び第2のゲート線と、

前記データ線と前記第1及び第2のゲート線によって定義され、前記第1のゲート線と接続された第1のスイッチング素子によってデータ電圧が印加される第1のサブ画素電極及び前記第2のゲート線と接続された第2のスイッチング素子によってデータ電圧が印加される第2のサブ画素電極をそれぞれ備える複数の画素と、

2以上の前記第1のゲート線及び2以上の前記第2のゲート線からなる走査群を選択し、前記走査群の前記2以上の第1のゲート線に所定の走査順序に従ってゲートオン電圧を印加した後、前記走査群の前記2以上の第2のゲート線に所定の走査順序に従ってゲートオン電圧を印加するゲート駆動部と、を含むことを特徴とする表示装置。

**【請求項 2】**

前記走査群は、連続する第1のゲート線及び連続する第2のゲート線からなることを特徴とする請求項1に記載の表示装置。

**【請求項 3】**

前記ゲート駆動部は、前記走査群の前記第1のゲート線及び前記走査群の前記第2のゲート線に前記ゲートオン電圧を順に印加することを特徴とする請求項2に記載の表示装置。

**【請求項 4】**

前記第1及び第2のサブ画素電極上に形成された液晶層をさらに含むことを特徴とする請求項1に記載の表示装置。

**【請求項 5】**

前記液晶層を挟んで前記第1及び第2のサブ画素電極に対向する共通電極をさらに含み、前記液晶層と前記第1及び第2のサブ画素電極との間に介在し、第1の方向にラビングされた第1の配向膜及び前記液晶層と前記共通電極との間に介在し、第2の方向にラビングされた第2の配向膜をさらに含むことを特徴とする請求項4に記載の表示装置。

**【請求項 6】**

データ駆動部からデータ信号を伝達する複数のデータ線と、

互いに交互に配列され、前記データ線と交差する複数の第1及び第2のゲート線と、

前記データ線と前記第1及び第2のゲート線とによって定義され、前記第1のゲート線と接続された第1のスイッチング素子によってデータ電圧が印加される第1のサブ画素電極及び前記第2のゲート線と接続された第2のスイッチング素子によってデータ電圧が印加される第2のサブ画素電極を備える複数の画素と、

2以上の前記第1のゲート線及び2以上の前記第2のゲート線からなる第1の走査群及び前記第1の走査群と重複しない第2の走査群を選択して前記第1及び第2の走査群の2以上の前記第1のゲート線に所定の走査順序に従ってゲートオン電圧を印加した後、前記第1及び第2の走査群の2以上の前記第2のゲート線に所定の走査順序に従ってゲートオン電圧を印加するゲート駆動部と、を含むことを特徴とする表示装置。

**【請求項 7】**

前記走査群は、連続する前記第1のゲート線及び連続する前記第2のゲート線からなることを特徴とする請求項6に記載の表示装置。

**【請求項 8】**

前記ゲート駆動部は、前記走査群の前記第1のゲート線及び前記第2のゲート線に前記ゲートオン電圧を順に印加することを特徴とする請求項7に記載の表示装置。

**【請求項 9】**

同一走査順序において前記第1の走査群の前記ゲート線と前記第2の走査群の前記ゲート線に印加されるゲートオン電圧は、同一パルス幅を有し、排他的にイネーブルされることを特徴とする請求項6に記載の表示装置。

**【請求項 10】**

前記第1及び第2のサブ画素電極上に形成された液晶層をさらに含むことを特徴とする請求項6に記載の表示装置。