



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년06월09일
(11) 등록번호 10-0961404
(24) 등록일자 2010년05월27일

(51) Int. Cl.

H01L 21/336 (2006.01) H01L 21/311 (2006.01)

(21) 출원번호 10-2004-7014786

(22) 출원일자(국제출원일자) 2003년03월14일

심사청구일자 2008년03월13일

(85) 번역문제출일자 2004년09월20일

(65) 공개번호 10-2004-0097188

(43) 공개일자 2004년11월17일

(86) 국제출원번호 PCT/US2003/007835

(87) 국제공개번호 WO 2003/081660

국제공개일자 2003년10월02일

(30) 우선권주장

10/101,298 2002년03월19일 미국(US)

(56) 선행기술조사문현

US6087271 A

US5902125 A

US6066567 A

US5972762 A

전체 청구항 수 : 총 6 항

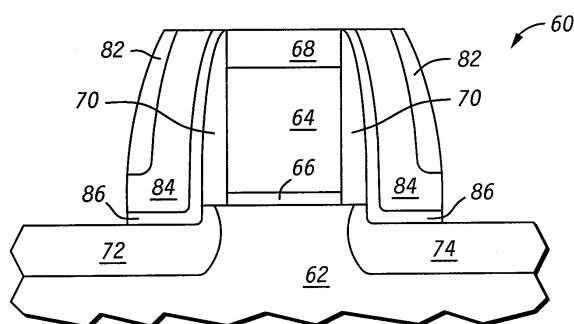
심사관 : 양희용

(54) 집적 회로 장치 및 그 형성 방법

(57) 요 약

ARC(16)를 에칭하는 동안 이러한 리세스들의 위치들(22)은 노출되기 때문에 반사-방지 코팅(ARC)(16)이 제거되는 동안 반도체 장치(10)는 기판(12) 내에 형성되는 리세스들(22)을 가진다. 에칠퐁가 ARC 재료(16) 및 기판 재료(12) 사이에서 선택성을 가지도록 선택되지만, 이러한 선택성은 제한적이므로 리세스들(22)이 생긴다. 이러한 리세스들의 형성과 관련된 문제는 소스/드레인들(26, 28)이 게이트(14)와 중첩되도록 더 멀리 확산되어야 한다는 것이다. 그 결과 트랜지스터들이 감소된 전류 구동을 가진다. 적어도 게이트(64) 주변의 측벽 스페이서(70)의 형성 후까지 ARC의 제거가 이루어지는 것을 기다림으로써 이러한 문제를 피할 수 있다. 따라서 이러한 결과의 리세스 형성은 게이트로부터 더 멀리서 발생하며, 이것으로 장애를 줄이거나 제거하는 결과를 낳으면, 이러한 리세스는 게이트와 중첩하도록 바람직하게 확장하는 소스/드레인 확산(72, 74)을 일으킬 수 있다.

대 표 도 - 도14



(72) 발명자

전용주

미국, 텍사스 78717, 오스틴, 마테오 코브, 9905

버네트, 제임스, 다비드

미국, 텍사스, 78731, 오스틴, 로렐리지 레인 3408

싱, 라나, 피.

미국, 텍사스 78739, 오스틴, 페블 가든 레인
11321

그루도스키, 폴, 에이.

미국, 텍사스 78750, 오스틴, 록커비 드라이브
10501

특허청구의 범위

청구항 1

집적 회로 장치를 형성하는 방법에 있어서:

반도체 기판(12, 62)을 제공하는 단계;

상기 반도체 기판상에 제 1 패터닝 층(20, 66)을 형성하는 단계로서, 상기 제 1 패터닝 층은 제 1 상부, 제 1 측벽(sidewall) 및 제 2 측벽을 가지며, 상기 제 1 측벽 및 상기 제 2 측벽은 수직이며 서로 대향하고 있는, 상기 반도체 기판상에 제 1 패터닝 층을 형성하는 단계;

상기 제 1 패터닝 유전층 상에 제 2 패터닝 층(14, 64)을 형성하는 단계로서, 상기 제 2 패터닝 층은 제 2 상부, 제 3 측벽 및 제 4 측벽을 가지며, 상기 제 3 측벽 및 상기 제 4 측벽은 수직이고 서로 대향하고 있으며, 각각 상기 제 1 측벽 및 상기 제 2 측벽과 동일 평면상에 있는, 상기 제 2 패터닝 층을 형성하는 단계;

상기 제 2 패터닝 층 상에 반사-방지 코팅(anti-reflective coating; ARC)(16, 68)을 형성하는 단계;

상기 제 1 상부 및 상기 제 2 상부 상에, 그리고 상기 제 1 측벽, 상기 제 2 측벽, 상기 제 3 측벽, 및 상기 제 4 측벽에 인접하여, 제 1 유전층을 형성하는 단계로서, 상기 제 1 유전층으로부터 제 1 유전 영역(24 및 70)이 형성될, 상기 제 1 유전층을 형성하는 단계;

상기 제 1 측벽 및 상기 제 3 측벽에 인접하여 제 1 유전 영역(24, 70), 및 상기 제 3 측벽 및 상기 제 4 측벽에 인접하여 제 2 유전 영역을 형성하기 위해서, 상기 제 1 유전층의 일부분을 제거하는 단계로서, 상기 제 1 유전층의 일부분은 상기 제 1 상부 및 상기 제 2 상부 상에 형성된 상기 제 1 유전층의 영역들을 포함하는, 상기 제 1 유전층의 일부분을 제거하는 단계;

상기 제 1 유전층의 일부분을 제거한 후 상기 ARC(16, 68)를 제거하는 단계; 및

상기 제 1 패터닝 층 및 상기 제 2 패터ning 층 아래 상기 반도체 기판 내에 채널 영역을 형성하는 단계로서, 상기 채널 영역은 소스/드레인 영역들(72, 74)을 형성함으로써 발생되고 상기 소스/드레인 영역들(72, 74) 사이의 영역인, 상기 채널 영역을 형성하는 단계를 포함하는, 집적 회로 장치를 형성하는 방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

집적 회로 장치를 형성하는 방법에 있어서:

제 1 부분(113) 및 제 2 부분(111)을 갖는 반도체 기판(62)을 제공하는 단계;

게이트 스택을 형성하는 단계로서:

상기 반도체 기판의 상기 제 1 부분 상에 형성된 게이트 유전체(132); 및

상기 게이트 유전체 상에 형성된 게이트 전극(116)을 포함하는, 상기 게이트 스택을 형성하는 단계;

상기 게이트 스택 상에 제 1 패터닝된 반사-방지 코팅(ARC)(128)을 형성하는 단계;

비휘발성 메모리 스택을 형성하는 단계로서:

상기 반도체 기판의 상기 제 2 부분 상에 형성된 전하 저장층(114), 및

상기 전하 저장층 상에 형성된 제 1 유전층(120)을 포함하는 상기 비휘발성 메모리 스택을 형성하는 단계;

상기 비휘발성 메모리 스택 상에 제 2 패터닝된 ARC(126)를 형성하는 단계;

상기 게이트 스택 및 상기 비휘발성 메모리 스택 상에 제 2 유전층을 형성하는 단계;

상기 게이트 스택 및 상기 비휘발성 메모리 스택에 인접하여 제 1 스페이서들(124, 122)을 형성하기 위해 상기 제 2 유전층의 일부분들을 제거하는 단계;

상기 제 2 유전층의 일부분들을 제거한 후, 상기 제 1 패터닝된 ARC(128) 및 상기 제 2 패터닝된 ARC(126)를 제거하는 단계;

상기 게이트 스택 아래에 제 1 채널을 형성하는 단계; 및

상기 비휘발성 메모리 스택 아래에 제 2 채널을 형성하는 단계를 포함하는, 집적 회로 장치를 형성하는 방법.

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

집적 회로 장치에 있어서:

반도체 기판;

스택으로서:

상기 반도체 기판상에 형성된 패터닝된 유전층(66); 및

상기 패터닝된 유전층 상에 형성된 패터닝된 도전층(64)으로서, 제 1 측벽 및 상기 제 1 측벽과 대향하는 제 2 측벽을 갖는 상기 패터닝된 도전층(64)을 포함하는, 상기 스택;

상기 반도체 기판 내 및 상기 제 2 측벽에 인접한 제 1 전극 영역;

상기 반도체 기판 내 및 상기 제 2 측벽에 인접한 제 2 전극 영역;

상기 제 1 전극 영역과 상기 제 2 전극 영역 사이 및 상기 스택 아래의 채널 영역;

상기 제 1 측벽 및 상기 제 2 측벽에 인접한 산화물 스페이서들(70)로서, 제 1 높이를 갖는 상기 산화물 스페이서들; 및

상기 제 1 산화물 스페이서들에 인접한 질화물 스페이서들(88)로서, 상기 제 1 높이보다 낮은 제 2 높이를 갖는

상기 질화물 스페이서들을 포함하는, 접적 회로 장치.

청구항 30

접적 회로 장치에 있어서:

상부 표면을 갖는 반도체 기판;

상기 반도체 기판 상에 형성된 스택으로서:

제 1 층(66); 및

상기 제 1 층 상에 형성된 제 2 층(64)으로서, 제 1 측벽 및 상기 제 1 측벽과 대향하는 제 2 측벽을 갖는 상기 제 2 층(64)을 포함하는, 상기 스택;

상기 제 1 측벽 및 상기 제 2 측벽에 인접한 스페이서들(70)로서, 상기 반도체 기판의 상부 표면의 제 1 부분은 상기 스페이서들 아래에 있고, 제 2 부분은 상기 스택 아래에 있으며, 상기 제 1 부분은 상기 제 2 부분과 실제적으로 동일 평면 상에 있는, 상기 스페이서들;

상기 반도체 기판 내에 있고 상기 제 1 측벽에 인접한 제 1 도핑 영역(72);

상기 반도체 기판 내에 있고 상기 제 2 측벽에 인접한 제 2 도핑 영역(74); 및

상기 제 1 도핑 영역과 상기 제 2 도핑 영역 사이 및 상기 반도체 기판 내의 채널 영역을 포함하는, 접적 회로 장치.

청구항 31

삭제

청구항 32

접적 회로 장치를 형성하는 방법에 있어서:

반도체 기판(62)을 제공하는 단계;

상기 반도체 기판 상에 게이트 유전층(66), 상기 게이트 유전체 상에 게이트(64), 및 상기 게이트 상에 반사-방지 코팅(ARC)(68)을 포함하는 스택을 제공하는 단계;

상기 게이트 및 상기 ARC 주위에 제 1 측벽 스페이서(70)를 형성하는 단계;

제 1 도핑 영역(72) 및 제 2 도핑 영역(74)을 형성하기 위해 마스크로서 상기 스택 및 상기 제 1 측벽 스페이서를 사용하여 상기 기판에 주입하는 단계;

상기 스택 상, 상기 스택 주위, 및 상기 제 1 도핑 영역 및 상기 제 2 도핑 영역 상에 라이너(liner)(76)를 형성하는 단계;

상기 라이너 상에 제 1 화합물의 제 1 층(78)을 침착하는 단계;

상기 제 1 층 주위에 제 2 측벽 스페이서(82)를 형성하는 단계;

상기 제 2 측벽 스페이서(82)를 마스크로서 사용하여 상기 제 1 및 제 2 도핑 영역들의 일부분들 상 및 상기 ARC 상의 제 1 층의 일부분들(78)을 제거하는 단계;

상기 제 1 및 제 2 도핑 영역들의 일부분들 및 상기 ARC상의 상기 라이너(76)를 제거하는 단계; 및

에천트(etchant)를 적용하여 상기 제 2 측벽 스페이서 및 상기 라이너 사이의 상기 제 1 층의 일부분 및 상기 ARC를 동시에 제거하는 단계를 포함하는, 접적 회로 장치 형성 방법.

청구항 33

제 32 항에 있어서,

상기 ARC 및 상기 제 1 층은 질화물을 포함하는, 접적 회로 장치 형성 방법.

명세서

기술분야

[0001] 본 발명은 집적 회로들, 및 특히 기판에 리세스(recess)을 갖는 집적 회로들에 관한 것이다.

배경기술

[0002] 집적 회로 제조에서, 치수(dimension)가 점점 작아짐에 따라 더욱 중요시되고 있는 문제점 중 하나는 정상 공정 중에 발생하는 기판에서의 리세스(recess)들이다. 기판에서의 리세스들은 우선 기판 상에 있었던 재료층의 일부분이 에칭 제거되는 동안 기판이 노출되기 때문에 발생한다. 에천트(etchants)는 에칭되고 있는 층(layer)이 제거되는 동안 및 또는 그 이후 잠깐 동안 기판에 가해진다. 일 예는 다른 곳에서 다른 재료의 에칭을 착수하는데 기판이 노출되는 경우이다. 다른 예는 어떤 다른 곳에서 어떤 재료의 에칭을 통해 기판이 노출되어 떨어져 나가도록 어떤 다른 곳에서 그 재료를 에칭하는 동안 기판 상에 박막층이 에칭되는 경우이다. 또 다른 예로는 기판 상의 층이 에칭되고 기판이 노출된 후, 제거를 요하는 층을 완전히 제거하는 것을 보장하기 위해서 오버-에칭(over-etch)으로서 에칭을 계속하는 경우이다. 바람직하게 선택된 에천트는 반도체 기판을 매우 많이 에칭하지는 않지만 실용적인 문제에 있어서, 그러한 에천트들은 작업하기에 매우 까다롭다. 결과적으로 제거를 요하는 층들은 전형적으로 실리콘으로 만들어진, 반도체 기판에 약간의 에칭 효과를 주는 에천트에 의해 제거된다. 그러한 공정은 도 1 내지 도 9에 도시된다.

[0003] 도 1에는 기판(12), 폴리실리콘 게이트(polysilicon gate)(14), 질화물로 만들어진 반사-방지 코팅(Anti-Reflective Coating; ARC)(16) 및 게이트(14)와 기판(12)사이에 존재하고 게이트에 인접한 영역들로 확장하는 얇은 산화물(18)을 포함하는 집적 회로를 만드는데 유용한 반도체 장치(10)가 도시된다. 질화물 ARC(16)를 제거하기 위해, 불소(fluorine) 및 염소(chlorine)와 같은 할로겐(halogen)을 기초로 하는 재료와 같은, 에천트가 사용된다. 질화물(nitride)을 에칭하는 것만큼 빠른 속도는 아니지만 이러한 에천트들도 실리콘을 에칭한다. ARC(16)을 제거한 결과가 도 2에서 도시된 리세스 표면(22)이다. 도 3에서는 측벽 스페이서(sidewall spacer)(24) 형성 후의 장치(10)가 도시되어 있다. 측벽 스페이서(24)는 산화물로 형성되며 일반적으로 알고 있듯이, 상대적으로 등방성인 층(conformal layer)을 적용하고 후속하여 이방성 에칭(anisotropic etch)으로 그것을 에칭한 결과로서 생겨난다. 이것은 측벽 스페이서(24)와 정렬된 기판(12)에 다른 리세스를 제공한다. 도 4에는 마스크로서 측벽 스페이서(24) 및 소스/드레인(source/drain) 영역(26)을 사용하는 소스/드레인(28)의 형성이 도시된다. 이러한 임플란트(implant)는 일반적으로 확장 임플란트(extension implant)라 하며 후속하는 무거운 소스/드레인 임플란트(heavy source/drain implant)보다 상대적으로 더 낮은 도핑 농도(doping concentration)를 갖는다.

[0004] 도 5에는 산화물 라이너(oxide liner; 30) 및 질화물 층(32)의 증착 후의 장치(10)가 도시된다. 그 후 질화물 층(32)은 라이너(30)와 같이 에칭 백되어, 측벽 스페이서(34) 및 라이너 일부분(38)으로 된다. 이러한 공정 동안, 소스/드레인 영역들(26, 28)은 확산하여 소스/드레인 영역들(26, 28) 영역을 확장한다. 도 7에는 마스크로서 측벽 스페이서(34)를 사용하여 고 도핑 영역들(heavily-doped regions)(40, 42)을 형성하기 위해 무겁게 임플란트한 후의 장치(10)가 도시된다. 도 8에는 표준 공정에 기인하는 영역들(40, 42)의 확산뿐만 아니라 소스/드레인 영역들(26, 28)의 계속되는 확장이 도시된다.

[0005] 도 9에는 영역들(40, 42) 아래로 확장하는 규화물 영역들(48, 50)의 형성 후의 장치(10)가 도시된다. 또한 이것은 영역들(49, 51)의 확산이 완료된 것을 보여주며, 영역들(49, 51)은 영역들(26, 28)의 잔여 일부분들이다. 이를 영역은 게이트 산화물(20)로 모든 방향으로 확장할 수 없다. 게이트 산화물(20)에 접촉하도록 위해서 완전히 확장하지 않은 영역들(49, 51)과 함께, 영역(49) 및 (51) 사이에 형성된 채널과 게이트(44) 사이의 약간의 추가적인 공간이 존재하며, 그 결과 영역들(49, 51)이 게이트(20)로 더 근접하여 확산한다면 영역(49) 및 (51) 사이를 통과하는 전류는 이전보다 더 적다. 이것이 단점이며 게이트(44)에 인접하여 기판(12)의 리세스로 인하여 확산이 이동해야 할 추가적인 거리의 직접적인 결과이다. 또한 규화물 영역(46)은 게이트(14)의 상부에 형성되며 폴리실리콘 영역(44) 및 규화물 영역(46)의 조합인 게이트를 남기기 위해서 상당량의 게이트(14)를 소비한다.

[0006] 그러므로, 정상 공정 중에 기판에 생기는 리세스의 역효과들을 줄일 필요가 있다. 이러한 문제는 치수 감소하고 전압이 감소함에 따라 계속 악화된다. 소스 및 드레인이 오버라이닝 게이트로 적절한 중첩을 가지지 않는다면 채널을 완벽히 반전시키고 소스 및 드레인 간의 최적의 전류를 제공하는 기능은 위험에 노출된다.

발명의 상세한 설명

[0007]

기판에서의 리세스로 인한 문제는 질화물 반사-방지 코팅(ARC)를 제거하기 위한 공정 이후까지 기다림으로써 극복되므로 발생한 리세스는 게이트 유전체에 근접하여 이동하며 게이트와 중첩하는 소스 및 드레인에 관한 영향은 더욱 줄어들 것이다. 이러한 것을 성취하기 위한 하나의 방법은 질화물 ARC를 제거하기 전 무거운 소스/드레인 임플란트를 마스킹하는데 이용되는 측벽 스페이서 스택이 적소에 쓰일 때까지 기다리는 것이다. 다른 방법으로, 소스/드레인 확장 임플란트에 사용되는 측벽 스페이서 형성 이후에 질화물 ARC은 제거되며 이러한 경우 질화물 ARC는 습식 에칭으로 제거된다.

실시 예

[0011]

도 10에는 도 2에 도시된 구조의 다른 방법으로서 측벽 스페이서(70)의 형성 후의 장치(60)가 도시된다. 도 10의 구조는 도 1에 도시된 장치 구조를 따른다. 장치(60)는 기판(62), 폴리실리콘으로 만들어지며 패터닝된 도전층의 일 형태인 게이트(64), 게이트 산화물(66), 질화물로 만들어질 수 있는 ARC(68), 및 측벽 스페이서(70)를 포함한다. 기판(62)에 바람직한 재료는 실리콘이며 측벽(70)에 바람직한 재료는 산화물이다. ARC(68)는 질화물보다 좋은 어떤 다른 효율적인 반사-방지 재료가 있을 수 있다. 또한 게이트(64)는 폴리실리콘 이외의 다른 재료일 수 있다. 측벽 스페이서(70)는 이방성으로 에칭되는 비교적 등방성인 산화층에 기인한다. 이러한 결과 이방성 에칭은 기판(62)의 리세스(71)가 될 것이다. 이것은 측벽 스페이서가 형성되는 곳 이외에 측벽 스페이서를 형성하기 위해 사용되는 모든 층의 제거를 보장하기 위해 필요로 되는 오버-에칭의 결과이다. 단지 기판의 노출은 오버-에칭 시간 동안에만 이루어지기 때문에, 리세스는 상대적으로 작다. 도 11에는 게이트(64)를 감싸고 있는 측벽 스페이서(70)에 인접하여 소스/드레인 영역(74) 및 소스/드레인 영역(72)을 형성하는 소스/드레인 확장 임플란트 후의 장치(60)가 도시된다.

[0012]

도 12에는 라이너(liner; 76), 층(78) 및 층(80)의 형성 후의 장치(60)가 도시된다. 층(76), (78), (80)은 모두 전형적인 유전 재료들이다. 층(76)은 바람직하게는 산화물이고, 층(78)은 바람직하게는 질화물이며, 층(80)은 바람직하게는 산화물이지만 전형적인 유전체 대신으로 비정질 실리콘이 될 수 있다. 도 13에는 이방성 에칭을 사용한 층(80)으로 형성된 측벽 스페이서(82)가 도시된다. 이것은 라이너로서의 기능을 하는 층(76)의 일부분뿐만 아니라 게이트(64) 및 ARC(68) 위의 영역을 포함하는 측벽 스페이서(82)에 인접하는 영역에서 질화물 층(78)을 노출시킨다. 도 14에는 질화물 에칭이 수행되어 게이트(64) 주변의 질화물 일부분들(84)을 남겨두기 위해 층(78)의 덮여지지 않은 일부분들이 제거된 후의 장치(60)가 도시된다. 또한 이것은 층(76)의 일부분(86)을 남겨두기 위해 ARC(68) 위의 층(76)의 일부분을 제거하는 효과가 있다. 이러한 공정 동안 영역들(72, 74)은 서로를 향해 확산하며 게이트(64) 아래로 확산한다. 기판(62)이 상대적으로 적은 양의 리세스를 갖기 때문에, 확산 공정은 적은 양의 리세스를 복구하는데 효과적이다. 질화물의 제거가 ARC(68)이 제거될 때까지 계속되어, 이는 또한 측벽 스페이서(84)의 높이를 또한 감소시켜 측벽 스페이서(88)를 남긴다. ARC(68)의 모두가 확실히 제거되는데 필요한 오버-에칭으로 인하여 측벽 스페이서(88)는 폴리실리콘(64)보다 약간 더 낮다. 측벽 스페이서(82)와 정렬된 기판(62)에서의 상대적으로 큰 리세스는 우선적으로 ARC(68)를 에칭하는 동안 생긴다. 이러한 에칭은 습식 에칭의 것보다 우수한 결함(defectivity) 특성 때문에 건식 에칭이 더 바람직하다. 건식 에칭은 습식 에칭을 사용하는 것보다 기판(62)에 더 큰 리세스를 생기게 할 것이다. 그러나, 이러한 경우, 게이트(64)와 중첩될 소스/드레인 영역들(72, 74)의 기능에 부정적 영향을 줄 수 있는 영역으로부터 리세스가 상당량 제거되기 때문에 상대적 차이는 재료에 따른 것이 아니다.

[0013]

도 16에는 임플란트 마스크로서 작용하는 측벽 스페이서(82)에 정렬된 무겁게 도핑된 소스/드레인 영역들(90, 92)로 될 무거운 소스/드레인 임플란트 후의 장치(60)가 도시된다. 측벽 스페이서(82)가 비정질 실리콘으로 선택되었다면, 이러한 임플란트 후 측벽 스페이서는 제거되어야 한다. 도 17에는 또한 측벽 스페이서(82)에 정렬되는 규화물 영역들(94, 96)을 형성하는 규화물 단계 후의 장치 구조(60)가 도시된다. 측벽 스페이서(82)가 비정질 실리콘으로 선택되었다면, 규화물 형성 단계 전에 측벽 스페이서는 제거되어야 한다. 서술한 예에서, 측벽 스페이서(82)는 산화물이다. 도 18에는 게이트(64)를 중첩하도록 충분히 확산되는, 소스/드레인 영역들(72, 74)의 일부분들(100, 102), 각각이 도시되어 있다. 측벽 스페이서(70)를 형성하는데 있어서 오버-에칭중에 생긴 상대적으로 작은 리세스는 소스/드레인 영역들(100, 102)이 게이트(64)와 중첩하도록 퍼지는데 필요한 모든 것이다. ARC(68)의 에칭 제거에 의해 생기는 리세스는 도 18에 도시된 최종 장치 구조에서는 볼 수 없다. 리세스 영역에서의 규화물의 형성은 리세스 존재 흔적조차 제거한다. 따라서 건식 에칭에 의한 다른 게이트 영역으로부터 ARC 층의 제거 결과로서 야기된 비교적 큰 리세스 영역의 위치를 이동시킴으로써, 이러한 상대적으로 큰 리세스 영역은 원하는 중첩을 획득하기 위해서 소스/드레인이 확산해야할 거리에 영향을 주지 않는 것을 알 수 있

다.

[0014] 도 19에는 기판(112)에 형성되어 있는 비휘발성 메모리(non-volatile memory; NVM) 트랜지스터(111) 및 일반(regular) 트랜지스터(113)로 이루어진 다른 실시예를 위한 시작점으로 장치 구조(110)가 도시된다. 도 9에 도시된 것과 같이, 트랜지스터(111)는 게이트 산화물(130), 플로팅 게이트(floating gate; 114), 충간(interlayer) 유전체(120), 및 제어 게이트(118)를 포함한다. 일반 트랜지스터(113)는 게이트 산화물(132) 및 게이트(116)를 포함한다. 제어 게이트(118) 위에는 ARC 층(126)이 있으며 게이트(116) 위에는 ARC 층(128)이 있다. 이것은 동시에 형성되고 도 10와 유사한 측벽 스페이서들(122, 124)의 형성의 결과로서 생길 수 있는 트랜지스터들로서 도시된 두 트랜지스터들이다. 그러므로 기판(112)의 표면에 도 19에 (134) 및 (136)으로서 도시된 리세스가 있다. 이러한 리세스는 측벽 스페이서(122)의 형성하는데 있어서 오버-에칭으로 인해 발생한다. 도 20에는 ARC 층들(126, 128)이 습식 에칭을 사용하여 제거된 후의 장치 구조(110)가 도시된다. 습식 에칭을 이용함으로써, 도 20에 (134) 및 (136)으로 도시된 리세스는 건식 에칭이 이용되면 있을 수도 있는 것보다 상당히 더 적다. 전형적인 습식 에칭 화학품은 인산이다. 질화물에 대한 전형적인 건식 에칭은 CF4+HBO이다. 습식 에칭은 측벽 스페이서(122)가 충간 유전체(120)를 보호하기 때문에 이러한 경우에 효과적이다. 충간 유전체(120)를 보호하는 측벽 스페이서(122)가 없는 습식 에칭은 유전층(120)을 붕괴시키며 기억 소자(storage element)(114)와 제어 게이트(118) 간에 문제를 야기한다. 기억 소자(114)와 제어 게이트(118) 간에 누설이 없다는 것이 중요하며, 기억 소자(114)는 여기서 설명된 경우 플로팅 게이트이다. 측벽 스페이서(122)의 보호로, 습식 에칭은 충간 유전체(120)를 손상시키지 않을 것이다. 이것은 또한 ARC(128)가 제거된 결과로 생긴 트랜지스터(113)를 보여준다.

[0015] 도 21에는 마스크로서 측벽 스페이서(122) 및 마스크로서 측벽 스페이서(124)를 사용한 확장 임플란트 후의 장치 구조(110)가 도시된다. 결과적으로 생긴 소스/드레인 확장 영역들(138, 140, 142, 144)이 형성된다. 도 22에는 라이너(146) 및 질화물 층(148)의 증착 후의 장치 구조(110)가 도시된다. 그 후 측벽 스페이서(150) 및 측벽 스페이서(152)를 형성하기 위해 질화물 층(148)은 이방성으로 에칭된다. 측벽 스페이서들(150, 152)의 형성중에 질화물 층(148)의 제거 결과로서, 라이너(146)는, 완벽하지는 않지만, 노출된 그들의 영역들에서 실질적으로 제거된다. 도 24에는 마스크로서 측벽 스페이서들(150, 152)을 이용하여 무겁게 도핑된 소스/드레인 영역들(154, 156, 158, 169)을 형성하기 위해 무거운 임플란트 후의 장치 구조(110)가 도시된다.

[0016] 도 25에는 규화물 영역들(170, 172, 174, 176)을 형성하기 위한 규화물 형성 후의 장치 구조(110)가 도시된다. 따라서 소스/드레인 영역들(142, 144)은 규화물 영역들(170, 172, 174, 176)에 의해, 크게, 소비된다. 유사하게, 게이트 영역들(114, 116)은 규화물 영역들(164, 168) 각각에 의해 어느 정도 소비된다. 이것은 트랜지스터(111)를 위한 폴리실리콘 일부분(167) 및 트랜지스터(113)를 위한 폴리실리콘 일부분(166)을 남긴다. ARC의 제거에 의해 생긴 퍼지는 리세스가 있지만 게이트 영역들(167) 및 (166)을 중첩하기 위해서 소스/드레인 일부분들(178, 180, 182, 184)은 충분히 확장하여 확산한다. 이러한 ARC 제거는 습식 에칭에 의한 것이므로, 리세스들의 양은 건식 에칭보다는 상당히 적다. 건식 에칭이 바람직하지만, 비휘발성 메모리의 경우에는 충분한 중첩을 가지는 것의 중요성은 일반 트랜지스터보다 더욱 크다. 따라서 소스/드레인 영역에 양호한 중첩을 가지도록 하기 위해서는 내부에 전하 저장소(charge storage)를 갖는 영역과 플로팅 게이트 간의 중첩이 더욱 중요하다. 또한 ARC가 제거됨으로써 측벽 스페이서(122)의 형성 후, 리세스들의 위치는 ARC가 이러한 측벽 스페이서의 형성 전에 이루어진 도 1 내지 도 9에 도시된 경우만큼 영향이 심하지는 않다. 도 1 내지 도 9의 경우에는, 측벽 스페이서(24)는 ARC 층의 제거 후 형성된다.

도면의 간단한 설명

[0008] 도 1 내지 도 9는 종래 기술에 따른 반도체 장치의 순차적 단면도들.

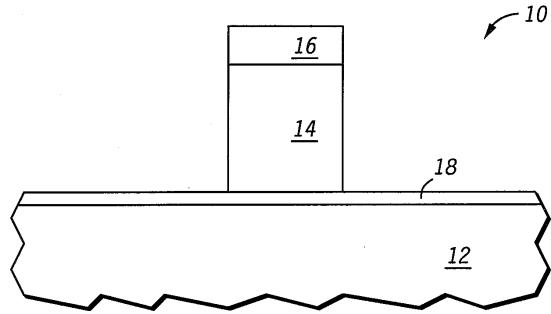
[0009] 도 10 내지 도 18는 본 발명의 일 실시예에 따라 제조된 반도체 장치의 순차적 단면도들.

[0010] 도 19 내지 도 25는 본 발명의 다른 실시예에 따라 제조된 반도체 장치의 순차적 단면도들.

도면

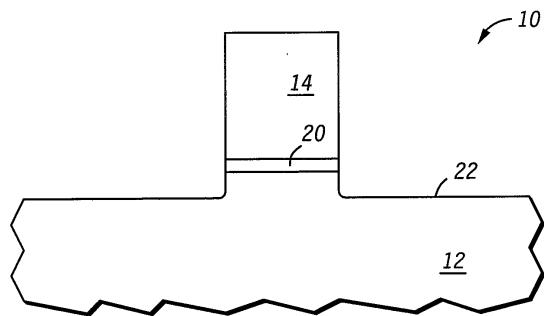
도면1

종래기술



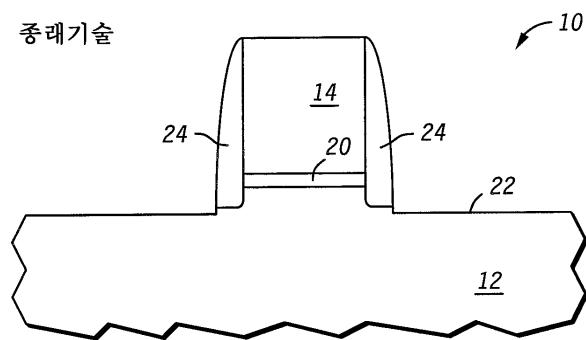
도면2

종래기술



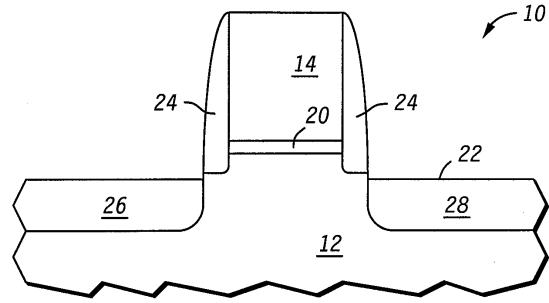
도면3

종래기술



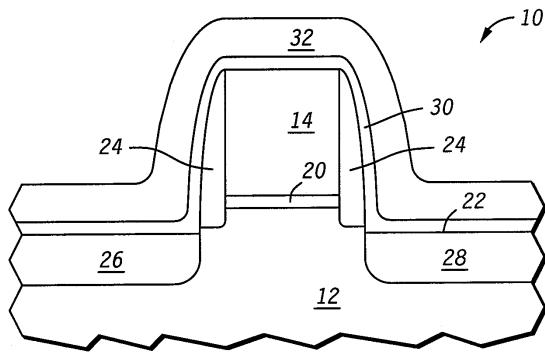
도면4

종래기술



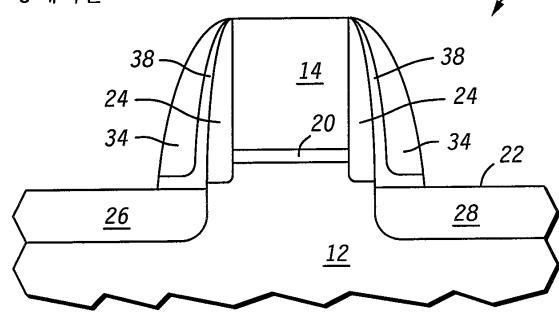
도면5

종래기술



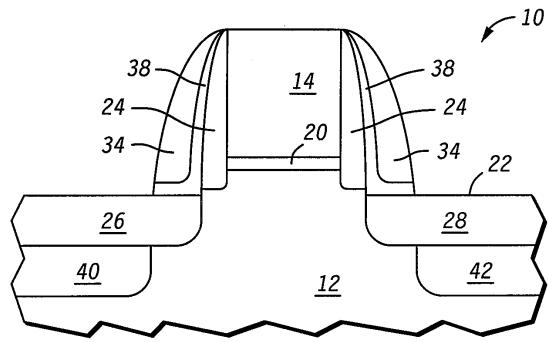
도면6

종래기술



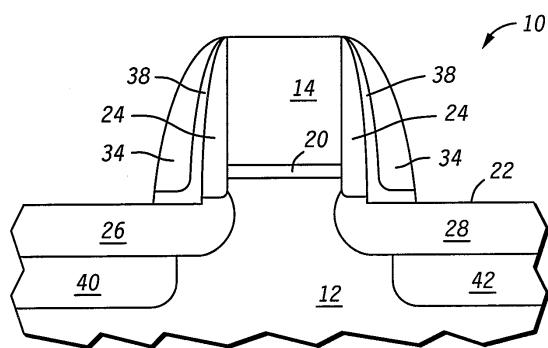
도면7

종래기술



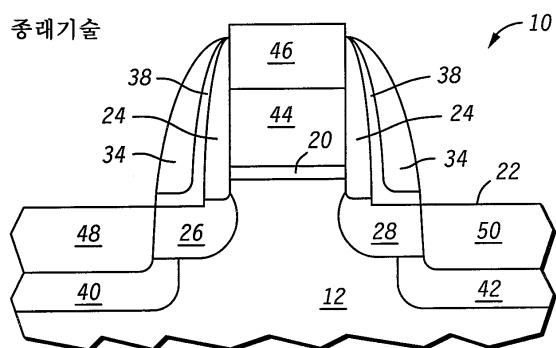
도면8

종래기술

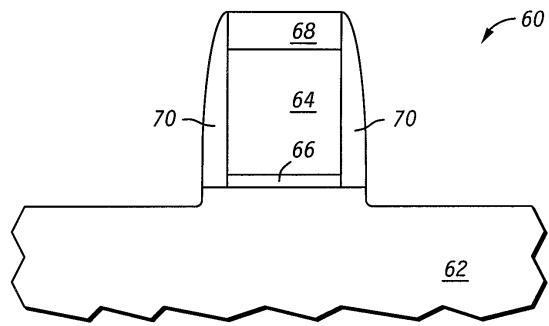


도면9

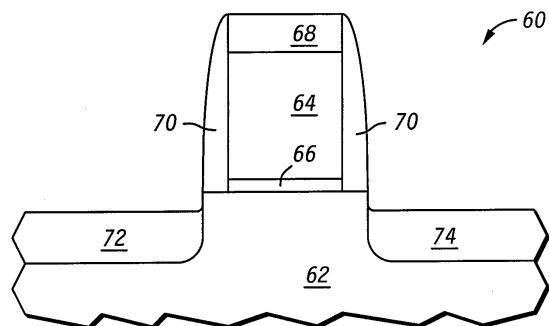
종래기술



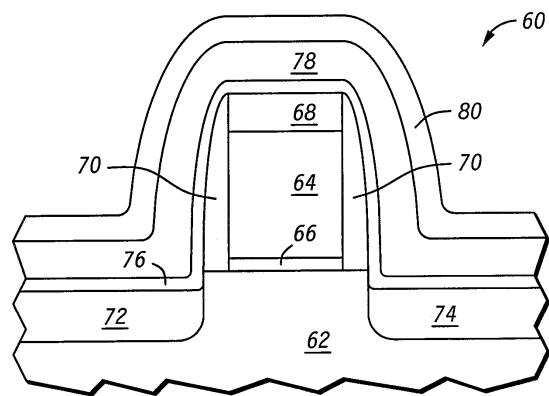
도면10



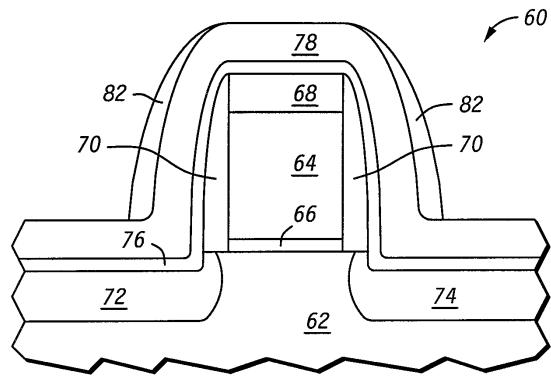
도면11



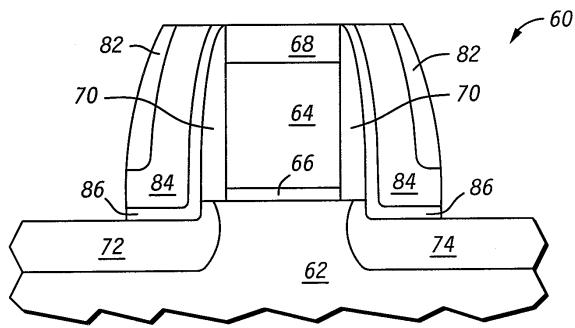
도면12



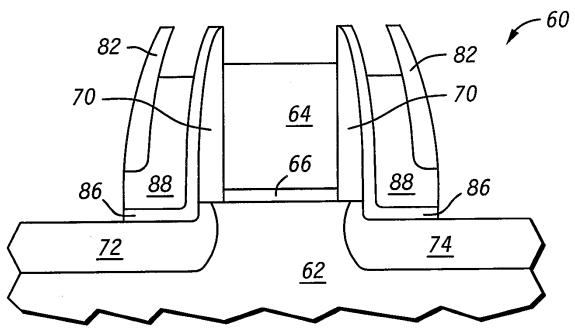
도면13



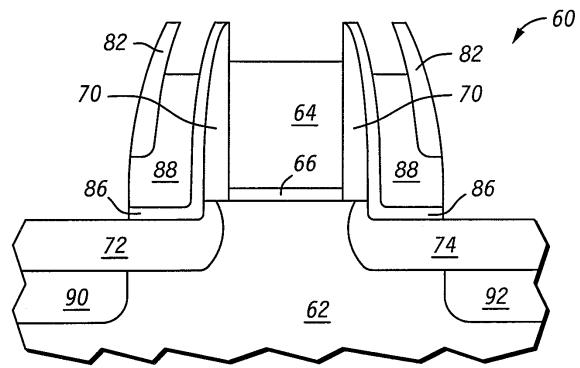
도면14



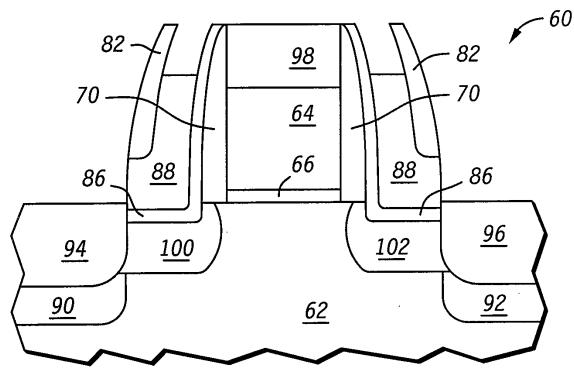
도면15



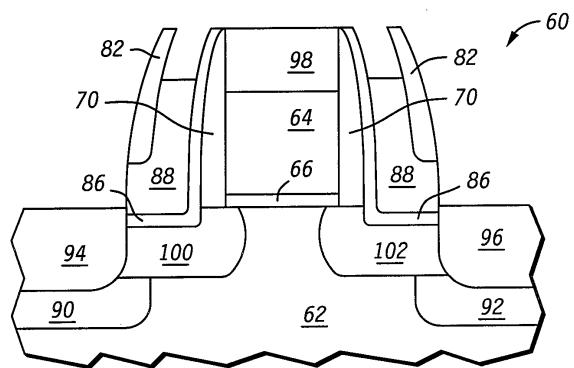
도면16



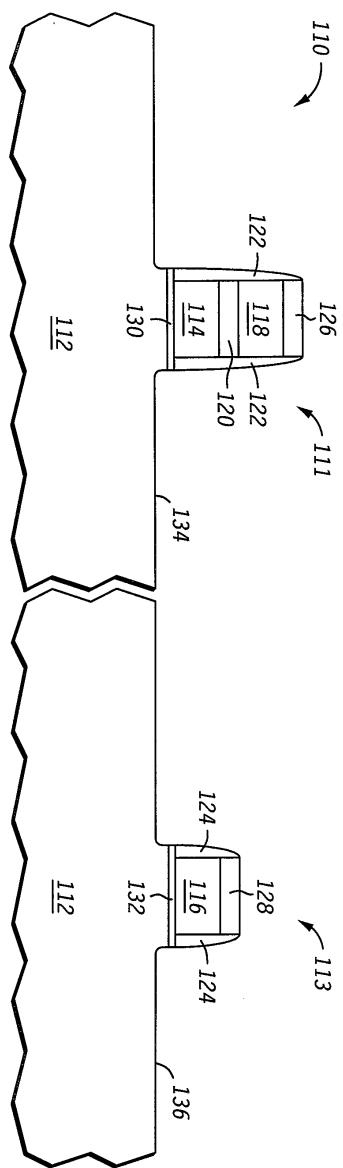
도면17



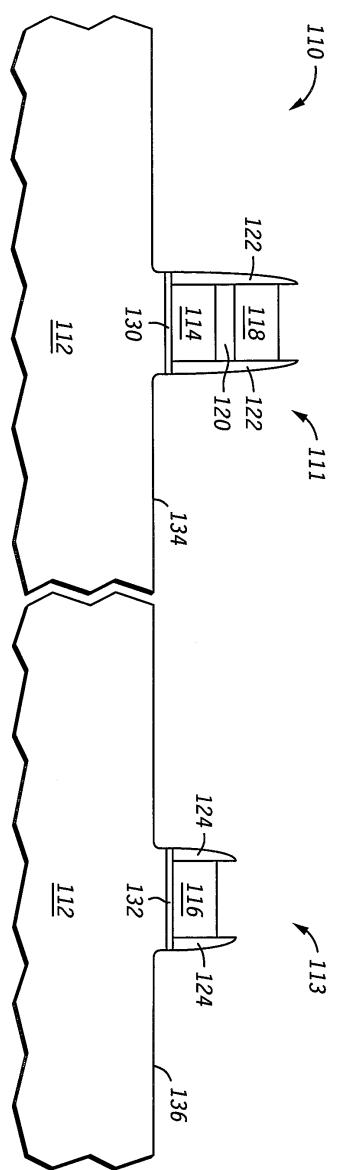
도면18



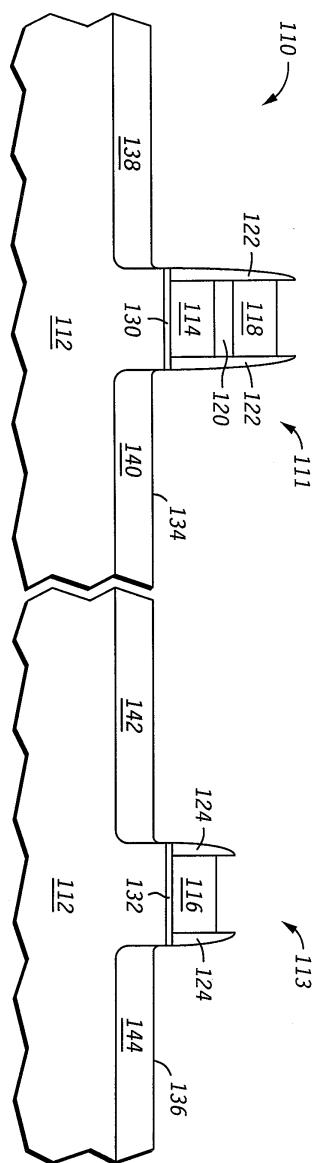
도면19



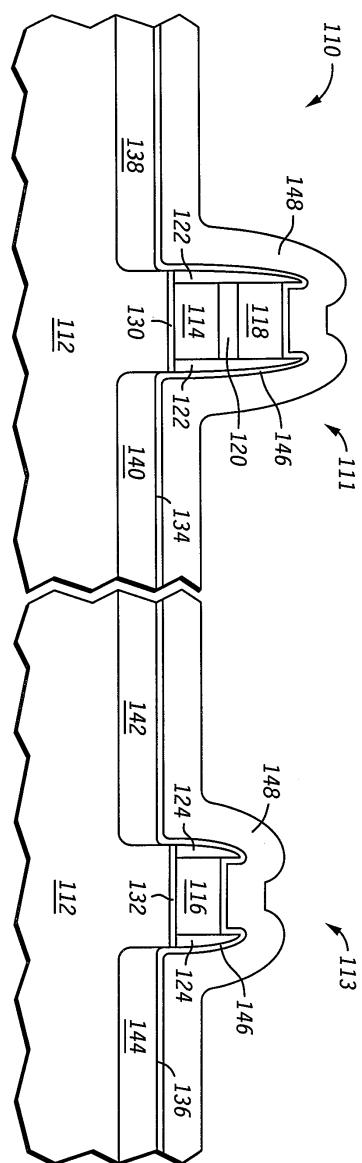
도면20



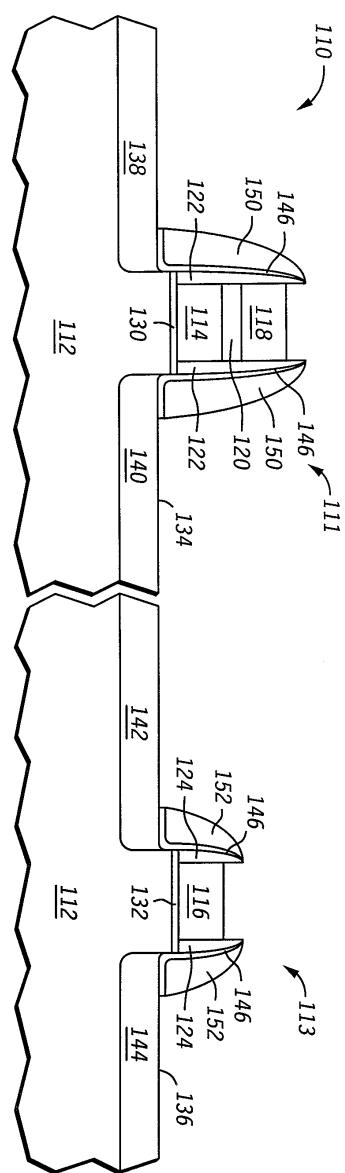
도면21



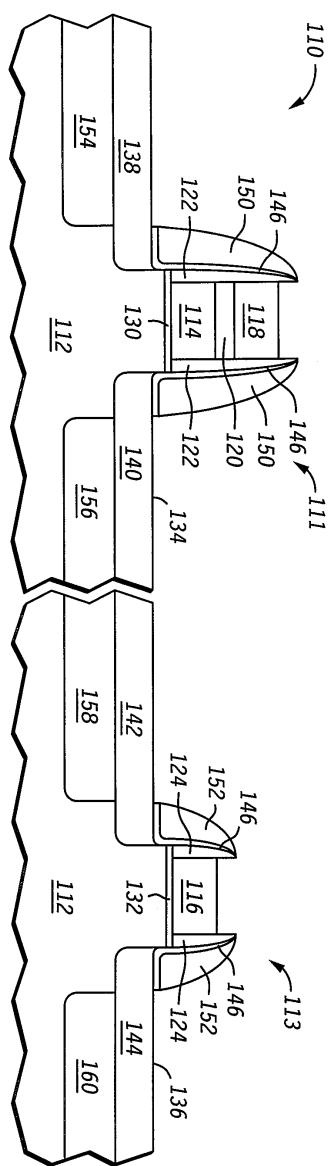
도면22



도면23



도면24



도면25

