(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
H01L 23/12

(11) 공개번호 특2001-0068614
(43) 공개일자 2001년07월23일

(21) 출원번호 10-2000-0000623
(22) 출원일자 2000년01월07일

(71) 출원인 주식회사 하이닉스반도체
박종섭
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 이세용
충청북도청주시흥덕구수곡2동697번지

(74) 대리인 박장원

심사청구 : 없음

(54) 적층형 패키지

요약

본 발명 적층형 패키지는 상부 단품 패키지(20)와 하부 단품 패키지(30)를 적층하여 메모리 용량을 증대시키는데 있어서, 상,하부 단품 패키지(20)(30)의 전기적인 연결이 연결와이어(40)로 이루어지도록 하여, 작업시 많은 열을 가하지 않는 상태에서 와이어링작업이 이루어지므로, 종래와 같은 열변형에 의한 품질불량이 발생되지 않는다.

대표도
도 4

명세서

도면의 간단한 설명

도 1은 종래 적층형 패키지를 보인 정면도.

도 2는 종래 적층형 패키지를 보인 측면도.

도 3는 종래 상부 패키지의 휨이 발생된 상태를 보인 정면도.

도 4는 본 발명 적층형 패키지의 구성을 보인 단면도.

도 5는 본 발명 적층형 패키지의 구성을 보인 측면도.

* 도면의 주요 부분에 대한 부호의 설명 *

20 : 상부 단품 패키지 30 : 하부 단품 패키지

40 : 연결와이어

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 적층형 패키지에 관한 것으로, 특히 적층되는 패키지의 휨발생에 의한 패턴의 손상이 발생되는 것을 방지하도록 하는데 적합한 적층형 패키지에 관한 것이다.

도 1은 종래 적층형 패키지를 보인 정면도이고, 도 2는 종래 적층형 패키지를 보인 측면도로서, 도시된 바와 같이, 종래 적층형 패키지는 하부 단품 패키지(1)의 상부에 상부 단품 패키지(10)가 적층되어 있고, 그 하부 단품 패키지(1)와 상부 단품 패키지(10)는 솔더(S)에 의하여 전기적인 연결이 이루어져 있다.

즉, 하부 단품 패키지(1)의 몰딩부(2) 외측으로 돌출형성된 아웃 리드(3)의 상단부(4)와 상부 단품 패키지(10)의 몰딩부(11) 하면으로 노출된 아웃 리드의 노출부(12)가 솔더(S)를 이용하여 솔더링 접합되어 있다.

상기와 같이 구성되어 있는 종래 적층형 패키지는 하부 단품 패키지(1)의 상부에 상부 단품 패키지(10)를 얼라인 한 다음, 상부 단품 패키지(10)의 아웃리드 노출부(12)와 하부 단품 패키지(1)의 아웃 리드(3) 상단부(4)를 각각 솔더(S)로 솔더링접합하여 적층형 패키지를 완성한다.

그러나, 상기와 같이 구성되어 있는 종래 적층형 패키지는 솔더링접합시 발생하는 열에 의하여 도 3에서와 같이 상부 단품 패키지(10)의 휨이 발생되고, 그와 같이 휨이 발생되며 상부 단품 패키지(10)의 내부 부품의 손상으로 품질불량을 유발하는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

상기와 같은 문제점을 감안하여 안출한 본 발명의 목적은 상부 단품 패키지와 하부 단품 패키지의 전기적인 연결시 발생되는 열에 의하여 품질불량이 발생되는 것을 방지하도록 하는데 적합한 적층형 패키지를 제공함에 있다.

발명의 구성 및 작용

상기와 같은 본 발명의 목적을 달성하기 위하여 상,하부에 위치되도록 적층되어 있는 상,하부 단품 패키지와, 그 상,하부 단품 패키지를 전기적으로 연결하는 연결와이어를 구비하여서 구성되는 것을 특징으로 하는 적층형 패키지가 제공된다.

이하, 상기와 같이 구성되는 본 발명 적층형 패키지를 첨부된 도면의 실시예를 참고하여 보다 상세히 설명하면 다음과 같다.

도 4는 본 발명 적층형 패키지의 구성을 보인 단면도이고, 도 5는 본 발명 적층형 패키지의 구성을 보인 측면도로서, 도시된 바와 같이, BLP형의 상부 단품 패키지(20)와 SOP형의 하부 단품 패키지(30)가 상,하측에 배치되어 있고, 그 상부 단품 패키지(20)와 하부 단품 패키지(30)는 연결와이어(40)에 의하여 전기적으로 연결되어 있다.

상기 상부 단품 패키지(20)는 반도체 칩(21)의 하면 양측에 복수개의 리드(22)가 부착되어 있고, 그 리드(22)들은 칩(21)과 금속와이어(23)로 각각 와이어링되어 있으며, 상기 리드(22)들의 하면이 노출됨과 아울러 칩(21), 금속와이어(23), 리드(22)의 일정부분을 감싸도록 봉지제(24)로 몰딩되어 있다.

상기 하부 단품 패키지(30)는 칩(31)의 상면 양측에 범프(32)로 인너리드(33a)들이 고정부착되어 있고, 그 인너리드(33a), 칩(31), 범프(32)의 일정부분을 감싸도록 봉지제(34)로 몰딩되어 있으며, 상기 인너리드(33a)에 연결됨과 아울러 봉지제(34)의 외측으로 돌출되도록 아웃리드(33b)가 포밍되어 있다.

상기 연결와이어(40)는 상기 상부 단품 패키지(20)의 리드(22)의 노출된 측면(22a)이 연결와이어(40)의 상단부가 접합되고, 하부 단품 패키지(30)의 아웃리드(33b)의 측면에 연결와이어(40)의 하단부가 접합되도록 연결되어 있다.

상기와 같이 구성되어 있는 본 발명 적층형 패키지는 BLP형의 상부 단품 패키지(20)와 SOP형의 하부 단품 패키지(30)를 별도의 제작과정을 거쳐서 제작한다.

즉, 상부 단품 패키지(20)는 칩(21)의 하면 양측에 리드(22)를 고정부착하고, 그 리드(22)와 칩(21)을 금속와이어(23)로 와이어링하며, 그 리드(22)의 하면을 노출시킴과 아울러 칩(21), 금속와이어(23), 리드(22)의 일정부분을 감싸도록 봉지제(24)로 몰딩하여 완성하고, 하부 단품 패키지(30)는 칩(31)의 상면 양측에 범프(32)를 이용하여 인너리드(33a)를 부착하고, 상기 칩(31), 범프(32), 인너리드(33a)의 일정부분을 감싸도록 봉지제(34)로 몰딩한 다음, 아웃리드(33b)를 하향 경사지도록 포밍하여 완성한다.

상기와 같이 별도의 제작과정을 거쳐서 제작되어진 하부 단품 패키지(30)의 상부에 상부 단품 패키지(20)가 위치되도록 얼라인한 다음, 상부 단품 패키지(20)의 리드(22)와 하부 단품 패키지(30)의 아웃리드(33b)를 연결와이어(40)로 연결하는 와이어본딩작업을 실시하여 적층형 패키지를 완성한다.

발명의 효과

이상에서 상세히 설명한 바와 같이, 본 발명 적층형 패키지는 상부 단품 패키지와 하부 단품 패키지의 전기적인 연결이 연결와이어로 이루어지도록 함으로써, 적층작업시 많은 열을 가하지 않는 상태로 적층이 이루어지므로 열변형에 의한 품질불량이 유발되는 것을 방지하는 효과가 있다.

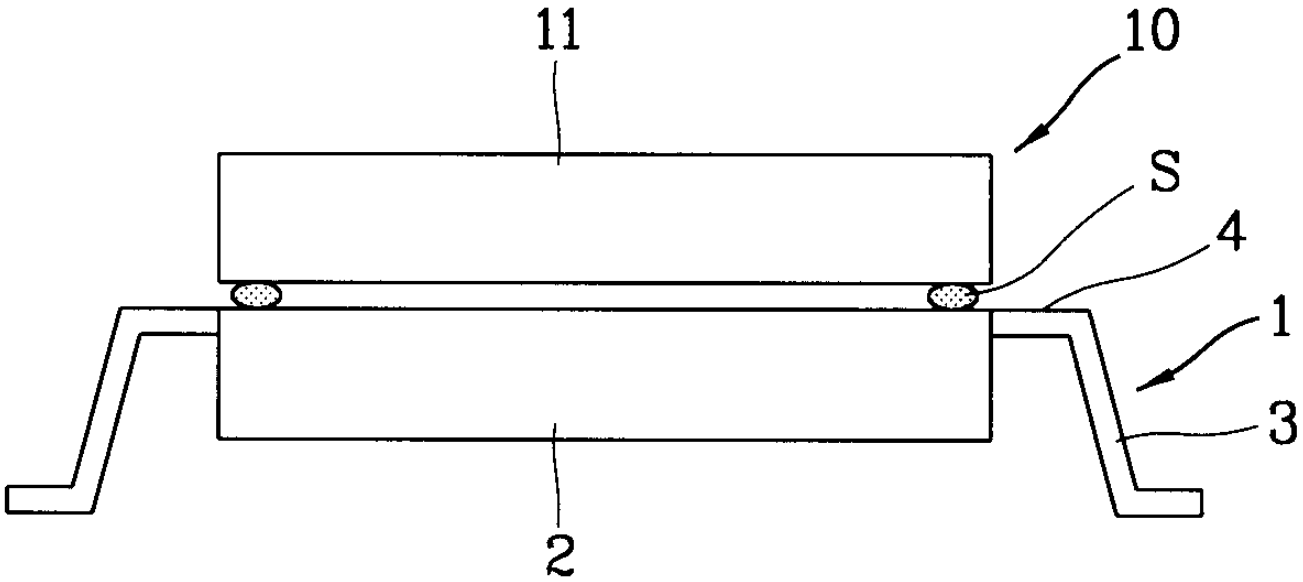
(57) 청구의 범위

청구항 1.

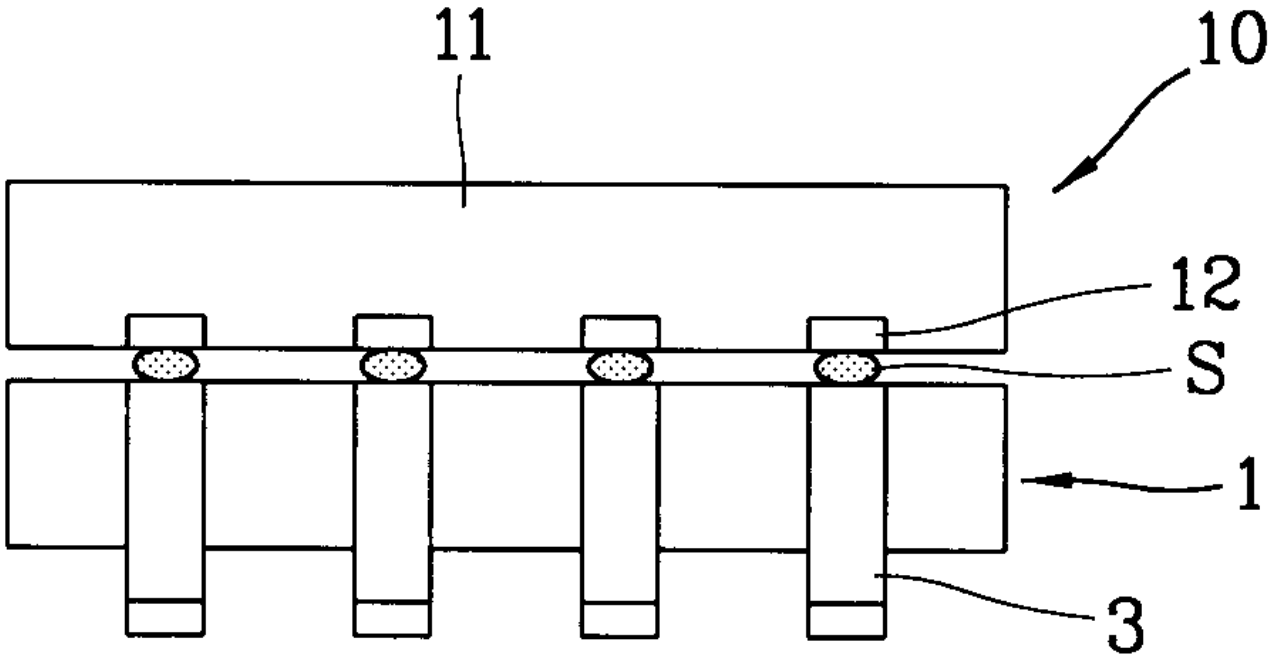
상,하부에 위치되도록 적층되어 있는 상,하부 단품 패키지와, 그 상,하부 단품 패키지를 전기적으로 연결하는 연결와이어를 구비하여서 구성되는 것을 특징으로 하는 적층형 패키지.

도면

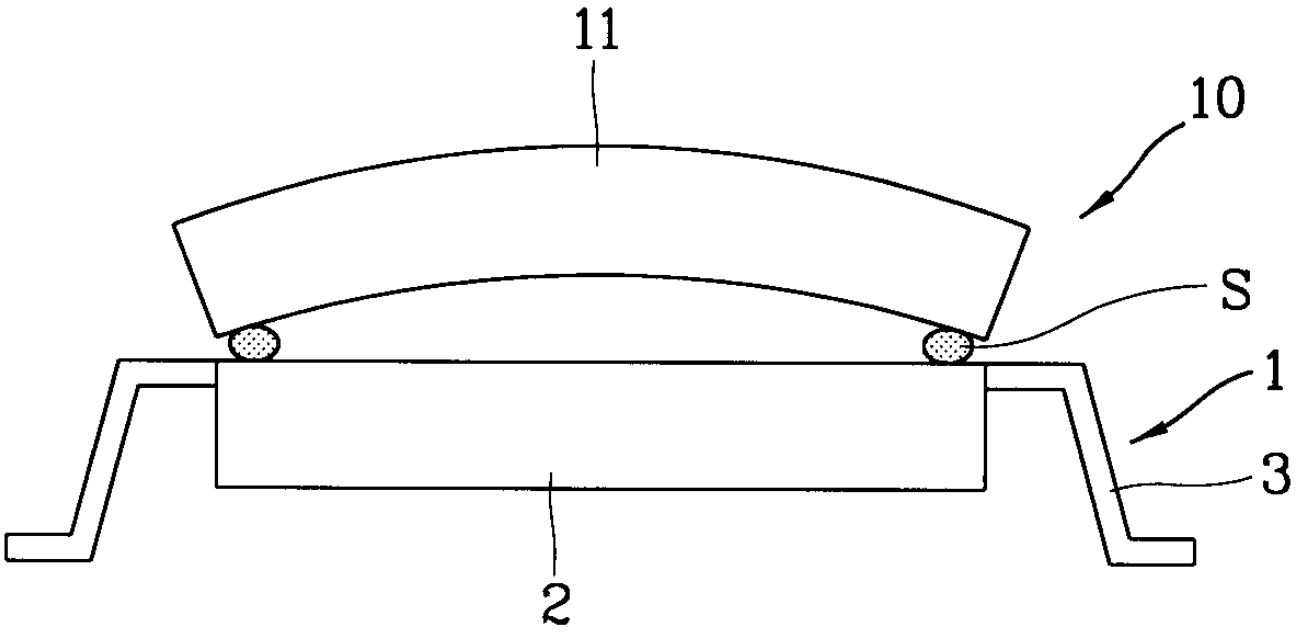
도면 1



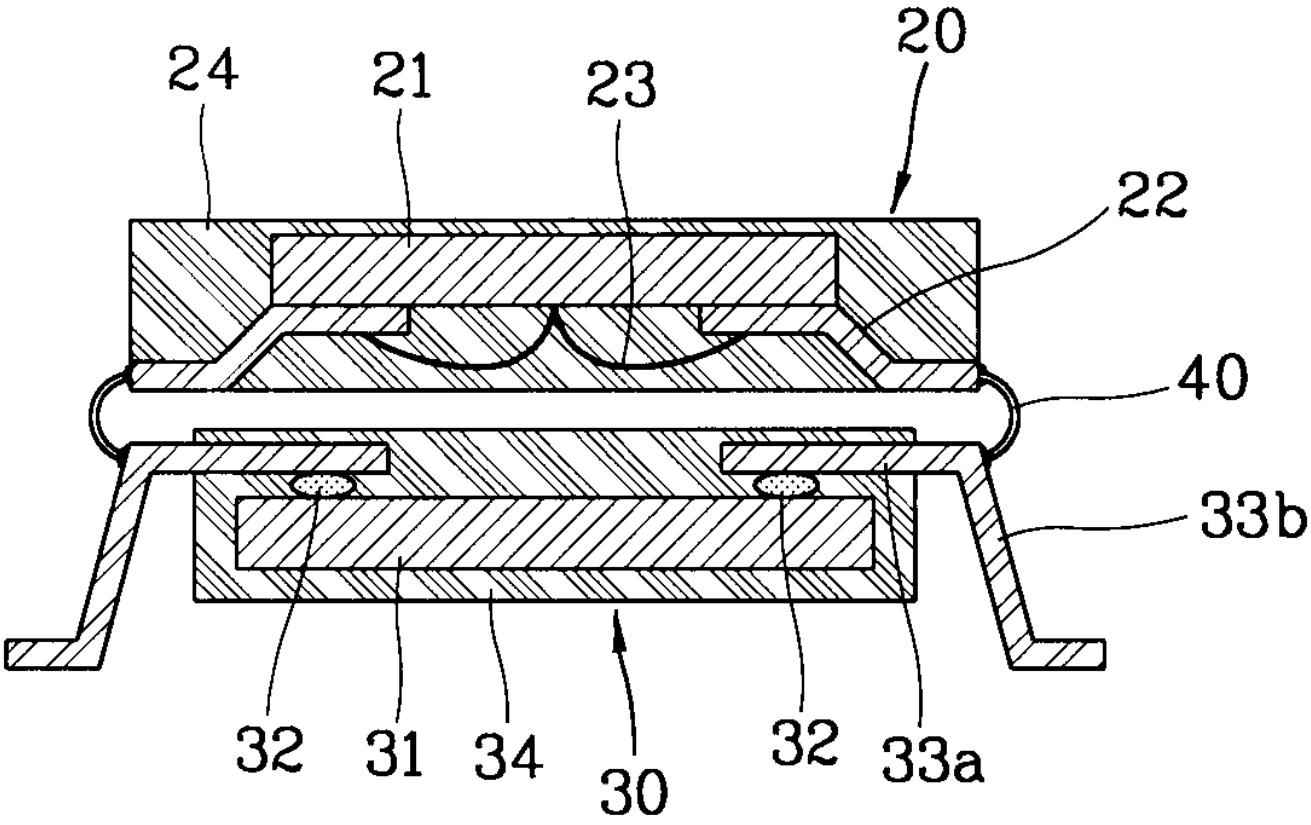
도면 2



도면 3



도면 4



도면 5

