

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年9月17日(17.09.2020)



(10) 国際公開番号

WO 2020/183263 A1

- (51) 国際特許分類:
G06F 30/27 (2020.01) G06F 30/31 (2020.01)
G06F 30/10 (2020.01)
- (21) 国際出願番号: PCT/IB2020/051516
- (22) 国際出願日: 2020年2月24日(24.02.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-042594 2019年3月8日(08.03.2019) JP
特願 2019-088049 2019年5月8日(08.05.2019) JP
特願 2019-194669 2019年10月25日(25.10.2019) JP
- (71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木
市長谷 3 9 8 Kanagawa (JP).
- (72) 発明者: 木村肇(KIMURA, Hajime); 〒2430036
神奈川県厚木市長谷 3 9 8 株式会社半導
体エネルギー研究所内 Kanagawa (JP). 和田

理人(WADA, Rihito); 〒2430036 神奈川県厚木
市長谷 3 9 8 株式会社半導体エネルギー
研究所内 Kanagawa (JP). 木村将之(KIMURA,
Masayuki); 〒2430036 神奈川県厚木市長谷
3 9 8 株式会社半導体エネルギー研究
所内 Kanagawa (JP). 黒川義元(KUROKAWA,
Yoshiyuki); 〒2430036 神奈川県厚木市長谷 3 9
8 株式会社半導体エネルギー研究所内 Kanagawa
(JP). 青木健(AOKI, Takeshi); 〒2430036 神奈
川県厚木市長谷 3 9 8 株式会社半導体エ
ネルギー研究所内 Kanagawa (JP).

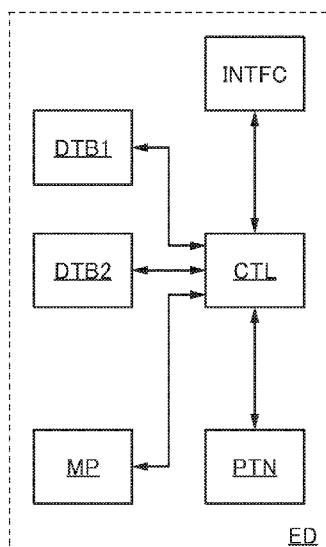
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,

(54) Title: AI SYSTEM AND OPERATION METHOD OF AI SYSTEM

(54) 発明の名称: AIシステム、及びAIシステムの動作方法

図1

SIH



(57) Abstract: A system is provided which creates a netlist from a circuit diagram or a document indicating a circuit configuration. This AI system comprises a first electronic device, and the first electronic device comprises an input/output interface, a control unit, and a first conversion unit, wherein the input/output interface is electrically connected to the control unit and the first conversion unit is electrically connected to the control unit. The input/output interface has the function of sending input data generated by user operation to the control unit, and the control unit has the function of sending the input data to the first conversion unit. Here, the input data is a circuit diagram depicting a circuit configuration, or a document file indicating the circuit configuration. The first conversion unit has a circuit configuring a neural network, and the neural network of the first conversion unit is used to convert the input data to a netlist.

QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(57) 要約: 回路図、又は回路構成を示す文書からネットリストを作成するシステムを提供する。第1電子機器を有し、第1電子機器は、入出力インターフェースと、制御部と、第1変換部と、を有する、AIシステムであって、入出力インターフェースは、制御部に電氣的に接続され、第1変換部は、制御部に電氣的に接続されている。入出力インターフェースは、ユーザが操作することによって生成された入力データを制御部に送信する機能を有し、制御部は、入力データを第1変換部に送信する機能を有する。なお、入力データは、回路構成が描かれた回路図、又は回路構成が示された文書ファイルとする。第1変換部は、ニューラルネットワークが構成された回路を有しており、第1変換部のニューラルネットワークを用いて入力データをネットリストに変換する。

明細書

発明の名称

A I システム、及び A I システムの動作方法

技術分野

[0001]

本発明の一態様は、A I システム、及び A I システムの動作方法に関する。

[0002]

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、又は、製造方法に関するものである。又は、本発明の一態様は、プロセス、マシン、マニュファクチャ、又は、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、蓄電装置、撮像装置、記憶装置、信号処理装置、プロセッサ、電子機器、システム、それらの駆動方法、それらの製造方法、又はそれらの検査方法を一例として挙げることができる。

背景技術

[0003]

人工ニューラルネットワーク（以下、ニューラルネットワークと呼称する。）は、神経回路網をモデルにした情報処理システムである。ニューラルネットワークを利用することで、従来のノイマン型コンピュータよりも高性能なコンピュータが実現できると期待されており、近年、電子回路上でニューラルネットワークを構築する種々の研究が進められている。

[0004]

例えば、特許文献1には、二次電池の充電特性を画像用データに変換して、畳み込みニューラルネットワーク（CNN）を用いて、当該画像用データから二次電池の正常な特性と、異常な特性とを判別する、制御システムが開示されている。また、例えば、特許文献2には、ニューラルネットワークなどを用いて、文献データを解析するシステムが開示されている。

[先行技術文献]

[特許文献]

[0005]

[特許文献1] 国際公開第2019/021095号

[特許文献2] 特開2018-49430号公報

発明の概要

発明が解決しようとする課題

[0006]

電子機器、半導体装置、半導体ウェハなどを作製する場合、例えば、それらの仕様をあらかじめ定めておき、当該仕様に基づいて回路図の作成が行われる。しかし、仕様が同じであっても、回路図の作成者によっては、配線、回路素子などの向き、配置などが異なって設計される場合がある。このため、仕様及び回路構成は同じであっても、回路図の見た目が異なってしまうことがある。

[0007]

つまり、仕様及び回路構成が同じであっても、その回路の表し方によっては、数多くのパターンの回路図が存在しえる。このため、AI（Artificial Intelligence）な

どによる画像認識の処理を用いて、例えば、あるデータベース内に対して、回路図を入力画像として画像検索を行うとき、当該データベース内に仕様及び回路構成が当該回路図と同じ回路が存在したとしても、見た目が入力画像と異なる場合があるため、当該データベース内の回路は画像検索の結果に出力されないことがある。

[0008]

本発明の一態様は、回路構成を示す画像又は文書をネットリストに変換するA Iシステムを提供することを課題の一とする。又は、本発明の一態様は、回路構成の検索が可能なA Iシステムを提供することを課題の一とする。又は、本発明の一態様は、新規のA Iシステムを提供することを課題の一とする。又は、本発明の一態様は、新規のA Iシステムの動作方法を提供することを課題の一とする。

[0009]

なお本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した課題、及び他の課題のうち、少なくとも一つの課題を解決するものである。なお、本発明の一態様は、上記列挙した課題、及び他の課題の全てを解決する必要はない。

課題を解決するための手段

[0010]

(1)

本発明の一態様は、第1電子機器を有し、第1電子機器は、入出力インターフェースと、制御部と、第1変換部と、を有するA Iシステムである。入出力インターフェースは、制御部に電氣的に接続され、第1変換部は、制御部に電氣的に接続されている。また、入出力インターフェースは、ユーザが操作することによって生成された入力データを制御部に送信する機能を有し、制御部は、入力データを第1変換部に送信する機能を有する。第1変換部は、ニューラルネットワークが構成された回路を有し、第1変換部は、ニューラルネットワークによって入力データを第1ネットリストに変換する機能を有する。なお、入力データは、回路構成が描かれた回路図、又は回路構成が示された文書ファイルである。

[0011]

(2)

又は、本発明の一態様は、上記(1)の構成において、第1電子機器は、第1データベースと、第2データベースと、を有してもよい。第1データベースは、制御部に電氣的に接続され、第2データベースは、制御部に電氣的に接続されている。第1データベースには、第2ネットリストが保存されており、第2データベースには、第2ネットリストに紐付けされた文献データが保存されている。制御部は、第1データベースを対象に、第1ネットリストの回路構成の検索を行う機能と、第1ネットリストの回路構成の検索において、第2ネットリストが見つかった場合に、文献データを第2データベースから読み出して、入出力インターフェースに出力する機能と、を有する。

[0012]

(3)

又は、本発明の一態様は、上記(1)の構成において、第2電子機器を有し、第1電子機器は、

外部インターフェースを有し、第2電子機器は、第3データベースと、第4データベースと、を有してもよい。第3データベースは、外部インターフェースに電氣的に接続され、第4データベースは、外部インターフェースに電氣的に接続され、第3データベースには、第2ネットリストが保存されており、第4データベースには、第2ネットリストに紐付けされた文献データが保存されている。制御部は、外部インターフェースを介して、第2電子機器と通信を行って、第3データベースを対象に、第1ネットリストの回路構成の検索を行う機能と、第1ネットリストの回路構成の検索において、第3データベースから第2ネットリストが見つかった場合に、文献データを第4データベースから読み出して、入出力インターフェースに出力する機能と、を有する。

[0013]

(4)

又は、本発明の一態様は、第1電子機器と、第2電子機器と、を有し、第1電子機器は、入出力インターフェースと、制御部と、外部インターフェースと、を有し、第2電子機器は、第2変換部を有するAIシステムである。入出力インターフェースは、制御部に電氣的に接続され、外部インターフェースは、制御部と、第2電子機器の第2変換部に電氣的に接続されている。また、入出力インターフェースは、ユーザが操作することによって生成された入力データを制御部に送信する機能を有し、制御部は、入力データを、外部インターフェースを介して、第2電子機器の第2変換部に送信する機能を有する。第2変換部は、ニューラルネットワークが構成された回路を有し、第2変換部は、ニューラルネットワークによって入力データを第1ネットリストに変換する機能を有し、制御部は、外部インターフェースを介して、第2電子機器から第1ネットリストを取得する機能を有する。なお、入力データは、回路構成が描かれた回路図、又は回路構成が示された文書ファイルである。

[0014]

(5)

又は、本発明の一態様は、上記(4)の構成において、第2電子機器は、第3データベースと、第4データベースと、を有してもよい。第3データベースは、外部インターフェースに電氣的に接続され、第4データベースは、外部インターフェースに電氣的に接続されている。また、第3データベースには、第2ネットリストが保存されており、第4データベースには、第2ネットリストに紐付けされた文献データが保存されている。制御部は、外部インターフェースを介して、第2電子機器と通信を行って、第3データベースを対象に、第1ネットリストの回路構成の検索を行う機能と、第1ネットリストの回路構成の検索において、第3データベースから第2ネットリストが見つかった場合に、文献データを第4データベースから読み出して、入出力インターフェースに出力する機能と、を有する。

[0015]

(6)

又は、本発明の一態様は、入出力インターフェースと、制御部と、第1変換部と、を有するAIシステムの動作方法である。第1変換部は、ニューラルネットワークが構成された回路を有しており、入出力インターフェースは、制御部に電氣的に接続され、第1変換部は、制御部に電氣的に接続されている。AIシステムの動作方法は、第1乃至第3ステップを有する。第1ステップは、ユーザによって作成された入力データが、制御部に入力されるステップを有し、第2ステップは、第1変換部のニューラルネットワークによって、入力データを第1ネットリストに変換するステップ

を有し、第3ステップは、制御部を介して、入出力インターフェースに出力するステップを有する。

[0016]

(7)

又は、本発明の一態様である上記(6)の動作方法は、第4乃至第6ステップを有してもよい。A1システムは、第1データベースと、第2データベースと、を有し、また、第1データベースは、制御部に電氣的に接続され、第2データベースは、制御部に電氣的に接続されている。第1データベースには、第2ネットリストが保存されており、第2データベースには、第2ネットリストに紐付けされた文献データが保存されている。第4ステップは、第1データベースを対象に、第1ネットリストの回路構成の検索を行うステップを有し、第5ステップは、第4ステップで第1データベースから第2ネットリストが見つかった場合に、文献データを第2データベースから読み出して、入出力インターフェースに出力するステップを有し、第6ステップは、第4ステップで第1データベースから第2ネットリストが見つからなかった場合に、制御部が、第1ネットリストが第1データベースから見つからなかったという情報を入出力インターフェースに出力するステップを有する。

[0017]

なお、本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子(トランジスタ、ダイオード、フォトダイオード等)を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップや、パッケージにチップを収納した電子部品は半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置及び電子機器等は、それ自体が半導体装置であり、半導体装置を有している場合がある。

[0018]

また、本明細書等において、XとYとが接続されていると記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図又は文章に示された接続関係に限定されず、図又は文章に示された接続関係以外のものも、図又は文章に開示されているものとする。X、Yは、対象物(例えば、装置、素子、回路、配線、電極、端子、導電膜、層など)であるとする。

[0019]

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子(例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示デバイス、発光デバイス、負荷など)が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態(オン状態)、又は、非導通状態(オフ状態)になり、電流を流すか流さないかを制御する機能を有している。

[0020]

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路(例えば、論理回路(インバータ、NAND回路、NOR回路など)、信号変換回路(デジタルアナログ変換回路、アナログデジタル変換回路、ガンマ補正回路など)、電位レベル変換回路(電源回路(昇圧回路、降圧回路など)、信号の電位レベルを変えるレベルシフト回路など)、電圧源、電流源、切り替え回路、増幅回路(信号振幅又は電流量などを大きくできる回路、オープン

プ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。

[0021]

なお、XとYとが電氣的に接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

[0022]

また、例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。又は、「トランジスタのソース（又は第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この順序で電氣的に接続されている」と表現することができる。又は、「Xは、トランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とを介して、Yと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

[0023]

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

[0024]

また、本明細書等において、「抵抗素子」とは、抵抗値を有する回路素子、配線などとする。そのため、本明細書等において、「抵抗素子」は、抵抗値を有する配線、ソースドレイン間に電流が流れるトランジスタ、ダイオード、コイルなどを含むものとする。そのため、「抵抗素子」という用語は、「抵抗」「負荷」「抵抗値を有する領域」などの用語に言い換えることができ、逆に「抵抗」「負荷」「抵抗値を有する領域」という用語は、「抵抗素子」などの用語に言い換えるこ

とができる。抵抗値としては、例えば、好ましくは $1\text{ m}\Omega$ 以上 $10\text{ }\Omega$ 以下、より好ましくは $5\text{ m}\Omega$ 以上 $5\text{ }\Omega$ 以下、更に好ましくは $10\text{ m}\Omega$ 以上 $1\text{ }\Omega$ 以下とすることができる。また、例えば、 $1\text{ }\Omega$ 以上 $1 \times 10^9\text{ }\Omega$ 以下としてもよい。

[0025]

また、本明細書等において、「容量素子」とは、静電容量の値を有する回路素子、静電容量の値を有する配線の領域、寄生容量、トランジスタのゲート容量などとする。そのため、本明細書等において、「容量素子」は、1対の電極と、当該電極の間に含まれている誘電体と、を含む回路素子だけでなく、配線と配線との間に現れる寄生容量、トランジスタのソース又はドレインの一方とゲートとの間に現れるゲート容量などを含むものとする。また、「容量素子」「寄生容量」「ゲート容量」などという用語は、「容量」などの用語に言い換えることができ、逆に、「容量」という用語は、「容量素子」「寄生容量」「ゲート容量」などの用語に言い換えることができる。また、「容量」の「1対の電極」という用語は、「1対の導電体」「1対の導電領域」「1対の領域」などに言い換えることができる。なお、静電容量の値としては、例えば、 0.05 fF 以上 10 pF 以下とすることができる。また、例えば、 1 pF 以上 $10\text{ }\mu\text{F}$ 以下としてもよい。

[0026]

また、本明細書等において、トランジスタは、ゲート、ソース、及びドレインと呼ばれる3つの端子を有する。ゲートは、トランジスタの導通状態を制御する制御端子である。ソース又はドレインとして機能する2つの端子は、トランジスタの入出力端子である。2つの入出力端子は、トランジスタの導電型（nチャネル型、pチャネル型）及びトランジスタの3つの端子に与えられる電位の高低によって、一方がソースとなり他方がドレインとなる。このため、本明細書等においては、ソースやドレインの用語は、言い換えることができるものとする。また、本明細書等では、トランジスタの接続関係を説明する際、「ソース又はドレインの一方」（又は第1電極、又は第1端子）、「ソース又はドレインの他方」（又は第2電極、又は第2端子）という表記を用いる。なお、トランジスタの構造によっては、上述した3つの端子に加えて、バックゲートを有する場合がある。この場合、本明細書等において、トランジスタのゲート又はバックゲートの一方を第1ゲートと呼称し、トランジスタのゲート又はバックゲートの他方を第2ゲートと呼称することがある。更に、同じトランジスタにおいて、「ゲート」と「バックゲート」の用語は互いに入れ換えることができる場合がある。また、トランジスタが、3以上のゲートを有する場合は、本明細書等においては、それぞれのゲートを第1ゲート、第2ゲート、第3ゲートなどと呼称することがある。

[0027]

また、本明細書等において、ノードは、回路構成やデバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

[0028]

また、本明細書等において、「電圧」と「電位」は、適宜言い換えることができる。「電圧」は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、「電圧」を「電位」に言い換えることができる。グラウンド電位は必ずしも 0 V を意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等を与える電位を変化させる場合がある。

[0029]

一般的に、「電流」とは、正の荷電体の移動に伴う電荷の移動現象（電気伝導）として定義されているが、「正の荷電体の電気伝導が起きている」という記載は、「その逆向きに負の荷電体の電気伝導が起きている」と換言することができる。そのため、本明細書等において、「電流」とは、特に断らない限り、キャリアの移動に伴う電荷の移動現象（電気伝導）をいうものとする。ここでいうキャリアとは、電子、正孔、アニオン、カチオン、錯イオン等が挙げられ、電流の流れる系（例えば、半導体、金属、電解液、真空中など）によってキャリアが異なる。また、配線等における「電流の向き」は、正のキャリアが移動する方向とし、正の電流量で記載する。換言すると、負のキャリアが移動する方向は、電流の向きと逆の方向となり、負の電流量で表現される。そのため、本明細書等において、電流の正負（又は電流の向き）について断りがない場合、「素子Aから素子Bに電流が流れる」等の記載は「素子Bから素子Aに電流が流れる」等に言い換えることができるものとする。また、「素子Aに電流が入力される」等の記載は「素子Aから電流が出力される」等に言い換えることができるものとする。

[0030]

また、本明細書等において、「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第2」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

[0031]

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている場合がある。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書等で説明した語句に限定されず、状況に応じて適切に言い換えることができる。例えば、「導電体の上面に位置する絶縁体」の表現では、示している図面の向きを180度回転することによって、「導電体の下面に位置する絶縁体」と言い換えることができる。

[0032]

また、「上」や「下」の用語は、構成要素の位置関係が直上又は直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層A上の電極B」の表現であれば、絶縁層Aの上に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を含むものを除外しない。

[0033]

また、本明細書等において、「膜」、「層」などの語句は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。又は、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。又は、場合によっては、又は、状況に応じて、「膜」、「層」などの語句を使わずに、別の用語に入れ替えることが可能である。例えば、「導電層」又は「導電膜」という用語を、「導電体」という用語に変更することが可能な場合がある。又は、例えば、「絶縁層」、「絶縁膜」という用語を、「絶縁体」という用語に変更することが可能な場合がある。

[0034]

また、本明細書等において「電極」、「配線」、「端子」などの用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。また、例えば、「端子」は「配線」や「電極」の一部として用いられることがあり、その逆もまた同様である。更に、「端子」の用語は、複数の「電極」、「配線」、「端子」などが一体となって形成されている場合なども含む。そのため、例えば、「電極」は「配線」又は「端子」の一部とすることができ、また、例えば、「端子」は「配線」又は「電極」の一部とすることができる。また、「電極」、「配線」、「端子」などの用語は、場合によって、「領域」などの用語に置き換える場合がある。

[0035]

また、本明細書等において、「配線」、「信号線」、「電源線」などの用語は、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「配線」という用語を、「信号線」という用語に変更することが可能な場合がある。また、例えば、「配線」という用語を、「電源線」などの用語に変更することが可能な場合がある。また、その逆も同様で、「信号線」、「電源線」などの用語を、「配線」という用語に変更することが可能な場合がある。「電源線」などの用語は、「信号線」などの用語に変更することが可能な場合がある。また、その逆も同様で「信号線」などの用語は、「電源線」などの用語に変更することが可能な場合がある。また、配線に印加されている「電位」という用語を、場合によっては、又は、状況に応じて、「信号」などという用語に変更することが可能な場合がある。また、その逆も同様で、「信号」などの用語は、「電位」という用語に変更することが可能な場合がある。

[0036]

本明細書等において、半導体の不純物とは、例えば、半導体層を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物である。不純物が含まれることにより、例えば、半導体にDOS (Density of States) が形成されることや、キャリア移動度が低下することや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、主成分以外の遷移金属などがあり、特に、例えば、水素（水にも含まれる）、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。半導体がシリコン層である場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

[0037]

本明細書等において、スイッチとは、導通状態（オン状態）、又は、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。又は、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。一例としては、電氣的なスイッチ、機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。

[0038]

電氣的なスイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM (Metal Insulator Metal) ダイオード、MIS (Meta

Insulator Semiconductor) ダイオード、ダイオード接続のトランジスタなど)、又はこれらを組み合わせた論理回路などがある。なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、トランジスタのソース電極とドレイン電極が電氣的に短絡されているとみなせる状態をいう。また、トランジスタの「非導通状態」とは、トランジスタのソース電極とドレイン電極が電氣的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場合には、トランジスタの極性(導電型)は特に限定されない。

[0039]

機械的なスイッチの一例としては、MEMS(マイクロ・エレクトロ・メカニカル・システム)技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

[0040]

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」又は「概略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」又は「概略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

発明の効果

[0041]

本発明の一態様によって、回路構成を示す画像又は文書をネットリストに変換するAIシステムを提供することができる。又は、本発明の一態様によって、回路構成の検索が可能なAIシステムを提供することができる。又は、本発明の一態様によって、新規のAIシステムを提供することができる。又は、本発明の一態様によって、新規のAIシステムの動作方法を提供することができる。

[0042]

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、及び他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

図面の簡単な説明

[0043]

図1は、システムの構成例を示すブロック図である。

図2は、システムの構成例を示すブロック図である。

図3は、システムの動作例を示すフローチャートである。

図4は、システムの動作例を示すフローチャートである。

図5は、回路図からネットリストを作成する手順を説明する図である。

図6は、文書ファイルからネットリストを作成する手順を説明する図である。

図7は、システムの動作例を説明するブロック図である。

図 8 A 及び図 8 B は、階層型のニューラルネットワークを説明する図である。

図 9 は、演算回路の構成例を示すブロック図である。

図 10 は、演算回路が有する回路の構成例を示す回路図である。

図 11 は、演算回路の動作例を示すタイミングチャートである。

図 12 は、演算回路の構成例を示すブロック図である。

図 13 は、演算回路の構成例を示す回路図である。

図 14 は、演算回路の構成例を示す回路図である。

図 15 は、演算回路の構成例を示す回路図である。

図 16 は、図 15 の演算回路の等価回路の例を示す回路図である。

図 17 は、演算回路の構成例を示すブロック図である。

図 18 は、演算回路の動作例を示すタイミングチャートである。

図 19 は、半導体装置の構成を説明する断面模式図である。

図 20 は、半導体装置の構成を説明する断面模式図である。

図 21 A 乃至図 21 C は、半導体装置の構成を説明する断面模式図である。

図 22 A 及び図 22 B は、トランジスタの構成例を説明する断面模式図である。

図 23 は、半導体装置の構成例を説明する断面模式図である。

図 24 A 及び図 24 B は、トランジスタの構成例を説明する断面模式図である。

図 25 は、半導体装置の構成例を説明する断面模式図である。

図 26 A は容量の構成例を示す上面図であり、図 26 B 及び図 26 C は容量の構成例を示す断面斜視図である。

図 27 A は容量の構成例を示す上面図であり、図 27 B は容量の構成例を示す断面図であり、図 27 C は容量の構成例を示す断面斜視図である。

図 28 A は I G Z O の結晶構造の分類を説明する図であり、図 28 B は石英ガラスの X R D スペクトルを説明する図であり、図 28 C は結晶性 I G Z O の X R D スペクトルを説明する図であり、図 28 D は結晶性 I G Z O の極微電子線回折パターンを説明する図である。

図 29 A は試作した半導体装置に含まれている乗算回路の構成を示す回路図であり、図 29 B は試作した半導体装置を撮影した光学顕微鏡写真である。

図 30 A は試作した半導体装置に含まれている乗算回路に V_w に相当するデータを書き込み、配線 V_x に電圧 V_x を印加した場合の当該乗算回路のトランジスタ M_2 のソースドレイン間電流 I_{DS} (V_w 、 V_x) を示すグラフであり、図 30 B は図 30 A より算出した試作した半導体装置に含まれている乗算回路の乗算特性を示すグラフである。

図 31 は試作した半導体装置に含まれている乗算回路の乗算特性の温度依存性を示すグラフである。

図 32 A 及び図 32 B は、試作した半導体装置に含まれている乗算回路の乗算特性の時間変化を示したグラフである。

図 33 A は試作した半導体装置に含まれている乗算回路の乗算特性を示したグラフであり、図 33 B は試作した半導体装置に含まれている乗算回路に対して、各電位を書き込んだときの乗算特性のばらつきの度合いを示したグラフである。

図 34 は試作した半導体装置に含まれている複数の乗算回路のそれぞれの読み出し電流の素子ばらつきの度合いを示したグラフである。

図 35 A、図 35 B、図 35 C、図 35 D は、モンテカルロ解析によって求められた、複数の乗算

回路の構成における読み出し電流の素子ばらつきの度合いを示したグラフである。

図36は、推論精度を算出するために用いた、階層型の人工ニューラルネットワークのモデルの例を示す図である。

図37は、半導体装置の構成例を説明する回路図である。

図38Aは第1データと第2データとの積の結果を示すグラフであり、図38Bはメモリセルアレイの行数に応じた演算値を示すグラフである。

図39A及び図39Bは、トランジスタの特性のばらつきを考慮した場合の第1データと第2データとの積の値のばらつきを示したヒストグラムである。

図40Aは回路シミュレータによって構成されたニューラルネットワークと、プログラム言語によって構成されたニューラルネットワークと、のそれぞれの出力層から出力された一致度を示すグラフであり、図40Bは回路シミュレータによって構成されたニューラルネットワークと、プログラム言語によって構成されたニューラルネットワークと、のそれぞれの出力層から出力された値の相関を示すグラフである。

図41は回路シミュレータによって構成されたニューラルネットワークにおける、出力層からの出力波形の一例を示している。

発明を実施するための形態

[0044]

人工ニューラルネットワーク（以後、ニューラルネットワークと呼称する。）において、シナプスの結合強度は、ニューラルネットワークに既存の情報を与えることによって、変化することができる。このように、ニューラルネットワークに既存の情報を与えて、結合強度を決める処理を「学習」と呼ぶ場合がある。

[0045]

また、「学習」を行なった（結合強度を定めた）ニューラルネットワークに対して、何らかの情報を与えることにより、その結合強度に基づいて新たな情報を出力することができる。このように、ニューラルネットワークにおいて、与えられた情報と結合強度に基づいて新たな情報を出力する処理を「推論」又は「認知」と呼ぶ場合がある。

[0046]

ニューラルネットワークのモデルとしては、例えば、ホップフィールド型、階層型などが挙げられる。特に、多層構造としたニューラルネットワークを「ディープニューラルネットワーク」（DNN）と呼称し、ディープニューラルネットワークによる機械学習を「ディープラーニング」と呼称する場合がある。

[0047]

本明細書等において、金属酸化物（metal oxide）とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む）、酸化物半導体（Oxide Semiconductor又は単にOSともいう）などに分類される。例えば、トランジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、金属酸化物が増幅作用、整流作用、及びスイッチング作用の少なくとも1つを有するトランジスタのチャネル形成領域を構成し得る場合、当該金属酸化物を、金属酸化物半導体（metal oxide semiconductor）、略してOSと呼ぶことができる。また、OS FET、又はOSトランジスタと記載する場合においては、金属酸化物又は酸化物半導

体を有するトランジスタと換言することができる。

[0048]

また、本明細書等において、窒素を有する金属酸化物も金属酸化物 (metal oxide) と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物 (metal oxynitride) と呼称してもよい。

[0049]

また、本明細書等において、各実施の形態（又は実施例）に示す構成は、他の実施の形態（又は他の実施例）に示す構成と適宜組み合わせ、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合は、互いに構成例を適宜組み合わせることが可能である。

[0050]

なお、ある一つの実施の形態（又は実施例）の中で述べる内容（一部の内容でもよい）は、その実施の形態（又はその実施例）で述べる別の内容（一部の内容でもよい）と、一つ若しくは複数の別の実施の形態（又は一つ若しくは複数の別の実施例）で述べる内容（一部の内容でもよい）との少なくとも一つの内容に対して、適用、組み合わせ、又は置き換えなどを行うことができる。

[0051]

なお、実施の形態（又は実施例）の中で述べる内容とは、各々の実施の形態（又は実施例）において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

[0052]

なお、ある一つの実施の形態（又は実施例）において述べる図（一部でもよい）は、その図の別の部分、その実施の形態（又はその実施例）において述べる別の図（一部でもよい）と、一つ若しくは複数の別の実施の形態（又は一つ若しくは複数の別の実施例）において述べる図（一部でもよい）との少なくとも一つの図に対して、組み合わせることにより、さらに多くの図を構成させることができる。

[0053]

本明細書に記載の実施の形態（又は実施例）について図面を参照しながら説明している。但し、実施の形態（又は実施例）は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、実施の形態（又は実施例）の記載内容に限定して解釈されるものではない。なお、実施の形態の発明の構成（又は実施例の構成）において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、斜視図などにおいて、図面の明確性を期すために、一部の構成要素の記載を省略している場合がある。

[0054]

本明細書等において、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“_1”、“[n]”、“[m, n]”等の識別用の符号を付記して記載する場合がある。

[0055]

また、本明細書の図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されてい

る場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

[0056]

また、本明細書等について、 $I_n : G_a : Z_n = 4 : 2 : 3$ またはその近傍とは、原子数の総和に対して、 I_n が4の場合、 G_a が1以上3以下 ($1 \leq G_a \leq 3$) であり、 Z_n が2以上4.1以下 ($2 \leq Z_n \leq 4.1$) とする。また、 $I_n : G_a : Z_n = 5 : 1 : 6$ またはその近傍とは、原子数の総和に対して、 I_n が5の場合、 G_a が0.1より大きく2以下 ($0.1 < G_a \leq 2$) であり、 Z_n が5以上7以下 ($5 \leq Z_n \leq 7$) とする。また、 $I_n : G_a : Z_n = 1 : 1 : 1$ またはその近傍とは、原子数の総和に対して、 I_n が1の場合、 G_a が0.1より大きく2以下 ($0.1 < G_a \leq 2$) であり、 Z_n が0.1より大きく2以下 ($0.1 < Z_n \leq 2$) とする。また、 $I_n : G_a : Z_n = 5 : 1 : 3$ またはその近傍とは、原子数の総和に対して、 I_n が5の場合、 G_a が0.5以上1.5以下 ($0.5 \leq G_a \leq 1.5$) であり、 Z_n が2以上4.1以下 ($2 \leq Z_n \leq 4.1$) とする。また、 $I_n : G_a : Z_n = 10 : 1 : 3$ またはその近傍とは、原子数の総和に対して、 I_n が10の場合、 G_a が0.5以上1.5以下 ($0.5 \leq G_a \leq 1.5$) であり、 Z_n が2以上4.1以下 ($2 \leq Z_n \leq 4.1$) とする。また、 $I_n : Z_n = 2 : 1$ またはその近傍とは、原子数の総和に対して、 I_n が1の場合、 Z_n は0.25より大きく0.75以下 ($0.25 < Z_n \leq 0.75$) とする。また、 $I_n : Z_n = 5 : 1$ またはその近傍とは、原子数の総和に対して、 I_n が1の場合、 Z_n は0.12より大きく0.25以下 ($0.12 < Z_n \leq 0.25$) とする。また、 $I_n : Z_n = 10 : 1$ またはその近傍とは、原子数の総和に対して、 I_n が1の場合、 Z_n は0.07より大きく0.12以下 ($0.07 < Z_n \leq 0.12$) とする。

[0057]

(実施の形態1)

本実施の形態では、本発明の一態様のシステムについて、説明する。

[0058]

図1は、ニューラルネットワークを利用したAIにおける、“回路図面”や“特許請求の範囲に記載された回路構成”などをネットリストに変換する機能を有するシステム（電子機器と呼称する場合がある。）を示している。また、当該システムは、変換したネットリストを用いて、既存のデータベース内を検索する機能を有する。

[0059]

ネットリストとは、電子回路などにおいて、当該電子回路に含まれている回路素子、論理回路、信号変換回路、電位レベル変換回路、電圧源、電流源、切り替え回路、増幅回路などの接続情報を有するデータである。具体的には、ネットリストは、電子回路に含まれている回路素子、回路などが有する端子の接続先が記載されたデータであり、回路シミュレータや回路設計ソフトウェアなどに用いられる。

[0060]

図1に示すシステムS1Hは、電子機器EDを有する。電子機器EDは、入出力インターフェースINTFCと、制御部CTLと、変換部PTNと、データベースDTB1と、データベースDTB2と、記憶部MPと、を有する。

[0061]

入出力インターフェース I N T F C は、制御部 C T L に電氣的に接続されている。入出力インターフェース I N T F C は、ユーザがシステム S I H を利用する場合において、ユーザと電子機器 E D との間で情報の入出力を行う機能を有する。入出力インターフェース I N T F C としては、例えば、有機 E L (E l e c t r o L u m i n e s c e n c e) ディスプレイ、液晶ディスプレイなどの表示装置、キーボード、ポインティングデバイス（例えば、マウスなどが挙げられる。）などのハードウェアが挙げられる。また、表示装置は、タッチパネルなどの入力デバイスを有してもよい。

[0062]

記憶部 M P は、制御部 C T L に電氣的に接続されている。記憶部 M P は、揮発性の記憶装置、不揮発性の記憶装置などを有する。

[0063]

揮発性の記憶装置としては、例えば、D R A M (D y n a m i c R a n d o m A c c e s s M e m o r y) などが挙げられる。揮発性の記憶装置は、例えば、演算の過程やソフトウェアの起動の最中などに必要なデータを一時的に記憶する、などの機能を有する。

[0064]

不揮発性の記憶装置としては、例えば、H D D (ハードディスクドライブ) 、 S S D (ソリッドステートドライブ) 、光学ディスク、磁気テープなどが挙げられる。なお、本明細書等において、光学ディスク、磁気テープなどを用いる場合、読み出し及び書き込みが可能な装置と、光学ディスク、磁気テープなどと、をまとめて不揮発性の記憶装置と呼称する。不揮発性の記憶装置は、例えば、ソフトウェアの実行プログラム、回路構成が描かれた図面、回路構成のネットリストなどを保存する機能を有する。

[0065]

変換部 P T N は、制御部 C T L に電氣的に接続されている。変換部 P T N は、回路図、回路を文章で表現した文書ファイル（例えば、特許明細書の特許請求の範囲など）などをネットリストに変換する機能を有する。変換部 P T N は、例えば、ニューラルネットワークを構成した演算回路としてもよい。また、変換部 P T N にニューラルネットワークが構成されている場合、当該ニューラルネットワークは既に学習が済んでおり、当該ニューラルネットワークに含まれているニューロン同士の重み係数は定まっているものとする。

[0066]

データベース D T B 1 は、制御部 C T L に電氣的に接続されている。データベース D T B 1 は、例えば、特許明細書、論文、資料などの文献データを保存する機能を有する。

[0067]

データベース D T B 2 は、制御部 C T L に電氣的に接続されている。データベース D T B 2 は、例えば、データベース D T B 1 に保存されている文献データに記載されている回路のネットリストなどを保存する機能を有する。また、当該ネットリストには、当該ネットリストと当該文献データの回路構成とを紐付けするための、管理番号、管理記号などが含まれていてもよい。

[0068]

なお、データベース D T B 1 、データベース D T B 2 は、互いに一つのデータベースとしてまとめてもよい。

[0069]

また、データベースDTB1、データベースDTB2には、上記の通り、文献データやネットリストなどが保存されているので、データベースDTB1、データベースDTB2は、記憶部MPに含まれていてもよい。特に、データベースDTB1、データベースDTB2は、記憶部MPの不揮発性の記憶装置とするのが好ましい。

[0070]

また、図2に示すとおり、電子機器EDは、外部インターフェースINFを有してもよい。外部インターフェースINFは、電子機器EDの外部にある電子機器WSVと通信を行う機能を有する。そのため、外部インターフェースINFは、制御部CTLと、電子機器WSVと、に電氣的に接続されている。

[0071]

電子機器WSVは、例えば、外部サーバなどとすることができる。そのため、外部インターフェースINFは、インターネット回線などによって、電子機器WSVに接続されていることが好ましい。

[0072]

電子機器WSVは、例えば、データベースWDTB1と、データベースWDTB2と、変換部WPTNと、を有する。データベースWDTB1には、データベースDTB1と同様に、文献データが格納されている。また、データベースWDTB2には、データベースDTB2と同様に、データベースWDTB1の文献データに記載されている回路のネットリストなどが格納されている。変換部WPTNは、変換部PTNと同様に、回路図、回路を文章で表現した文書ファイルなどをネットリストに変換する機能を有する。

[0073]

データベースWDTB1、データベースWDTB2、変換部WPTNの少なくとも一は、外部サーバとして機能してもよい。データベースWDTB1、データベースWDTB2、変換部WPTNの少なくとも一を外部サーバとして設けることによって、設けたサーバの規模、記憶容量、演算能力などを高めることができる場合がある。例えば、データベースWDTB1を外部サーバとして機能することによって、データベースWDTB1は、データベースDTB1よりも多くの文献データを格納できる場合がある。また、例えば、データベースWDTB2を外部サーバとして機能することによって、データベースWDTB2は、データベースDTB2よりも多くのネットリストなどの情報を格納することができる場合がある。また、例えば、変換部WPTNは、変換部PTNよりも規模の大きい演算回路を有することができる場合がある。

[0074]

<<動作例1>>

ここで、図1のシステムSIHにおける動作例について説明する。図3は、システムSIHの動作例を示したフローチャートであって、システムSIHの動作例は、ステップSTI01乃至ステップSTI03を有する。また、図3には動作例の開始を“START”と記載し、動作例の終了を“END”と記載している。なお、本動作例では、回路図、又は回路を文章で表現した文書ファイルをネットリストに変換する動作について説明する。

[0075]

ステップSTI01は、ユーザが入出力インターフェースINTFCを用いて、電子機器EDの

制御部CTLに回路図、又は回路を文章で表現した文書ファイルを入力するステップを有する。ユーザによる当該回路図の入力手段としては、例えば、回路設計ソフトウェア、回路シミュレータ、ペイントソフトウェア、CADソフトウェアなどを用いて、回路図を作成する手段などが挙げられる。また、ユーザによる当該文書ファイルの入力手段としては、文書作成ソフトウェア、テキストエディタなどを用いて、文書ファイルを作成する手段などが挙げられる。また、作成途中の回路図や文書ファイル、作成された回路図、文書ファイルなどは一時的に記憶部MPに保存されていてもよい。なお、本明細書等では、ステップSTI01で作成した回路図、又は文書ファイルを入力データと呼称する。

[0076]

なお、ステップSTI01において、入力データとしては、作成したもの以外に、データベースDTB1から読み出した回路図、文書ファイルなどを適用してもよい。

[0077]

ステップSTI02は、ステップSTI01で作成した入力データを変換部PTNでネットリストに変換するステップを有する。具体的には、例えば、ユーザは、入出力インターフェースINTFCを用いて、制御部CTLに対して、入力データと、当該入力データをネットリストに変換する命令を含む信号を送信する。制御部CTLは、当該入力データと当該信号を受け取ることで、当該入力データを変換部PTNへ送信する。変換部PTNは、当該入力データを受け取ることで、当該入力データをネットリストへ変換する。

[0078]

入力データが回路図である場合、入力データのネットリストへの変換方法としては、例えば、畳み込みニューラルネットワーク(CNN)などを用いた方法が好ましい。また、入力データが文書ファイルである場合、入力データなどのネットリストへの変換方法としては、例えば、再帰型ニューラルネットワークなどを用いる方法が好ましい。入力データのネットリストへの変換方法の具体例については、後述する。

[0079]

なお、変換されたネットリストは、一時的に記憶部MPに保存してもよい。

[0080]

ステップSTI03は、ステップSTI02で変換されたネットリストを、入出力インターフェースINTFCに含まれている表示装置などに出力するステップを有する。具体的には、例えば、ステップSTI02で変換されたネットリストは、制御部CTLを介して、入出力インターフェースINTFCに含まれている表示装置などに送信される。その後、当該表示装置などで当該ネットリストを表示することで、ユーザが入力データから変換したネットリストの内容を確認することができる。

[0081]

ステップSTI03が行われた後、本動作は終了する。

[0082]

<<動作例2>>

次に、図3に示すフローチャートとは異なる、図1のシステムSIHにおける動作例について説明する。図4は、システムSIHの動作例を示したフローチャートであって、当該フローチャートは、図3の動作例に更にステップSTI04乃至ステップSTI08を加えた動作例となっている。

なお、本動作例は、変換されたネットリストを用いて回路の検索を行う方法について説明する。

[0083]

図4のフローチャートに示す、ステップSTI01乃至ステップSTI03については、図3のフローチャートのステップSTI01乃至ステップSTI03の説明の記載を参酌する。

[0084]

ステップSTI04は、ステップSTI02で変換されたネットリストを用いて、データベースDTB2に対して回路の検索を行うステップを有する。具体的には、例えば、制御部CTLは、データベースDTB2に対して、データベースDTB2に保存されている文献データに紐付けされたネットリストの読み出しを行うための命令を含む信号を送信する。そして、データベースDTB2は、当該信号を受け取ることによって、ネットリストを読み出して、制御部CTLに送信し、制御部CTLは、ステップSTI02で変換されたネットリストとデータベースDTB2に含まれているネットリストとの比較を行う。

[0085]

なお、データベースDTB2からの文献データに紐付けされたネットリストの読み出しは、データベースDTB2に保存されている全てのネットリストを対象としてもよいし、条件をつけて、データベースDTB2に保存されている一部のネットリストに絞ってもよい。

[0086]

また、ステップSTI04で行われる検索は、ステップSTI02で変換されたネットリストに完全に一致するものを抽出してもよいし、部分的に一致するもの（類似するもの）を抽出してもよい。

[0087]

また、検索に用いる変換されたネットリストは、一時的に記憶部MPに保存してもよい。

[0088]

また、ステップSTI04において行われる回路の検索は、AIを用いてもよい。具体的には、例えば、AIを用いて、ステップSTI02で変換されたネットリストと、データベースDTB2に保存されている文献データに紐付けされたネットリストと、のそれぞれの記述を比較し、互いのネットリストにおいて、回路素子の種類、数、接続構成などがどのくらい一致しているかを表す類似度を算出して、当該類似度の高いものから検索結果を出力してもよい。

[0089]

ステップSTI05は、ステップSTI04の検索において、ステップSTI02で変換されたネットリストがデータベースDTB2で見つかったか否かの判定を行うステップを有する。ここでいう、データベースDTB2で見つかったネットリストとは、ステップSTI04で検索したネットリストと完全に一致する場合と、部分的に一致する場合と、を含むものとする。当該判定において、ステップSTI04で検索したネットリストがデータベースDTB2で見つかった場合、本動作は、ステップSTI06に移行する。また、当該判定において、ステップSTI04で検索したネットリストがデータベースDTB2で見つからなかった場合、本動作は、ステップSTI07に移行する。

[0090]

ステップSTI06は、ステップSTI04の検索においてデータベースDTB2で見つかったネットリストに対応する文献データを、データベースDTB1から読み出すステップを有する。具

体的には、例えば、制御部CTLは、データベースDTB1に対して、ステップSTI04の検索に引っかかった、データベースDTB2から読み出したネットリストに対応する文献データを読み出すための命令を含む信号を送信する。データベースDTB1は、当該信号を受け取ることによって、当該文献データを読み出して、制御部CTLに送信する。制御部CTLは、当該文献データを入出力インターフェースINTFCに含まれている表示装置などに送信する。その後、当該表示装置などで当該文献データを表示することで、ユーザが文献データの内容を確認することができる。

[0091]

なお、検索に用いた変換されたネットリスト、及びデータベースDTB1から読み出された文献データは、一時的に記憶部MPに保存してもよい。

[0092]

ステップSTI06が行われた後、本動作は終了する。

[0093]

ステップSTI07は、ステップSTI04の検索において、ステップSTI02で変換されたネットリストがデータベースDTB2から見つからなかった結果を出力するステップを有する。具体的には、例えば、制御部CTLは、入出力インターフェースINTFCに対して、ステップSTI02で変換されたネットリストが、データベースDTB2で見つからなかったという情報を送信する。これによって、当該表示装置などで当該情報を表示することで、ユーザが、ステップSTI02で変換されたネットリストはデータベースDTB2では見つからなかったという検索結果を確認することができる。

[0094]

ステップSTI08は、入力データをデータベースDTB1に格納し、ステップSTI02で変換されたネットリストをデータベースDTB2に格納するステップを有する。具体的には、ユーザは、入出力インターフェースINTFCを用いて、制御部CTLに対して、入力データと、ステップSTI02で変換されたネットリストと、を保存する命令を含む信号を送信する。制御部CTLは、当該信号を受け取ることで、入力データと、入力データをデータベースDTB1に書き込む命令を含む信号と、をデータベースDTB1に送信し、かつステップSTI02で変換されたネットリストと、当該ネットリストをデータベースDTB2に書き込む命令を含む信号と、をデータベースDTB2に送信する。このとき、データベースDTB1に送信される入力データと、データベースDTB2に送信される変換されたネットリストは、一時的にそれらが記憶されている記憶部MPから、制御部CTLを介して、送信してもよい。

[0095]

ステップSTI08が行われた後、本動作は終了する。

[0096]

なお、本発明の一態様の動作方法は、上述のステップSTI01乃至ステップSTI08に限定されない。本明細書等において、フローチャートに示す処理は、機能毎に分類し、互いに独立したステップとして示している。しかしながら実際の処理等においては、フローチャートに示す処理を機能毎に切り分けることが難しく、一つのステップに複数のステップが係わる場合や、複数のステップにわたって一つのステップが関わる場合があり得る。そのため、フローチャートに示す処理は、明細書で説明したステップ毎に限定されず、状況に応じて適切に入れ替えることができる。具体的には、状況に応じて、場合によって、又は、必要に応じて、ステップの順序の入れ替え、ステップ

の追加、及び削除などを行うことができる。例えば、ステップS T I O 8は、ユーザが望まないのであれば、本動作例から削除して、行わなくてもよい。

[0097]

なお、本発明の一態様の動作方法は、本実施の形態で説明した動作例に限定されない。例えば、上述では、電子機器E Dの変換部P T Nを用いて入力データからネットリストに変換する動作例について説明したが、変換部P T Nは、代わりに電子機器W S Vの変換部W P T Nを用いてもよい。また、上述では、電子機器E DのデータベースD T B 1、及びデータベースD T B 2を用いてネットリストの回路を検索する動作例を説明したが、データベースD T B 1、及びデータベースD T B 2は、代わりに電子機器W S VのデータベースW D T B 1及びデータベースW D T B 2を用いてもよい。

[0098]

また、本発明の一態様によって、電子機器E Dと外部の電子機器W S Vとを用いて、入力データからネットリストへの変換を行うサービス、及び／又はネットリストを用いた回路の検索サービスなどを有料とした、ビジネスモデルを提供してもよい。

[0099]

<<ネットリストへの変換方法の例1>>

次に、上記の動作例のステップS T I O 2において、入力データを回路図としたとき、当該回路図をネットリストに変換する場合の方法について説明する。

[0100]

図5は、回路図からネットリストに変換する流れを示した模式図である。

[0101]

図5の段階P H 1は、ステップS T I O 2に変換部P T Nに入力される入力データとする画像の一例を示している。画像P I Cには、回路図が描かれており、当該回路図は、回路記号と、配線と、それらの接続構成を示している。また、場合によっては、図5の画像P I Cに示すとおり、画像P I Cには、回路記号の名称、配線の名称を示す文字、符号などが含まれていてもよい。また、図5の画像P I Cに示す回路図には、回路記号の名称、配線の名称を示す文字、符号などは含まれていなくてもよい。

[0102]

図5の段階P H 2は、変換部P T Nに段階P H 1の画像P I Cが入力されて、画像P I Cに対して、物体領域の認識が行われている一例を示している。図5の段階P H 2の左側の画像P I Cでは、回路記号と、電気的な接続部分（画像P I Cに示す回路図の黒丸などに相当する。）と、を認識して、それぞれを点線で囲んだ様子を示している。また、状況に応じて、物体領域の認識は、配線も含めて行ってもよい。

[0103]

上記に示した物体領域の認識の方法としては、例えば、O b j e c t n e s s、C P M C (C o n s t r a i n e d P a r a m e t r i c M i n - C u t s)、O b j e c t P r o p o s a l sなどが挙げられる。

[0104]

続いて、物体領域の認識が完了した後は、それぞれの物体領域に対して、画像認識を行う。これによって、点線で囲まれた回路記号がどのような回路素子なのかを変換部P T Nに認識させるこ

とができる。例えば、図5の段階PH2の左側の画像PICにおいて、画像認識を行うことで、変換部PTNは、例えば、太い破線に囲まれた回路記号を容量素子と認識し、また、例えば、太い一点鎖線に囲まれた回路記号をトランジスタと認識することができる。変換部PTNは、回路記号が何の回路素子を示すかを認識することで、当該回路記号にネットリストに記述するための名称（例えば、文字、略称、符号、単語など）を付することができる。

[0105]

また、同様に、画像認識を行うことで、変換部PTNは、点線で囲まれた電氣的な接続部分（黒丸など）を認識することができる。これにより、変換部PTNは、電氣的な接続部分（黒丸など）に対して、ネットリストに記述するための名称（例えば、文字、略称、符号、単語など）を付することができる。

[0106]

画像認識を行う方法としては、例えば、AIを用いて、変換部PTNに対して、あらかじめ教師データとして回路記号を学習させておき、変換部PTNに入力データとして画像PICが与えられたときに、学習された回路記号に基づいて、画像PICに含まれている回路記号を抽出する方法が挙げられる。

[0107]

また、画像認識を行う方法としては、例えば、畳み込みニューラルネットワーク（CNN）などを用いることができる。また、畳み込みニューラルネットワークを用いる場合、あらかじめ、畳み込みニューラルネットワークの畳み込み層のフィルタとして、回路記号の画像、電氣的な接続部分（黒丸など）の画像、それらの画像の一部を用いればよい。これにより、畳み込みニューラルネットワークによる計算によって、画像PICに含まれている回路記号、電氣的な接続部分（黒丸など）などと、当該フィルタと、の類似度を算出することができ、当該類似度から、画像PICに含まれている回路記号、電氣的な接続部分（黒丸など）などを識別することができる。

[0108]

また、電氣的な接続部分（黒丸など）と回路記号との接続を、変換部PTNに認識させる場合、物体領域の認識と画像認識とを繰り返し行うのが好ましい。具体的には、物体領域の認識と画像認識とを一度行って、変換部PTNに電氣的な接続部分（黒丸など）を認識させ、かつ電氣的な接続部分（黒丸など）に対してネットリストに記述するための記号を付する。次に、1回目の画像認識によって、電氣的な接続部分（黒丸など）に接続されている配線がどの方向に延線しているかを判別し、2回目の物体領域の認識において、当該延線の方に領域を広げて、配線と電氣的な接続部分（黒丸など）とをまとめて物体領域として認識させる。その後、2回目の画像認識で、再度配線がどの方向に延線しているかを判別して、3回目以降は、同様に物体領域の認識と画像認識とを繰り返す。これによって、変換部PTNは、電氣的な接続部分（黒丸など）に接続されている配線を、同様に物体領域の認識と画像認識との繰り返し回数に応じて、認識させることができ、最終的に変換部PTNは、回路記号と電氣的な接続部分（黒丸など）との電氣的な接続を認識させることができる。図5の段階PH2の左側の画像PICには、一例として、物体領域の認識と画像認識とを繰り返し行うことによって得られる配線の領域として、太い二点鎖線に囲まれた領域を図示している。

[0109]

なお、段階PH1の画像PICに回路記号の名称、配線の名称を示す文字、符号などが含まれている場合、図5の段階PH2の右側の画像PICのとおり、それら名称、文字、符号などを、物体

領域の認識の段階で回路記号及び電氣的な接続部分と共に認識を行ってもよい。これにより、物体領域の認識により取得したそれら名称、文字、符号などを、同様に物体領域の認識を行った回路記号、電氣的な接続部分に対して紐付けを行うことができる。また、回路記号、電氣的な接続部分に対して紐付けした名称、文字、符号などをネットリストに記述する記号、文字などとして扱うことができる。

[0110]

図5の段階PH3では、図5の段階PH2において、変換部PTNが認識した回路記号と電氣的な接続部分（黒丸など）との接続構成をネットリストに記述する一例を示している。

[0111]

ネットリストNTLの左端には、画像PICで認識した回路記号が、回路素子の名称CSW（例えば、文字、略称、符号、単語など）として記載されている。例えば、Tr[1]、Tr[2]は、画像PICに描かれている回路図のトランジスタを示し、C[1]は、画像PICに描かれている回路図の容量素子を示し、EL[1]は、画像PICに描かれている回路図の発光素子を示している。

[0112]

また、ネットリストNTLには、回路記号の接続構成を示す情報として、回路素子の名称CSWの右側に、スペースSPCを介して、電氣的な接続部分（黒丸など）の名称CNP（例えば、文字、略称、符号、単語など）が記載されている。なお、回路記号の端子が複数ある場合は、名称CNP同士の間スペースが設けられていることが好ましい。また、電氣的な接続部分（黒丸など）の名称CNPが記載されている順番は、その列に記載されている名称CSWの回路記号の端子によって定められる。例えば、ネットリストNTLでは、トランジスタの各端子の電氣的な接続については、ソース又はドレインの一方、ゲート、ソース又はドレインの他方、の順に記載するように定められている。また、例えば、ネットリストNTLでは、発光素子の各端子の電氣的な接続については、入力端子、出力端子の順に記載するように定められている。

[0113]

上記のとおり、物体領域の認識と画像認識とを行うことによって、入力データとする回路図をネットリストに変換することができる。

[0114]

<<ネットリストへの変換方法の例2>>

次に、上記の動作例のステップSTI02において、入力データを文書ファイルなどとしたとき、当該回路図をネットリストに変換する場合の方法について説明する。

[0115]

図6は、文書ファイルからネットリストに変換する流れを示した模式図である。

[0116]

図6の段階PH4は、ステップSTI02に変換部PTNに入力される入力データとする文書ファイルの一例を示している。図6の段階PH4に示している文書ファイルDOCには、変換部PTNを用いてネットリストへの変換を行うための情報として、回路構成が文章として記載されている。

[0117]

回路構成を文章として表現している文書ファイルDOCとしては、例えば、特許明細書に記載されている回路の説明の箇所、特許明細書に付随する特許請求の範囲、などとすることができる。な

お、ここでの変換方法の例としては、文書ファイルDOCには、次の表1に示すとおりの記事が記載されているものとする。

[0118]

[表1]

	文書の内容
1段落目	第1のトランジスタと、第2のトランジスタと、容量素子と、発光素子と、を有し、
2段落目	前記第1のトランジスタのドレインは、信号線と電気的に接続され、
3段落目	前記第1のトランジスタのゲートは、走査線と電気的に接続され、
4段落目	前記第1のトランジスタのソースは、前記第2のトランジスタのゲートに電気的に接続され、
5段落目	前記第2のトランジスタのドレインは、第1の電源線に電気的に接続され、
6段落目	前記第2のトランジスタのソースは、前記発光素子の入力端子に電気的に接続され、
7段落目	前記発光素子の出力端子は、第2の電源線に電気的に接続され、
8段落目	前記容量素子の一方の電極の一方は、前記第1トランジスタのソースに電気的に接続され、
9段落目	前記容量素子の一方の電極の他方は、前記発光素子の入力端子に電気的に接続され、

[0119]

変換部PTNは、入力データとして上記のような文書ファイルDOCが入力されたとき、一例として、文書ファイルDOCに対してテキスト分析が行われる。

[0120]

また、テキスト分析を行う方法としては、例えば、AIを用いて、変換部PTNに対して、あらかじめ教師データとして文書ファイル（例えば、論文、特許の公開公報に記載の特許請求の範囲など）とその文書ファイルに対応するネットリストを学習させておくことが好ましい。これにより、変換部PTNに入力データとして文書ファイルが与えられたときに、学習させた内容に基づいて、当該文書ファイルからネットリストに変換を行うことができる。

[0121]

また、上述した教師データの作製方法としては、例えば、ソフトウェアを用いて、1個のネットリストから複数の文書ファイル（例えば、内容が同じであるが、記述が異なる複数の“特許請求の範囲”など。）を生成する方法などが挙げられる。

[0122]

また、テキスト分析を行う方法としては、例えば、再帰型ニューラルネットワーク（RNN）などを用いることができる。

[0123]

文書ファイルDOCに対してテキスト分析が行われることで、変換部PTNは、文書ファイルDOCに示されている回路構成から回路素子、配線、又は電気的な接続点を認識することができる。例えば、文書ファイルDOCの1段落目の文章に対して、テキスト分析を行うことで、変換部PTNは、文書ファイルDOCに示されている回路構成には、第1のトランジスタ、第2のトランジスタ、容量素子、発光素子が含まれていることを認識することができる。続いて、例えば、2段落目、3段落目、5段落目、7段落目のそれぞれの文章に対して、テキスト分析を行うことで、変換部PTNは、文書ファイルDOCに示されている回路構成には、信号線、走査線、第1の電源線、第2の電源線が電気的に接続されているということを認識することができる。ここで、変換部PTNは、回路素子の名称CSW（例えば、文字、略称、符号、単語など）として、例えば、第1のトランジスタをTr[1]、第2のトランジスタをTr[2]、容量素子をC[1]、発光素子をEL[1]と名称を付け、かつ電気的な接続点の名称CNP（例えば、文字、略称、符号、単語など）として、信号線、走査線、第1の電源線、第2の電源線のそれぞれを、例えば、N1、N2、N5、N6と

名称を付けることによって、この段階において、図6の段階PH5のネットリストNTLを記述することができる。

[0124]

なお、図6の段階PH5に図示しているネットリストNTLは、上述した図5の段階PH3に図示したネットリストNTLの記載のルールと同一であるものとする。そのため、回路素子の名称CSWと電氣的な接続点の名称CNPとの間にはスペースSPCが設けられている。

[0125]

段階PH5から続けて、文書ファイルDOCに対してテキスト分析を行うことによって、変換部PTNは、より詳細のネットリストNTLを記述することができる。例えば、文書ファイルDOCの4段落目、8段落目の文章に対して、テキスト分析を行うことで、変換部PTNは、第1のトランジスタのソースと、第2のトランジスタのゲートと、容量素子の一对の電極の一方と、は同じ電氣的な接続点に接続していることを認識することができる。ここでは、変換部PTNは、当該電氣的な接続点をN3と名称を付けるものとする。

[0126]

更に、文書ファイルDOCの6段落目、9段落目の文章に対して、テキスト分析を行うことで、変換部PTNは、第2のトランジスタのソースと、発光素子の入力端子と、容量素子の一对の電極の他方と、は同じ電氣的な接続点に接続していることを認識することができる。ここでは、変換部PTNは、当該電氣的な接続点をN4と名称を付けるものとする。

[0127]

上記のとおり、文書ファイルDOCに対してテキスト分析を行い、文書ファイルDOCに記載されている回路構成に含まれている回路素子を判定し、かつそれらの電氣的な接続を抽出することによって、変換部PTNは、図6の段階PH6に図示するネットリストNTLを記述することができる。

[0128]

本実施の形態で述べたシステムを用いることによって、回路図、又は文書ファイルからネットリストに変換することができ、かつ、データベースから、変換されたネットリストの検索を行うことができる。また、データベースに、雑誌、理工学書、論文、学会や講演会などにおける資料、特許の公開公報、特許公報などの技術文献が保存されている場合（著作権などの知的財産権の侵害行為、及び知的財産権に関する法律の違反行為が行われていないことを前提とする。）、ユーザは、当該システムを用いることによって、ユーザが作成した回路図、又は文書ファイルが新規事項であるかどうかを判定することができる。また、ユーザは、当該システムを用いることによって、ユーザが作成した回路図、又は文書ファイルが周知事項であるかどうかを判定することができる。つまり、ユーザは、当該システムを用いることで、ユーザが作成した回路図、又は文書ファイルに関して、先行技術の調査をより効率的に行うことができる。

[0129]

ここで、具体的に、図1のシステムSIHを用いた、ネットリストの検索例について説明する。

[0130]

例えば、図7に示すとおり、図1のシステムSIHにおいて、データベースDTB1には、情報PKEDDと、情報PKPDと、情報HSCDと、情報HSPDと、が保存され、データベースDTB2には、ネットリストPKEDNと、ネットリストPKPNと、ネットリストHSCNと、ネ

ットリストHSPNと、が保存されている場合を考える（但し、図7には、入出力インターフェースINTFC、制御部CTL、変換部PTN、記憶部MPを省略している）。

[0131]

情報PKEDDは、例えば、公知の電子機器の回路図、仕様書などを有し、情報PKPDは、例えば、ユーザ以外が携わった技術内容（特許明細書、特に特許図面、特許請求の範囲。論文、雑誌など）などを有し、情報HSCDは、例えば、ユーザが携わった特許明細書（出願の有無は問わない。）の回路の特許請求の範囲などを有し、情報HSPDは、例えば、ユーザが携わった特許明細書（出願の有無は問わない。）の回路の図面などを有する。

[0132]

また、ネットリストPKEDNは、情報PKEDDに含まれる回路図などに対応するネットリストを有し、ネットリストPKPNは、情報PKPDに含まれる特許図面、特許請求の範囲などに対応するネットリストを有し、ネットリストHSCNは、情報HSCDに含まれる特許請求の範囲などに対応するネットリストを有し、ネットリストHSPNは、情報HSPDに含まれる特許図面などに対応するネットリストと有する。なお、図7には、ネットリストと情報との紐付けの表現として、ネットリストPKEDNと情報PKEDDとの間、ネットリストPKPNと情報PKPDとの間、ネットリストHSCNと情報HSCDとの間、ネットリストHSPNと情報HSPDとの間には、太い実線を記載している。

[0133]

ここで、第1の検索SRC1として、公知の電子機器の回路図に対応する一つのネットリストPKEDNを、ユーザが携わった特許出願の特許請求の範囲などの複数のネットリストHSCNを検索範囲として、検索する場合を考える。このとき、複数のネットリストHSCNから、ネットリストPKEDNに該当するネットリストが見つかり、かつ当該電子機器の公知となった日よりも、見つかったネットリストに対応する特許の出願日が過去であった場合、当該電子機器によるユーザの特許への抵触を見つけることができる。つまり、第1の検索SRC1を行うことによって、公知の電子機器を対象にユーザの特許の抵触の調査を行うことができる。

[0134]

また、第2の検索SRC2として、ユーザが携わる特許出願を行う前の特許請求の範囲の一つのネットリストHSCNを、公知の電子機器の回路図などに対応する複数のネットリストPKEDNと、ユーザ以外が携わった技術内容などに対応する複数のネットリストPKPNと、を検索範囲として、検索する場合を考える。このとき、複数のネットリストPKEDN及び複数のネットリストPKPNから、ネットリストHSCNに該当するネットリストが見つかった場合、ネットリストHSCNは公知であると判断することができる。つまり、第2の検索SRC2を行うことによって、ユーザの携わった発明の新規性の調査を、特許出願の前に行うことができる。これによって、ユーザが携わる特許出願の特許有効性を高めることができる場合がある。

[0135]

また、第3の検索SRC3として、公知の電子機器の回路図に対応する一つのネットリストPKEDNを、ユーザが携わった特許出願の図面などの複数のネットリストHSPNを検索範囲として、検索する場合を考える。このとき、複数のネットリストHSPNから、ネットリストPKEDNに該当するネットリストが見つかり、かつ当該電子機器の公知となった日よりも、見つかったネットリストに対応する特許の出願日が過去であった場合、当該電子機器は、ユーザが携わった特許出願

の内容を利用したものである可能性があるということができる。つまり、第3の検索SRC3を行うことによって、公知の電子機器の回路図と、ユーザが携わった特許出願の内容の回路図と、の類似の度合いを調べることができる。

[0136]

なお、上記では、第3の検索SRC3として、公知の電子機器の回路図に対応する一つのネットリストPKEDNを、ユーザが携わった特許出願の図面などの複数のネットリストHSPNを検索範囲として検索する場合を説明したが、第3の検索SRC3は、ユーザが携わった特許出願の図面などの一つのネットリストHSPNを、公知の電子機器の回路図に対応する複数のネットリストPKEDNを検索範囲として検索してもよい。この検索においても、公知の電子機器の回路図と、ユーザが携わった特許出願の内容の回路図と、の類似の度合いを調べることができる。

[0137]

また、第1の検索SRC1、第3の検索SRC3は、同時に行われてもよい。

[0138]

また、第1の検索SRC1、第2の検索SRC2、第3の検索SRC3のそれぞれは、AIを用いることができる。例えば、AIを用いることによって、被検索のネットリストと、検索範囲に含まれているネットリストと、のそれぞれの記述を比較し、互いのネットリストにおいて、回路素子の種類、数、接続構成などがどのくらい一致しているかを表す類似度を算出して、当該類似度の高いものから検索結果を出力することができる。

[0139]

上記のとおり、図1のシステムSIHでは、データベースDTB1に保存されている情報PKEDDと、情報PKPDと、情報HSCDと、情報HSPDと、のそれぞれは、データベースDTB2に保存されているネットリストに紐付けされている。また、第1の検索SRC1、第2の検索SRC2、第3の検索SRC3のそれぞれは、ネットリストを別のファイル（例えば、回路図、文書ファイルなど。）に変換せずに検索を行うことができるため、検索を容易にし、かつ検索の速度を速めることができる。

[0140]

また、上記では、図1のシステムSIHを用いた検索例を示したが、図2のシステムSIHを用いても、上記と同様の検索例を行うことができる。

[0141]

ところで、変換部PTN又は変換部WPTNが有するニューラルネットワークに対して、学習を行わせる場合、大量のデータ（ビッグデータと呼ばれる場合がある。）が必要になる。大量のデータを用意する方法としては、例えば、ネットリストを自動的にランダムで生成するプログラムを作成し、その後に回路設計ソフトウェア、回路シミュレータなどを用いて、当該ネットリストから画像データを作成する。このとき、ネットリストの生成と、画像データの作成と、が一連で行えるようにプログラムを組むことが好ましい。これにより、ネットリストと回路の画像データとの組を、学習用のデータとして用意することができる。また、大量のデータを用意する方法としては、例えば、ネットリストを自動的にランダムで生成するプログラムを作成し、更に、自動的に生成されたネットリストから文書ファイルを作成するプログラムを作成する。このとき、ネットリストの生成と、文書ファイルの作成と、が一連で行えるようにプログラムを組むことが好ましい。これにより、ネットリストと文書ファイルの組を、学習用のデータとして用意することができる。

[0142]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0143]

(実施の形態2)

本実施の形態では、本発明の一態様のシステムに用いられる、ニューラルネットワークの演算を行う演算回路の一例について説明する。

[0144]

<階層型のニューラルネットワーク>

初めに、階層型のニューラルネットワークについて説明する。階層型のニューラルネットワークは、一例としては、一の入力層と、一又は複数の中間層（隠れ層）と、一の出力層と、を有し、合計3以上の層によって構成されている。図8Aに示す階層型のニューラルネットワーク100はその一例を示しており、ニューラルネットワーク100は、第1層乃至第R層（ここでのRは4以上の整数とすることができる。）を有している。特に、第1層は入力層に相当し、第R層は出力層に相当し、それら以外の層は中間層に相当する。なお、図8Aには、中間層として第 $(k-1)$ 層、第k層（ここでのkは3以上 $R-1$ 以下の整数とする。）を図示しており、それ以外の中間層については図示を省略している。

[0145]

ニューラルネットワーク100の各層は、一又は複数のニューロンを有する。図8Aにおいて、第1層はニューロン $N_1^{(1)}$ 乃至ニューロン $N_p^{(1)}$ （ここでのpは1以上の整数である。）を有し、第 $(k-1)$ 層はニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k-1)}$ （ここでのmは1以上の整数である。）を有し、第k層はニューロン $N_1^{(k)}$ 乃至ニューロン $N_n^{(k)}$ （ここでのnは1以上の整数である。）を有し、第R層はニューロン $N_1^{(R)}$ 乃至ニューロン $N_q^{(R)}$ （ここでのqは1以上の整数である。）を有する。

[0146]

なお、図8Aには、ニューロン $N_1^{(1)}$ 、ニューロン $N_p^{(1)}$ 、ニューロン $N_1^{(k-1)}$ 、ニューロン $N_m^{(k-1)}$ 、ニューロン $N_1^{(k)}$ 、ニューロン $N_n^{(k)}$ 、ニューロン $N_1^{(R)}$ 、ニューロン $N_q^{(R)}$ に加えて、第 $(k-1)$ 層のニューロン $N_i^{(k-1)}$ （ここでのiは1以上m以下の整数である。）、第k層のニューロン $N_j^{(k)}$ （ここでのjは1以上n以下の整数である。）も図示しており、それ以外のニューロンについては図示を省略している。

[0147]

次に、前層のニューロンから次層のニューロンへの信号の伝達、及びそれぞれのニューロンにおいて入出力される信号について説明する。なお、本説明では、第k層のニューロン $N_j^{(k)}$ に着目している。

[0148]

図8Bは、第k層のニューロン $N_j^{(k)}$ と、ニューロン $N_j^{(k)}$ に入力される信号と、ニューロン $N_j^{(k)}$ から出力される信号と、を示している。

[0149]

具体的には、第 $(k-1)$ 層のニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k-1)}$ のそれぞれの出力信号である $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ が、ニューロン $N_j^{(k)}$ に向けて出力されている。そして、ニューロン $N_j^{(k)}$ は、 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ に応じて $z_j^{(k)}$ を生成して、 $z_j^{(k)}$ を出力信号と

して第 $(k+1)$ 層（図示しない。）の各ニューロンに向けて出力する。

[0 1 5 0]

前層のニューロンから次層のニューロンに入力される信号は、それらのニューロン同士を接続するシナプスの結合強度（以後、重み係数と呼称する。）によって、信号の伝達の度合いが定まる。ニューラルネットワーク 1 0 0 では、前層のニューロンから出力された信号は、対応する重み係数を乗じられて、次層のニューロンに入力される。 i を 1 以上 m 以下の整数として、第 $(k-1)$ 層のニューロン $N_i^{(k-1)}$ と第 k 層のニューロン $N_j^{(k)}$ との間のシナプスの重み係数を $w_{ij}^{(k-1)(k)}$ としたとき、第 k 層のニューロン $N_j^{(k)}$ に入力される信号は、式 (D 1) で表すことができる。

[0 1 5 1]

[数 1]

$$w_{ij}^{(k-1)(k)} \cdot z_i^{(k-1)} \quad \dots (D1)$$

[0 1 5 2]

つまり、第 $(k-1)$ 層のニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k-1)}$ のそれぞれから第 k 層のニューロン $N_j^{(k)}$ に信号が伝達するとき、当該信号である $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ には、それぞれの信号に対応する重み係数 $(w_{1j}^{(k-1)(k)}$ 乃至 $w_{mj}^{(k-1)(k)})$ が乗じられる。そして、第 k 層のニューロン $N_j^{(k)}$ には、 $w_{1j}^{(k-1)(k)} \cdot z_1^{(k-1)}$ 乃至 $w_{mj}^{(k-1)(k)} \cdot z_m^{(k-1)}$ が入力される。このとき、第 k 層のニューロン $N_j^{(k)}$ に入力される信号の総和 $u_j^{(k)}$ は、式 (D 2) となる。

[0 1 5 3]

[数 2]

$$u_j^{(k)} = \sum_{i=1}^m w_{ij}^{(k-1)(k)} \cdot z_i^{(k-1)} \quad \dots (D2)$$

[0 1 5 4]

また、重み係数 $w_{1j}^{(k-1)(k)}$ 乃至 $w_{mj}^{(k-1)(k)}$ と、ニューロンの信号 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ と、の積和の結果には、偏りとしてバイアスを与えてもよい。バイアスを b としたとき、式 (D 2) は、次の式に書き直すことができる。

[0 1 5 5]

[数 3]

$$u_j^{(k)} = \sum_{i=1}^m w_{ij}^{(k-1)(k)} \cdot z_i^{(k-1)} + b \quad \dots (D3)$$

[0 1 5 6]

ニューロン $N_j^{(k)}$ は、 $u_j^{(k)}$ に応じて、出力信号 $z_j^{(k)}$ を生成する。ここで、ニューロン $N_j^{(k)}$ からの出力信号 $z_j^{(k)}$ を次の式で定義する。

[0 1 5 7]

[数 4]

$$z_j^{(k)} = f(u_j^{(k)}) \quad \dots(D4)$$

[0158]

関数 $f(u_j^{(k)})$ は、階層型のニューラルネットワークにおける活性化関数であり、ステップ関数、線形ランプ関数、シグモイド関数などを用いることができる。なお、活性化関数は、全てのニューロンにおいて同一でもよいし、又は異なってもよい。加えて、ニューロンの活性化関数は、層毎において、同一でもよいし、異なってもよい。

[0159]

ところで、各層のニューロンが出力する信号、重み係数 w 、または、バイアス b は、アナログ値としてもよいし、デジタル値としてもよい。デジタル値としては、例えば、2 値としてもよいし、3 値としてもよい。さらに大きなビット数の値でもよい。一例として、アナログ値の場合、活性化関数として、例えば、線型ランプ関数、シグモイド関数などを用いればよい。デジタル値の 2 値の場合、例えば、出力を -1 若しくは 1 、又は、 0 若しくは 1 、とするステップ関数を用いればよい。また、各層のニューロンが出力する信号は 3 値以上としてもよく、この場合、活性化関数は 3 値以上、例えば出力は -1 、 0 、若しくは 1 とするステップ関数、又は、 0 、 1 、若しくは 2 とするステップ関数などを用いればよい。また、例えば、5 値を出力する活性化関数として、 -2 、 -1 、 0 、 1 、若しくは 2 とするステップ関数などを用いてもよい。各層のニューロンが出力する信号、重み係数 w 、または、バイアス b について、少なくとも一つについて、デジタル値を用いることにより、回路規模を小さくすること、消費電力を低減すること、または、演算スピードを速くすること、などができる。また、各層のニューロンが出力する信号、重み係数 w 、または、バイアス b の少なくとも一つについて、アナログ値を用いることにより、演算の精度を向上させることができる。

[0160]

ニューラルネットワーク 100 は、第 1 層（入力層）に入力信号が入力されることによって、第 1 層（入力層）から最後の層（出力層）までの各層において順次に、前層から入力された信号を基に、式 (D1)、式 (D2)（又は式 (D3)）、式 (D4) を用いて出力信号を生成して、当該出力信号を次層に出力する動作を行う。最後の層（出力層）から出力された信号が、ニューラルネットワーク 100 によって計算された結果に相当する。

[0161]

<演算回路の構成例 1>

次に、上述のニューラルネットワーク 100 において、積和演算及び活性化関数の演算を行う回路の一例について説明する。

[0162]

図 9 は、演算回路 MAC 1 の構成例を示している。図 9 に示す演算回路 MAC 1 は、後述するメモリセルに保持された第 1 データと、入力された第 2 データと、の積和演算を行い、かつ当該積和演算の結果を用いて活性化関数の演算を行う回路である。なお、第 1 データ、及び第 2 データは、一例としては、アナログデータ、又は多値のデータ（離散的なデータ）とすることができる。

[0163]

演算回路 MAC 1 は、電流源回路 CS と、カレントミラー回路 CM と、回路 WDD と、回路 WLD と、回路 CLD と、回路 OFST と、活性化関数回路 ACTV と、メモリセルアレイ CA を有す

る。

[0164]

メモリセルアレイCAは、メモリセルAM[1]と、メモリセルAM[2]と、メモリセルAMref[1]と、メモリセルAMref[2]と、を有する。メモリセルAM[1]、及びメモリセルAM[2]は、第1データを保持する役割を有し、メモリセルAMref[1]、及びメモリセルAMref[2]は、積和演算を行うために必要になる参照データを保持する機能を有する。なお、参照データも、第1データ、及び第2データと同様に、アナログデータ、又は多値のデータ（離散的なデータ）とすることができる。

[0165]

なお、図9のメモリセルアレイCAは、メモリセルが行方向に2個、列方向に2個、マトリクス状に配置されているが、メモリセルアレイCAは、メモリセルが行方向に3個以上、列方向に3個以上、マトリクス状に配置されている構成としてもよい。また、積和演算でなく乗算を行う場合、メモリセルアレイCAは、メモリセルが行方向に1個、列方向に2個以上、マトリクス状に配置されている構成としてもよい。

[0166]

メモリセルAM[1]と、メモリセルAM[2]と、メモリセルAMref[1]と、メモリセルAMref[2]と、は、それぞれトランジスタTr11と、トランジスタTr12と、容量C1と、を有する。

[0167]

なお、トランジスタTr11は、OSトランジスタであることが好ましい。加えて、トランジスタTr11のチャネル形成領域は、インジウム、元素M（元素Mとしては、例えば、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウムなどから選ばれた一種、又は複数種などが挙げられる。）、亜鉛の少なくとも一を含む酸化物であることがより好ましい。トランジスタTr11は、特に実施の形態3に記載するトランジスタの構造であることが更に好ましい。

[0168]

トランジスタTr11として、OSトランジスタを用いることにより、トランジスタTr11のリーク電流を抑えることができるため、計算精度の高い積和演算回路を実現できる場合がある。また、トランジスタTr11として、OSトランジスタを用いることにより、トランジスタTr11が非導通状態における、保持ノードから書き込みワード線へのリーク電流を非常に小さくすることができる。つまり、保持ノードの電位のリフレッシュ動作を少なくすることができるため、積和演算回路の消費電力を低減することができる。

[0169]

また、トランジスタTr12に対しても、OSトランジスタを用いることで、トランジスタTr11と同時に作製することができるため、積和演算回路の作製工程を短縮することができる場合がある。また、トランジスタTr12のチャネル形成領域には、酸化物でなく、シリコンが含まれていてもよい。シリコンとしては、例えば、非晶質シリコン（水素化アモルファスシリコンと呼ぶ場合がある）、微結晶シリコン、多結晶シリコン、単結晶シリコンなどとしてもよい。

[0170]

メモリセルAM [1] と、メモリセルAM [2] と、メモリセルAMref [1] と、メモリセルAMref [2] と、のそれぞれにおいて、トランジスタTr 1 1の第1端子は、トランジスタTr 1 2のゲートと電氣的に接続されている。トランジスタTr 1 2の第1端子は、配線VRと電氣的に接続されている。容量C 1の第1端子は、トランジスタTr 1 2のゲートと電氣的に接続されている。

[0171]

メモリセルAM [1] において、トランジスタTr 1 1の第2端子は、配線WDと電氣的に接続され、トランジスタTr 1 1のゲートは、配線WL [1] と電氣的に接続されている。トランジスタTr 1 2の第2端子は、配線BLと電氣的に接続され、容量C 1の第2端子は、配線CL [1] と電氣的に接続されている。なお、図9では、メモリセルAM [1] において、トランジスタTr 1 1の第1端子と、トランジスタTr 1 2のゲートと、容量C 1の第1端子と、の接続箇所をノードNM [1] としている。加えて、配線BLからトランジスタTr 1 2の第2端子に流れる電流を $I_{AM[1]}$ とする。

[0172]

メモリセルAM [2] において、トランジスタTr 1 1の第2端子は、配線WDと電氣的に接続され、トランジスタTr 1 1のゲートは、配線WL [2] と電氣的に接続されている。トランジスタTr 1 2の第2端子は、配線BLと電氣的に接続され、容量C 1の第2端子は、配線CL [2] と電氣的に接続されている。なお、図9では、メモリセルAM [2] において、トランジスタTr 1 1の第1端子と、トランジスタTr 1 2のゲートと、容量C 1の第1端子と、の接続箇所をノードNM [2] としている。加えて、配線BLからトランジスタTr 1 2の第2端子に流れる電流を $I_{AM[2]}$ とする。

[0173]

メモリセルAMref [1] において、トランジスタTr 1 1の第2端子は、配線WDrefと電氣的に接続され、トランジスタTr 1 1のゲートは、配線WL [1] と電氣的に接続されている。トランジスタTr 1 2の第2端子は、配線BLrefと電氣的に接続され、容量C 1の第2端子は、配線CL [1] と電氣的に接続されている。なお、図9では、メモリセルAMref [1] において、トランジスタTr 1 1の第1端子と、トランジスタTr 1 2のゲートと、容量C 1の第1端子と、の接続箇所をノードNMref [1] としている。加えて、配線BLrefからトランジスタTr 1 2の第2端子に流れる電流を $I_{AMref[1]}$ とする。

[0174]

メモリセルAMref [2] において、トランジスタTr 1 1の第2端子は、配線WDrefと電氣的に接続され、トランジスタTr 1 1のゲートは、配線WL [2] と電氣的に接続されている。トランジスタTr 1 2の第2端子は、配線BLrefと電氣的に接続され、容量C 1の第2端子は、配線CL [2] と電氣的に接続されている。なお、図9では、メモリセルAMref [2] において、トランジスタTr 1 1の第1端子と、トランジスタTr 1 2のゲートと、容量C 1の第1端子と、の接続箇所をノードNMref [2] としている。加えて、配線BLrefからトランジスタTr 1 2の第2端子に流れる電流を $I_{AMref[2]}$ とする。

[0175]

上述したノードNM [1]、ノードNM [2]、ノードNMref [1]、及びノードNMref [2] は、それぞれのメモリセルの保持ノードとして機能する。

[0176]

配線VRは、メモリセルAM [1]、メモリセルAM [2]、メモリセルAM_{ref} [1]、及びメモリセルAM_{ref} [2]のそれぞれのトランジスタTr12の第1端子ー第2端子間に電流を流すための配線である。そのため、配線VRは、所定の電位を与えるための配線として機能する。なお、本実施の形態では、配線VRが与える電位は、基準電位、又は基準電位よりも低い電位とすることができる。

[0177]

電流源回路CSは、配線BLと、配線BL_{ref}と、に電氣的に接続されている。電流源回路CSは、配線BL及び配線BL_{ref}に対して電流を供給する機能を有する。なお、配線BL、配線BL_{ref}のそれぞれに対して供給する電流量は、互いに異なってもよい。本構成例では、電流源回路CSから配線BLに流れる電流を I_C とし、電流源回路CSから配線BL_{ref}に流れる電流を I_{Cref} とする。

[0178]

カレントミラー回路CMは、配線ILと、配線IL_{ref}と、を有する。配線ILは、配線BLと電氣的に接続され、図9では、配線ILと配線BLの接続箇所をノードNPとして図示している。配線IL_{ref}は、配線BL_{ref}と電氣的に接続され、図9では、配線IL_{ref}と配線BL_{ref}の接続箇所をノードNP_{ref}としている。カレントミラー回路CMは、ノードNP_{ref}の電位に応じた電流を、配線BL_{ref}のノードNP_{ref}から配線IL_{ref}に排出し、且つ当該電流と同じ量の電流を配線BLのノードNPから配線ILに排出する機能を有する。なお、図9では、ノードNPから配線ILに排出する電流、及びノードNP_{ref}から配線IL_{ref}に排出する電流を I_{CM} と記している。加えて、配線BLにおいて、カレントミラー回路CMからメモリセルアレイCAに流れる電流を I_B と記し、配線BL_{ref}において、カレントミラー回路CMからメモリセルアレイCAに流れる電流を I_{Bref} と記す。

[0179]

回路WDDは、配線WDと、配線WD_{ref}と、に電氣的に接続されている。回路WDDは、メモリセルアレイCAが有するそれぞれのメモリセルに格納するためのデータを送信する機能を有する。

[0180]

回路WLDは、配線WL [1]と、配線WL [2]と、に電氣的に接続されている。回路WLDは、メモリセルアレイCAが有するメモリセルにデータを書き込む際に、データの書き込み先となるメモリセルを選択する機能を有する。

[0181]

回路CLDは、配線CL [1]と、配線CL [2]と、に電氣的に接続されている。回路CLDは、メモリセルアレイCAが有するそれぞれのメモリセルの容量C1の第2端子に対して、電位を印加する機能を有する。

[0182]

回路OFSTは、配線BLと、配線OLと、に電氣的に接続されている。回路OFSTは、配線BLから回路OFSTに流れる電流量、及び／又は配線BLから回路OFSTに流れる電流の変化量を計測する機能を有する。加えて、回路OFSTは、当該計測の結果を配線OLに出力する機能を有する。なお、回路OFSTは、当該計測の結果をそのまま電流として配線OLに出力する構成

としてもよいし、当該計測の結果を電圧に変換して、配線OLに出力する構成としてもよい。なお、図9では、配線BLから回路OFSTに流れる電流を I_a と記している。

[0183]

例えば、回路OFSTは、図10に示す構成とすることができる。図10において、回路OFSTは、トランジスタTr21と、トランジスタTr22と、トランジスタTr23と、容量C2と、抵抗R1と、を有する。

[0184]

容量C2の第1端子は、配線BLと電氣的に接続され、抵抗R1の第1端子は、配線BLと電氣的に接続されている。容量C2の第2端子は、トランジスタTr21の第1端子と電氣的に接続され、トランジスタTr21の第1端子は、トランジスタTr22のゲートと電氣的に接続されている。トランジスタTr22の第1端子は、トランジスタTr23の第1端子と電氣的に接続され、トランジスタTr23の第1端子は、配線OLと電氣的に接続されている。なお、容量C2の第1端子と、抵抗R1の第1端子と、の電氣的接続点をノードNaとし、容量C2の第2端子と、トランジスタTr21の第1端子と、トランジスタTr22のゲートと、の電氣的接続点をノードNbとする。

[0185]

抵抗R1の第2端子は、配線VrefLと電氣的に接続されている。トランジスタTr21の第2端子は、配線VaLと電氣的に接続され、トランジスタTr21のゲートは、配線RSTと電氣的に接続されている。トランジスタTr22の第2端子は、配線VDDLと電氣的に接続されている。トランジスタTr23の第2端子は、配線VSSLと電氣的に接続され、トランジスタTr23のゲートは、配線VbLと電氣的に接続されている。

[0186]

配線VrefLは、電位Vrefを与える配線であり、配線VaLは、電位Vaを与える配線であり、配線VbLは、電位Vbを与える配線である。配線VDDLは、電位VDDを与える配線であり、配線VSSLは、電位VSSを与える配線である。特に、ここでの回路OFSTの構成例では、電位VDDを高レベル電位とし、電位VSSを低レベル電位としている。配線RSTは、トランジスタTr21の導通状態と非導通状態とを切り替えるための電位を与える配線である。

[0187]

図10に示す回路OFSTより、トランジスタTr22と、トランジスタTr23と、配線VDDLと、配線VSSLと、配線VbLと、によって、ソースフォロワ回路が構成されている。

[0188]

図10に示す回路OFSTより、抵抗R1と、配線VrefLと、によって、ノードNaには、配線BLから流れてくる電流、及び抵抗R1の抵抗に応じた電位が与えられる。

[0189]

図10に示す回路OFSTの動作例について説明する。配線BLから1回目の電流（以後、第1電流と呼称する。）が流れたとき、抵抗R1と、配線VrefLと、により、ノードNaに第1電流と抵抗R1の抵抗とに応じた電位が与えられる。また、このとき、トランジスタTr21を導通状態として、ノードNbに電位Vaを与える。その後、トランジスタTr21を非導通状態とする。

[0190]

次に、配線BLから2回目の電流（以後、第2電流と呼称する。）が流れたとき、第1電流が流

れたときと同様に、抵抗 R_1 と、配線 V_{refL} と、により、ノード N_a に第2電流と抵抗 R_1 の抵抗とに応じた電位が与えられる。このとき、ノード N_b はフローティング状態となっているので、ノード N_a の電位が変化することで、容量結合によって、ノード N_b の電位も変化する。ノード N_a の電位の変化を ΔV_{Na} とし、容量結合係数を1としたとき、ノード N_b の電位は $V_a + \Delta V_{Na}$ となる。トランジスタ T_{r22} のしきい値電圧を V_{th} としたとき、配線 OL から電位 $V_a + \Delta V_{Na} - V_{th}$ が出力される。ここで、電位 V_a をしきい値電圧 V_{th} とすることで、配線 OL から電位 ΔV_{Na} を出力することができる。

[0191]

電位 ΔV_{Na} は、第1電流から第2電流への変化量と、抵抗 R_1 の抵抗値と、電位 V_{ref} と、に応じて定まる。抵抗 R_1 の抵抗値と、電位 V_{ref} と、は既知とすることができるため、図10に示す回路 $OFST$ を用いることにより、電位 ΔV_{Na} から、配線 BL に流れる電流の変化量を求めることができる。

[0192]

活性化関数回路 $ACTV$ は、配線 OL と、配線 NIL と、に電氣的に接続されている。活性化関数回路 $ACTV$ には、配線 OL を介して、回路 $OFST$ で計測した電流の変化量の結果が入力される。活性化関数回路 $ACTV$ は、当該結果に対して、あらかじめ定義された関数系に従った演算を行う回路である。当該関数系としては、例えば、シグモイド関数、 $\tanh$ 関数、ソフトマックス関数、 $ReLU$ 関数、しきい値関数などを用いることができ、これらの関数は、ニューラルネットワークにおける活性化関数として適用される。

[0193]

<演算回路の動作例1>

次に、演算回路 $MAC1$ の動作例について説明する。

[0194]

図11に演算回路 $MAC1$ の動作例のタイミングチャートを示す。図11のタイミングチャートは、時刻 T_{01} 乃至時刻 T_{09} における、配線 $WL[1]$ 、配線 $WL[2]$ 、配線 WD 、配線 WD_{ref} 、ノード $NM[1]$ 、ノード $NM[2]$ 、ノード $NM_{ref}[1]$ 、ノード $NM_{ref}[2]$ 、配線 $CL[1]$ 、及び配線 $CL[2]$ の電位の変動を示し、電流 $I_B - I_\alpha$ 、及び電流 $I_{B_{ref}}$ の大きさの変動を示している。特に、電流 $I_B - I_\alpha$ は、配線 BL から、メモリセルアレイ CA のメモリセル $AM[1]$ 、メモリセル $AM[2]$ に流れる電流の総和を示している。

[0195]

<<時刻 T_{01} から時刻 T_{02} まで>>

時刻 T_{01} から時刻 T_{02} までの間において、配線 $WL[1]$ に高レベル電位（図11では $High$ と表記している。）が印加され、配線 $WL[2]$ に低レベル電位（図11では Low と表記している。）が印加されている。加えて、配線 WD には接地電位（図11では GND と表記している。）よりも $V_{PR} - V_{W[1]}$ 大きい電位が印加され、配線 WD_{ref} には接地電位よりも V_{PR} 大きい電位が印加されている。更に、配線 $CL[1]$ 、及び配線 $CL[2]$ にはそれぞれ基準電位（図11では $REFP$ と表記している。）が印加されている。

[0196]

なお、電位 $V_{W[1]}$ は、第1データの一に対応する電位である。また、電位 V_{PR} は、参照データに対応する電位である。

[0197]

このとき、メモリセルAM[1]、及びメモリセルAMref[1]のそれぞれのトランジスタTr11のゲートに高レベル電位が印加されるため、メモリセルAM[1]、及びメモリセルAMref[1]のそれぞれのトランジスタTr11は、オン状態となる。そのため、メモリセルAM[1]において、配線WDとノードNM[1]との間が導通状態になるため、ノードNM[1]の電位は、 $V_{PR} - V_{W[1]}$ となる。同様に、メモリセルAMref[1]において、配線WDrefとノードNMref[1]との間が導通状態になるため、ノードNMref[1]の電位は、 V_{PR} となる。

[0198]

ここで、メモリセルAM[1]、及びメモリセルAMref[1]のそれぞれのトランジスタTr12の第2端子から第1端子に流れる電流を考える。配線BLからメモリセルAM[1]のトランジスタTr12の第2端子を介して第1端子に流れる電流を $I_{AM[1],0}$ としたとき、 $I_{AM[1],0}$ は次の式で表すことができる。

[0199]

[数5]

$$I_{AM[1],0} = k(V_{PR} - V_{W[1]} - V_{th})^2 \quad \dots(E1)$$

[0200]

k は、トランジスタTr12のチャネル長、チャネル幅、移動度、及びゲート絶縁膜の容量などで決まる定数である。また、 V_{th} は、トランジスタTr12のしきい値電圧である。

[0201]

配線BLrefからメモリセルAMref[1]のトランジスタTr12の第2端子を介して第1端子に流れる電流を $I_{AMref[1],0}$ としたとき、同様に、 $I_{AMref[1],0}$ は次の式で表すことができる。

[0202]

[数6]

$$I_{AMref[1],0} = k(V_{PR} - V_{th})^2 \quad \dots(E2)$$

[0203]

なお、メモリセルAM[2]、及びメモリセルAMref[2]のそれぞれのトランジスタTr11のゲートに低レベル電位が印加されるため、メモリセルAM[2]、及びメモリセルAMref[2]のそれぞれのトランジスタTr11は、オフ状態となる。このため、ノードNM[2]、及びノードNMref[2]への電位の書き込みは行われない。

[0204]

<<時刻T02から時刻T03まで>>

時刻T02から時刻T03までの間において、配線WL[1]に低レベル電位が印加される。このとき、メモリセルAM[1]、及びメモリセルAMref[1]のそれぞれのトランジスタTr11のゲートに低レベル電位が印加されるため、メモリセルAM[1]、及びメモリセルAMref[1]のそれぞれのトランジスタTr11はオフ状態となる。

[0205]

また、配線WL [2] には、時刻T02以前から引き続き、低レベル電位が印加されている。このため、メモリセルAM [2]、及びメモリセルAMref [2] のそれぞれのトランジスタTr11は、時刻T02以前から引き続きオフ状態となっている。

[0206]

上述のとおり、メモリセルAM [1]、メモリセルAM [2]、メモリセルAMref [1]、及びメモリセルAMref [2] のそれぞれのトランジスタTr11はオフ状態となっているため、時刻T02から時刻T03までの間では、ノードNM [1]、ノードNM [2]、ノードNMref [1]、及びノードNMref [2] のそれぞれの電位が保持される。

[0207]

特に、演算回路MAC1の回路構成の説明で述べたとおり、メモリセルAM [1]、メモリセルAM [2]、メモリセルAMref [1]、及びメモリセルAMref [2] のそれぞれのトランジスタTr11にOSトランジスタを適用することによって、トランジスタTr11の第1端子ー第2端子間に流れるリーク電流を小さくすることができるため、ノードNM [1]、ノードNM [2]、ノードNMref [1]、及びノードNMref [2] のそれぞれの電位を長時間保持することができる。

[0208]

時刻T02から時刻T03までの間において、配線WD、及び配線WDrefには接地電位が印加されている。メモリセルAM [1]、メモリセルAM [2]、メモリセルAMref [1]、及びメモリセルAMref [2] のそれぞれのトランジスタTr11は、オフ状態となっているため、配線WD、及び配線WDrefからの電位の印加によって、ノードNM [1]、ノードNM [2]、ノードNMref [1]、及びノードNMref [2] のそれぞれに保持されている電位が書き換えられることは無い。

[0209]

<<時刻T03から時刻T04まで>>

時刻T03から時刻T04までの間において、配線WL [1] に低レベル電位が印加され、配線WL [2] に高レベル電位が印加されている。加えて、配線WDには接地電位よりも $V_{PR}-V_{W[2]}$ 大きい電位が印加され、配線WDrefには接地電位よりも V_{PR} 大きい電位が印加されている。更に、時刻T02以前から引き続き、配線CL [1]、及び配線CL [2] には、それぞれ基準電位が印加されている。

[0210]

なお、電位 $V_{W[2]}$ は、第1データの一に対応する電位である。

[0211]

このとき、メモリセルAM [2]、及びメモリセルAMref [2] のそれぞれのトランジスタTr11のゲートに高レベル電位が印加されるため、メモリセルAM [2]、及びメモリセルAMref [2] のそれぞれのトランジスタTr11は、オン状態となる。そのため、メモリセルAM [2] において、配線WDとノードNM [2] との間が導通状態になるため、ノードNM [2] の電位は、 $V_{PR}-V_{W[2]}$ となる。同様に、メモリセルAMref [2] において、配線WDrefとノードNMref [2] との間が導通状態になるため、ノードNMref [2] の電位は、 V_{PR} となる。

[0212]

ここで、メモリセルAM[2]、及びメモリセルAMref[2]のそれぞれのトランジスタTr12の第2端子から第1端子に流れる電流を考える。配線BLからメモリセルAM[2]のトランジスタTr12の第2端子を介して第1端子に流れる電流を $I_{AM[2],0}$ としたとき、 $I_{AM[2],0}$ は次の式で表すことができる。

[0213]

[数7]

$$I_{AM[2],0} = k(V_{PR} - V_{W[2]} - V_{th})^2 \quad \dots(E3)$$

[0214]

配線BLrefからメモリセルAMref[2]のトランジスタTr12の第2端子を介して第1端子に流れる電流を $I_{AMref[2],0}$ としたとき、同様に、 $I_{AMref[2],0}$ は次の式で表すことができる。

[0215]

[数8]

$$I_{AMref[2],0} = k(V_{PR} - V_{th})^2 \quad \dots(E4)$$

[0216]

<<時刻T04から時刻T05まで>>

ここで、時刻T04から時刻T05までの間における、配線BL及び配線BLrefに流れる電流について説明する。

[0217]

配線BLrefには、電流源回路CSからの電流が供給される。加えて、配線BLrefには、カレントミラー回路CM、メモリセルAMref[1]、及びメモリセルAMref[2]によって電流が排出される。配線BLrefにおいて、電流源回路CSから供給される電流を I_{Cref} とし、カレントミラー回路CMによって排出される電流を $I_{CM,0}$ としたとき、キルヒホッフの法則により次の式が成り立つ。

[0218]

[数9]

$$I_{Cref} - I_{CM,0} = I_{AMref[1],0} + I_{AMref[2],0} \quad \dots(E5)$$

[0219]

配線BLには、電流源回路CSからの電流が供給される。加えて、配線BLには、カレントミラー回路CM、メモリセルAM[1]、メモリセルAM[2]によって電流が排出される。さらに、配線BLから回路OFSTにも電流が流れる。配線BLにおいて、電流源回路CSから供給される電流を I_c とし、配線BLから回路OFSTに流れる電流を $I_{\alpha,0}$ としたとき、キルヒホッフの法則により次の式が成り立つ。

[0220]

[数 1 0]

$$I_C - I_{CM,0} = I_{AM[1],0} + I_{AM[2],0} + I_{\alpha,0} \quad \dots(E6)$$

[0 2 2 1]

<<時刻T 0 5から時刻T 0 6まで>>

時刻T 0 5から時刻T 0 6までの間において、配線CL [1] に基準電位よりも $V_{X[1]}$ 高い電位が印加される。このとき、メモリセルAM [1] 、及びメモリセルAM r e f [1] のそれぞれの容量C 1 の第2端子に、電位 $V_{X[1]}$ が印加されるため、トランジスタT r 1 2のゲートの電位が上昇する。

[0 2 2 2]

なお、電位 $V_{X[1]}$ は、第2データの一に対応する電位である。

[0 2 2 3]

なお、トランジスタT r 1 2のゲートの電位の増加分は、配線CL [1] の電位変化に、メモリセルの構成によって決まる容量結合係数を乗じた電位となる。該容量結合係数は、容量C 1 の容量、トランジスタT r 1 2のゲート容量、寄生容量などによって算出される。本動作例では、説明の煩雑さを避けるため、配線CL [1] の電位の増加分もトランジスタT r 1 2のゲートの電位の増加分も同じ値として説明する。これは、メモリセルAM [1] 、及びメモリセルAM r e f [1] におけるそれぞれの容量結合係数を1としていることに相当する。

[0 2 2 4]

容量結合係数を1としているため、メモリセルAM [1] 、及びメモリセルAM r e f [1] のそれぞれの容量C 1 の第2端子に、電位 $V_{X[1]}$ が印加されることによって、ノードNM [1] 、及びノードNM r e f [1] の電位は、それぞれ $V_{X[1]}$ 上昇する。

[0 2 2 5]

ここで、メモリセルAM [1] 、及びメモリセルAM r e f [1] のそれぞれのトランジスタT r 1 2の第2端子から第1端子に流れる電流を考える。配線BLからメモリセルAM [1] のトランジスタT r 1 2の第2端子を介して第1端子に流れる電流を $I_{AM[1],1}$ としたとき、 $I_{AM[1],1}$ は次の式で表すことができる。

[0 2 2 6]

[数 1 1]

$$I_{AM[1],1} = k(V_{PR} - V_{W[1]} + V_{X[1]} - V_{th})^2 \quad \dots(E7)$$

[0 2 2 7]

つまり、配線CL [1] に電位 $V_{X[1]}$ を印加することによって、配線BLからメモリセルAM [1] のトランジスタT r 1 2の第2端子を介して第1端子に流れる電流は、 $I_{AM[1],1} - I_{AM[1],0}$ (図11では、 $\Delta I_{AM[1]}$ と表記する。) 増加する。

[0 2 2 8]

同様に、配線BL r e fからメモリセルAM r e f [1] のトランジスタT r 1 2の第2端子を介して第1端子に流れる電流を $I_{AMref[1],1}$ としたとき、 $I_{AMref[1],1}$ は次の式で表すことができる。

[0229]

[数12]

$$I_{AMref[1],1} = k(V_{PR} + V_{X[1]} - V_{th})^2 \quad \dots(E8)$$

[0230]

つまり、配線CL[1]に電位 $V_{X[1]}$ を印加することによって、配線BLrefからメモリセルAMref[1]のトランジスタTr12の第2端子を介して第1端子に流れる電流は、 $I_{AMref[1],1} - I_{AMref[1],0}$ （図11では、 $\Delta I_{AMref[1]}$ と表記する。）増加する。

[0231]

ここで、配線BL及び配線BLrefに流れる電流について説明する。

[0232]

配線BLrefには、時刻T04から時刻T05までの間と同様に、電流源回路CSからの電流 I_{Cref} が供給される。同時に、配線BLrefには、カレントミラー回路CM、メモリセルAMref[1]、及びメモリセルAMref[2]によって電流が排出される。配線BLrefにおいて、カレントミラー回路CMによって排出される電流を $I_{CM,1}$ としたとき、キルヒホッフの法則により次の式が成り立つ。

[0233]

[数13]

$$I_{Cref} - I_{CM,1} = I_{AMref[1],1} + I_{AMref[2],0} \quad \dots(E9)$$

[0234]

配線BLには、時刻T04から時刻T05までの間と同様に、電流源回路CSからの電流 I_C が供給される。同時に、配線BLには、カレントミラー回路CM、メモリセルAM[1]、メモリセルAM[2]によって電流が排出される。さらに、配線BLから回路OFS Tにも電流が流れる。配線BLにおいて、配線BLから回路OFS Tに流れる電流を $I_{\alpha,1}$ としたとき、キルヒホッフの法則により次の式が成り立つ。

[0235]

[数14]

$$I_C - I_{CM,1} = I_{AM[1],1} + I_{AM[2],0} + I_{\alpha,1} \quad \dots(E10)$$

[0236]

時刻T04から時刻T05までの間における、配線BLから回路OFS Tに流れる電流 $I_{\alpha,0}$ と、時刻T05から時刻T06までの間における、配線BLから回路OFS Tに流れる電流 $I_{\alpha,1}$ との差を ΔI_{α} とする。以後、 ΔI_{α} を、演算回路MAC1における、差分電流と呼称する。差分電流 ΔI_{α} は、式(E1)乃至式(E10)を用いて、次の式のとおりを表すことができる。

[0237]

[数15]

$$\Delta I_{\alpha} = I_{\alpha,0} - I_{\alpha,1} = 2kV_{W[1]}V_{X[1]} \quad \dots(E11)$$

[0238]

<<時刻T06から時刻T07まで>>

時刻T06から時刻T07までの間において、配線CL[1]には基準電位が印加されている。このとき、メモリセルAM[1]、及びメモリセルAMref[1]のそれぞれの容量C1の第2端子に、基準電位が印加されるため、ノードNM[1]、及びノードNMref[1]の電位は、それぞれ時刻T04から時刻T05までの間の電位に戻る。

[0239]

<<時刻T07から時刻T08まで>>

時刻T07から時刻T08までの間において、配線CL[1]に基準電位よりも $V_{X[1]}$ 高い電位が印加され、配線CL[2]に基準電位よりも $V_{X[2]}$ 高い電位が印加される。このとき、メモリセルAM[1]、及びメモリセルAMref[1]のそれぞれの容量C1の第2端子に電位 $V_{X[1]}$ が印加され、メモリセルAM[2]、及びメモリセルAMref[2]のそれぞれの容量C1の第2端子に電位 $V_{X[2]}$ が印加される。このため、メモリセルAM[1]、メモリセルAM[2]、メモリセルAMref[1]、及びメモリセルAMref[2]のそれぞれのトランジスタTr12のゲートの電位が上昇する。

[0240]

メモリセルAM[1]、及びメモリセルAMref[1]のそれぞれのノードの電位の変化は、時刻T05から時刻T06までの間の動作を参酌する。メモリセルAM[2]、及びメモリセルAMref[2]についても同様に、それぞれのメモリセルの容量結合係数を1として説明する。

[0241]

容量結合係数を1としているため、メモリセルAM[2]、及びメモリセルAMref[2]のそれぞれの容量C1の第2端子に、電位 $V_{X[2]}$ が印加されることによって、ノードNM[2]、及びノードNMref[2]の電位は、それぞれ $V_{X[2]}$ 上昇する。

[0242]

ここで、メモリセルAM[2]、及びメモリセルAMref[2]のそれぞれのトランジスタTr12の第2端子から第1端子に流れる電流を考える。配線BLからメモリセルAM[1]のトランジスタTr12の第2端子を介して第1端子に流れる電流を $I_{AM[2],1}$ としたとき、 $I_{AM[2],1}$ は次の式で表すことができる。

[0243]

[数16]

$$I_{AM[2],1} = k(V_{PR} - V_{W[2]} + V_{X[2]} - V_{th})^2 \quad \dots(E12)$$

[0244]

つまり、配線CL[2]に電位 $V_{X[2]}$ を印加することによって、配線BLからメモリセルAM[2]のトランジスタTr12の第2端子を介して第1端子に流れる電流は、 $I_{AM[2],1} - I_{AM[2],0}$ (図11では、 $\Delta I_{AM[2]}$ と表記する。)増加する。

[0245]

同様に、配線BLrefからメモリセルAMref[2]のトランジスタTr12の第2端子を介して第1端子に流れる電流を $I_{AMref[2],1}$ としたとき、 $I_{AMref[2],1}$ は次の式で表すことができる。

[0246]

[数17]

$$I_{AMref[2],1} = k(V_{PR} + V_{X[2]} - V_{th})^2 \quad \dots(E13)$$

[0247]

つまり、配線CL[2]に電位 $V_{X[2]}$ を印加することによって、配線BLrefからメモリセルAMref[2]のトランジスタTr12の第2端子を介して第1端子に流れる電流は、 $I_{AMref[2],1} - I_{AMref[2],0}$ （図11では、 $\Delta I_{AMref[2]}$ と表記する。）増加する。

[0248]

ここで、配線BL及び配線BLrefに流れる電流について説明する。

[0249]

配線BLrefには、時刻T04から時刻T05までの間と同様に、電流源回路CSからの電流 I_{Cref} が供給される。同時に、配線BLrefには、カレントミラー回路CM、メモリセルAMref[1]、及びメモリセルAMref[2]によって電流が排出される。配線BLrefにおいて、カレントミラー回路CMによって排出される電流を $I_{CM,2}$ としたとき、キルヒホッフの法則により次の式が成り立つ。

[0250]

[数18]

$$I_{Cref} - I_{CM,2} = I_{AMref[1],1} + I_{AMref[2],1} \quad \dots(E14)$$

[0251]

配線BLには、時刻T04から時刻T05までの間と同様に、電流源回路CSからの電流 I_C が供給される。同時に、配線BLには、カレントミラー回路CM、メモリセルAM[1]、メモリセルAM[2]によって電流が排出される。さらに、配線BLから回路OFSTにも電流が流れる。配線BLにおいて、配線BLから回路OFSTに流れる電流を $I_{\alpha,3}$ としたとき、キルヒホッフの法則により次の式が成り立つ。

[0252]

[数19]

$$I_C - I_{CM,2} = I_{AM[1],1} + I_{AM[2],1} + I_{\alpha,3} \quad \dots(E15)$$

[0253]

時刻T04から時刻T05までの間における、配線BLから回路OFSTに流れる電流 $I_{\alpha,0}$ と、時刻T07から時刻T08までの間における、配線BLから回路OFSTに流れる電流 $I_{\alpha,3}$ との差となる差分電流 ΔI_{α} は、式(E1)乃至式(E8)、式(E12)乃至式(E15)用いて、次の式のとおりに表すことができる。

[0254]

[数 2 0]

$$\Delta I_{\alpha} = I_{\alpha,0} - I_{\alpha,3} = 2k(V_{W[1]}V_{X[1]} + V_{W[2]}V_{X[2]}) \quad \dots(E16)$$

[0 2 5 5]

式 (E 1 1)、式 (E 1 6) に示すとおり、回路 O F S T に入力される差分電流 ΔI_{α} は、複数の第 1 データである電位 V_w と、複数の第 2 データである電位 V_x と、の積の和に応じた値となる。つまり、差分電流 ΔI_{α} を回路 O F S T で計測することによって、第 1 データと第 2 データとの積和の値を求めることができる。

[0 2 5 6]

<<時刻 T 0 8 から時刻 T 0 9 まで>>

時刻 T 0 8 から時刻 T 0 9 までの間において、配線 C L [1]、及び配線 C L [2] には基準電位が印加されている。このとき、メモリセル A M [1]、メモリセル A M [2]、メモリセル A M r e f [1]、及びメモリセル A M r e f [2] のそれぞれの容量 C 1 の第 2 端子に、基準電位が印加されるため、ノード N M [1]、ノード N M [2]、ノード N M r e f [1]、及びノード N M r e f [2] の電位は、それぞれ時刻 T 0 6 から時刻 T 0 7 までの間の電位に戻る。

[0 2 5 7]

時刻 T 0 5 から時刻 T 0 6 までの間において、配線 C L [1] に $V_{X[1]}$ を印加し、時刻 T 0 7 から時刻 T 0 8 までの間において、配線 C L [1] 及び配線 C L [2] にそれぞれ $V_{X[1]}$ 、 $V_{X[2]}$ を印加したが、配線 C L [1] 及び配線 C L [2] に印加する電位は、基準電位 R E F P よりも低くてもよい。配線 C L [1]、及び／又は配線 C L [2] に、基準電位 R E F P よりも低い電位を印加した場合、配線 C L [1]、及び／又は配線 C L [2] に接続されているメモリセルの保持ノードの電位を、容量結合によって低くすることができる。これにより、積和演算において、第 1 データと、負の値である第 2 データの一との積を行うことができる。例えば、時刻 T 0 7 から時刻 T 0 8 までの間において、配線 C L [2] に、 $V_{X[2]}$ でなく $-V_{X[2]}$ を印加した場合、差分電流 ΔI_{α} は、次の式の通りに表すことができる。

[0 2 5 8]

[数 2 1]

$$\Delta I_{\alpha} = I_{\alpha,0} - I_{\alpha,3} = 2k(V_{W[1]}V_{X[1]} - V_{W[2]}V_{X[2]}) \quad \dots(E17)$$

[0 2 5 9]

なお、本動作例では、2 行 2 列のマトリクス状に配置されているメモリセルを有するメモリセルアレイ C A について扱ったが、1 行、且つ 2 列以上のメモリセルアレイ、又は 3 行以上、且つ 3 列以上のメモリセルアレイについても同様に、積和演算を行うことができる。この場合の積和演算回路は、複数列のうち 1 列を、参照データ（電位 V_{PR} ）を保持するメモリセルとすることで、複数列のうち残りの列の数だけ積和演算処理を同時に実行することができる。つまり、メモリセルアレイの列の数を増やすことで、高速な積和演算処理を実現する半導体装置を提供することができる。また、行数を増やすことによって、積和演算における、足し合わせる項数を増やすことができる。行数を増やした場合の、差分電流 ΔI_{α} は、次の式で表すことができる。

[0 2 6 0]

[数 2 2]

$$\Delta I_{\alpha} = 2k \sum_i V_{W[i]} V_{X[i]} \quad \dots(E18)$$

[0 2 6 1]

本実施の形態で述べた積和演算回路を、上述した隠れ層として適用する場合、重み係数 $w_{s[k]s[k-1]}^{(k)}$ を第1データとして、同じ列の各メモリセルAMに格納し、第 $(k-1)$ 層の第 $s[k-1]$ ニューロンからの出力信号 $z_{s[k-1]}^{(k-1)}$ を各行の配線CLから印加する電位（第2データ）とすることで、差分電流 ΔI_{α} から第1データと第2データとの積和を求めることができる。加えて、当該積和の値を用いて活性化関数の値を求めることによって、活性化関数の値を信号として第 k 層の第 $s[k]$ ニューロンの出力信号 $z_{s[k]}^{(k)}$ とすることができる。

[0 2 6 2]

また、本実施の形態で述べた積和演算回路を、上述した出力層として適用する場合、重み係数 $w_{s[L]s[L-1]}^{(L)}$ を第1データとして、同じ列の各メモリセルAMに格納し、第 $(L-1)$ 層の第 $s[L-1]$ ニューロンからの出力信号 $z_{s[L-1]}^{(L-1)}$ を各行の配線CLから印加する電位（第2データ）とすることで、差分電流 ΔI_{α} から、第1データと第2データとの積和を求めることができる。加えて、当該積和の値を用いて活性化関数の値を求めることによって、活性化関数の値を信号として第 L 層の第 $s[L]$ ニューロンの出力信号 $z_{s[L]}^{(L)}$ とすることができる。

[0 2 6 3]

なお、本実施の形態で述べた入力層は、入力信号を第2層に出力するバッファ回路として機能してもよい。

[0 2 6 4]

ところで、本実施の形態で述べた演算回路では、メモリセルAMの行数が前層のニューロンの数となる。換言すると、メモリセルAMの行数は、次層の1つのニューロンに入力される前層のニューロンの出力信号の数に対応する。そして、メモリセルAMの列数が、次層のニューロンの数となる。換言すると、メモリセルAMの列数は、次層のニューロンから出力される出力信号の数に対応する。つまり、前層、次層のそれぞれのニューロンの個数によって、演算回路のメモリセルアレイの行数、及び列数が定まるため、構成したいニューラルネットワークに応じて、メモリセルアレイの行数、及び列数を定めて、設計すればよい。

[0 2 6 5]

また、本実施の形態で述べた演算回路は、状況に応じて、構成を変更してもよい。例えば、図9に示した演算回路MAC1は、図12に示す演算回路MAC1に変更してもよい。図12の演算回路MAC1は、図9の演算回路MAC1に対して、メモリセルアレイCAのメモリセルAM[1]及びメモリセルAM[1]が含まれる列にメモリセルAMBを加えた構成となっている。

[0 2 6 6]

メモリセルAMBは、配線WDと、配線BLと、配線WLBと、配線CLBと、に電氣的に接続されている。また、配線WLBは、回路WLDに電氣的に接続され、配線CLBは、回路CLDに電氣的に接続されている。

[0 2 6 7]

メモリセルAMBにおいて、トランジスタTr11の第1端子と、トランジスタTr12のゲー

トと、容量C 1の第1端子と、の接続箇所をノードNMBとしている。

[0268]

配線WLBは、メモリセルAMBにデータを書き込む際に、回路WLDからメモリセルAMBに対して、選択信号を供給する配線として機能する。また、配線CLBは、メモリセルAMBの容量C 1の第2端子に対して、定電位を印加する配線として機能する。当該定電位としては、接地電位、又は低レベル電位とするのが好ましい。

[0269]

図12の演算回路MAC 1の動作例としては、例えば、図11のタイミングチャートにおいて、時刻T 0 1から時刻T 0 5までの間では、メモリセルAMBのトランジスタTr 1 2がオフ状態となるように、ノードNMBに接地電位、低レベル電位、又は配線VRが与える電位を保持する。そして、図11のタイミングチャートにおいて、時刻T 0 5から時刻T 0 9までの間では、メモリセルAMBのトランジスタTr 1 2のソースドレイン間に任意の電流I_{BIAS}が流れるように、ノードNMBに電位V_{BIAS}を保持する。このとき、I_{BIAS}は次の式で表される。

[0270]

[数23]

$$I_{BIAS} = k(V_{PR} - V_{BIAS} - V_{th})^2 \quad \dots(E19)$$

[0271]

このとき、式(E 1 6)、式(E 1 8)は、次の式に書き換えることができる。

[0272]

[数24]

$$\Delta I_{\alpha} = I_{\alpha,0} - I_{\alpha,3} = 2k(V_{W[1]}V_{X[1]} + V_{W[2]}V_{X[2]}) - I_{BIAS} \quad \dots(E20)$$

[0273]

[数25]

$$\Delta I_{\alpha} = 2k \sum_i V_{W[i]}V_{X[i]} - I_{BIAS} \quad \dots(E21)$$

[0274]

式(E 2 0)、式(E 2 1)は、積和演算の結果に対して、更に任意のバイアスを与える演算に相当する。つまり、図12の演算回路MAC 1を用いることによって、式(D 3)の演算を行うことができる。なお、I_{BIAS}は、ノードNMBの電位でなく、配線CLBが与える電位によっても決まるため、例えば、図11のタイミングチャートにおいて、時刻T 0 1から時刻T 0 5までの間では、メモリセルAMBのトランジスタTr 1 2がオフ状態となるように、配線CLBに接地電位を与え、時刻T 0 5から時刻T 0 9までの間に、配線CLBの電位を接地電位から任意の電位に変化させて、メモリセルAMBのトランジスタTr 1 2のソースドレイン間に任意の電流I_{BIAS}が流れるようにしてもよい。

[0275]

また、例えば、図9に示した演算回路MAC 1は、図13に示す演算回路MAC 1 Aに変更してもよい。図13の演算回路MAC 1 Aは、図9の演算回路MAC 1における電流源回路CSとカレ

ントミラー回路CMとをまとめた回路CMSと、回路OFSTと活性化関数回路ACTVとをまとめた回路OFACと、メモリセルアレイCAと、を有する。

[0276]

回路CMSは、一例として、カレントミラー回路CMと、電流源回路CS1と、電流源回路CS2と、スイッチSW3と、を有する。

[0277]

カレントミラー回路CMは、一例として、トランジスタTr31と、トランジスタTr32と、を有する。また、電流源回路CS1は、一例として、トランジスタTr33と、容量C6と、スイッチSW1と、を有する。また、電流源回路CS2は、一例として、トランジスタTr34と、容量C7と、スイッチSW2と、を有する。

[0278]

回路OFACは、一例として、スイッチSW4と、抵抗REと、を有する。

[0279]

なお、トランジスタTr31乃至トランジスタTr33のそれぞれは、図13に示すとおり、pチャネル型トランジスタとすることが好ましい。また、トランジスタTr34は、図13に示すとおり、nチャネル型トランジスタとすることが好ましい。トランジスタTr31乃至トランジスタTr34のそれぞれは、例えば、Siトランジスタを用いることができる。

[0280]

また、トランジスタTr31乃至トランジスタTr34は、特に断りの無い場合は、オン状態のときには飽和領域で動作する場合を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧は、飽和領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。

[0281]

なお、スイッチSW1乃至スイッチSW4のそれぞれは、例えば、電氣的なスイッチ、機械的なスイッチなどを用いることができる。特に、スイッチSW1乃至スイッチSW4のそれぞれに電氣的なスイッチを用いる場合、当該電氣的なスイッチとしては、OSトランジスタ、Siトランジスタなどを用いることができる。

[0282]

メモリセルアレイCAについては、図9の演算回路MAC1のメモリセルアレイCAの説明の記載を参酌する。なお、図13では、回路CLDと、回路WDDと、回路WLDと、のそれぞれを省略している。

[0283]

カレントミラー回路CMにおいて、トランジスタTr31の第1端子は、配線VHEに電氣的に接続され、トランジスタTr31の第2端子は、トランジスタTr31のゲートと、配線BLrefに電氣的に接続されている。トランジスタTr32の第1端子は、配線VHEに電氣的に接続され、トランジスタTr32の第2端子は、スイッチSW3の第1端子と、回路OFACのスイッチSW4の第1端子と、に電氣的に接続されている。

[0284]

電流源回路CS1において、トランジスタTr33の第1端子は、配線VHEに電氣的に接続され、トランジスタTr33の第2端子は、スイッチSW1の第1端子と、スイッチSW3の第2端

子と、配線BLと、に電氣的に接続され、トランジスタTr33のゲートは、スイッチSW1の第2端子と、容量C6の第1端子と、に電氣的に接続されている。容量C6の第2端子は、配線VHEに電氣的に接続されている。

[0285]

電流源回路CS2において、トランジスタTr34の第1端子は、配線VLEに電氣的に接続され、トランジスタTr34の第2端子は、スイッチSW2の第1端子と、スイッチSW3の第1端子と、回路OFACのスイッチSW4の第1端子と、に電氣的に接続され、トランジスタTr34のゲートは、スイッチSW2の第2端子と、容量C7の第1端子と、に電氣的に接続されている。容量C7の第2端子は、配線VLEに電氣的に接続されている。

[0286]

回路OFACにおいて、スイッチSW4の第2端子は、抵抗REの第1端子に電氣的に接続され、抵抗REの第2端子は、配線VcLに電氣的に接続されている。

[0287]

配線VHEは、定電圧を供給する配線として機能する。当該定電圧としては、例えば、高レベル電位などとすることができる。また、配線VLEは、定電圧を供給する配線として機能する。当該定電圧としては、例えば、低レベル電位、接地電位などとすることができる。また、配線VcLは、定電圧を供給する配線として機能する。当該定電圧としては、例えば、高レベル電位、低レベル電位、接地電位などとすることができる。

[0288]

カレントミラー回路CMは、トランジスタTr31の第2端子の電位に応じた電流を、配線VHEからトランジスタTr31の第2端子に供給し、かつ配線VHEからトランジスタTr32の第2端子に供給する機能を有する。なお、このとき、トランジスタTr31のソースドレイン間と、トランジスタTr32のソースドレイン間と、のそれぞれに流れる電流量は、互いに等しいことが好ましい。

[0289]

回路OFACに含まれる抵抗REは、スイッチSW4を介して、抵抗REの第1端子に入力された電流を電圧に変換する機能を有する。つまり、回路OFACは、例えば、電流電圧変換回路として機能する。

[0290]

次に、演算回路MAC1Aの具体的な動作例について説明する。

[0291]

初めにメモリセルアレイCAに含まれているメモリセルAM[1]、メモリセルAM[2]のそれぞれの保持ノードには、 $V_{PR}-V_{W[1]}$ 、 $V_{PR}-V_{W[2]}$ が保持されているものとする。また、メモリセルアレイCAに含まれているメモリセルAMref[1]、メモリセルAMref[2]のそれぞれの保持ノードには、両者とも V_{PR} が保持されているものとする。また、配線CL[1]、配線CL[2]のそれぞれには、電位REFPが入力されているものとする。

[0292]

このとき、メモリセルAM[1]、メモリセルAM[2]、メモリセルAMref[1]、メモリセルAMref[2]のそれぞれのトランジスタTr12に流れる電流は、式(E1)、式(E3)、式(E2)、式(E4)となる。

[0293]

次に、図14に示すとおり、スイッチSW1と、スイッチSW2と、のそれぞれをオン状態にし、スイッチSW3と、スイッチSW4と、のそれぞれをオフ状態にする。

[0294]

ここで、配線BLに流れる電流を I_3 としたとき、電流 I_3 は、メモリセルAM[1]、メモリセルAM[2]のそれぞれのトランジスタTr12のソースドレイン間に流れる電流量の合計となるため、式(E1)、式(E3)より、 $I_3 = I_{AM[1],0} + I_{AM[2],0}$ とすることができる。

[0295]

また、電流源回路CS1において、スイッチSW1はオン状態となっているため、トランジスタTr33はダイオード接続の構成となっている。このため、トランジスタTr33のゲートは、電流 I_3 に応じた電位となって、トランジスタTr33のソースドレイン間に電流 I_3 が流れる。

[0296]

そして、このときに、電流源回路CS1において、スイッチSW1はオフ状態とすることで、トランジスタTr33のゲートの電流 I_3 に応じた電位は、容量C6によって保持される。これによって、電流源回路CS1は、配線BLに対して出力する電流量を I_3 に固定することができる。

[0297]

一方、配線BLrefに流れる電流を I_4 としたとき、電流 I_4 は、メモリセルAMref[1]、メモリセルAMref[2]のそれぞれのトランジスタTr12のソースドレイン間に流れる電流量の合計となるため、式(E2)、式(E4)より、 $I_4 = I_{AMref[1],0} + I_{AMref[2],0}$ とすることができる。

[0298]

これにより、カレントミラー回路CMにおいて、トランジスタTr31のソースドレイン間には電流 I_4 が流れる。このため、トランジスタTr32のソースドレイン間にも電流 I_4 が流れる。

[0299]

トランジスタTr32のソースドレイン間に流れる電流 I_4 は、電流源回路CS2に流れる。スイッチSW2はオン状態となっているため、トランジスタTr34はダイオード接続の構成となっている。このため、トランジスタTr34のゲートは、電流 I_4 に応じた電位となって、トランジスタTr34のソースドレイン間に電流 I_4 が流れる。

[0300]

ここで、電流源回路CS2において、スイッチSW2はオフ状態とすることで、トランジスタTr34のゲートの電流 I_4 に応じた電位は、容量C7によって保持される。これによって、電流源回路CS2は、配線VLEに対して出力する電流量を I_4 に固定することができる。

[0301]

次に、演算回路MAC1Aが図14から図15に動作が変化したとき、配線CL[1]の電位が $V_{X[1]} + REF_P$ に変化し、かつ配線CL[2]の電位が $V_{X[2]} + REF_P$ に変化したものとする。

[0302]

このとき、メモリセルAM[1]、メモリセルAM[2]、メモリセルAMref[1]、メモリセルAMref[2]のそれぞれのトランジスタTr12に流れる電流は、式(E7)、式(E12)、式(E8)、式(E13)に変化する。

[0303]

また、図15に示す通り、スイッチSW3と、スイッチSW4と、のそれぞれをオン状態にする。

[0304]

ここで、配線BLに流れる電流を I_1 としたとき、電流 I_1 は、メモリセルAM[1]、メモリセルAM[2]のそれぞれのトランジスタTr12のソースドレイン間に流れる電流量の合計となるため、式(E7)、式(E12)より、 $I_1 = I_{AM[1],1} + I_{AM[2],1}$ とすることができる。

[0305]

また、配線BLrefに流れる電流を I_2 としたとき、電流 I_2 は、メモリセルAMref[1]、メモリセルAMref[2]のそれぞれのトランジスタTr12のソースドレイン間に流れる電流量の合計となるため、式(E8)、式(E13)より、 $I_2 = I_{AMref[1],1} + I_{AMref[2],1}$ とすることができる。

[0306]

これにより、カレントミラー回路CMにおいて、トランジスタTr31のソースドレイン間には電流 I_2 が流れる。このため、トランジスタTr32のソースドレイン間にも電流 I_2 が流れる。

[0307]

ここで、回路OFACのスイッチSW4がオン状態となっているため、回路OFACと回路CMSとの間で電流が流れる。スイッチSW4の第1端子ー第2端子間に流れる電流を I_5 としたとき、 $I_5 = I_1 - I_2 - I_3 + I_4 = 2k(V_{W[1]}V_{X[1]} + V_{W[2]}V_{X[2]})$ と式(E16)と同様に積和を算出することができる。

[0308]

また、図15の演算回路MAC1Aの等価回路としては、図16に示す回路とすることができる。図16に示す電流源CI1は、図15のメモリセルAM[1]とメモリセルAM[2]に相当し、図16に示す電流源CI2は、電流源回路CS1に相当し、図16に示す電流源CI3は、電流源回路CS2に相当し、図16に示す電流源CI4は、カレントミラー回路CM2に相当する。

[0309]

なお、図13の演算回路MAC1AのメモリセルアレイCAは、2行2列のマトリクス状に配置されているメモリセルを有するメモリセルアレイについて扱ったが、1行、且つ2列以上のメモリセルアレイ、又は3行以上、且つ3列以上のメモリセルアレイについても同様に、積和演算を行うことができる。この場合の積和演算回路は、複数列のうち1列を、参照データ（電位 V_{PR} ）を保持するメモリセルとすることで、複数列のうち残りの列の数だけ積和演算処理を同時に実行することができる。また、行数を増やすことによって、積和演算における、足し合わせる項数を増やすことができるため、この場合、電流 I_5 は、式(E18)と同様に $I_5 = 2k \sum V_{W[i]}V_{X[i]}$ と表すことができる。

[0310]

ここで、回路OFACにおいて、電流 I_5 が抵抗REによって電圧に変換される。図13には図示していないが、回路OFACは、当該電圧に応じて、あらかじめ定義された活性化関数に従って演算を行う回路とすることによって、図9の演算回路MAC1と同様に、階層型のニューラルネットワークの演算を行うことができる。

[0311]

<演算回路の構成例2>

次に、上述のニューラルネットワーク100において、演算回路MAC1とは回路構成が異なる、積和演算及び活性化関数の演算を行う回路の一例について説明する。

[0312]

図17は、演算回路MAC2の構成例を示している。図17に示す演算回路MAC2は、各セルに保持した電圧に応じた第1データと、入力された第2データと、の積和演算を行い、かつ当該積和演算の結果を用いて活性化関数の演算を行う回路である。なお、第1データ、及び第2データは、一例としては、アナログデータ、又は多値のデータ（離散的なデータ）とすることができる。

[0313]

演算回路MAC2は、回路WCSと、回路XCSと、回路WSDと、回路SWS1と、回路SWS2と、セルアレイCA2と、変換回路ITRZ[1]乃至変換回路ITRZ[m]と、を有する。

[0314]

セルアレイCA2は、セルIM[1, 1]乃至セルIM[m, n]（ここでの、mは1以上の整数であり、nは1以上の整数である。）と、セルIMref[1]乃至セルIMref[m]と、を有する。セルIM[1, 1]乃至セルIM[m, n]は、第1データに応じた電流量に相当する電位を保持する機能を有し、セルIMref[1]乃至セルIMref[m]は、保持した電位と積和演算を行うために必要になる第2データに応じた電圧を信号線XCL[1]乃至XCL[m]に供給する機能を有する。

[0315]

なお、図17のセルアレイCA2は、セルが行方向にn+1個、列方向にm個、マトリクス状に配置されているが、セルアレイCA2は、セルが行方向に2個以上、列方向に1個以上、マトリクス状に配置されている構成としてもよい。

[0316]

セルIM[1, 1]乃至セルIM[m, n]は、トランジスタF1と、トランジスタF2と、容量C5と、を有し、セルIMref[1]乃至セルIMref[m]は、それぞれトランジスタF1mと、トランジスタF2mと、容量C5mと、を有する。

[0317]

なお、トランジスタF1及びトランジスタF1mは、特に断りの無い場合は、オン状態の場合は最終的に線形領域で動作する場合を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧は、線形領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。ただし、本発明の一態様は、これに限定されない。例えば、トランジスタF1、トランジスタF1mは、オン状態のときは飽和領域で動作してもよく、また、線形領域で動作する場合と飽和領域で動作する場合とが混在してもよい。

[0318]

また、トランジスタF2及びトランジスタF2mは、特に断りの無い場合は、サブスレッショルド領域で動作する場合（つまり、トランジスタF2又はトランジスタF2mにおいて、ゲートソース間電圧がしきい値電圧よりも低い場合）を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧は、サブスレッショルド領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。このため、トランジスタF2及びトランジスタF2mは、ソースドレイン間にオフ電流が流れるように動作する場合を含む。

[0319]

また、トランジスタF 1、及び／又はトランジスタF 1 mは、トランジスタT r 1 1と同様に、OSトランジスタであることが好ましい。加えて、トランジスタF 1、及び／又はトランジスタF 1 mのチャネル形成領域は、インジウム、元素M（元素Mとしては、例えば、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウムなどから選ばれた一種、又は複数種などが挙げられる。）、亜鉛の少なくとも一を含む酸化物であることがより好ましい。トランジスタT r 1、及び／又はトランジスタF 1 mは、特に実施の形態3に記載するトランジスタの構造であることが更に好ましい。

[0320]

トランジスタF 1、及び／又はトランジスタF 1 mとして、OSトランジスタを用いることにより、トランジスタF 1、及び／又はトランジスタF 1 mのリーク電流を抑えることができるため、計算精度の高い積和演算回路を実現できる場合がある。また、トランジスタF 1、及び／又はトランジスタF 1 mとして、OSトランジスタを用いることにより、トランジスタF 1、及び／又はトランジスタF 1 mが非導通状態における、保持ノードから書き込みワード線へのリーク電流を非常に小さくすることができる。つまり、保持ノードの電位のリフレッシュ動作を少なくすることができるため、積和演算回路の消費電力を低減することができる。

[0321]

また、トランジスタF 2、及び／又はトランジスタF 2 mに対しても、OSトランジスタを用いることにより、サブスレッショルド領域の広い電流範囲で動作させることができるため、消費電流を低減することができる。また、トランジスタF 2、及び／又はトランジスタF 2 mに対しても、OSトランジスタを用いることで、トランジスタT r 1 1と同時に作製することができるため、積和演算回路の作製工程を短縮することができる場合がある。また、トランジスタF 2、及び／又はトランジスタF 2 mは、チャネル形成領域にシリコンを含むトランジスタとしてもよい。シリコンとしては、例えば、非晶質シリコン（水素化アモルファスシリコンと呼ぶ場合がある）、微結晶シリコン、多結晶シリコン、単結晶シリコンなどを用いることができる。

[0322]

セルIM [1, 1] 乃至セルIM [m, n] のそれぞれにおいて、トランジスタF 1の第1端子は、トランジスタF 2のゲートと電氣的に接続されている。トランジスタF 2の第1端子は、配線VEと電氣的に接続されている。容量C 5の第1端子は、トランジスタF 2のゲートと電氣的に接続されている。

[0323]

ところで、本発明の一態様は、トランジスタのバックゲートの接続構成に依らない。図17において、トランジスタF 1、トランジスタF 2には、バックゲートが図示され、当該バックゲートを有している構成を示している。図17には、当該バックゲートの接続構成については図示されていないが、当該バックゲートの電氣的な接続先は、設計の段階で決めることができる。例えば、バックゲートを有するトランジスタにおいて、そのトランジスタのオン電流を高めるために、ゲートとバックゲートとを電氣的に接続してもよい。つまり、例えば、トランジスタM 2のゲートとバックゲートとを電氣的に接続してもよい。また、例えば、バックゲートを有するトランジスタにおいて、そのトランジスタのしきい値電圧を変動させるため、または、そのトランジスタのオフ電流を小さくするために、外部回路などと電氣的に接続されている配線を設けて、当該外部回路などによって

トランジスタのバックゲートに電位を与えてもよい。なお、これについては、トランジスタF 1 m、トランジスタF 2 m、後述するトランジスタF 3 [1] 乃至トランジスタF 3 [n]、トランジスタF 4 [1] 乃至トランジスタF 4 [n]、更に、図17だけでなく明細書の他の箇所に記載されているトランジスタ、又は他の図面に図示されているトランジスタについても同様である。

[0324]

また、本発明の一態様の半導体装置は、当該半導体装置に含まれるトランジスタの構造に依らない。例えば、図17に図示しているトランジスタF 1、トランジスタF 2は、図17に示すとおり、バックゲートを有さないような構成、つまり、シングルゲート構造のトランジスタとしてもよい。また、一部のトランジスタはバックゲートを有している構成であり、別の一部のトランジスタは、バックゲートを有さない構成であってもよい。なお、これについては、トランジスタF 1 m、トランジスタF 2 m、後述するトランジスタF 3 [1] 乃至トランジスタF 3 [n]、トランジスタF 4 [1] 乃至トランジスタF 4 [n]、更に、図17に示す回路図だけでなく、明細書の他の箇所に記載されているトランジスタ、又は他の図面に図示されているトランジスタについても同様である。

[0325]

配線VEは、セルIM [1, 1]、セルIM [m, 1]、セルIM [1, n]、及びセルIM [m, n]のそれぞれのトランジスタF 2の第1端子ー第2端子間に電流を流すための配線であって、また、セルIMref [1]、及びセルIMref [m]のそれぞれのトランジスタF 2の第1端子ー第2端子間に電流を流すための配線として機能する。一例としては、配線VEは、定電圧を供給する配線として機能する。当該定電圧としては、例えば、低レベル電位、接地電位などとすることができる。

[0326]

セルIM [1, 1]において、トランジスタF 1の第2端子は、配線WCL [1]と電氣的に接続され、トランジスタF 1のゲートは、配線WSL [1]と電氣的に接続されている。トランジスタF 2の第2端子は、配線WCL [1]と電氣的に接続され、容量C 5の第2端子は、配線XCL [1]と電氣的に接続されている。なお、図17では、セルIM [1, 1]において、トランジスタF 1の第1端子と、トランジスタF 2のゲートと、容量C 5の第1端子と、の接続箇所をノードNN [1, 1]としている。

[0327]

セルIM [m, 1]において、トランジスタF 1の第2端子は、配線WCL [1]と電氣的に接続され、トランジスタF 1のゲートは、配線WSL [m]と電氣的に接続されている。トランジスタF 2の第2端子は、配線WCL [1]と電氣的に接続され、容量C 5の第2端子は、配線XCL [m]と電氣的に接続されている。なお、図17では、セルIM [m, 1]において、トランジスタF 1の第1端子と、トランジスタF 2のゲートと、容量C 5の第1端子と、の接続箇所をノードNN [m, 1]としている。

[0328]

セルIM [1, n]において、トランジスタF 1の第2端子は、配線WCL [n]と電氣的に接続され、トランジスタF 1のゲートは、配線WSL [1]と電氣的に接続されている。トランジスタF 2の第2端子は、配線WCL [n]と電氣的に接続され、容量C 5の第2端子は、配線XCL [1]と電氣的に接続されている。なお、図17では、セルIM [1, n]において、トランジスタ

タF 1の第1端子と、トランジスタF 2のゲートと、容量C 5の第1端子と、の接続箇所をノードNN [1, n] としている。

[0329]

セルIM [m, n] において、トランジスタF 1の第2端子は、配線WCL [n] と電氣的に接続され、トランジスタF 1のゲートは、配線WSL [m] と電氣的に接続されている。トランジスタF 2の第2端子は、配線WCL [n] と電氣的に接続され、容量C 5の第2端子は、配線XCL [m] と電氣的に接続されている。なお、図17では、セルIM [m, n] において、トランジスタF 1の第1端子と、トランジスタF 2のゲートと、容量C 5の第1端子と、の接続箇所をノードNN [m, n] としている。

[0330]

セルIMref [1] において、トランジスタF 1mの第2端子は、配線XCL [1] と電氣的に接続され、トランジスタF 1mのゲートは、配線WSL [1] と電氣的に接続されている。トランジスタF 2mの第2端子は、配線XCL [1] と電氣的に接続され、容量C 5の第2端子は、配線XCL [1] と電氣的に接続されている。なお、図17では、セルIMref [1] において、トランジスタF 1mの第1端子と、トランジスタF 2mのゲートと、容量C 5の第1端子と、の接続箇所をノードNNref [1] としている。

[0331]

セルIMref [m] において、トランジスタF 1mの第2端子は、配線XCL [m] と電氣的に接続され、トランジスタF 1mのゲートは、配線WSL [m] と電氣的に接続されている。トランジスタF 2mの第2端子は、配線XCL [m] と電氣的に接続され、容量C 5の第2端子は、配線XCL [m] と電氣的に接続されている。なお、図17では、セルIMref [m] において、トランジスタF 1mの第1端子と、トランジスタF 2mのゲートと、容量C 5の第1端子と、の接続箇所をノードNNref [m] としている。

[0332]

上述したノードNN [1, 1]、ノードNN [m, 1]、ノードNN [1, n]、ノードNN [m, n]、ノードNNref [1]、及びノードNMref [m] は、それぞれのセルの保持ノードとして機能する。

[0333]

回路SWS 1は、トランジスタF 3 [1] 乃至トランジスタF 3 [n] を有する。トランジスタF 3 [1] の第1端子は、配線WCL [1] に電氣的に接続され、トランジスタF 3 [1] の第2端子は、回路WCSに電氣的に接続され、トランジスタF 3 [1] のゲートは、配線SWL 1に電氣的に接続されている。トランジスタF 3 [m] の第1端子は、配線WCL [m] に電氣的に接続され、トランジスタF 3 [m] の第2端子は、回路WCSに電氣的に接続され、トランジスタF 3 [m] のゲートは、配線SWL 1に電氣的に接続されている。

[0334]

トランジスタF 3 [1] 乃至トランジスタF 3 [n] は、トランジスタTr 11と同様に、OSトランジスタであることが好ましい。加えて、トランジスタF 1、及び／又はトランジスタF 1mのチャネル形成領域は、インジウム、元素M（元素Mとしては、例えば、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、

又はマグネシウムなどから選ばれた一種、又は複数種などが挙げられる。) 、亜鉛の少なくとも一を含む酸化物であることがより好ましい。トランジスタF 3 [1] 乃至トランジスタF 3 [n] は、特に実施の形態3に記載するトランジスタの構造であることが更に好ましい。

[0 3 3 5]

回路SWS 1は、回路WCSと、配線WCL [1] 乃至配線WCL [n] のそれぞれと、の間の導通状態と非導通状態との切り替えを行う回路として機能する。

[0 3 3 6]

回路SWS 2は、トランジスタF 4 [1] 乃至トランジスタF 4 [n] を有する。トランジスタF 4 [1] の第1端子は、配線WCL [1] に電氣的に接続され、トランジスタF 4 [1] の第2端子は、変換回路ITRZ [1] に電氣的に接続され、トランジスタF 4 [1] のゲートは、配線SWL 2に電氣的に接続されている。トランジスタF 4 [m] の第1端子は、配線WCL [m] に電氣的に接続され、トランジスタF 4 [m] の第2端子は、変換回路ITRZ [1] に電氣的に接続され、トランジスタF 4 [m] のゲートは、配線SWL 2に電氣的に接続されている。

[0 3 3 7]

トランジスタF 4 [1] 乃至トランジスタF 4 [n] は、トランジスタTr 1 1と同様に、OSトランジスタであることが好ましい。加えて、トランジスタF 1、及び／又はトランジスタF 1 mのチャネル形成領域は、インジウム、元素M (元素Mとしては、例えば、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウムなどから選ばれた一種、又は複数種などが挙げられる。) 、亜鉛の少なくとも一を含む酸化物であることがより好ましい。トランジスタF 4 [1] 乃至トランジスタF 4 [n] は、特に実施の形態3に記載するトランジスタの構造であることが更に好ましい。

[0 3 3 8]

回路SWS 2は、配線WCL [1] と回路ITRZ [1] との間、及び配線WCL [n] と回路ITRZ [n] との間、の導通状態、非導通状態の切り替えを行う回路として機能する。

[0 3 3 9]

回路WCSは、セルアレイCA 2が有するそれぞれのセルに格納するためのデータを送信する機能を有する。

[0 3 4 0]

回路XCSは、配線XCL [1] 乃至配線XCL [m] に電氣的に接続されている。回路XCSは、セルアレイCA 2が有するセルIMref [1] 乃至セルIMref [m] のそれぞれに対して、参照データに応じた電流、又は第2データに応じた電流を流す機能を有する。

[0 3 4 1]

回路WSDは、配線WSL [1] 乃至配線WSL [m] に電氣的に接続されている。回路WSDは、セルアレイCA 2が有するセルに第1データを書き込む際に、配線WSL [1] 乃至配線WSL [m] に所定の信号を送信することによって、データの書き込み先となるメモリセルを選択する機能を有する。

[0 3 4 2]

また、回路WSDは、配線SWL 1と、配線SWL 2と、に電氣的に接続されている。回路WSDは、配線SWL 1に所定の信号を送信することによって、回路WCSとセルアレイCA 2との間

を導通状態又は非導通状態にする機能と、配線SWL 2に所定の信号を送信することによって、変換回路ITRZ [1]乃至変換回路ITRZ [m]とセルアレイCA 2との間を導通状態又は非導通状態にする機能と、を有する。

[0343]

変換回路ITRZ [1]乃至変換回路ITRZ [m]のそれぞれは、入力端子と、出力端子と、を有する。変換回路ITRZ [1]乃至変換回路ITRZ [m]のそれぞれは、入力端子に入力された電流に応じた電圧に変換して、出力端子から出力する機能を有する。変換回路ITRZ [1]乃至変換回路ITRZ [m]のそれぞれは、一例として、回路OFFSTを適用することができる。また、変換回路ITRZ [1]乃至変換回路ITRZ [m]のそれぞれは、活性化関数回路ACTVを有してもよく、変換された電圧を用いて、活性化関数の演算を行って、当該演算の結果を出力端子に出力してもよい。

[0344]

<演算回路の動作例2>

次に、演算回路MAC 2の動作例について説明する。

[0345]

図18に演算回路MAC 2の動作例のタイミングチャートを示す。図18のタイミングチャートは、時刻T11から時刻T23までの間、及びそれらの近傍における、配線SWL 1、配線SWL 2、配線WSL [i] (iは1以上m-1以下の整数とする。)、配線WSL [i+1]、配線XCL [i]、配線XCL [i+1]、ノードNN [i, j]、ノードNNref [i]、ノードNN [i+1, j]、ノードNNref [i+1]の電位の変動を示している。更に、図18のタイミングチャートには、セルIM [i, j]に含まれているトランジスタF2の第1端子-第2端子間に流れる電流量 $I_{F2} [i, j]$ と、セルIMref [i]に含まれているトランジスタF2mの第1端子-第2端子間に流れる電流量 $I_{F2m} [i]$ と、セルIM [i+1, j]に含まれているトランジスタF2の第1端子-第2端子間に流れる電流量 $I_{F2} [i+1, j]$ と、セルIMref [i+1]に含まれているトランジスタF2mの第1端子-第2端子間に流れる電流量 $I_{F2m} [i+1]$ と、のそれぞれの変動についても示している。

[0346]

なお、本動作例において、配線VEの電位は接地電位GNDとする。また、時刻T11より前に、セルIM [i, j]、セルIM [i+1, j]に含まれているそれぞれのトランジスタF1、セルIMref [i]、セルIMref [i+1]に含まれているトランジスタF1mをオン状態にして、ノードNN [i, j]、ノードNNref [i]、ノードNN [i+1, j]、ノードNNref [i+1]のそれぞれの電位を、接地電位GNDにしているものとする。

[0347]

また、初期設定として、セルIM [1, 1]乃至セルIM [m, n]に含まれているそれぞれのトランジスタF1、セルIMref [1]乃至セルIMref [m]に含まれているトランジスタF1mをオン状態にして、ノードNN [1, 1]乃至ノードNN [m, n]、ノードNNref [1]乃至ノードNNref [m]の電位を接地電位GNDとする。

[0348]

<<時刻T11から時刻T12まで>>

時刻T11から時刻T12までの間において、配線SWL 1に高レベル電位(図18ではHig

hと表記している。)が印加され、配線SWL 2に低レベル電位(図18ではLowと表記している。)が印加されている。これにより、トランジスタF3 [1]乃至トランジスタF3 [n]のそれぞれのゲートに高レベル電位が印加されて、トランジスタF3 [1]乃至トランジスタF3 [n]のそれぞれのゲートに低レベル電位が印加されて、トランジスタF4 [1]乃至トランジスタF4 [n]のそれぞれのゲートに低レベル電位が印加されて、トランジスタF4 [1]乃至トランジスタF4 [n]のそれぞれのゲートがオフ状態となる。

[0349]

また、時刻T11から時刻T12までの間では、配線WSL [i]、配線WSL [i+1]には低レベル電位が印加されている。これにより、セルアレイCA2のi行目のセルIM [i, 1]乃至セルIM [i, n]に含まれているトランジスタF1のゲートと、セルIMref [i]に含まれているトランジスタF1mのゲートと、に低レベル電位が印加されて、それぞれのトランジスタF1とトランジスタF1mとがオフ状態となる。また、セルアレイCA2のi+1行目のセルIM [i+1, 1]乃至セルIM [i+1, n]に含まれているトランジスタF1のゲートと、セルIMref [i+1]に含まれているトランジスタF1mのゲートと、に低レベル電位が印加されて、それぞれのトランジスタF1とトランジスタF1mとがオフ状態となる。

[0350]

また、時刻T11から時刻T12までの間では、配線XCL [i]、配線XCL [i+1]には接地電位GNDが印加されている。

[0351]

また、時刻T11から時刻T12までの間では、配線WCL [j]、配線XCL [i]、配線XCL [i+1]には電流が流れない。そのため、 $I_{F2} [i, j]$ 、 $I_{F2m} [i]$ 、 $I_{F2} [i+1, j]$ 、 $I_{F2m} [i+1]$ は0となる。

[0352]

<<時刻T12から時刻T13まで>>

時刻T12から時刻T13までの間において、配線WSL [i]に高レベル電位が印加される。これにより、セルアレイCA2のi行目のセルIM [i, 1]乃至セルIM [i, n]に含まれているトランジスタF1のゲートと、セルIMref [i]に含まれているトランジスタF1mのゲートと、に高レベル電位が印加されて、それぞれのトランジスタF1とトランジスタF1mとがオン状態となる。また、時刻T12から時刻T13までの間において、配線WSL [i]を除く配線WSL [1]乃至配線WSL [m]には低レベル電位が印加されており、セルアレイCA2のi行目以外のセルIM [1, 1]乃至セルIM [m, n]に含まれているトランジスタF1と、i行目以外のセルIMref [1]乃至セルIMref [m]に含まれているトランジスタF1mは、オフ状態になっているものとする。

[0353]

更に、配線XCL [1]乃至配線XCL [m]には低レベル電位が印加される。

[0354]

<<時刻T13から時刻T14まで>>

時刻T13から時刻T14までの間において、回路WCSから、トランジスタF3 [j]を介してセルアレイCA2に電流量として $I_o [i, j]$ の電流が流れる。このとき、セルアレイCA2のi行目のセルIM [i, j]に含まれているトランジスタF1の第1端子と配線WCL [j]と

の間が導通状態となっており、かつセルアレイCA2の*i*行目以外のセルIM[1, *j*]乃至セルIM[*m*, *j*]に含まれているトランジスタF1の第1端子と配線WCL[*j*]との間が非導通状態となっているので、配線WCL[*j*]からセルIM[*i*, *j*]に電流量 $I_o[i, j]$ の電流が流れる。

[0355]

ところで、セルIM[*i*, *j*]に含まれているトランジスタF1がオン状態になることによって、セルIM[*i*, *j*]に含まれているトランジスタF2はダイオード接続の構成となる。そのため、配線WCL[*j*]からセルIM[*i*, *j*]に電流が流れるとき、トランジスタF2のゲートと、トランジスタF2の第2端子と、のそれぞれの電位はほぼ等しくなる。当該電位は、配線WCL[*j*]からセルIM[*i*, *j*]に流れる電流量とトランジスタF2の第1端子の電位（ここではGND）などによって定められる。本動作例では、配線WCL[*j*]からセルIM[*i*, *j*]に電流量 $I_o[i, j]$ の電流が流れることによって、トランジスタF2のゲート（ノードNN[*i*, *j*])の電位は、 $V_g[i, j]$ になるものとする。つまり、トランジスタF2において、ゲートソース間電圧が $V_g[i, j] - GND$ となり、トランジスタF2の第1端子ー第2端子間には、電流量 $I_o[i, j]$ の電流が流れる。

[0356]

ここで、トランジスタF2のしきい値電圧を V_{th} としたとき、トランジスタF2がサブスレッショルド領域で動作する場合の電流量 $I_o[i, j]$ は次の式の通りに記述できる。

[0357]

[数26]

$$I_o[i, j] = I_a \exp\{K(V_g[i, j] - V_{th}[i, j])\} \quad \dots(F1)$$

[0358]

なお、 I_a は V_g が $V_{th}[i, j]$ であるときのドレイン電流であって、 K は温度、デバイス構造などによって定められる補正係数である。

[0359]

また、時刻T13から時刻T14までの間において、回路XCSから、配線XCL[*i*]に電流量として I_{ref0} の電流が流れる。このとき、セルIMref[*i*]に含まれているトランジスタF1mの第1端子と配線XCL[*i*]との間が導通状態となっているので、配線XCL[*i*]からセルIMref[*i*]に電流量 I_{ref0} の電流が流れる。

[0360]

セルIM[*i*, *j*]と同様に、セルIMref[*i*]に含まれているトランジスタF1mがオン状態になることによって、セルIMref[*i*, *j*]に含まれているトランジスタF2mはダイオード接続の構成となる。そのため、配線XCL[*i*]からセルIMref[*i*]に電流が流れるとき、トランジスタF2mのゲートと、トランジスタF2mの第2端子と、のそれぞれの電位はほぼ等しくなる。当該電位は、配線XCL[*i*]からセルIMref[*i*]に流れる電流量とトランジスタF2mの第1端子の電位（ここではGND）などによって定められる。本動作例では、配線XCL[*i*]からセルIMref[*i*]に電流量 I_{ref0} の電流が流れることによって、トランジスタF2のゲート（ノードNNref[*i*])は $V_{gm}[i]$ になるものとし、また、このときの配線XCL[*i*]の電位も $V_{gm}[i]$ とする。つまり、トランジスタF2mにおいて、ゲートソース間

電圧が $V_{gm}[i] - GND$ となり、トランジスタ F 2 m の第 1 端子－第 2 端子間には、電流量 I_{ref0} の電流が流れる。

[0361]

ここで、トランジスタ F 2 m のしきい値電圧を $V_{thm}[i]$ としたとき、トランジスタ F 2 m がサブスレッショルド領域で動作する場合の電流量 I_{ref0} は次の式の通りに記述できる。なお、補正係数 K は、セル $IM[i, j]$ に含まれているトランジスタ F 2 と同一とする。例えば、トランジスタのデバイス構造、サイズ（チャネル長、チャネル幅）を同一とする。また、製造上のばらつきにより、各トランジスタの補正係数 K はばらつくが、後述の議論が実用上十分な精度で成り立つ程度にばらつきが抑えられているものとする。

[0362]

[数27]

$$I_{ref0} = I_a \exp\{K(V_{gm}[i] - V_{thm}[i])\} \quad \dots(F2)$$

[0363]

ここで、第 1 データである重み係数 $w[i, j]$ を次の通りに定義する。

[0364]

[数28]

$$w[i, j] = \exp\{K(V_g[i, j] - V_{th}[i, j] - V_{gm}[i] + V_{thm}[i])\} \quad \dots(F3)$$

[0365]

したがって、式 (F1) は、次の式に書き換えることができる。

[0366]

[数29]

$$I_0[i, j] = w[i, j] I_{ref0} \quad \dots(F4)$$

[0367]

<<時刻 T 1 4 から時刻 T 1 5 まで>>

時刻 T 1 4 から時刻 T 1 5 までの間において、配線 $WSL[i]$ に低レベル電位が印加される。これにより、セルアレイ CA 2 の i 行目のセル $IM[i, 1]$ 乃至セル $IM[i, n]$ に含まれているトランジスタ F 1 のゲートと、セル $IMref[i]$ に含まれているトランジスタ F 1 m のゲートと、に低レベル電位が印加されて、それぞれのトランジスタ F 1 とトランジスタ F 1 m とがオフ状態となる。

[0368]

セル $IM[i, j]$ に含まれているトランジスタ F 1 がオフ状態になることによって、容量 $C5$ には、トランジスタ F 2 のゲート（ノード $NN[i, j]$ ）の電位と、配線 $XCL[i]$ の電位と、の差である $V_g[i, j] - V_{gm}[i]$ が保持される。また、セル $IMref[i]$ に含まれているトランジスタ F 1 がオフ状態になることによって、容量 $C5m$ には、トランジスタ F 2 m のゲート（ノード $NNref[i]$ ）の電位と、配線 $XCL[i]$ の電位と、の差である 0 が保持される。

なお、容量 $C5m$ が保持する電位は、時刻 $T13$ から時刻 $T14$ の動作においてトランジスタ $F1m$ 、トランジスタ $F2m$ のそれぞれのトランジスタ特性などに応じて0ではない電位（ここでは Δ とする。）となる場合もある。しかし、ノード $NNref[i]$ の電位は、配線 $XCL[i]$ の電位に Δ を加えた電位になると考えることで、以下の議論が成り立つ。

[0369]

<<時刻 $T15$ から時刻 $T16$ まで>>

時刻 $T15$ から時刻 $T16$ までの間において、配線 $XCL[i]$ にGNDが印加される。このため、 i 行目のセル $IM[i, 1]$ 乃至セル $IM[i, n]$ のそれぞれに含まれている容量 $C5$ による容量結合によってノード $NN[i, 1]$ 乃至ノード $NN[i, n]$ の電位が変化し、セル $IMref[i]$ に含まれている容量 $C5$ による容量結合によってノード $NNref[i]$ の電位が変化する。

[0370]

ノード $NN[i, 1]$ 乃至ノード $NN[i, n]$ の電位の変化量は、配線 $XCL[i]$ の電位の変化量に、セルアレイ $CA2$ に含まれているそれぞれのセル $IM[i, 1]$ 乃至セル $IM[i, n]$ の構成によって決まる容量結合係数を乗じた電位となる。該容量結合係数は、容量 $C5$ の容量、トランジスタ $F2$ のゲート容量、寄生容量などによって算出される。セル $IM[i, 1]$ 乃至セル $IM[i, n]$ のそれぞれにおいて、容量 $C5$ による容量結合係数を p としたとき、セル $IM[i, j]$ のノード $NN[i, j]$ の電位は、時刻 $T14$ から時刻 $T15$ までの間の時点における電位から、 $p(V_{gm}[i] - GND)$ 低下する。

[0371]

同様に、配線 $XCL[i]$ の電位が変化することによって、セル $IMref[i]$ に含まれている容量 $C5m$ による容量結合によって、ノード $NNref[i]$ の電位も変化する。容量 $C5m$ による容量結合係数を、容量 $C5$ と同様に p としたとき、セル $IMref[i]$ のノード $NNref[i]$ の電位は、時刻 $T14$ から時刻 $T15$ までの間の時点における電位から、 $p(V_{gm}[i] - GND)$ 低下する。

[0372]

これによって、セル $IM[i, j]$ のノード $NN[i, j]$ の電位が低下するため、トランジスタ $F2$ はオフ状態となり、同様に、セル $IMref[i]$ のノード $NNref[i]$ の電位が低下するため、トランジスタ $F2m$ もオフ状態となる。そのため、時刻 $T15$ から時刻 $T16$ までの間において、 $I_{F2}[i, j]$ 、 $I_{F2m}[i]$ のそれぞれは0となる。

[0373]

<<時刻 $T16$ から時刻 $T17$ まで>>

時刻 $T16$ から時刻 $T17$ までの間において、配線 $WSL[i+1]$ に高レベル電位が印加される。これにより、セルアレイ $CA2$ の $i+1$ 行目のセル $IM[i+1, 1]$ 乃至セル $IM[i+1, n]$ に含まれているトランジスタ $F1$ のゲートと、セル $IMref[i+1]$ に含まれているトランジスタ $F1m$ のゲートと、に高レベル電位が印加されて、それぞれのトランジスタ $F1$ とトランジスタ $F1m$ とがオン状態となる。また、時刻 $T16$ から時刻 $T17$ までの間において、配線 $WSL[i+1]$ を除く配線 $WSL[1]$ 乃至配線 $WSL[m]$ には低レベル電位が印加されており、セルアレイ $CA2$ の $i+1$ 行目以外のセル $IM[1, 1]$ 乃至セル $IM[m, n]$ に含まれているトランジスタ $F1$ と、 $i+1$ 行目以外のセル $IMref[1]$ 乃至セル $IMref[m]$ に含まれ

ているトランジスタF 1 mは、オフ状態になっているものとする。

[0374]

更に、配線XCL [1] 乃至配線XCL [m] には低レベル電位が印加される。

[0375]

<<時刻T 1 7から時刻T 1 8まで>>

時刻T 1 7から時刻T 1 8までの間において、回路WCSから、トランジスタF 3 [j] を介してセルアレイCA 2に電流量として $I_o[i+1, j]$ の電流が流れる。このとき、セルアレイCA 2のi+1行目のセルIM [i+1, j] に含まれているトランジスタF 1の第1端子と配線WCL [j] との間が導通状態となっており、かつセルアレイCA 2のi+1行目以外のセルIM [1, j] 乃至セルIM [m, j] に含まれているトランジスタF 1の第1端子と配線WCL [j] との間が非導通状態となっているので、配線WCL [j] からセルIM [i+1, j] に電流量 $I_o[i+1, j]$ の電流が流れる。

[0376]

ところで、セルIM [i+1, j] に含まれているトランジスタF 1がオン状態になることによって、セルIM [i+1, j] に含まれているトランジスタF 2はダイオード接続の構成となる。そのため、配線WCL [j] からセルIM [i+1, j] に電流が流れるとき、トランジスタF 2のゲートと、トランジスタF 2の第2端子と、それぞれの電位はほぼ等しくなる。当該電位は、配線WCL [j] からセルIM [i+1, j] に流れる電流量とトランジスタF 2の第1端子の電位（ここではGND）などによって定められる。本動作例では、配線WCL [j] からセルIM [i+1, j] に電流量 $I_o[i+1, j]$ の電流が流れることによって、トランジスタF 2のゲート（ノードNN [i+1, j]）の電位は、 $V_g[i+1, j]$ になるものとする。つまり、トランジスタF 2において、ゲートソース間電圧が $V_g[i+1, j] - GND$ となり、トランジスタF 2の第1端子ー第2端子間には、電流量 $I_o[i+1, j]$ の電流が流れる。

[0377]

ここで、トランジスタF 2のしきい値電圧を $V_{th}[i+1, j]$ としたとき、トランジスタF 2がサブスレッショルド領域で動作する場合の電流量 $I_o[i+1, j]$ は次の式の通りに記述できる。なお、補正係数は、セルIM [i, j] に含まれているトランジスタF 2、セルIMref [i] に含まれているトランジスタF 2mと同様のKとしている。

[0378]

[数30]

$$I_0[i+1, j] = I_a \exp\{K(V_g[i+1, j] - V_{th}[i+1, j])\} \quad \dots(F5)$$

[0379]

また、時刻T 1 7から時刻T 1 8までの間において、回路XCSから、配線XCL [i+1] に電流量として I_{ref0} の電流が流れる。このとき、セルIMref [i+1] に含まれているトランジスタF 1mの第1端子と配線XCL [i+1] との間が導通状態となるので、配線XCL [i+1] からセルIMref [i+1] に電流量 I_{ref0} の電流が流れる。

[0380]

セルIM [i+1, j] と同様に、セルIMref [i+1] に含まれているトランジスタF 1

mがオン状態になることによって、セルIMref [i+1, j] に含まれているトランジスタF2mはダイオード接続の構成となる。そのため、配線XCL [i+1] からセルIMref [i+1] に電流が流れるとき、トランジスタF2mのゲートと、トランジスタF2mの第2端子と、のそれぞれの電位はほぼ等しくなる。当該電位は、配線XCL [i+1] からセルIMref [i+1] に流れる電流量とトランジスタF2mの第1端子の電位（ここではGND）などによって定められる。本動作例では、配線XCL [i+1] からセルIMref [i+1] に電流量I_{ref0}の電流が流れることによって、トランジスタF2のゲート（ノードNNref [i+1]）はV_{gm} [i+1] になるものとし、また、このときの配線XCL [i+1] の電位もV_{gm} [i+1] とする。つまり、トランジスタF2mにおいて、ゲートソース間電圧がV_{gm} [i+1] - GNDとなり、トランジスタF2mの第1端子-第2端子間には、電流量I_{ref0}の電流が流れる。

[0381]

ここで、トランジスタF2mのしきい値電圧をV_{thm} [i+1, j] としたとき、トランジスタF2mがサブスレッショルド領域で動作する場合の電流量I_{ref0}は次の式の通りに記述できる。なお、補正係数Kは、セルIM [i+1, j] に含まれているトランジスタF2と同一とする。

[0382]

[数31]

$$I_{\text{ref0}} = I_a \exp\{K(V_{\text{gm}}[i+1] - V_{\text{thm}}[i+1])\} \quad \dots(\text{F6})$$

[0383]

ここで、第1データである重み係数w [i+1, j] を次の通りに定義する。

[0384]

[数32]

$$w[i+1, j] = \exp\{K(V_g[i+1, j] - V_{\text{th}}[i+1, j] - V_{\text{gm}}[i+1] + V_{\text{thm}}[i+1])\} \quad \dots(\text{F7})$$

[0385]

したがって、式(F5)は、次の式に書き換えることができる。

[0386]

[数33]

$$I_0[i+1, j] = w[i+1, j] I_{\text{ref0}} \quad \dots(\text{F8})$$

[0387]

<<時刻T18から時刻T19まで>>

時刻T18から時刻T19までの間において、配線WSL [i+1] に低レベル電位が印加される。これにより、セルアレイCA2のi行目のセルIM [i+1, 1] 乃至セルIM [i+1, n] に含まれているトランジスタF1のゲートと、セルIMref [i+1] に含まれているトランジスタF1mのゲートと、に低レベル電位が印加されて、それぞれのトランジスタF1とトランジスタF1mとがオフ状態となる。

[0388]

セルIM [i + 1, j] に含まれているトランジスタF1がオフ状態になることによって、容量C5には、トランジスタF2のゲート（ノードNN [i + 1, j]）の電位と、配線XCL [i + 1]の電位と、の差である $V_g [i + 1, j] - V_{gm} [i + 1]$ が保持される。また、セルIMref [i + 1] に含まれているトランジスタF1がオフ状態になることによって、容量C5mには、トランジスタF2mのゲート（ノードNNref [i + 1]）の電位と、配線XCL [i + 1]の電位と、の差である0が保持される。なお、C5mが保持する電位は、時刻T18から時刻T19の動作においてトランジスタF1mやトランジスタF2mのトランジスタ特性などに応じて0ではない電位（ここでは、 Δ とする。）となる場合もある。しかし、ノードNNref [i]の電位は、配線XCL [i]の電位に Δ を加えた電位になると考えることで、以下の議論が成り立つ。

[0389]

<<時刻T19から時刻T20まで>>

時刻T19から時刻T20までの間において、配線XCL [i + 1]にGNDが印加される。このため、i + 1行目のセルIM [i + 1, 1]乃至セルIM [i + 1, n]のそれぞれに含まれている容量C5による容量結合によってノードNN [i, 1]乃至ノードNN [i + 1, n]の電位が変化し、セルIMref [i + 1]に含まれている容量C5による容量結合によってノードNNref [i + 1]の電位が変化する。

[0390]

ノードNN [i + 1, 1]乃至ノードNN [i + 1, n]の電位の変化量は、配線XCL [i + 1]の電位の変化量に、セルアレイCA2に含まれているそれぞれのセルIM [i + 1, 1]乃至セルIM [i + 1, n]の構成によって決まる容量結合係数を乗じた電位となる。該容量結合係数は、容量C5の容量、トランジスタF2のゲート容量、寄生容量などによって算出される。セルIM [i + 1, 1]乃至セルIM [i + 1, n]のそれぞれにおいて、容量C5による容量結合係数を、セルIM [i, 1]乃至セルIM [i, n]のそれぞれにおける容量C5による容量結合係数と同様に、pとしたとき、セルIM [i + 1, j]のノードNN [i + 1, j]の電位は、時刻T18から時刻T19までの間の時点における電位から、 $p (V_{gm} [i + 1] - GND)$ 低下する。

[0391]

同様に、配線XCL [i + 1]の電位が変化することによって、セルIMref [i + 1]に含まれている容量C5mによる容量結合によって、ノードNNref [i + 1]の電位も変化する。容量C5mによる容量結合係数を、容量C5と同様にpとしたとき、セルIMref [i + 1]のノードNNref [i + 1]の電位は、時刻T18から時刻T19までの間の時点における電位から、 $p (V_{gm} [i + 1] - GND)$ 低下する。

[0392]

これによって、セルIM [i + 1, j]のノードNN [i + 1, j]の電位が低下するため、トランジスタF2はオフ状態となり、同様に、セルIMref [i + 1]のノードNNref [i]の電位が低下するため、トランジスタF2mもオフ状態となる。そのため、時刻T19から時刻T20までの間において、 $I_{F2} [i + 1, j]$ 、 $I_{F2m} [i + 1]$ のそれぞれは0となる。

[0393]

<<時刻T20から時刻T21まで>>

時刻T20から時刻T21までの間において、配線SWL1に低レベル電位が印加されている。

これにより、トランジスタF3[1]乃至トランジスタF3[n]のそれぞれのゲートに低レベル電位が印加されて、トランジスタF3[1]乃至トランジスタF3[n]のそれぞれがオフ状態となる。

[0394]

<<時刻T21から時刻T22まで>>

時刻T21から時刻T22までの間において、配線SWL2に高レベル電位が印加されている。これにより、トランジスタF4[1]乃至トランジスタF4[n]のそれぞれのゲートに高レベル電位が印加されて、トランジスタF4[1]乃至トランジスタF4[n]のそれぞれがオフ状態となる。

[0395]

<<時刻T22から時刻T23まで>>

時刻T22から時刻T23までの間において、回路XCSから、配線XCL[i]に電流量として I_{ref0} の $x[i]$ 倍である $x[i] I_{ref0}$ の電流が流れる。なお、本動作例では、 x は、第2データであるニューロンの信号の値に相当する。このとき、配線XCL[i]の電位は、0から $V_{gm}[i] + \Delta V[i]$ に変化するものとする。

[0396]

配線XCL[i]の電位が変化することによって、セルアレイCA2のi行目のセルIM[i, 1]乃至セルIM[i, n]のそれぞれに含まれている容量C5による容量結合によって、ノードNN[i, 1]乃至ノードNN[i, n]の電位も変化する。そのため、セルIM[i, j]のノードNN[i, j]の電位は、 $V_g[i, j] + p\Delta V[i]$ となる。

[0397]

同様に、配線XCL[i]の電位が変化することによって、セルIMref[i]に含まれている容量C5mによる容量結合によって、ノードNNref[i]の電位も変化する。そのため、セルIMref[i]のノードNNref[i]の電位は、 $V_{gm}[i] + p\Delta V[i]$ となる。

[0398]

これによって、時刻T22から時刻T23までの間において、トランジスタF2の第1端子ー第2端子間に流れる電流 $I_1[i, j]$ 、トランジスタF2mの第1端子ー第2端子間に流れる電流 $I_{ref1}[i, j]$ は、次の通りに記述できる。

[0399]

[数34]

$$\begin{aligned} I_1[i, j] &= I_a \exp\{K(V_g[i, j] + p\Delta V[i] - V_{th}[i, j])\} \\ &= I_0[i, j] \exp(Kp\Delta V[i]) \end{aligned} \quad \dots(F9)$$

[0400]

[数35]

$$\begin{aligned} I_{ref1}[i] &= I_a \exp\{K(V_{gm}[i] + p\Delta V[i] - V_{thm}[i])\} \\ &= x[i] I_{ref0} \end{aligned} \quad \dots(F10)$$

[0401]

式(F9)、式(F10)より、 $x[i]$ は次の式で表すことができる。

[0402]

[数36]

$$x[i] = \exp(Kp\Delta V[i]) \quad \dots(F11)$$

[0403]

そのため、式(F9)は、次の式に書き換えることができる。

[0404]

[数37]

$$I_1[i, j] = x[i]w[i, j]I_{\text{ref0}} \quad \dots(F12)$$

[0405]

つまり、セルIM[i, j]に含まれているトランジスタF2の第1端子—第2端子間に流れる電流は、第1データである重み係数 $w[i, j]$ と、第2データであるニューロンの信号の値 $x[i]$ と、の積に比例する。

[0406]

また、時刻T22から時刻T23までの間において、回路XCSから、配線XCL[i+1]に電流量として I_{ref0} の $x[i+1]$ 倍である $x[i+1]I_{\text{ref0}}$ の電流が流れる。なお、本動作例では、 x は、第2データであるニューロンの信号の値に相当する。このとき、配線XCL[i+1]の電位は、0から $V_{gm}[i+1] + \Delta V[i+1]$ に変化するものとする。

[0407]

配線XCL[i+1]の電位が変化することによって、セルアレイCA2のi+1行目のセルIM[i+1, 1]乃至セルIM[i+1, n]のそれぞれに含まれている容量C5による容量結合によって、ノードNN[i+1, 1]乃至ノードNN[i+1, n]の電位も変化する。そのため、セルIM[i+1, j]のノードNN[i+1, j]の電位は、 $V_g[i+1, j] + p\Delta V[i+1]$ となる。

[0408]

同様に、配線XCL[i+1]の電位が変化することによって、セルIMref[i+1]に含まれている容量C5mによる容量結合によって、ノードNNref[i+1]の電位も変化する。そのため、セルIMref[i+1]のノードNNref[i+1]の電位は、 $V_{gm}[i+1] + p\Delta V[i+1]$ となる。

[0409]

これによって、時刻T22から時刻T23までの間において、トランジスタF2の第1端子—第2端子間に流れる電流 $I_1[i+1, j]$ 、トランジスタF2mの第1端子—第2端子間に流れる電流 $I_{\text{ref1}}[i+1, j]$ は、次の通りに記述できる。

[0410]

[数38]

$$\begin{aligned}
& I_1[i+1, j] \\
&= I_a \exp\{K(V_g[i+1, j] + p\Delta V[i+1] - V_{th}[i+1, j])\} \\
&= I_0[i+1, j] \exp(Kp\Delta V[i+1]) \quad \dots(F13)
\end{aligned}$$

[0 4 1 1]

[数 3 9]

$$\begin{aligned}
& I_{ref1}[i+1] \\
&= I_a \exp\{K(V_{gm}[i+1] + p\Delta V[i+1] - V_{thm}[i+1])\} \\
&= x[i+1] I_{ref0} \quad \dots(F14)
\end{aligned}$$

[0 4 1 2]

式 (F 1 3)、式 (F 1 4) より、 $x[i+1]$ は次の式で表すことができる。

[0 4 1 3]

[数 4 0]

$$x[i+1] = \exp(Kp\Delta V[i+1]) \quad \dots(F15)$$

[0 4 1 4]

そのため、式 (F 1 3) は、次の式に書き換えることができる。

[0 4 1 5]

[数 4 1]

$$I_1[i+1, j] = x[i+1] w[i+1, j] I_{ref0} \quad \dots(F16)$$

[0 4 1 6]

つまり、セル IM [i+1, j] に含まれているトランジスタ F 2 の第 1 端子—第 2 端子間に流れる電流は、第 1 データである重み係数 $w[i+1, j]$ と、第 2 データであるニューロンの信号の値 $x[i+1]$ と、の積に比例する。

[0 4 1 7]

ここで、変換回路 ITRZ [j] から、トランジスタ F 4 [j] と配線 WCL [j] とを介して、セル IM [i, j] 及びセル IM [i+1, j] に流れる電流の総和を考える。当該電流の総和を $I_s[j]$ とすると、 $I_s[j]$ は、式 (F 1 2) と式 (F 1 6) より、次の式で表すことができる。

[0 4 1 8]

[数 4 2]

$$\begin{aligned}
 I_s[j] &= I_1[i, j] + I_1[i + 1, j] \\
 &= I_{\text{ref0}}(x[i]w[i, j] + x[i + 1]w[i + 1, j]) \quad \dots(\text{F17})
 \end{aligned}$$

[0419]

したがって、変換回路ITRZ[j]から出力される電流は、第1データである重み係数 $w[i, j]$ 及び $w[i + 1, j]$ と、第2データであるニューロンの信号の値 $x[i]$ 及び $x[i + 1]$ と、の積和に比例した電流となる。

[0420]

なお、上述の動作例では、セルIM[i, j]、及びセルIM[i + 1, j]に流れる電流の総和について扱ったが、複数のセルとして、セルIM[1, j]乃至セルIM[m, j]のそれぞれに流れる電流の総和についても扱ってもよい。この場合、式(F17)は、次の式に書き直すことができる。

[0421]

[数43]

$$I_s[j] = I_{\text{ref0}} \sum_{i=1}^m x[i]w[i, j] \quad \dots(\text{F18})$$

[0422]

このため、3行以上且つ2列以上のセルアレイCA2を有する演算回路MAC2の場合でも、上記の通り、積和演算を行うことができる。この場合の積和演算回路は、複数列のうち1列を、電流量として I_{ref0} 、及び $x I_{\text{ref0}}$ を保持するセルとすることで、複数列のうち残りの列の数だけ積和演算処理を同時に実行することができる。つまり、メモリセルアレイの列の数を増やすことで、高速な積和演算処理を実現する半導体装置を提供することができる。

[0423]

本実施の形態で述べた積和演算回路を、上述した隠れ層として適用する場合、重み係数 $w_{s[k]s[k-1]}^{(k)}$ を第1データとして、第1データに応じた電流量を同じ列の各セルIMに順次記憶させて、第(k-1)層の第 $s[k-1]$ ニューロンからの出力信号 $z_{s[k-1]}^{(k-1)}$ を第2データとして、第2データに応じた電流を回路XCSから各行の配線XCLに対して流すことで、回路ITRZから出力される電流 I_s から第1データと第2データとの積和を求めることができる。加えて、当該積和の値を用いて活性化関数の値を求めることによって、活性化関数の値を信号として第k層の第 $s[k]$ ニューロンの出力信号 $z_{s[k]}^{(k)}$ とすることができる。

[0424]

また、本実施の形態で述べた積和演算回路を、上述した出力層として適用する場合、重み係数 $w_{s[L]s[L-1]}^{(L)}$ を第1データとして、第1データに応じた電流量を同じ列の各セルIMに順次記憶させて、第(L-1)層の第 $s[L-1]$ ニューロンからの出力信号 $z_{s[L-1]}^{(L-1)}$ を第2データとして、第2データに応じた電流を回路XCSから各行の配線XCLに対して流すことで、回路ITRZから出力される電流 I_s から、第1データと第2データとの積和を求めることができる。加えて、当該積和の値を用いて活性化関数の値を求めることによって、活性化関数の値を信号とし

て第L層の第s [L] ニューロンの出力信号 $z_{s[L]}^{(L)}$ とすることができる。

[0425]

なお、本実施の形態で述べた入力層は、入力信号を第2層に出力するバッファ回路として機能してもよい。

[0426]

また、本実施の形態では、演算回路MAC1及び演算回路MAC2に含まれているトランジスタをOSトランジスタ、又はSiトランジスタとした場合について説明したが、本発明の一態様は、これに限定されない。演算回路MAC1及び演算回路MAC2に含まれているトランジスタは、例えば、Geなどの半導体を活性層にしたトランジスタ、ZnSe、CdS、GaAs、InP、GaN、SiGeなどの化合物半導体を活性層としたトランジスタ、カーボンナノチューブを活性層としたトランジスタ、有機半導体を活性層としたトランジスタ等を用いることができる。

[0427]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0428]

(実施の形態3)

本実施の形態では、上記実施の形態で説明した演算回路の構成例、及び当該演算回路に適用可能なトランジスタの構成例について説明する。

[0429]

<半導体装置の構成例>

図19に示す半導体装置は、トランジスタ300と、トランジスタ500と、容量素子600と、を有している。図21Aはトランジスタ500のチャネル長方向の断面図であり、図21Bはトランジスタ500のチャネル幅方向の断面図であり、図21Cはトランジスタ300のチャネル幅方向の断面図である。

[0430]

トランジスタ500は、チャネル形成領域に金属酸化物を有するトランジスタ（OSトランジスタ）である。トランジスタ500は、オフ電流が小さいため、これを半導体装置、例えば、演算回路MAC1などに含まれるメモリセルアレイCAのトランジスタTr11などに用いることにより、長期にわたり書き込んだデータを保持することが可能である。つまり、リフレッシュ動作の頻度が少ない、あるいは、リフレッシュ動作を必要としないため、半導体装置の消費電力を低減することができる。

[0431]

本実施の形態で説明する半導体装置は、図19に示すようにトランジスタ300、トランジスタ500、容量素子600を有する。トランジスタ500はトランジスタ300の上方に設けられ、容量素子600はトランジスタ300、及びトランジスタ500の上方に設けられている。なお、容量素子600は、上記実施の形態で説明した演算回路MAC1などに含まれるメモリセルアレイCAの容量C1、回路OFTの容量C2などとしてすることができる。

[0432]

トランジスタ300は、基板311上に設けられ、導電体316、絶縁体315、基板311の一部からなる半導体領域313、ソース領域又はドレイン領域として機能する低抵抗領域314a、及び低抵抗領域314bを有する。なお、トランジスタ300は、例えば、上記実施の形態で説明

した演算回路MAC 1などに含まれるメモリセルアレイCAのトランジスタTr 1 2などに適用することができる。

[0433]

また、基板311としては、半導体基板（例えば単結晶基板又はシリコン基板）を用いるのが好ましい。

[0434]

トランジスタ300は、図21Cに示すように、半導体領域313の上面及びチャネル幅方向の側面が絶縁体315を介して導電体316に覆われている。このように、トランジスタ300をFin型とすることにより、実効上のチャネル幅が増大することによりトランジスタ300のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ300のオフ特性を向上させることができる。

[0435]

なお、トランジスタ300は、pチャネル型、あるいはnチャネル型のいずれでもよい。

[0436]

半導体領域313のチャネルが形成される領域、その近傍の領域、ソース領域、又はドレイン領域となる低抵抗領域314a、及び低抵抗領域314bなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。又は、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウムアルミニウムヒ素）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。又はGaAsとGaAlAs等を用いることで、トランジスタ300をHEMT（High Electron Mobility Transistor）としてもよい。

[0437]

低抵抗領域314a、及び低抵抗領域314bは、半導体領域313に適用される半導体材料に加え、ヒ素、リンなどのn型の導電性を付与する元素、又はホウ素などのp型の導電性を付与する元素を含む。

[0438]

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、又は金属酸化物材料などの導電性材料を用いることができる。

[0439]

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

[0440]

なお、図19に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。例えば、半導体装置をOSトランジスタのみの単極性回路とする場合、図20に示すとおり、トランジスタ300の構成を、酸化物半導体を用い

ているトランジスタ 500 と同様の構成にすればよい。なお、トランジスタ 500 の詳細については後述する。

[0441]

トランジスタ 300 を覆って、絶縁体 320、絶縁体 322、絶縁体 324、及び絶縁体 326 が順に積層して設けられている。

[0442]

絶縁体 320、絶縁体 322、絶縁体 324、及び絶縁体 326 として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

[0443]

なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。また、本明細書中において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

[0444]

絶縁体 322 は、その下方に設けられるトランジスタ 300 などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体 322 の上面は、平坦性を高めるために化学機械研磨 (CMP) 法等を用いた平坦化処理により平坦化されていてもよい。

[0445]

また、絶縁体 324 には、基板 311、又はトランジスタ 300 などから、トランジスタ 500 が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

[0446]

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 500 等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ 500 と、トランジスタ 300 との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0447]

水素の脱離量は、例えば、昇温脱離ガス分析法 (TDS) などを用いて分析することができる。例えば、絶縁体 324 の水素の脱離量は、TDS 分析において、膜の表面温度が 50℃から 500℃の範囲において、水素原子に換算した脱離量が、絶縁体 324 の面積当たりに換算して、 $1.0 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

[0448]

なお、絶縁体 326 は、絶縁体 324 よりも誘電率が低いことが好ましい。例えば、絶縁体 326 の比誘電率は 4 未満が好ましく、3 未満がより好ましい。また例えば、絶縁体 326 の比誘電率は、絶縁体 324 の比誘電率の 0.7 倍以下が好ましく、0.6 倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0449]

また、絶縁体 3 2 0、絶縁体 3 2 2、絶縁体 3 2 4、及び絶縁体 3 2 6 には容量素子 6 0 0、又はトランジスタ 5 0 0 と接続する導電体 3 2 8、及び導電体 3 3 0 等が埋め込まれている。なお、導電体 3 2 8、及び導電体 3 3 0 は、プラグ又は配線としての機能を有する。また、プラグ又は配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

[0 4 5 0]

各プラグ、及び配線（導電体 3 2 8、導電体 3 3 0 等）の材料としては、金属材料、合金材料、金属窒化物材料、又は金属酸化物材料などの導電性材料を、単層又は積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。又は、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0 4 5 1]

絶縁体 3 2 6、及び導電体 3 3 0 上に、配線層を設けてもよい。例えば、図 1 9 において、絶縁体 3 5 0、絶縁体 3 5 2、及び絶縁体 3 5 4 が順に積層して設けられている。また、絶縁体 3 5 0、絶縁体 3 5 2、及び絶縁体 3 5 4 には、導電体 3 5 6 が形成されている。導電体 3 5 6 は、トランジスタ 3 0 0 と接続するプラグ、又は配線としての機能を有する。なお導電体 3 5 6 は、導電体 3 2 8、及び導電体 3 3 0 と同様の材料を用いて設けることができる。

[0 4 5 2]

なお、例えば、絶縁体 3 5 0 は、絶縁体 3 2 4 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 3 5 6 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 3 5 0 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 3 0 0 とトランジスタ 5 0 0 とは、バリア層により分離することができ、トランジスタ 3 0 0 からトランジスタ 5 0 0 への水素の拡散を抑制することができる。

[0 4 5 3]

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ 3 0 0 からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体 3 5 0 と接する構造であることが好ましい。

[0 4 5 4]

絶縁体 3 5 4、及び導電体 3 5 6 上に、配線層を設けてもよい。例えば、図 1 9 において、絶縁体 3 6 0、絶縁体 3 6 2、及び絶縁体 3 6 4 が順に積層して設けられている。また、絶縁体 3 6 0、絶縁体 3 6 2、及び絶縁体 3 6 4 には、導電体 3 6 6 が形成されている。導電体 3 6 6 は、プラグ又は配線としての機能を有する。なお導電体 3 6 6 は、導電体 3 2 8、及び導電体 3 3 0 と同様の材料を用いて設けることができる。

[0 4 5 5]

なお、例えば、絶縁体 3 6 0 は、絶縁体 3 2 4 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 3 6 6 は、水素に対するバリア性を有する導電体を含むこ

とが好ましい。特に、水素に対するバリア性を有する絶縁体 360 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 300 とトランジスタ 500 とは、バリア層により分離することができ、トランジスタ 300 からトランジスタ 500 への水素の拡散を抑制することができる。

[0456]

絶縁体 364、及び導電体 366 上に、配線層を設けてもよい。例えば、図 19 において、絶縁体 370、絶縁体 372、及び絶縁体 374 が順に積層して設けられている。また、絶縁体 370、絶縁体 372、及び絶縁体 374 には、導電体 376 が形成されている。導電体 376 は、プラグ又は配線としての機能を有する。なお導電体 376 は、導電体 328、及び導電体 330 と同様の材料を用いて設けることができる。

[0457]

なお、例えば、絶縁体 370 は、絶縁体 324 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 376 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 370 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 300 とトランジスタ 500 とは、バリア層により分離することができ、トランジスタ 300 からトランジスタ 500 への水素の拡散を抑制することができる。

[0458]

絶縁体 374、及び導電体 376 上に、配線層を設けてもよい。例えば、図 19 において、絶縁体 380、絶縁体 382、及び絶縁体 384 が順に積層して設けられている。また、絶縁体 380、絶縁体 382、及び絶縁体 384 には、導電体 386 が形成されている。導電体 386 は、プラグ又は配線としての機能を有する。なお導電体 386 は、導電体 328、及び導電体 330 と同様の材料を用いて設けることができる。

[0459]

なお、例えば、絶縁体 380 は、絶縁体 324 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 386 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 380 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 300 とトランジスタ 500 とは、バリア層により分離することができ、トランジスタ 300 からトランジスタ 500 への水素の拡散を抑制することができる。

[0460]

上記において、導電体 356 を含む配線層、導電体 366 を含む配線層、導電体 376 を含む配線層、及び導電体 386 を含む配線層、について説明したが、本実施の形態に係る半導体装置はこれに限られるものではない。導電体 356 を含む配線層と同様の配線層を 3 層以下にしてもよいし、導電体 356 を含む配線層と同様の配線層を 5 層以上にしてもよい。

[0461]

絶縁体 384 上には絶縁体 510、絶縁体 512、絶縁体 514、及び絶縁体 516 が、順に積層して設けられている。絶縁体 510、絶縁体 512、絶縁体 514、及び絶縁体 516 のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

[0462]

例えば、絶縁体 510、及び絶縁体 514 には、例えば、基板 311、又はトランジスタ 300 を設ける領域などから、トランジスタ 500 を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体 324 と同様の材料を用いることができる。

[0463]

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 500 等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ 500 と、トランジスタ 300 との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0464]

また、水素に対するバリア性を有する膜として、例えば、絶縁体 510、及び絶縁体 514 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0465]

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分などの不純物のトランジスタ 500 への混入を防止することができる。また、トランジスタ 500 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 500 に対する保護膜として用いることに適している。

[0466]

また、例えば、絶縁体 512、及び絶縁体 516 には、絶縁体 320 と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 512、及び絶縁体 516 として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

[0467]

また、絶縁体 510、絶縁体 512、絶縁体 514、及び絶縁体 516 には、導電体 518、及びトランジスタ 500 を構成する導電体（例えば、導電体 503）等が埋め込まれている。なお、導電体 518 は、容量素子 600、又はトランジスタ 300 と接続するプラグ、又は配線としての機能を有する。導電体 518 は、導電体 328、及び導電体 330 と同様の材料を用いて設けることができる。

[0468]

特に、絶縁体 510、及び絶縁体 514 と接する領域の導電体 518 は、酸素、水素、及び水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ 300 とトランジスタ 500 とは、酸素、水素、及び水に対するバリア性を有する層で、分離することができ、トランジスタ 300 からトランジスタ 500 への水素の拡散を抑制することができる。

[0469]

絶縁体 516 の上方には、トランジスタ 500 が設けられている。

[0470]

図 21A、図 21B に示すように、トランジスタ 500 は、絶縁体 514 及び絶縁体 516 に埋

め込まれるように配置された導電体503と、絶縁体516及び導電体503の上に配置された絶縁体520と、絶縁体520の上に配置された絶縁体522と、絶縁体522の上に配置された絶縁体524と、絶縁体524の上に配置された酸化物530aと、酸化物530aの上に配置された酸化物530bと、酸化物530b上に互いに離れて配置された導電体542a及び導電体542bと、導電体542a及び導電体542b上に配置され、導電体542aと導電体542bの間に重畳して開口が形成された絶縁体580と、開口の底面及び側面に配置された酸化物530cと、酸化物530cの形成面に配置された絶縁体550と、絶縁体550の形成面に配置された導電体560と、を有する。

[0471]

また、図21A、図21Bに示すように、酸化物530a、酸化物530b、導電体542a、及び導電体542bと、絶縁体580との間に絶縁体544が配置されることが好ましい。また、図21A、図21Bに示すように、導電体560は、絶縁体550の内側に設けられた導電体560aと、導電体560aの内側に埋め込まれるように設けられた導電体560bと、を有することが好ましい。また、図21A、図21Bに示すように、絶縁体580、導電体560、及び絶縁体550の上に絶縁体574が配置されることが好ましい。

[0472]

なお、以下において、酸化物530a、酸化物530b、及び酸化物530cをまとめて酸化物530という場合がある。

[0473]

なお、トランジスタ500では、チャネルが形成される領域と、その近傍において、酸化物530a、酸化物530b、及び酸化物530cの3層を積層する構成について示しているが、本発明の一態様はこれに限られるものではない。例えば、酸化物530bの単層、酸化物530bと酸化物530aの2層構造、酸化物530bと酸化物530cの2層構造、又は4層以上の積層構造を設ける構成にしてもよい。また、トランジスタ500では、導電体560を2層の積層構造として示しているが、本発明の一態様はこれに限られるものではない。例えば、導電体560が、単層構造であってもよいし、3層以上の積層構造であってもよい。また、図19、図21Aに示すトランジスタ500は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[0474]

ここで、導電体560は、トランジスタのゲート電極として機能し、導電体542a及び導電体542bは、それぞれソース電極又はドレイン電極として機能する。上記のように、導電体560は、絶縁体580の開口、及び導電体542aと導電体542bに挟まれた領域に埋め込まれるように形成される。導電体560、導電体542a及び導電体542bの配置は、絶縁体580の開口に対して、自己整合的に選択される。つまり、トランジスタ500において、ゲート電極を、ソース電極とドレイン電極の間に、自己整合的に配置させることができる。よって、導電体560を位置合わせのマージンを設けることなく形成することができるので、トランジスタ500の占有面積の縮小を図ることができる。これにより、半導体装置の微細化、高集積化を図ることができる。

[0475]

さらに、導電体560が、導電体542aと導電体542bの間の領域に自己整合的に形成されるので、導電体560は、導電体542a又は導電体542bと重畳する領域を有さない。これに

より、導電体560と導電体542a及び導電体542bとの間に形成される寄生容量を低減することができる。よって、トランジスタ500のスイッチング速度を向上させ、高い周波数特性を有せしめることができる。

[0476]

導電体560は、第1のゲート（トップゲートともいう）電極として機能する場合がある。また、導電体503は、第2のゲート（ボトムゲートともいう）電極として機能する場合がある。その場合、導電体503に印加する電位を、導電体560に印加する電位と、連動させず、独立して変化させることで、トランジスタ500のしきい値電圧を制御することができる。特に、導電体503に負の電位を印加することにより、トランジスタ500のしきい値電圧を0Vより大きくし、オフ電流を低減することが可能となる。したがって、導電体503に負の電位を印加したほうが、印加しない場合よりも、導電体560に印加する電位が0Vのときのドレイン電流を小さくすることができる。

[0477]

導電体503は、酸化物530、及び導電体560と、重なるように配置する。これにより、導電体560、及び導電体503に電位を印加した場合、導電体560から生じる電界と、導電体503から生じる電界と、がつながり、酸化物530に形成されるチャネル形成領域を覆うことができる。本明細書等において、第1のゲート電極、及び第2のゲート電極の電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構造を、surrounded channel（S-channel）構造とよぶ。

[0478]

また、導電体503は、導電体518と同様の構成であり、絶縁体514及び絶縁体516の開口の内壁に接して導電体503aが形成され、さらに内側に導電体503bが形成されている。なお、トランジスタ500では、導電体503a及び導電体503bを積層する構成について示しているが、本発明の一態様はこれに限られるものではない。例えば、導電体503は、単層、又は3層以上の積層構造として設ける構成にしてもよい。

[0479]

ここで、導電体503aは、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）導電性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）導電性材料を用いることが好ましい。なお、本明細書において、不純物、又は酸素の拡散を抑制する機能とは、上記不純物、又は上記酸素のいずれか一又は、すべての拡散を抑制する機能とする。

[0480]

例えば、導電体503aが酸素の拡散を抑制する機能を持つことにより、導電体503bが酸化して導電率が低下することを抑制することができる。

[0481]

また、導電体503が配線の機能を兼ねる場合、導電体503bは、タングステン、銅、又はアルミニウムを主成分とする、導電性が高い導電性材料を用いることが好ましい。その場合、導電体503aは、必ずしも設けなくともよい。なお、導電体503bを単層で図示したが、積層構造としてもよく、例えば、チタン、又は窒化チタンと上記導電性材料との積層としてもよい。

[0482]

絶縁体520、絶縁体522、及び絶縁体524は、第2のゲート絶縁膜としての機能を有する。

[0483]

ここで、酸化物530と接する絶縁体524は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用いることが好ましい。つまり、絶縁体524には、過剰酸素領域が形成されることが好ましい。このような過剰酸素を含む絶縁体を酸化物530に接して設けることにより、酸化物530中の酸素欠損を低減し、トランジスタ500の信頼性を向上させることができる。

[0484]

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS (Thermal Desorption Spectroscopy) 分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、又は $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては 100°C 以上 700°C 以下、又は 100°C 以上 400°C 以下の範囲が好ましい。

[0485]

また、上記過剰酸素領域を有する絶縁体と、酸化物530と、を接して加熱処理、マイクロ波処理、またはRF処理のいずれか一または複数の処理を行っても良い。当該処理を行うことで、酸化物530中の水、または水素を除去することができる。例えば、酸化物530において、 $\text{V}_\text{O}\text{H}$ の結合が切断される反応が起きる、別言すると「 $\text{V}_\text{O}\text{H} \rightarrow \text{V}_\text{O} + \text{H}$ 」という反応が起きて、脱水素化することができる。このとき発生した水素の一部は、酸素と結合して H_2O として、酸化物530、または酸化物530近傍の絶縁体から除去される場合がある。また、水素の一部は、導電体542a、及び導電体542bに拡散または捕獲（ゲッターリングともいう）される場合がある。

[0486]

また、上記マイクロ波処理は、例えば、高密度プラズマを発生させる電源を有する装置、または、基板側にRFを印加する電源を有する装置を用いると好適である。例えば、酸素を含むガスをを用い、且つ高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができ、基板側にRFを印加することで、高密度プラズマによって生成された酸素ラジカルを、効率よく酸化物530、または酸化物530近傍の絶縁体中に導入することができる。また、上記マイクロ波処理は、圧力を 133 Pa 以上、好ましくは 200 Pa 以上、さらに好ましくは 400 Pa 以上とすればよい。また、マイクロ波処理を行う装置内に導入するガスとしては、例えば、酸素と、アルゴンとを用い、酸素流量比 ($\text{O}_2 / (\text{O}_2 + \text{Ar})$) が 50% 以下、好ましくは 10% 以上 30% 以下で行うとよい。

[0487]

また、トランジスタ500の作製工程中において、酸化物530の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、 100°C 以上 450°C 以下、より好ましくは 350°C 以上 400°C 以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを 10 ppm 以上、 1% 以上、もしくは 10% 以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物530に酸素を供給して、酸素欠損 (V_O) の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で行った後に、脱離した酸素を補うため

に、酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。または、酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で加熱処理した後に、連続して窒素ガスもしくは不活性ガスの雰囲気で行ってもよい。

[0488]

なお、酸化物530に加酸素化処理を行うことで、酸化物530中の酸素欠損を、供給された酸素により修復させる、別言すると「 $V_o + O \rightarrow null$ 」という反応を促進させることができる。さらに、酸化物530中に残存した水素に供給された酸素が反応することで、当該水素を H_2O として除去する（脱水化する）ことができる。これにより、酸化物530中に残存していた水素が酸素欠損に再結合して V_oH が形成されるのを抑制することができる。

[0489]

また、絶縁体524が、過剰酸素領域を有する場合、絶縁体522は、酸素（例えば、酸素原子、酸素分子など）の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。

[0490]

絶縁体522が、酸素や不純物の拡散を抑制する機能を有することで、酸化物530が有する酸素は、絶縁体520側へ拡散することがなく、好ましい。また、導電体503が、絶縁体524や、酸化物530が有する酸素と反応することを抑制することができる。

[0491]

絶縁体522は、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（ $SrTiO_3$ ）、又は（Ba, Sr） TiO_3 （BST）などのいわゆるhigh-k材料を含む絶縁体を単層又は積層で用いることが好ましい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁膜として機能する絶縁体にhigh-k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

[0492]

特に、不純物、及び酸素などの拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料であるアルミニウム、ハフニウムの一方又は双方の酸化物を含む絶縁体を用いるとよい。アルミニウム、ハフニウムの一方又は双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体522を形成した場合、絶縁体522は、酸化物530からの酸素の放出や、トランジスタ500の周辺部から酸化物530への水素等の不純物の混入を抑制する層として機能する。

[0493]

又は、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。又はこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコン又は窒化シリコンを積層して用いてもよい。

[0494]

また、絶縁体520は、熱的に安定していることが好ましい。例えば、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため、好適である。また、high-k材料の絶縁体と、酸化シ

リコン又は酸化窒化シリコンと、を組み合わせることで、熱的に安定かつ比誘電率の高い積層構造の絶縁体 520 を得ることができる。

[0495]

なお、図 21A、図 21B のトランジスタ 500 では、3 層の積層構造からなる第 2 のゲート絶縁膜として、絶縁体 520、絶縁体 522、及び絶縁体 524 が図示されているが、第 2 のゲート絶縁膜は、単層、2 層、又は 4 層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

[0496]

トランジスタ 500 は、チャネル形成領域を含む酸化物 530 に、酸化物半導体として機能する金属酸化物を用いることが好ましい。例えば、酸化物 530 として、In-M-Zn 酸化物（元素 M は、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウムなどから選ばれた一種、又は複数種）等の金属酸化物を用いるとよい。特に、酸化物 530 として適用できる In-M-Zn 酸化物は、CAAC-OS（C-Axis Aligned Crystalline Oxide Semiconductor）、CAC-OS（Cloud-Aligned Composite Oxide Semiconductor）であることが好ましい。また、酸化物 530 として、In-Ga 酸化物、In-Zn 酸化物、In 酸化物などを用いてもよい。

[0497]

また、トランジスタ 500 には、キャリア濃度の低い金属酸化物を用いることが好ましい。金属酸化物のキャリア濃度を低くする場合においては、金属酸化物中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。なお、金属酸化物中の不純物としては、例えば、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0498]

特に、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、金属酸化物中に酸素欠損を形成する場合がある。また、酸化物 530 中の酸素欠損に水素が入った場合、酸素欠損と水素とが結合し V_OH を形成する場合がある。 V_OH はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている金属酸化物を用いたトランジスタは、ノーマリーオン特性となりやすい。また、金属酸化物中の水素は、熱、電界などのストレスによって動きやすいため、金属酸化物に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。本発明の一態様においては、酸化物 530 中の V_OH をできる限り低減し、高純度真性または実質的に高純度真性にすることが好ましい。このように、 V_OH が十分低減された金属酸化物を得るには、金属酸化物中の水分、水素などの不純物を除去すること（脱水、脱水素化処理と記載する場合がある。）と、金属酸化物に酸素を供給して酸素欠損を補填すること（加酸素化処理と記載する場合がある。）が重要である。 V_OH などの不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0499]

酸素欠損に水素が入った欠陥は、金属酸化物のドナーとして機能しうる。しかしながら、当該欠陥を定量的に評価することは困難である。そこで、金属酸化物においては、ドナー濃度ではなく、キャリア濃度で評価される場合がある。よって、本明細書等では、金属酸化物のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア濃度を用いる場合がある。つまり、本明細書等に記載の「キャリア濃度」は、「ドナー濃度」と言い換えることができる場合がある。

[0500]

よって、金属酸化物を酸化物530に用いる場合、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、二次イオン質量分析法（Secondary Ion Mass Spectrometry）により得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。水素などの不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0501]

また、酸化物530に金属酸化物を用いる場合、当該金属酸化物は、バンドギャップが高く、真性（I型ともいう。）、又は実質的に真性である半導体であって、かつチャネル形成領域の金属酸化物のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 未満であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域の金属酸化物のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0502]

また、酸化物530に金属酸化物を用いる場合、導電体542a及び導電体542bと酸化物530とが接することで、酸化物530中の酸素が導電体542a及び導電体542bへ拡散し、導電体542a及び導電体542bが酸化する場合がある。導電体542a及び導電体542bが酸化することで、導電体542a及び導電体542bの導電率が低下する蓋然性が高い。なお、酸化物530中の酸素が導電体542a及び導電体542bへ拡散することを、導電体542a及び導電体542bが酸化物530中の酸素を吸収する、と言い換えることができる。

[0503]

また、酸化物530中の酸素が導電体542a及び導電体542bへ拡散することで、導電体542aと酸化物530bとの間、および、導電体542bと酸化物530bとの間に異層が形成される場合がある。当該異層は、導電体542a及び導電体542bよりも酸素を多く含むため、当該異層は絶縁性を有すると推定される。このとき、導電体542a又は導電体542bと、当該異層と、酸化物530bとの3層構造は、金属－絶縁体－半導体からなる3層構造とみなすことができ、MIS（Metal-Insulator-Semiconductor）構造と呼ぶ、またはMIS構造を主としたダイオード接合構造と呼ぶ場合がある。

[0504]

なお、上記異層は、導電体542a及び導電体542bと酸化物530bとの間に形成されることに限られず、例えば、異層が、導電体542a及び導電体542bと酸化物530cとの間に形

成される場合や、導電体 5 4 2 a 及び導電体 5 4 2 b と酸化物 5 3 0 b との間、導電体 5 4 2 a 及び導電体 5 4 2 b と酸化物 5 3 0 c との間に形成される場合がある。

[0505]

酸化物 5 3 0 においてチャネル形成領域として機能する金属酸化物は、バンドギャップが 2 e V 以上、好ましくは 2.5 e V 以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

[0506]

酸化物 5 3 0 は、酸化物 5 3 0 b 下に酸化物 5 3 0 a を有することで、酸化物 5 3 0 a よりも下方に形成された構造物から、酸化物 5 3 0 b への不純物の拡散を抑制することができる。また、酸化物 5 3 0 b 上に酸化物 5 3 0 c を有することで、酸化物 5 3 0 c よりも上方に形成された構造物から、酸化物 5 3 0 b への不純物の拡散を抑制することができる。

[0507]

なお、酸化物 5 3 0 は、各金属原子の原子数比が異なる複数の酸化物層の積層構造を有することが好ましい。具体的には、酸化物 5 3 0 a に用いる金属酸化物において、構成元素中の元素 M の原子数比が、酸化物 5 3 0 b に用いる金属酸化物における、構成元素中の元素 M の原子数比より、大きいことが好ましい。また、酸化物 5 3 0 a に用いる金属酸化物において、In に対する元素 M の原子数比が、酸化物 5 3 0 b に用いる金属酸化物における、In に対する元素 M の原子数比より大きいことが好ましい。また、酸化物 5 3 0 b に用いる金属酸化物において、元素 M に対する In の原子数比が、酸化物 5 3 0 a に用いる金属酸化物における、元素 M に対する In の原子数比より大きいことが好ましい。また、酸化物 5 3 0 c は、酸化物 5 3 0 a 又は酸化物 5 3 0 b に用いることができる金属酸化物を、用いることができる。

[0508]

具体的には、酸化物 5 3 0 a として、In と Ga と Zn との原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ 、または $1 : 1 : 0.5$ の金属酸化物を用いればよい。また、酸化物 5 3 0 b として、In と Ga と Zn との原子数比が $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ 、または $1 : 1 : 1$ の金属酸化物を用いればよい。また、酸化物 5 3 0 c として、In と Ga と Zn との原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ 、また Ga と Zn の原子数比が $\text{Ga} : \text{Zn} = 2 : 1$ 、または $\text{Ga} : \text{Zn} = 2 : 5$ の金属酸化物を用いればよい。また、酸化物 5 3 0 c を積層構造とする場合の具体例としては、In と Ga と Zn との原子数比が $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ と、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ との積層構造、また Ga と Zn の原子数比が $\text{Ga} : \text{Zn} = 2 : 1$ と、In と Ga と Zn との原子数比が $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ との積層構造、Ga と Zn の原子数比が $\text{Ga} : \text{Zn} = 2 : 5$ と、In と Ga と Zn との原子数比が $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ との積層構造、酸化ガリウムと、In と Ga と Zn との原子数比が $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ との積層構造などが挙げられる。

[0509]

また、例えば、酸化物 5 3 0 a に用いる金属酸化物における元素 M に対する In の原子数比が、酸化物 5 3 0 b に用いる金属酸化物における元素 M に対する In の原子数比より小さい場合、酸化物 5 3 0 b として、In と Ga と Zn との原子数比が $\text{In} : \text{Ga} : \text{Zn} = 5 : 1 : 6$ またはその近傍、 $\text{In} : \text{Ga} : \text{Zn} = 5 : 1 : 3$ またはその近傍、 $\text{In} : \text{Ga} : \text{Zn} = 10 : 1 : 3$ またはその近傍などの組成である In-Ga-Zn 酸化物を用いることができる。

[0510]

また、上述した以外の組成としては、酸化物530bには、例えば、 $I_n : Z_n = 2 : 1$ の組成、 $I_n : Z_n = 5 : 1$ の組成、 $I_n : Z_n = 10 : 1$ の組成、これらのいずれか一の近傍の組成などを有する金属酸化物を用いることができる。

[0511]

これらの酸化物530a、酸化物530b、酸化物530cを上記の原子数比の関係を満たして組み合わせることが好ましい。例えば、酸化物530a、および酸化物530cを、 $I_n : Ga : Z_n = 1 : 3 : 4$ の組成およびその近傍の組成を有する金属酸化物、酸化物530bを、 $I_n : Ga : Z_n = 4 : 2 : 3$ から4.1の組成およびその近傍の組成を有する金属酸化物とするのが好ましい。なお、上記組成は、基体上に形成された酸化物中の原子数比、またはスパッタターゲットにおける原子数比を示す。また、酸化物530bの組成として、 I_n の比率を高めることで、トランジスタのオン電流、または電界効果移動度を高めることができるため好適である。

[0512]

また、酸化物530a及び酸化物530cの伝導帯下端のエネルギーが、酸化物530bの伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物530a及び酸化物530cの電子親和力が、酸化物530bの電子親和力より小さいことが好ましい。

[0513]

ここで、酸化物530a、酸化物530b、及び酸化物530cの接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物530a、酸化物530b、及び酸化物530cの接合部における伝導帯下端のエネルギー準位は、連続的に変化又は連続接合するともいうことができる。このようにするためには、酸化物530aと酸化物530bとの界面、及び酸化物530bと酸化物530cとの界面において形成される混合層の欠陥準位密度を低くするとよい。

[0514]

具体的には、酸化物530aと酸化物530b、酸化物530bと酸化物530cが、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物530bが I_n-Ga-Z_n 酸化物の場合、酸化物530a及び酸化物530cとして、 I_n-Ga-Z_n 酸化物、 $Ga-Z_n$ 酸化物、酸化ガリウムなどを用いるとよい。

[0515]

このとき、キャリアの主たる経路は酸化物530bとなる。酸化物530a、酸化物530cを上記の構成とすることで、酸化物530aと酸化物530bとの界面、及び酸化物530bと酸化物530cとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ500は高いオン電流を得られる。

[0516]

酸化物530b上には、ソース電極、及びドレイン電極として機能する導電体542a、及び導電体542bが設けられる。導電体542a、及び導電体542bとしては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、又は上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニ

ウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、又は、酸素を吸収しても導電性を維持する材料であるため、好ましい。更に、窒化タンタルなどの金属窒化物膜は、水素又は酸素に対するバリア性があるため好ましい。

[0517]

また、図21A、図21Bでは、導電体542a、及び導電体542bを単層構造として示したが、2層以上の積層構造としてもよい。例えば、窒化タンタル膜とタングステン膜を積層するとよい。また、チタン膜とアルミニウム膜を積層してもよい。また、タングステン膜上にアルミニウム膜を積層する二層構造、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造としてもよい。

[0518]

また、チタン膜又は窒化チタン膜と、そのチタン膜又は窒化チタン膜上に重ねてアルミニウム膜又は銅膜を積層し、さらにその上にチタン膜又は窒化チタン膜を形成する三層構造、モリブデン膜又は窒化モリブデン膜と、そのモリブデン膜又は窒化モリブデン膜上に重ねてアルミニウム膜又は銅膜を積層し、さらにその上にモリブデン膜又は窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫又は酸化亜鉛を含む透明導電材料を用いてもよい。

[0519]

また、図21Aに示すように、酸化物530の、導電体542a（導電体542b）との界面とその近傍には、低抵抗領域として、領域543a、及び領域543bが形成される場合がある。このとき、領域543aはソース領域又はドレイン領域の一方として機能し、領域543bはソース領域又はドレイン領域の他方として機能する。また、領域543aと領域543bに挟まれる領域にチャンネル形成領域が形成される。

[0520]

酸化物530と接するように上記導電体542a（導電体542b）を設けることで、領域543a（領域543b）の酸素濃度が低減する場合がある。また、領域543a（領域543b）に導電体542a（導電体542b）に含まれる金属と、酸化物530の成分とを含む金属化合物層が形成される場合がある。このような場合、領域543a（領域543b）のキャリア濃度が増加し、領域543a（領域543b）は、低抵抗領域となる。

[0521]

絶縁体544は、導電体542a、及び導電体542bを覆うように設けられ、導電体542a、及び導電体542bの酸化を抑制する。このとき、絶縁体544は、酸化物530の側面を覆い、絶縁体524と接するように設けられてもよい。

[0522]

絶縁体544として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、ネオジム、ランタン又は、マグネシウムなどから選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。また、絶縁体544として、窒化酸化シリコン又は窒化シリコンなども用いることができる。

[0523]

特に、絶縁体544として、アルミニウム、又はハフニウム的一方又は双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウム、及びハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいことが好ましい。なお、導電体542a、及び導電体542bが耐酸化性を有する材料、又は、酸素を吸収しても著しく導電性が低下しない場合、絶縁体544は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

[0524]

絶縁体544を有することで、絶縁体580に含まれる水、及び水素などの不純物が酸化物530c、絶縁体550を介して、酸化物530bに拡散することを抑制することができる。また、絶縁体580が有する過剰酸素により、導電体560が酸化するのを抑制することができる。

[0525]

絶縁体550は、第1のゲート絶縁膜として機能する。絶縁体550は、酸化物530cの内側（上面、及び側面）に接して配置することが好ましい。絶縁体550は、上述した絶縁体524と同様に、過剰に酸素を含み、かつ加熱により酸素が放出される絶縁体を用いて形成することが好ましい。

[0526]

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、及び酸化窒化シリコンは熱に対し安定であるため好ましい。

[0527]

加熱により酸素が放出される絶縁体を、絶縁体550として、酸化物530cの上面に接して設けることにより、絶縁体550から、酸化物530cを通じて、酸化物530bのチャネル形成領域に効果的に酸素を供給することができる。また、絶縁体524と同様に、絶縁体550中の水又は水素などの不純物濃度が低減されていることが好ましい。絶縁体550の膜厚は、1nm以上20nm以下とするのが好ましい。

[0528]

また、絶縁体550が有する過剰酸素を、効率的に酸化物530へ供給するために、絶縁体550と導電体560との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体550から導電体560への酸素拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体550から導電体560への過剰酸素の拡散が抑制される。つまり、酸化物530へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体560の酸化を抑制することができる。当該金属酸化物としては、絶縁体544に用いることができる材料を用いればよい。

[0529]

なお、絶縁体550は、第2のゲート絶縁膜と同様に、積層構造としてもよい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合があるため、ゲート絶縁膜として機能する絶縁体を、high-k材料と、熱的に安定している材料との積層構造とすることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減

が可能となる。また、熱的に安定かつ比誘電率の高い積層構造とすることができる。

[0530]

第1のゲート電極として機能する導電体560は、図21A、図21Bでは2層構造として示しているが、単層構造でもよいし、3層以上の積層構造であってもよい。

[0531]

導電体560aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。又は、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する導電性材料を用いることが好ましい。導電体560aが酸素の拡散を抑制する機能を持つことにより、絶縁体550に含まれる酸素により、導電体560bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、又は酸化ルテニウムなどを用いることが好ましい。また、導電体560aとして、酸化物530に適用できる酸化物半導体を用いることができる。その場合、導電体560bをスパッタリング法で成膜することで、導電体560aの電気抵抗値を低下させて導電体にすることができる。これをOC(Oxide Conductor)電極と呼ぶことができる。

[0532]

また、導電体560bは、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体560bは、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることができる。また、導電体560bは積層構造としてもよく、例えば、チタン、又は窒化チタンと上記導電性材料との積層構造としてもよい。

[0533]

絶縁体580は、絶縁体544を介して、導電体542a、及び導電体542b上に設けられる。絶縁体580は、過剰酸素領域を有することが好ましい。例えば、絶縁体580として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコン、又は樹脂などを有することが好ましい。特に、酸化シリコン、及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、空孔を有する酸化シリコンは、後の工程で、容易に過剰酸素領域を形成することができるため好ましい。

[0534]

絶縁体580は、過剰酸素領域を有することが好ましい。加熱により酸素が放出される絶縁体580を、酸化物530cと接して設けることで、絶縁体580中の酸素を、酸化物530cを通じて、酸化物530へと効率良く供給することができる。なお、絶縁体580中の水又は水素などの不純物濃度が低減されていることが好ましい。

[0535]

絶縁体580の開口は、導電体542aと導電体542bの間の領域に重畳して形成される。これにより、導電体560は、絶縁体580の開口、及び導電体542aと導電体542bに挟まれた領域に、埋め込まれるように形成される。

[0536]

半導体装置を微細化するに当たり、ゲート長を短くすることが求められるが、導電体560の導電性が下がらないようにする必要がある。そのために導電体560の膜厚を大きくすると、導電体560はアスペクト比が高い形状となりうる。本実施の形態では、導電体560を絶縁体580の開口に埋め込むように設けるため、導電体560をアスペクト比の高い形状にしても、工程中に導電体560を倒壊させることなく、形成することができる。

[0537]

絶縁体574は、絶縁体580の上面、導電体560の上面、及び絶縁体550の上面に接して設けられることが好ましい。絶縁体574をスパッタリング法で成膜することで、絶縁体550、及び絶縁体580へ過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物530中に酸素を供給することができる。

[0538]

例えば、絶縁体574として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、又はマグネシウムなどから選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。

[0539]

特に、酸化アルミニウムはバリア性が高く、0.5nm以上3.0nm以下の薄膜であっても、水素、及び窒素の拡散を抑制することができる。したがって、スパッタリング法で成膜した酸化アルミニウムは、酸素供給源であるとともに、水素などの不純物のバリア膜としての機能も有することができる。

[0540]

また、絶縁体574の上に、層間膜として機能する絶縁体581を設けることが好ましい。絶縁体581は、絶縁体524などと同様に、膜中の水又は水素などの不純物濃度が低減されていることが好ましい。

[0541]

また、絶縁体581、絶縁体574、絶縁体580、及び絶縁体544に形成された開口に、導電体540a、及び導電体540bを配置する。導電体540a及び導電体540bは、導電体560を挟んで対向して設ける。導電体540a及び導電体540bは、後述する導電体546、及び導電体548と同様の構成である。

[0542]

絶縁体581上には、絶縁体582が設けられている。絶縁体582は、酸素や水素に対してバリア性のある物質を用いることが好ましい。したがって、絶縁体582には、絶縁体514と同様の材料を用いることができる。例えば、絶縁体582には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0543]

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分などの不純物のトランジスタ500への混入を防止することができる。また、トランジスタ500を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ500に対する保護膜として用いることに適している。

[0544]

また、絶縁体582上には、絶縁体586が設けられている。絶縁体586は、絶縁体320と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体586として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

[0545]

また、絶縁体520、絶縁体522、絶縁体524、絶縁体544、絶縁体580、絶縁体574、絶縁体581、絶縁体582、及び絶縁体586には、導電体546、及び導電体548等が埋め込まれている。

[0546]

導電体546、及び導電体548は、容量素子600、トランジスタ500、又はトランジスタ300と接続するプラグ、又は配線としての機能を有する。導電体546、及び導電体548は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

[0547]

なお、トランジスタ500の形成後、トランジスタ500を囲むように開口を形成し、当該開口を覆うように、水素、または水に対するバリア性が高い絶縁体を形成してもよい。上述のバリア性の高い絶縁体でトランジスタ500を包み込むことで、外部から水分、および水素が侵入するのを防止することができる。または、複数のトランジスタ500をまとめて、水素、または水に対するバリア性が高い絶縁体で包み込んでもよい。なお、トランジスタ500を囲むように開口を形成する場合、例えば、絶縁体514または絶縁体522に達する開口を形成し、絶縁体514または絶縁体522に接するように上述のバリア性の高い絶縁体を形成すると、トランジスタ500の作製工程の一部を兼ねられるため、好適である。なお、水素、または水に対するバリア性が高い絶縁体としては、例えば、絶縁体522と同様の材料を用いればよい。

[0548]

続いて、トランジスタ500の上方には、容量素子600が設けられている。容量素子600は、導電体610と、導電体620、絶縁体630とを有する。

[0549]

また、導電体546、及び導電体548上に、導電体612を設けてもよい。導電体612は、トランジスタ500と接続するプラグ、又は配線としての機能を有する。導電体610は、容量素子600の電極としての機能を有する。なお、導電体612、及び導電体610は、同時に形成することができる。

[0550]

導電体612、及び導電体610には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、又は上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

[0551]

図19では、導電体612、及び導電体610は単層構造を示したが、当該構成に限定されず、2層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、及び導電性が高い導電体に対して密着性が高い導電体を形成してもよい。
[0552]

絶縁体630を介して、導電体610と重畳するように、導電体620を設ける。なお、導電体620は、金属材料、合金材料、又は金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料であるCu（銅）やAl（アルミニウム）等を用いればよい。
[0553]

導電体620、及び絶縁体630上には、絶縁体650が設けられている。絶縁体650は、絶縁体320と同様の材料を用いて設けることができる。また、絶縁体650は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。
[0554]

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制するとともに、信頼性を向上させることができる。又は、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化又は高集積化を図ることができる。
[0555]

次に、図19、図20に図示している、OSトランジスタの別の構成例について説明する。図22A、図22Bは、図21A、図21Bに示すトランジスタ500の変形例であって、図22Aは、トランジスタ500のチャンネル長方向の断面図であり、図22Bはトランジスタ500のチャンネル幅方向の断面図である。なお、図22A、図22Bに示す構成は、トランジスタ300等、本発明の一態様の半導体装置が有する他のトランジスタにも適用することができる。
[0556]

図22A、図22Bに示す構成のトランジスタ500は、絶縁体402及び絶縁体404を有する点が、図21A、図21Bに示す構成のトランジスタ500と異なる。また、導電体540aの側面に接して絶縁体552が設けられ、導電体540bの側面に接して絶縁体552が設けられる点が、図21A、図21Bに示す構成のトランジスタ500と異なる。さらに、絶縁体520を有さない点が、図21A、図21Bに示す構成のトランジスタ500と異なる。
[0557]

図22A、図22Bに示す構成のトランジスタ500は、絶縁体512上に絶縁体402が設けられている。また、絶縁体574上、及び絶縁体402上に絶縁体404が設けられている。
[0558]

図22A、図22Bに示す構成のトランジスタ500では、絶縁体514、絶縁体516、絶縁体522、絶縁体524、絶縁体544、絶縁体580、及び絶縁体574が設けられており、絶縁体404がこれらを覆う構造になっている。つまり、絶縁体404は、絶縁体574の上面、絶縁体574の側面、絶縁体580の側面、絶縁体544の側面、絶縁体524の側面、絶縁体522の側面、絶縁体516の側面、絶縁体514の側面、絶縁体402の上面とそれぞれ接する。これにより、酸化物530等は、絶縁体404と絶縁体402によって外部から隔離される。
[0559]

絶縁体 402 及び絶縁体 404 は、水素（例えば、水素原子、水素分子などの少なくとも一）又は水分子の拡散を抑制する機能が高いことが好ましい。例えば、絶縁体 402 及び絶縁体 404 として、水素バリア性が高い材料である、窒化シリコン又は窒化酸化シリコンを用いることが好ましい。これにより、酸化物 530 に水素等が拡散することを抑制することができるので、トランジスタ 500 の特性が低下することを抑制することができる。よって、本発明の一態様の半導体装置の信頼性を高めることができる。

[0560]

絶縁体 552 は、絶縁体 581、絶縁体 404、絶縁体 574、絶縁体 580、及び絶縁体 544 に接して設けられる。絶縁体 552 は、水素又は水分子の拡散を抑制する機能を有することが好ましい。たとえば、絶縁体 552 として、水素バリア性が高い材料である、窒化シリコン、酸化アルミニウム、又は窒化酸化シリコン等の絶縁体を用いることが好ましい。特に、窒化シリコンは水素バリア性が高い材料であるので、絶縁体 552 として用いると好適である。絶縁体 552 として水素バリア性が高い材料を用いることにより、水又は水素等の不純物が、絶縁体 580 等から導電体 540a 及び導電体 540b を通じて酸化物 530 に拡散することを抑制することができる。また、絶縁体 580 に含まれる酸素が導電体 540a 及び導電体 540b に吸収されることを抑制することができる。以上により、本発明の一態様の半導体装置の信頼性を高めることができる。

[0561]

図 23 は、トランジスタ 500 及びトランジスタ 300 を図 22A、図 22B に示す構成とした場合における、半導体装置の構成例を示す断面図である。導電体 546 の側面に、絶縁体 552 が設けられている。

[0562]

また、図 22A、図 22B に示すトランジスタ 500 は、状況に応じて、トランジスタの構成を変更してもよい。例えば、図 22A、図 22B のトランジスタ 500 は、変更例として、図 24 に示すトランジスタにすることができる。図 24A はトランジスタのチャネル長方向の断面図であり、図 24B はトランジスタのチャネル幅方向の断面図である。図 24A、図 24B に示すトランジスタは、酸化物 530c が酸化物 530c1 及び酸化物 530c2 の 2 層構造である点で、図 22A、図 22B に示すトランジスタと異なる。

[0563]

酸化物 530c1 は、絶縁体 524 の上面、酸化物 530a の側面、酸化物 530b の上面及び側面、導電体 542a 及び導電体 542b の側面、絶縁体 544 の側面、及び絶縁体 580 の側面と接する。酸化物 530c2 は、絶縁体 550 と接する。

[0564]

酸化物 530c1 として、例えば In-Zn 酸化物を用いることができる。また、酸化物 530c2 として、酸化物 530c が 1 層構造である場合に酸化物 530c に用いることができる材料と同様の材料を用いることができる。例えば、酸化物 530c2 として、 $n:Ga:Zn=1:3:4$ [原子数比]、 $Ga:Zn=2:1$ [原子数比]、または $Ga:Zn=2:5$ [原子数比] の金属酸化物を用いることができる。

[0565]

酸化物 530c を酸化物 530c1 及び酸化物 530c2 の 2 層構造とすることにより、酸化物 530c を 1 層構造とする場合より、トランジスタのオン電流を高めることができる。そのため、

トランジスタは、例えばパワーMOSトランジスタとして適用することができる。なお、図21A、図21Bに示す構成のトランジスタが有する酸化物530cも、酸化物530c1と酸化物530c2の2層構造とすることができる。

[0566]

図24A、図24Bに示す構成のトランジスタは、例えば、図19、図20に示すトランジスタ300に適用することができる。また、例えば、トランジスタ300は、前述のとおり、上記実施の形態で説明した演算回路MAC1などに含まれるメモリセルアレイCAのトランジスタTr12などに適用することができる。なお、図24A、図24Bに示すトランジスタは、本発明の一態様の半導体装置が有する、トランジスタ300、500以外のトランジスタにも適用することができる。

[0567]

図25は、トランジスタ500を図21Aに示すトランジスタの構成とし、トランジスタ300を図24Aに示すトランジスタの構成とした場合における、半導体装置の構成例を示す断面図である。なお、図23と同様に、導電体546の側面に絶縁体552を設ける構成としている。図25に示すように、本発明の一態様の半導体装置は、トランジスタ300とトランジスタ500を両方ともOSトランジスタとしつつ、トランジスタ300とトランジスタ500のそれぞれを異なる構成にすることができる。

[0568]

次に、図19、図20の半導体装置に適用できる容量素子について説明する。

[0569]

図26A乃至図26Cでは、図19に示す半導体装置に適用できる容量素子600の一例として容量素子600Aについて示している。図26Aは容量素子600Aの上面図であり、図26Bは容量素子600Aの一点鎖線L3-L4における断面を示した斜視図であり、図26Cは容量素子600Aの一点鎖線W3-L4における断面を示した斜視図である。

[0570]

導電体610は、容量素子600Aの一对の電極の一方として機能し、導電体620は、容量素子600Aの一对の電極の他方として機能する。また、絶縁体630は、一对の電極に挟まれる誘電体として機能する。

[0571]

絶縁体630としては、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウム、酸化ジルコニウムなどをいれればよく、積層または単層で設けることができる。

[0572]

また、例えば、絶縁体630には、酸化窒化シリコンなどの絶縁耐力が大きい材料と、高誘電率(high-k)材料との積層構造を用いてもよい。当該構成により、容量素子600Aは、高誘電率(high-k)の絶縁体を有することで、十分な容量を確保でき、絶縁耐力が大きい絶縁体を有することで、絶縁耐力が向上し、容量素子600Aの静電破壊を抑制することができる。

[0573]

なお、高誘電率(high-k)材料(高い比誘電率の材料)の絶縁体としては、酸化ガリウム、

酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などがある。

[0574]

または、絶縁体630は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛(PZT)、チタン酸ストロンチウム(SrTiO_3)または(Ba, Sr) TiO_3 (BST)などのhigh-k材料を含む絶縁体を単層または積層で用いてもよい。例えば、絶縁体630を積層とする場合、酸化ジルコニウムと、酸化アルミニウムと、酸化ジルコニウムと、が順に形成された3層積層や、酸化ジルコニウムと、酸化アルミニウムと、酸化ジルコニウムと、酸化アルミニウムと、が順に形成された4層積層などを用いれば良い。また、絶縁体630としては、ハフニウムと、ジルコニウムとが含まれる化合物などを用いても良い。半導体装置の微細化、および高集積化が進むと、ゲート絶縁体、および容量素子に用いる誘電体の薄膜化により、トランジスタや容量素子のリーク電流などの問題が生じる場合がある。ゲート絶縁体、および容量素子に用いる誘電体として機能する絶縁体にhigh-k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減、および容量素子の容量の確保が可能となる。

[0575]

容量素子600は、導電体610の下部において、導電体546と、導電体548とに電氣的に接続されている。導電体546と、導電体548は、別の回路素子と接続するためのプラグ、又は配線として機能する。また図26A乃至図26Cでは、導電体546と、導電体548と、をまとめて導電体540と記載している。

[0576]

また、図26A乃至図26Cでは、図を明瞭に示すために、導電体546及び導電体548が埋め込まれている絶縁体586と、導電体620及び絶縁体630を覆っている絶縁体650と、を省略している。

[0577]

なお、図19、図20、図26A乃至図26Cに示す容量素子600はプレーナ型であるが、容量素子の形状はこれに限定されない。例えば、容量素子600は、図27A乃至図27Cに示すシリンドラ型の容量素子600Bとしてもよい。

[0578]

図27Aは容量素子600Bの上面図であり、図27Bは容量素子600Bの一点鎖線L3-L4における断面図であり、図27Cは容量素子600Bの一点鎖線W3-L4における断面を示した斜視図である。

[0579]

図27Bにおいて、容量素子600Bは、導電体540が埋め込まれている絶縁体586上の絶縁体631と、開口部を有する絶縁体651と、一対の電極の一方として機能する導電体610と、一対の電極の他方として機能する導電体620と、を有する。

[0580]

また、図27Cでは、図を明瞭に示すために、絶縁体586と、絶縁体650と、絶縁体651と、を省略している。

[0581]

絶縁体631としては、例えば、絶縁体586と同様の材料を用いることができる。

[0582]

また、絶縁体631には、導電体540に電氣的に接続されるように導電体611が埋め込まれている。導電体611は、例えば、導電体330、導電体518と同様の材料を用いることができる。

[0583]

絶縁体651としては、例えば、絶縁体586と同様の材料を用いることができる。

[0584]

また、絶縁体651は、前述の通り、開口部を有し、当該開口部は導電体611に重畳している。

[0585]

導電体610は、当該開口部の底部と、側面と、に形成されている。つまり、導電体610は、導電体611に重畳し、かつ導電体611に電氣的に接続されている。

[0586]

なお、導電体610の形成方法としては、エッチング法などによって絶縁体651に開口部を形成し、次に、スパッタリング法、ALD法などによって導電体610を成膜する。その後、CMP (Chemical Mechanical Polishing) 法などによって、開口部に成膜された導電体610を残して、絶縁体651上に成膜された導電体610を除去すればよい。

[0587]

絶縁体630は、絶縁体651上と、導電体610の形成面上と、に位置する。なお、絶縁体630は、容量素子において、一对の電極に挟まれる誘電体として機能する。

[0588]

導電体620は、絶縁体651の開口部が埋まるように、絶縁体630上に形成されている。

[0589]

絶縁体650は、絶縁体630と、導電体620と、を覆うように形成されている。

[0590]

図27A乃至図27Cに示すシリンダ型の容量素子600Bは、プレーナ型の容量素子600Aよりも静電容量の値を高くすることができる。そのため、例えば、上記の実施の形態で説明した容量C1、容量C2などとして、容量素子600Bを適用することによって、長時間、容量の端子間の電圧を維持することができる。

[0591]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0592]

(実施の形態4)

本実施の形態では、上記の実施の形態で説明したOSトランジスタに用いることができる金属酸化物であるCAC-OS (Cloud-Aligned Composite Oxide Semiconductor)、及びCAAC-OS (c-axis Aligned Crystalline Oxide Semiconductor) の構成について説明する。

[0593]

<金属酸化物の構成>

CAC-OS又はCAC-metal oxideとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、CAC-OS又はCAC-metal oxideを、トランジスタの活性層に用いる場合、導電性の機能は、キャリアとなる電子（又はホール）を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能（On/Offさせる機能）をCAC-OS又はCAC-metal oxideに付与することができる。CAC-OS又はCAC-metal oxideにおいて、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

[0594]

また、CAC-OS又はCAC-metal oxideは、導電性領域、及び絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

[0595]

また、CAC-OS又はCAC-metal oxideにおいて、導電性領域と、絶縁性領域とは、それぞれ0.5 nm以上10 nm以下、好ましくは0.5 nm以上3 nm以下のサイズで材料中に分散している場合がある。

[0596]

また、CAC-OS又はCAC-metal oxideは、異なるバンドギャップを有する成分により構成される。例えば、CAC-OS又はCAC-metal oxideは、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記CAC-OS又はCAC-metal oxideをトランジスタのチャネル形成領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。

[0597]

すなわち、CAC-OS又はCAC-metal oxideは、マトリックス複合材（matrix composite）、又は金属マトリックス複合材（metal matrix composite）と呼称することもできる。

[0598]

<金属酸化物の構造>

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS、多結晶酸化物半導体、nc-OS（nanocrystalline oxide semiconductor）、擬似非晶質酸化物半導体（a-like OS: amorphous-like oxide semiconductor）及び非晶質酸化物半導体などがある。

[0599]

また、酸化物半導体は、結晶構造に着目した場合、上記とは異なる分類となる場合がある。ここで、酸化物半導体における、結晶構造の分類について、図28Aを用いて説明を行う。図28Aは、酸化物半導体、代表的にはIGZO（Inと、Gaと、Znと、を含む金属酸化物）の結晶構造の分類を説明する図である。

[0600]

図28Aに示すように、IGZOは、大きく分けてAmorphous（無定形）と、Crystalline（結晶性）と、Crystal（結晶）と、に分類される。また、Amorphousの中には、completely amorphousが含まれる。また、Crystallineの中には、CAAC（c-axis aligned crystalline）、nc（nanocrystalline）、及びCAC（Cloud-Aligned Composite）が含まれる。なお、Crystallineの分類には、single crystal、poly crystal、及びcompletely amorphousは除かれる。また、Crystalの中には、single crystal、及びpoly crystalが含まれる。

[0601]

なお、図28Aに示す太枠内の構造は、Amorphous（無定形）と、Crystal（結晶）との間の中間状態であり、新しい境界領域（New crystalline phase）に属する構造である。当該構造は、Amorphousと、Crystalとの間の境界領域にある。すなわち、当該構造は、エネルギー的に不安定なAmorphous（無定形）や、Crystal（結晶）とは全く異なる構造と言い換えることができる。

[0602]

なお、膜または基板の結晶構造は、X線回折（XRD：X-Ray Diffraction）像を用いて評価することができる。ここで、石英ガラス、及びCrystallineに分類される結晶構造を有するIGZO（結晶性IGZOともいう。）のXRDスペクトルを図28B、図28Cに示す。また、図28Bが石英ガラス、図28Cが結晶性IGZOのXRDスペクトルである。なお、図28Cに示す結晶性IGZOの組成は、In：Ga：Zn＝4：2：3〔原子数比〕近傍である。また、図28Cに示す結晶性IGZOの厚さは、500nmである。

[0603]

図28Bの矢印に示すように、石英ガラスは、XRDスペクトルのピークの形状がほぼ左右対称である。一方で、図28Cの矢印に示すように、結晶性IGZOは、XRDスペクトルのピークが左右非対称である。XRDスペクトルのピークの形状が左右非対称であることは、結晶の存在を明示している。別言すると、XRDスペクトルのピークの形状が左右対称でないと、Amorphousであるとは言えない。なお、図28Cには、 $2\theta = 31^\circ$ 、またはその近傍に結晶相（IGZO crystal phase）を明記してある。XRDスペクトルのピークにおいて、形状が左右非対称となる由来は当該結晶相（微結晶）に起因すると推定される。

[0604]

具体的には、図28Cに示す、結晶性IGZOのXRDスペクトルにおいて、 $2\theta = 34^\circ$ またはその近傍にピークを有する。また、微結晶は、 $2\theta = 31^\circ$ またはその近傍にピークを有する。酸化物半導体膜を、X線回折像から評価する場合、図28Cに示すように、 $2\theta = 34^\circ$ またはその近傍のピークよりも低角度側のスペクトルの幅が広くなる。これは、酸化物半導体膜中に、 2θ

= 31° またはその近傍にピークを有する微結晶が内在することを示唆している。

[0605]

また、膜の結晶構造は、極微電子線回折法（NBED: Nano Beam Electron Diffraction）によって観察される回折パターン（極微電子線回折パターンともいう。）にて評価することができる。基板温度を室温として成膜したIGZO膜の回折パターンを図28Dに示す。なお、図28Dに示すIGZO膜は、In:Ga:Zn=1:1:1 [原子数比] である酸化物ターゲットを用いて、スパッタリング法によって成膜される。また、極微電子線回折法では、プローブ径を1nmとして電子線回折が行われた。

[0606]

図28Dに示すように、室温成膜したIGZO膜の回折パターンでは、ハローではなく、スポット状のパターンが観察される。このため、室温成膜したIGZO膜は、結晶状態でもなく、非晶質状態でもない、中間状態であり、非晶質状態であると結論することはできないと推定される。

[0607]

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間に格子配列の向きが変化している箇所を指す。

[0608]

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、及び七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリーともいう）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

[0609]

なお、明確な結晶粒界（グレインバウンダリー）が確認される結晶構造は、いわゆる多結晶（polycrystal）と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、または電界効果移動度の低下を引き起こす可能性が高い。よって、明確な結晶粒界が確認されないCAAC-OSは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、CAAC-OSを構成するには、Znを有する構成が好ましい。例えば、In-Zn酸化物、及びIn-Ga-Zn酸化物は、In酸化物よりも結晶粒界の発生を抑制できるため好適である。

[0610]

また、CAAC-OSは、インジウム、及び酸素を有する層（以下、In層）と、元素M、亜鉛、及び酸素を有する層（以下、(M, Zn)層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M, Zn)層の元素Mがインジウムと置換した場合、(In, M, Zn)層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、(In, M)層と表すこともできる。

[0611]

CAAC-OSは結晶性の高い酸化物半導体である。一方、CAAC-OSは、明確な結晶粒界を確認することはできないため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC-OSは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、OSトランジスタにCAAC-OSを用いると、製造工程の自由度を広げることが可能となる。

[0612]

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

[0613]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OSは、鬆又は低密度領域を有する。即ち、a-like OSは、nc-OS及びCAAC-OSと比べて、結晶性が低い。

[0614]

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

[0615]

<酸化物半導体を有するトランジスタ>

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

[0616]

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0617]

また、トランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性という場合があり、また、真性又は実質的に真性という場合がある。

[0618]

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いいため、トラップ準位密度も低くなる場合がある。

[0619]

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

[0620]

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0621]

<不純物>

ここで、酸化物半導体中における各不純物の影響について説明する。

[0622]

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコンや炭素の濃度と、酸化物半導体との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（SIMS）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0623]

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより得られる酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0624]

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体を用いたトランジスタはノーマリーオン特性となりやすい。従って、該酸化物半導体において、窒素はできる限り低減されていることが好ましい、例えば、酸化物半導体中の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0625]

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

[0626]

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0627]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[実施例1]

[0628]

本実施例では、実施の形態2で説明した演算回路MAC1のメモリセルAMにおいて、第1データと第2データとの積の演算が適切に行われているかを確認するため、実際に回路を試作し、各種測定、及び各種計算を行った。

[0629]

<測定及び計算>

図29Aに示す乗算回路AMEは、実際に試作した演算回路の一部であって、実施の形態2で説明した演算回路MAC1のメモリセルAMに相当する。そのため、乗算回路AMEに含まれているトランジスタM1、容量CPのそれぞれは、図9に示すメモリセルAMに含まれているトランジスタM1、容量C1に相当する。特に、乗算回路AMEに含まれているトランジスタM2-1、トランジスタM2-2は、図9に示すメモリセルAMに含まれているトランジスタM2に相当している。つまり、トランジスタM2-1とトランジスタM2-2が直列に電氣的に接続され、互いのゲートが電氣的に接続されている。なお、本実施例では、トランジスタM2-1、トランジスタM2-2をまとめてトランジスタM2と呼称する。また、図29Aに示す配線VYは、図9の配線BLに相当し、図29Aに示す配線BWは、図9の配線WDに相当し、図29Aに示す配線VXは、図9の配線CLに相当し、図29Aに示す配線WWは、図9の配線WLに相当する。

[0630]

更に、乗算回路AMEに含まれているトランジスタM1はバックゲートを有しており、当該バックゲートは、配線BGに電氣的に接続されている。

[0631]

トランジスタM1は、チャネル形成領域にIn-Ga-Zn酸化物が含まれているOSトランジスタとし、また、トランジスタM1のチャネル長（以下、L長と記載する。）を $0.35\mu\text{m}$ とし、チャネル幅（以下、W長と記載する。）を $0.35\mu\text{m}$ としている。また、トランジスタM2は、チャネル形成領域に単結晶シリコンが含まれているSiトランジスタとし、また、トランジスタM2-1、トランジスタM2-2のL長を $8\mu\text{m}$ とし、W長を $0.32\mu\text{m}$ としている。

[0632]

図29Bは、光学顕微鏡を用いて撮影した、試作した乗算回路AMEを有するセルアレイCA3の上面の写真である。セルアレイCA3において、乗算回路AMEは、 9×16 個のマトリクス状に配置されている。セルアレイCA3の1つの乗算回路AMEは、電極パッドEP1乃至電極パッドEP6のそれぞれと電氣的に接続されている。なお、電極パッドEP1は配線WWに電氣的に接続され、電極パッドEP2は配線BWに電氣的に接続され、電極パッドEP3は配線VXに電氣的に接続され、電極パッドEP4は配線BGに電氣的に接続され、電極パッドEP5は配線VYに電氣的に接続され、電極パッドEP6は配線VRに電氣的に接続されている。

[0633]

乗算回路AMEにおいて、データの書き込み、データの保持、データの読み出しのそれぞれの動作を行った。

[0634]

乗算回路AMEにデータを書き込むとき、配線WWに5 V、配線VXに0 V、配線BGに−6 V、配線VYに3 V、配線VRに0 Vの電圧を与えた。また、ノードNMに書き込むデータは、0.1 V刻みで0 V以上2.5 V以下の範囲の電位 V_w とし、当該電位を配線BWから与えた。

[0635]

乗算回路AMEに書き込まれたデータを保持するとき、配線WWを0 V、配線BWを0 V、配線VXを0 V、配線BGに−6 V、配線VYを0 V、配線VRを0 Vとして、乗算回路AMEに電圧を与えた。

[0636]

乗算回路AMEから書き込まれたデータを読み出すとき、配線WWに0 V、配線BWに0 V、配線BGに−6 V、配線VYに3 V、配線VRに0 Vの電圧を与えた。また、配線VXに与える電位は、0.1 V刻みで0 V以上3.0 V以下の範囲の電位 V_x とした。

[0637]

乗算回路AMEにおいて、書き込み動作、データ保持、読み出し動作のそれぞれを行ったときの、配線WW、配線BW、配線VX、配線BG、配線VY、配線VRのそれぞれに与えられる電位を下の表にまとめた。

[0638]

[表2]

	書き込み動作	データ保持	読み出し動作
配線WW	5V	0V	0V
配線BW	V_w (0V~2.5V)	0V	0V
配線VX	0V	0V	V_x (0.0V~3.0V)
配線BG	−6V	−6V	−6V
配線VY	3V	0V	3V
配線VR	0V	0V	0V

[0639]

ここで、乗算回路AMEに書き込まれたデータを読み出すとき、配線VYから、トランジスタM2のソースドレイン間を介して、配線VRに流れる電流を測定した。

[0640]

図30Aは、電位 V_w と電位 V_x とソースドレイン間電流 I_{DS} (V_w , V_x) の特性を示している。図30Aより、 V_x を任意の電位に固定して、 V_w を増加することによって、 I_{DS} (V_w , V_x)が増加する結果が得られた。なお、 V_w を増加することは、M2の閾値をマイナスにシフトする事に相当する。また、 V_w を任意の電位に固定して、 V_x を増加することによって、 I_{DS} (V_w , V_x)が増加する結果が得られた。また、 V_w を1.5 Vとし、 V_x を1.5 Vとしたとき、 I_{DS} (V_w , V_x) は概ね1.3 μ Aと見積もられた。

[0641]

ここで、 V_{w0} を1.5 Vとし、 V_{x0} を1.5 Vとすると、 I_{DS} (V_{w0} , V_{x0}) = 1.3 μ Aと

なる。更に、 V_{W0} に電圧変化量として ΔV_W を与えたときの $I_{DS}(V_{W0} + \Delta V_W, V_{X0})$ 、 V_{X0} に電圧変化量として ΔV_X を与えたときの $I_{DS}(V_{W0}, V_{X0} + \Delta V_X)$ 、そして、 V_{W0} に電圧変化量として ΔV_W を与え、かつ V_{X0} に電圧変化量として ΔV_X を与えたときの $I_{DS}(V_{W0} + \Delta V_W, V_{X0} + \Delta V_X)$ を考える。そして、 ΔI_y を次の式で定義する。

[0642]

[数44]

$$\Delta I_y = I_{DS}(V_{W0} + \Delta V_W, V_{X0} + \Delta V_X) - I_{DS}(V_{W0}, V_{X0} + \Delta V_X) \\ - I_{DS}(V_{W0} + \Delta V_W, V_{X0}) + I_{DS}(V_{W0}, V_{X0}) \quad \dots(G1)$$

[0643]

なお、 $V_{W0} + \Delta V_W$ は、配線BWから与えられる電圧であるため、 ΔV_W の電圧の範囲は $-1V$ 以上 $1V$ 以下となる。また、 $V_{X0} + \Delta V_X$ は、配線BWから与えられる電圧であるため、 ΔV_X の電圧の範囲は $-1.5V$ 以上 $1.5V$ 以下となる。

[0644]

そして、式(E1)、式(E2)、式(E7)、式(E8)を利用して、 ΔI_y を計算すると次の式の通りとなる。

[0645]

[数45]

$$\Delta I_y = 2k\Delta V_W\Delta V_X \quad \dots(G2)$$

[0646]

ここで、 k を $1/2$ とする(適当な値で規格化する)ことによって、 ΔI_y と、 ΔV_W と、 ΔV_X と、の関係は、図30Bで表すことができる。つまり、 ΔV_W と ΔV_X との積に応じて、差分電流 ΔI_y が定まる。したがって、乗算回路AMEを用いて、トランジスタM2のソースドレイン間に流れる電流として、 $I_{DS}(V_{W0}, V_{X0})$ 、 $I_{DS}(V_{W0} + \Delta V_W, V_{X0})$ 、 $I_{DS}(V_{W0}, V_{X0} + \Delta V_X)$ 、 $I_{DS}(V_{W0} + \Delta V_W, V_{X0} + \Delta V_X)$ のそれぞれを測定し、これらの電流から差分電流 ΔI_y を算出することによって、 ΔV_W と ΔV_X の積を求めることができる。

[0647]

図31は、 85°C 、 27°C 、 -40°C のそれぞれの温度条件において、乗算回路AMEのノードNMに、 $0.5V$ ($\Delta V_W = -1.0V$)、 $2.5V$ ($\Delta V_W = 1.0V$)の電位を書き込んで、その後読み出し動作を行って得られた、読み出した電流の温度依存性を示したグラフである。図31より、 27°C と比較した場合、 85°C では傾きが 40% 増えており、 -40°C では傾きが 30% 減っている結果となった。なお、 85°C 、及び -40°C のそれぞれの場合の結果は、飽和移動度の温度依存性を示している。また、温度により傾きは異なるが、各 ΔV_W における ΔI_y と ΔV_X との相関は、 0.989 以上となっており、温度に応じて当該相関を適切な規格化を行うことで、傾きの補正を容易に行うことができると考えられる。

[0648]

図32A及び図32Bは、ノードNMにデータを保持した後において、トランジスタM2のソー

スードレイン間に流れる電流量の時間変化を示したグラフである。図32Aの測定条件として、 ΔV_X を1.0Vとし（配線VXの電位を2.5Vとし）、図32Bの測定条件として、 ΔV_X を-1.0Vとした（配線VXの電位を0.5Vとした）。図32A及び図32Bのそれぞれにおいて、ノードNMに保持した電位を0.5V（ $\Delta V_W = -1.0V$ ）、1.0V（ $\Delta V_W = -0.5V$ ）、1.5V（ $\Delta V_W = 0V$ ）、2.0V（ $\Delta V_W = 0.5V$ ）、2.5V（ $\Delta V_W = 1.0V$ ）の4条件として、それぞれの条件において、トランジスタM2のソースードレイン間に流れる電流 I_y を測定した。

[0649]

図32A及び図32Bのとおり、 1.0×10^2 秒から 1.0×10^5 秒までの間では、それぞれの条件において、トランジスタM2のソースードレイン間に流れる電流 I_y が変化しない結果となった。なお、図32Aのそれぞれの条件において、 1.0×10^5 秒までの差分電流 ΔI_y の変化率は4.8%未満であった。また、図32Bのそれぞれの条件において、 1.08×10^5 秒までの差分電流 ΔI_y の変化率は4%未満であった。

[0650]

図33Aは、乗算回路AMEのノードNMに、0.5V（ $\Delta V_W = -1.0V$ ）、1.0V（ $\Delta V_W = -0.5V$ ）、2.0V（ $\Delta V_W = 0.5V$ ）、2.5V（ $\Delta V_W = 1.0V$ ）の4条件の電位を書き込み、その後に差分電流 ΔI_y を読み出して得られた、乗算回路AMEにおける乗算特性を示したグラフである。また、図33Aには、比較として、 $\Delta I_y = 1.0 \times V_X$ 、 $\Delta I_y = 0.5 \times V_X$ 、 $\Delta I_y = -0.5 \times V_X$ 、 $\Delta I_y = -1.0 \times V_X$ の一次関数の直線を図示している。図33Aより、乗算回路AMEにおける乗算特性の結果は、 $\Delta I_y = 1.0 \times V_X$ 、 $\Delta I_y = 0.5 \times V_X$ 、 $\Delta I_y = -0.5 \times V_X$ 、 $\Delta I_y = -1.0 \times V_X$ のそれぞれの一次関数に概ね一致していることが分かった。

[0651]

図33Bは、乗算回路AMEのノードNMに、0.5V（ $\Delta V_W = -1.0V$ ）、1.0V（ $\Delta V_W = -0.5V$ ）、2.0V（ $\Delta V_W = 0.5V$ ）、2.5V（ $\Delta V_W = 1.0V$ ）の4条件の電位を書き込み、その後に読み出し動作を行って得られた、データの書き込みのばらつきの度合いを示したグラフである。なお、図33Bの測定条件として、 ΔV_X を1.0Vとしている（配線VXの電位を2.5Vとしている）。書き込み動作の後に、読み出し動作をして差分電流 ΔI_y の算出を50回繰り返して、50回の平均を当該 ΔV_W での差分電流 ΔI_y とした。これを1セットとし、各 ΔI_W について50セット分の差分電流 ΔI_y の測定を行った。

[0652]

図33Bにおいて、横軸には差分電流 ΔI_y を示し、縦軸には累積度数を示している。図33Bより、データの書き込みのばらつきは、概ね-0.4%以上0.4%以下の範囲に収まっている。

[0653]

また、12個の乗算回路AMEについて、それぞれのノードNMに、0.5V（ $\Delta V_W = -1.0V$ ）、1.0V（ $\Delta V_W = -0.5V$ ）、2.0V（ $\Delta V_W = 0.5V$ ）、2.5V（ $\Delta V_W = 1.0V$ ）を書き込んだときの、個々の乗算回路AMEから読み出した ΔI_y の素子ばらつきの度合いを図34に示す。図34は、それぞれの ΔV_W における ΔV_X の依存性を示しており、図34より $\Delta V_X = 0$ の近傍（-0.02より大きく0.02より小さい領域）を除いて、 ΔI_y の素子ばらつきは、各 ΔV_W 、 ΔV_X については5%未満となっている。なお、 ΔI_y の素子ばらつきの ΔV_X に

おける依存性は弱く、また、 ΔV_W に対しては絶対値に依存しない傾向が示されている。この ΔI_y の素子ばらつきの原因としては、例えば、Siトランジスタの飽和移動度のばらつき、Siトランジスタの飽和領域でのドレイン電流がグラデュアル近似（2乗近似）からずれていることによる寄与が大きいと考えられる。なお、図34における素子ばらつき σ_{meas} は、 $(\Delta V_W, \Delta V_X) = (+1, +1)$ のとき、 $\sigma_{meas} = 0.023$ 、 $(\Delta V_W, \Delta V_X) = (+1, -1)$ のとき、 $\sigma_{meas} = 0.025$ 、 $(\Delta V_W, \Delta V_X) = (-1, +1)$ のとき、 $\sigma_{meas} = 0.034$ 、 $(\Delta V_W, \Delta V_X) = (-1, -1)$ のとき、 $\sigma_{meas} = 0.032$ となった。

[0654]

また、図34の ΔI_y の素子ばらつきの原因の妥当性を確認するため、モンテカルロ解析を行った結果を図35A乃至図35Dに示す。図35A乃至図35Dには、ローカルばらつきを設定し、図29Aの回路構成において、 $(\Delta V_W, \Delta V_X) = (+1, +1)$ 、 $(+1, -1)$ 、 $(-1, +1)$ 、 $(-1, -1)$ のそれぞれの場合でのシミュレーションによって、得られた素子ばらつきを示している。図35A乃至図35Dにおける素子ばらつき σ_{sim} は、 $(\Delta V_W, \Delta V_X) = (+1, +1)$ のとき、 $\sigma_{sim} = 0.051$ 、 $(\Delta V_W, \Delta V_X) = (+1, -1)$ のとき、 $\sigma_{sim} = 0.038$ 、 $(\Delta V_W, \Delta V_X) = (-1, +1)$ のとき、 $\sigma_{sim} = 0.025$ 、 $(\Delta V_W, \Delta V_X) = (-1, -1)$ のとき、 $\sigma_{sim} = 0.017$ となった。測定で得られた素子ばらつき σ_{meas} は、図34より 0.023 以上 0.034 以下となったので、モンテカルロ解析によって求められた素子ばらつき σ_{sim} は、 0.017 以上 0.051 以下と概ね一致していることが確認できた。

[0655]

次に、図29BのセルアレイCA3を有する演算回路を用いた場合の、3層全結合型の人工ニューラルネットワークのモデルの推論精度を計算した。当該ニューラルネットワークのモデルは図36に示しており、当該ニューラルネットワークは、入力層と、中間層と、出力層と、を有する。入力層は784個のニューロンを有し、中間層は100個のニューロンを有し、出力層は10個のニューロンを有する。

[0656]

当該ニューラルネットワークを計算機上で、プログラム言語であるPythonを用いて実装し、かつ実装したニューラルネットワークで手書き文字データセットMNISTを用いた学習により、重み係数を算出した。次に、図29BのセルアレイCA3を有する演算回路を図36のモデルにおける乗算とし、当該重み係数をセルアレイCA3の乗算回路AMEのそれぞれに保持して、推論を行った。なお、中間層における活性化関数をシグモイド関数とし、出力層における活性化関数をソフトマックス関数とした。この結果、図29BのセルアレイCA3を有する演算回路における推論精度は、97.77%であった。なお、図36のモデルにおいて、積和演算における演算を理想的な乗算（プログラム言語Pythonを用いて計算機上で計算を行う）とした場合の推論精度は97.89%であった。したがって、図36のモデルにおいて、本実施例の演算回路を用いた場合の推論精度は、積和演算を理想的な乗算とした場合の推論精度とほぼ変わらない結果となった。

[実施例2]

[0657]

本実施例では、実施の形態2で説明した演算回路MAC1Aにおいて、第1データと第2データとの積和の演算が適切に行われているかを確認するため、回路シミュレータを用いて、各種計算を行った。

[0658]

初めに、各種計算を行うための回路構成について説明する。図37は、図13に示す演算回路MAC1Aを変更した回路構成の例である。そのため、図37に示す演算回路MAC1Aにおいて、図13の演算回路MAC1Aと内容が重複する箇所については、説明を省略する。

[0659]

図37に示す演算回路MAC1Aは、図13のメモリセルアレイCAのメモリセルAMの列を複数配置し、かつ図13の回路CMS及び図13の回路OFACを変更した構成となっている。また、図37のメモリセルアレイCAのメモリセルAMは、複数の行に配置されていてもよい。

[0660]

図37のメモリセルアレイCAのメモリセルAMは複数の列に配置されているため、図37の回路CMSは、複数の列に配置されているメモリセルAMに応じて、図13の回路CMSを変更した構成としている。例えば、図37の回路CMSに含まれているカレントミラー回路CMは、図13のトランジスタTr32に相当する、トランジスタTr32[1]及びトランジスタTr32[2]と、図13の電流源回路CS1に相当する、電流源回路CS1[1]及び電流源回路CS1[2]と、図13の電流源回路CS2に相当する、電流源回路CS2[1]及び電流源回路CS2[2]と、図13のスイッチSW3に相当する、スイッチSW3[1]及びスイッチSW3[2]と、を有する。

[0661]

なお、図30のトランジスタTr32[1]、電流源回路CS1[1]、及び電流源回路CS2[1]は、メモリセルアレイCAの1列目に配置されているメモリセルAM[1, 1]及びメモリセルAM[2, 1]に保持される第1データと、メモリセルAM[1, 1]及びメモリセルAM[2, 1]に入力される第2データと、の積和演算を行うための回路である。また、図30のトランジスタTr32[2]、電流源回路CS1[2]、及び電流源回路CS2[2]は、メモリセルアレイCAの1列目に配置されているメモリセルAM[1, 2]及びメモリセルAM[2, 2]に保持される第1データと、メモリセルAM[1, 2]及びメモリセルAM[2, 2]に入力される第2データと、の積和演算を行うための回路である。

[0662]

また、回路OFACは、図13のスイッチSW4に相当する、スイッチSW4[1]及びスイッチSW4[2]と、図13の抵抗REに相当する、抵抗RE[1]及び抵抗RE[2]と、オペアンプOP[1]と、オペアンプOP[2]と、を有する。

[0663]

スイッチSW4[1]の第1端子は、スイッチSW3[1]の第1端子に電氣的に接続され、スイッチSW4[1]の第2端子は、抵抗RE[1]の第1端子と、オペアンプOP[1]の反転入力端子と、に電氣的に接続されている。オペアンプOP[1]の非反転入力端子は、配線VdLに電氣的に接続され、オペアンプOP[1]の出力端子は、抵抗RE[1]の第2端子と、配線NIL[1]と、に電氣的に接続されている。つまり、抵抗RE[1]とオペアンプOP[1]とによって、電流電圧変換回路が構成されている。

[0664]

スイッチSW4[2]、抵抗RE[2]、及びオペアンプOP[2]については、スイッチSW4[1]、抵抗RE[1]、及びオペアンプOP[1]と同様の電氣的な接続の構成となっている。

そのため、抵抗RE [2] とオペアンプOP [2] についても、電流電圧変換回路が構成されている。

[0665]

配線VdLは、定電圧を供給する配線として機能する。特に、当該定電圧は、上述した電流電圧変換回路の参照電位として入力される。

[0666]

抵抗RE [1] とオペアンプOP [1] とによって構成されている電流電圧変換回路は、メモリセルアレイCAの1列目のメモリセルAMと、電流源回路CS1 [1] と、電流源回路CS2 [1] と、トランジスタTr32 [1] と、によって生成される電流I₅を電圧に変換する機能を有する。また、抵抗RE [2] とオペアンプOP [2] とによって構成されている電流電圧変換回路は、メモリセルアレイCAの2列目のメモリセルAMと、電流源回路CS1 [2] と、電流源回路CS2 [2] と、トランジスタTr32 [2] と、によって生成される電流I₅を電圧に変換する機能を有する。

[0667]

ここで、図37のメモリセルアレイCAを、メモリセルAMがn行1列のマトリクス状に配置された構成として、回路シミュレータを用いて、演算回路MAC1Aにおける、第1データと第2データとの積和演算を行った。

[0668]

なお、メモリセルAM、メモリセルAMrefの回路構成は、図13に示すメモリセルAM、メモリセルAMrefと同様とする。また、トランジスタTr12と、トランジスタTr31乃至トランジスタTr34と、をSiトランジスタとして想定し、L長を8 μ mとし、W長を0.32 μ mとした。また、トランジスタTr11をOSトランジスタと想定し、L長を0.35 μ mとし、W長を0.35 μ mとした。

[0669]

回路シミュレータに入力した演算回路MAC1AのメモリセルアレイCAに含まれているメモリセルAMをメモリセルAM [1, 1] 乃至メモリセルAM [25, 1] とし、第2データを入力する配線CLを配線CL [1] 乃至配線CL [25] とした（つまり、n=25とした）。メモリセルAM [1, 1] 乃至メモリセルAM [25, 1] のそれぞれには、第1データ（重み係数）として“-1”に応じた電位、又は“+1”に応じた電位を保持し、配線CL [1] 乃至配線CL [25] に第2データ（ニューロンの信号の値）として“-1”、“0”、又は“+1”に応じた電位を入力した。

[0670]

図38Aは、回路シミュレータに入力した演算回路MAC1Aによって計算された、複数の条件での積和演算の計算値を示すグラフである。本計算では、25 μ sから44 μ sまでの期間において、配線CL [1] 乃至配線CL [25] に第2データ（ニューロンの信号の値）として“+1”を入力し、また、44 μ sから62 μ sまでの期間において、配線CL [1] 乃至配線CL [25] に第2データ（ニューロンの信号の値）として“0”を入力し、また、62 μ sから80 μ sまでの期間において、配線CL [1] 乃至配線CL [25] に第2データ（ニューロンの信号の値）として“-1”を入力している。また、図38Aのグラフの実線は、メモリセルAM [1, 1] 乃至メモリセルAM [25, 1] のそれぞれに第1データ（重み係数）として“+1”を保持した条件

での計算結果であり、図38Aのグラフの破線は、メモリセルAM [1, 1] 乃至メモリセルAM [25, 1] のそれぞれに第1データ（重み係数）として“−1”を保持した条件での計算結果である。

[0671]

図38Aのグラフに示す実線のとおり、25個の第1データ（重み係数）の“+1”と、25個の第2データ（ニューロンの信号の値）の“+1”と、の積和の結果が25に近い値となった。同様に、25個の第1データ（重み係数）の“+1”と、25個の第2データ（ニューロンの信号の値）の“0”と、の積和の結果がほぼ0となり、また、25個の第1データ（重み係数）の“+1”と、25個の第2データ（ニューロンの信号の値）の“−1”と、の積和の結果がほぼ−25となった。

[0672]

また、図38Aのグラフに示す破線のとおり、25個の第1データ（重み係数）の“−1”と、25個の第2データ（ニューロンの信号の値）の“+1”と、の積和の結果が−25に近い値となった。同様に、25個の第1データ（重み係数）の“−1”と、25個の第2データ（ニューロンの信号の値）の“0”と、の積和の結果がほぼ0となり、また、25個の第1データ（重み係数）の“−1”と、25個の第2データ（ニューロンの信号の値）の“−1”と、の積和の結果がほぼ25となった。

[0673]

上記の結果より、演算回路MAC1Aによる積和演算がほぼ正確に実現できているといえる。

[0674]

図38Bは、演算回路MAC1AのメモリセルアレイCAの行数のnを1、2、4、9、16、25として、それぞれの場合における積和演算の計算値を示したグラフである。条件CND1は、全ての第1データ（重み係数）を“+1”とし、全ての第2データ（ニューロンの信号の値）を“+1”とした場合の計算値の結果を示し、条件CND2は、全ての第1データ（重み係数）を“0”とし、全ての第2データ（ニューロンの信号の値）を“0”とした場合の計算値の結果を示し、条件CND3は、全ての第1データ（重み係数）を“−1”とし、全ての第2データ（ニューロンの信号の値）を“+1”とした場合の計算値の結果を示している。

[0675]

上記の結果より、演算回路MAC1Aによる積和演算が行数に比例していることがいえる。

[0676]

図39A及び図39Bは、演算回路MAC1Aに含まれているトランジスタTr12及びトランジスタTr31乃至トランジスタTr34に対して、製造プロセスにおける特性ばらつきを与えて、積の値がどの程度ばらついたかを示すヒストグラムである。具体的には、演算回路MAC1AのメモリセルアレイCAのメモリセルAMを1行1列のマトリクスとして配置し（つまりn=1とし）、メモリセルAMに含まれているトランジスタTr12及びトランジスタTr31乃至トランジスタTr34に特性ばらつきを与えて、それぞれの特性ばらつきに対して、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積を算出し、当該積の値のばらつきを図39A及び図39Bにまとめている。

[0677]

図39Aは、第1データ（重み係数）を“−1”とし、第2データ（ニューロンの信号の値）を

“+1”とした積のばらつきの度合いと、第1データ（重み係数）を“+1”とし、第2データ（ニューロンの信号の値）を“-1”とした積のばらつきの度合いと、を示したヒストグラムである。また、図39Bは、第1データ（重み係数）を“+1”とし、第2データ（ニューロンの信号の値）を“+1”とした積のばらつきの度合いと、第1データ（重み係数）を“-1”とし、第2データ（ニューロンの信号の値）を“-1”とした積のばらつきの度合いと、を示したヒストグラムである。

[0678]

標準偏差を σ としたとき、図39A及び図39Bのそれぞれに示すヒストグラムにおける 3σ は、0.1未満となった。つまり、演算回路MAC1Aを用いることで、トランジスタTr11に対して製造プロセスにおける特性ばらつきが発生しても、 $\pm 1 \times \pm 1$ の乗算の結果に表れるばらつきは、十分に許容範囲であるということがいえる。

[0679]

次に、プログラム言語（Python）を用いてニューラルネットワークの演算を全て計算機によって実行した場合と、図37に示す演算回路MAC1Aを回路シミュレータによって構成して、シミュレーション上で演算回路MAC1Aを動作させてニューラルネットワークの演算を行った場合と、のそれぞれの推論精度を比較した結果について説明する。

[0680]

本演算に用いるニューラルネットワークは、図36に示す階層型のニューラルネットワークのモデルとして、入力層は784個のニューロンを有し、中間層は100個のニューロンを有し、出力層は10個のニューロンを有するものとした。また、入力層と中間層との中の重み係数とニューロンの出力信号との積和演算結果に施す活性化関数をシグモイド関数と、中間層と出力層とニューロンの出力信号との積和演算結果に施す活性化関数をソフトマックス関数とした。

[0681]

また、当該ニューラルネットワークの学習には、MNISTのデータセットのうち60,000個を用いた。また、テストとして、ニューラルネットワークの推論には、10,000個を用いた。

[0682]

なお、重み係数については、あらかじめ、当該ニューラルネットワークを計算機上でプログラム言語（Python）を用いて実装して、上述したMNISTのデータセット60,000個を用いた学習によって、取得した。

[0683]

プログラム言語を用いて上述したニューラルネットワークの演算を全て計算機によって実行した場合、推論精度は96.52%であった。また、シミュレーション上で演算回路MAC1Aを動作させて上述したニューラルネットワークの演算を行った場合における推論精度は、96.25%であり、プログラム言語を用いたニューラルネットワークの演算での推論精度とほぼ同等の結果となった。

[0684]

また、ニューラルネットワークの出力の結果を図40Aに示す。図40Aの左側のグラフは、回路シミュレータによって構成されたニューラルネットワークの演算が行われた結果であり、図40Aの右側のグラフは、プログラム言語（Python）を用いて構成したニューラルネットワークの演算が行われた結果である。図40Aには、テスト用データ10,000個から一例として10

0個の手書き文字（“0”乃至“9”の手書き文字がそれぞれ10個）を各ニューラルネットワークの入力画像として与えたときの、出力層の各ニューロンの出力OUT[0]乃至OUT[9]を表している。それぞれのグラフの横軸は、“0”乃至“9”の手書き文字の入力を示しており、グラフの縦軸は、出力層のニューロンから出力された値（なお、それぞれのグラフの縦軸の範囲を-20以上20以下としている）を示している。

[0685]

図40Aから、回路シミュレータによって構成されたニューラルネットワークを用いた、“0”乃至“9”の手書き文字の識別は、精度良く行われていることが分かる。また、回路シミュレータによって構成されたニューラルネットワークによる演算結果は、プログラム言語（Python）を用いて構成したニューラルネットワークの場合と、ほぼ同様の結果となることが分かった。

[0686]

また、テスト用データ10,000個（“0”乃至“9”の手書き文字がそれぞれ1000個）を、回路シミュレータによって構成されたニューラルネットワーク、及びプログラム言語（Python）を用いて構成したニューラルネットワークのそれぞれに入力したときの、それぞれの出力層のニューロンの出力OUT[0]乃至OUT[9]の値の相関を図40Bに示す。図40Bのそれぞれのグラフにおいて、横軸は、プログラム言語（Python）を用いて構成したニューラルネットワークの出力層のニューロンから出力された値であって、縦軸は、回路シミュレータによって構成されたニューラルネットワークの出力層のニューロンから出力された値となっている。

[0687]

図40Bに示すグラフのそれぞれの相関係数は、次の表のとおりである。表より、OUT[0]乃至OUT[9]のそれぞれの相関係数は、0.99以上となっている。

[0688]

[表3]

OUT[0]	OUT[1]	OUT[2]	OUT[3]	OUT[4]	OUT[5]	OUT[6]	OUT[7]	OUT[8]	OUT[9]
0.997	0.996	0.995	0.993	0.996	0.990	0.996	0.995	0.992	0.996

[0689]

図41には、上記の回路シミュレータによって構成されたニューラルネットワークにおける、出力層のニューロンの出力OUT[0]乃至OUT[9]の出力波形の一例を示している。入力信号に対する出力信号の遅延は40ns程度であり、動作周波数は25MHz程度が期待できる。また、消費電力は15.6mWである。これらより、演算効率を見積もると、3.2TOPS/Wが得られる。

[符号の説明]

[0690]

SIH：システム、ED：電子機器、WSV：電子機器、INTFC：入出力インターフェース、CTL：制御部、PTN：変換部、WPTN：変換部、DTB1：データベース、DTB2：データベース、WDTB1：データベース、WDTB2：データベース、MP：記憶部、INF：外部インターフェース、STI01：ステップ、STI02：ステップ、STI03：ステップ、STI04：ステップ、STI05：ステップ、STI06：ステップ、STI07：ステップ、STI08：ステップ、PH1：段階、PH2：段階、PH3：段階、PH4：段階、PH5：段階、

PH6 : 段階、PIC : 画像、DOC : 文書ファイル、NTL : ネットリスト、CSW : 名称、SPC : スペース、CNP : 名称、PKEDN : ネットリスト、PKPN : ネットリスト、HSCN : ネットリスト、HSPN : ネットリスト、PKEDD : 情報、PKPD : 情報、HSCD : 情報、HSPD : 情報、SRC1 : 第1の検索、SRC2 : 第2の検索、SRC3 : 第3の検索、MAC1 : 演算回路、MAC1A : 演算回路、MAC2 : 演算回路、CS : 電流源回路、CS1 : 電流源回路、CS2 : 電流源回路、CM : カレントミラー回路、CMS : 回路、CA : メモリセルアレイ、AM[1] : メモリセル、AM[2] : メモリセル、AMref[1] : メモリセル、AMref[2] : メモリセル、AMB : メモリセル、WDD : 回路、CLD : 回路、WLD : 回路、OFST : 回路、ACTV : 活性化関数回路、OFAC : 回路、WCS : 回路、SWS1 : 回路、SWS2 : 回路、WSD : 回路、XCS : 回路、ITRZ[1] : 変換回路、ITRZ[m] : 変換回路、BL : 配線、BLref : 配線、WD : 配線、WDref : 配線、IL : 配線、ILref : 配線、WL[1] : 配線、WL[2] : 配線、WLB : 配線、CL[1] : 配線、CL[2] : 配線、CLB : 配線、OL : 配線、NIL : 配線、VR : 配線、VaL : 配線、VbL : 配線、VcL : 配線、VrefL : 配線、VDDL : 配線、VSSL : 配線、RST : 配線、WCL[1] : 配線、WCL[n] : 配線、WSL[1] : 配線、WSL[m] : 配線、XCL[1] : 配線、XCL[m] : 配線、VE : 配線、SWL1 : 配線、SWL2 : 配線、BG : 配線、VHE : 配線、VLE : 配線、Tr11 : トランジスタ、Tr12 : トランジスタ、Tr21 : トランジスタ、Tr22 : トランジスタ、Tr23 : トランジスタ、Tr31 : トランジスタ、Tr32 : トランジスタ、Tr33 : トランジスタ、Tr34 : トランジスタ、CA2 : セルアレイ、IM[1, 1] : セル、IM[m, 1] : セル、IM[1, n] : セル、IM[m, n] : セル、C1 : 容量、C2 : 容量、C6 : 容量、C7 : 容量、SW1 : スイッチ、SW2 : スイッチ、SW3 : スイッチ、SW4 : スイッチ、RE : 抵抗、F1 : トランジスタ、F1m : トランジスタ、F2 : トランジスタ、F2m : トランジスタ、F3[1] : トランジスタ、F3[n] : トランジスタ、F4[1] : トランジスタ、F4[n] : トランジスタ、C5 : 容量、C5m : 容量、NP : ノード、NPre f : ノード、NM[1] : ノード、NM[2] : ノード、NMref[1] : ノード、NMref[2] : ノード、Na : ノード、Nb : ノード、NMB : ノード、NN[1, 1] : ノード、NN[m, 1] : ノード、NN[1, n] : ノード、NN[m, n] : ノード、NNref[1] : ノード、NNref[m] : ノード、AME : 乗算回路、CA3 : セルアレイ、EP1 : 電極パッド、EP2 : 電極パッド、EP3 : 電極パッド、EP4 : 電極パッド、EP5 : 電極パッド、EP6 : 電極パッド、M1 : トランジスタ、M2 : トランジスタ、M2-1 : トランジスタ、M2-2 : トランジスタ、CP : 容量、BW : 配線、VX : 配線、VY : 配線、WW : 配線、300 : トランジスタ、311 : 基板、313 : 半導体領域、314a : 低抵抗領域、314b : 低抵抗領域、315 : 絶縁体、316 : 導電体、320 : 絶縁体、322 : 絶縁体、324 : 絶縁体、326 : 絶縁体、328 : 導電体、330 : 導電体、350 : 絶縁体、352 : 絶縁体、354 : 絶縁体、356 : 導電体、360 : 絶縁体、362 : 絶縁体、364 : 絶縁体、366 : 導電体、370 : 絶縁体、372 : 絶縁体、374 : 絶縁体、376 : 導電体、380 : 絶縁体、382 : 絶縁体、384 : 絶縁体、386 : 導電体、402 : 絶縁体、404 : 絶縁体、500 : トランジスタ、503 : 導電体、503a : 導電体、503b : 導電体、510 : 絶縁体、512 : 絶縁体、514 : 絶縁体、516 : 絶縁体、518 : 導電体、520 : 絶縁体、522 : 絶縁体、524 : 絶縁体、530 : 酸化物、530a : 酸化物、530b : 酸化物、530c : 酸化物、

5 3 0 c 1 : 酸化物、5 3 0 c 2 : 酸化物、5 4 0 : 導電体、5 4 0 a : 導電体、5 4 0 b : 導電体、5 4 2 a : 導電体、5 4 2 b : 導電体、5 4 3 a : 領域、5 4 3 b : 領域、5 4 4 : 絶縁体、5 4 6 : 導電体、5 4 8 : 導電体、5 5 0 : 絶縁体、5 5 2 : 絶縁体、5 6 0 : 導電体、5 6 0 a : 導電体、5 6 0 b : 導電体、5 7 4 : 絶縁体、5 8 0 : 絶縁体、5 8 1 : 絶縁体、5 8 2 : 絶縁体、5 8 6 : 絶縁体、6 0 0 : 容量素子、6 0 0 A : 容量素子、6 0 0 B : 容量素子、6 1 0 : 導電体、6 1 1 : 導電体、6 1 2 : 導電体、6 2 0 : 導電体、6 3 0 : 絶縁体、6 3 1 : 絶縁体、6 5 0 : 絶縁体、6 5 1 : 絶縁体

請求の範囲

[請求項 1]

第 1 電子機器を有し、
前記第 1 電子機器は、入出力インターフェースと、制御部と、第 1 変換部と、を有し、
前記入出力インターフェースは、前記制御部に電氣的に接続され、
前記第 1 変換部は、前記制御部に電氣的に接続され、
前記入出力インターフェースは、ユーザが操作することによって生成された入力データを前記制御部に送信する機能を有し、
前記制御部は、前記入力データを前記第 1 変換部に送信する機能を有し、
前記第 1 変換部は、ニューラルネットワークが構成された回路を有し、
前記第 1 変換部は、前記ニューラルネットワークによって前記入力データを第 1 ネットリストに変換する機能を有し、
前記入力データは、回路構成が描かれた回路図、又は前記回路構成が示された文書ファイルである、
A I システム。

[請求項 2]

請求項 1 において、
前記第 1 電子機器は、第 1 データベースと、第 2 データベースと、を有し、
前記第 1 データベースは、前記制御部に電氣的に接続され、
前記第 2 データベースは、前記制御部に電氣的に接続され、
前記第 1 データベースには、第 2 ネットリストが保存されており、
前記第 2 データベースには、前記第 2 ネットリストに紐付けされた文献データが保存されており、
前記制御部は、
前記第 1 データベースを対象に、前記第 1 ネットリストの回路構成の検索を行う機能と、
前記第 1 ネットリストの回路構成の検索において、前記第 2 ネットリストが見つかった場合に、
前記文献データを前記第 2 データベースから読み出して、前記入出力インターフェースに出力する機能と、を有する、
A I システム。

[請求項 3]

請求項 1 において、
第 2 電子機器を有し、
前記第 1 電子機器は、外部インターフェースを有し、
前記第 2 電子機器は、第 3 データベースと、第 4 データベースと、を有し、
前記第 3 データベースは、前記外部インターフェースに電氣的に接続され、
前記第 4 データベースは、前記外部インターフェースに電氣的に接続され、
前記第 3 データベースには、第 2 ネットリストが保存されており、
前記第 4 データベースには、前記第 2 ネットリストに紐付けされた文献データが保存されており、
前記制御部は、前記外部インターフェースを介して、前記第 2 電子機器と通信を行って、
前記第 3 データベースを対象に、前記第 1 ネットリストの回路構成の検索を行う機能と、
前記第 1 ネットリストの回路構成の検索において、前記第 3 データベースから前記第 2 ネット

リストが見つかった場合に、前記文献データを前記第4データベースから読み出して、前記入出力インターフェースに出力する機能と、を有する、

AIシステム。

[請求項4]

第1電子機器と、第2電子機器と、を有し、

前記第1電子機器は、入出力インターフェースと、制御部と、外部インターフェースと、を有し、

前記第2電子機器は、第2変換部を有し、

前記入出力インターフェースは、前記制御部に電氣的に接続され、

前記外部インターフェースは、前記制御部と、前記第2電子機器の前記第2変換部に電氣的に接続され、

前記入出力インターフェースは、ユーザが操作することによって生成された入力データを前記制御部に送信する機能を有し、

前記制御部は、前記入力データを、前記外部インターフェースを介して、前記第2電子機器の前記第2変換部に送信する機能を有し、

前記第2変換部は、ニューラルネットワークが構成された回路を有し、

前記第2変換部は、前記ニューラルネットワークによって前記入力データを第1ネットリストに変換する機能を有し、

前記制御部は、前記外部インターフェースを介して、前記第2電子機器から前記第1ネットリストを取得する機能を有し、

前記入力データは、回路構成が描かれた回路図、又は前記回路構成が示された文書ファイルである、

AIシステム。

[請求項5]

請求項4において、

前記第2電子機器は、第3データベースと、第4データベースと、を有し、

前記第3データベースは、前記外部インターフェースに電氣的に接続され、

前記第4データベースは、前記外部インターフェースに電氣的に接続され、

前記第3データベースには、第2ネットリストが保存されており、

前記第4データベースには、前記第2ネットリストに紐付けされた文献データが保存されており、

前記制御部は、前記外部インターフェースを介して、前記第2電子機器と通信を行って、

前記第3データベースを対象に、前記第1ネットリストの回路構成の検索を行う機能と、

前記第1ネットリストの回路構成の検索において、前記第3データベースから前記第2ネットリストが見つかった場合に、前記文献データを前記第4データベースから読み出して、前記入出力インターフェースに出力する機能と、を有する、

AIシステム。

[請求項6]

入出力インターフェースと、制御部と、第1変換部と、を有し、

前記第1変換部は、ニューラルネットワークが構成された回路を有し、

前記入出力インターフェースは、前記制御部に電氣的に接続され、

前記第1変換部は、前記制御部に電氣的に接続されている、AIシステムの動作方法であって、

第1乃至第3ステップを有し、

前記第1ステップは、ユーザによって作成された入力データが、前記制御部に入力されるステップを有し、

前記第2ステップは、前記第1変換部の前記ニューラルネットワークによって、前記入力データを第1ネットリストに変換するステップを有し、

前記第3ステップは、前記制御部を介して、前記入出力インターフェースに出力するステップを有する、

A Iシステムの動作方法。

[請求項7]

請求項6において、第4乃至第6ステップを有し、

前記A Iシステムは、第1データベースと、第2データベースと、を有し、

前記第1データベースは、前記制御部に電氣的に接続され、

前記第2データベースは、前記制御部に電氣的に接続され、

前記第1データベースには、第2ネットリストが保存されており、

前記第2データベースには、前記第2ネットリストに紐付けされた文献データが保存されており、

前記第4ステップは、前記第1データベースを対象に、前記第1ネットリストの回路構成の検索を行うステップを有し、

前記第5ステップは、前記第4ステップで前記第1データベースから前記第2ネットリストが見つかった場合に、前記文献データを前記第2データベースから読み出して、前記入出力インターフェースに出力するステップを有し、

前記第6ステップは、前記第4ステップで前記第1データベースから前記第2ネットリストが見つからなかった場合に、前記制御部が、前記第1ネットリストが前記第1データベースから見つからなかったという情報を前記入出力インターフェースに出力するステップを有する、

A Iシステムの動作方法。

図 1

1/41

S1H

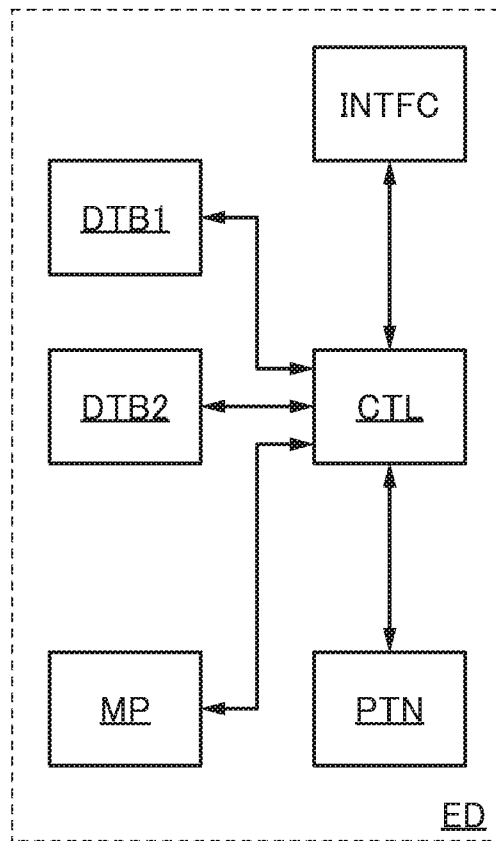


図2

2/41

SIH

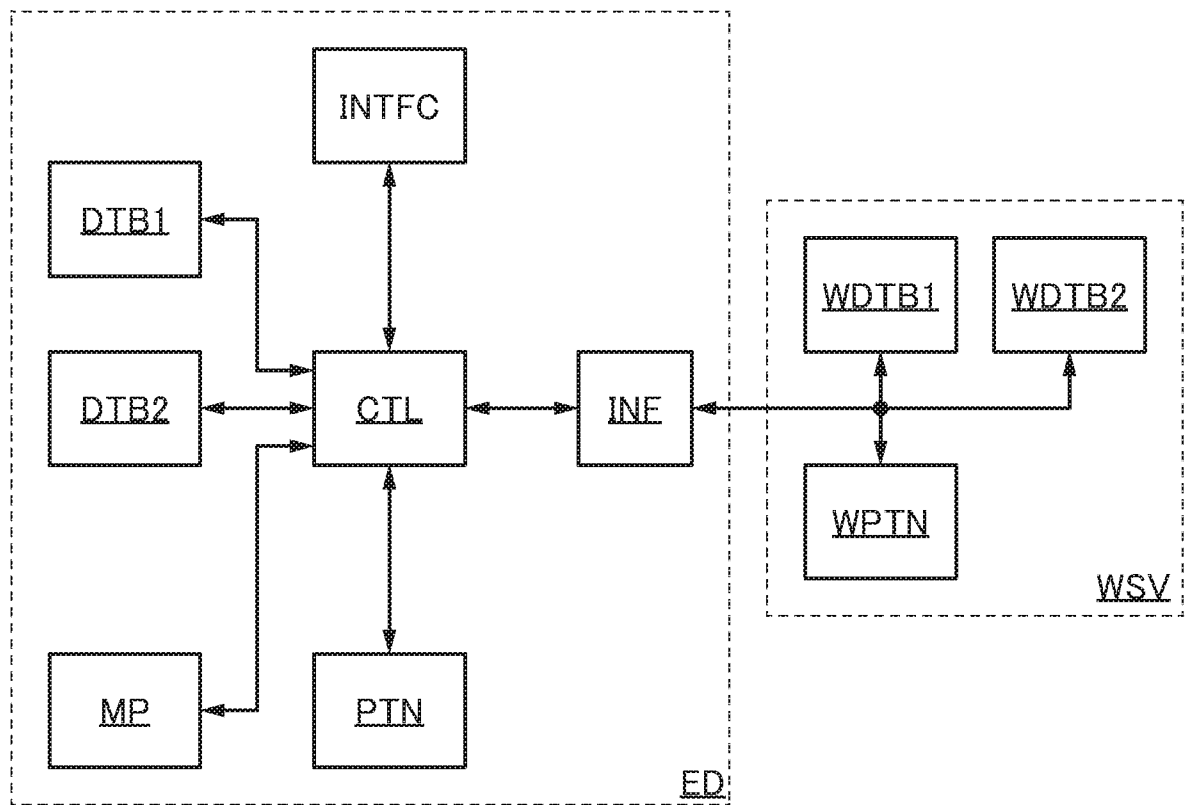


図3

3/41

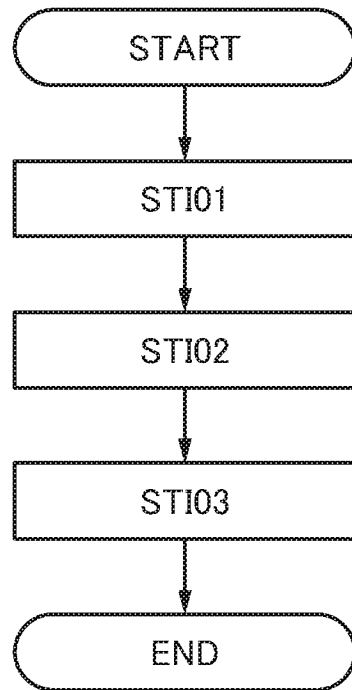


図4

4/41

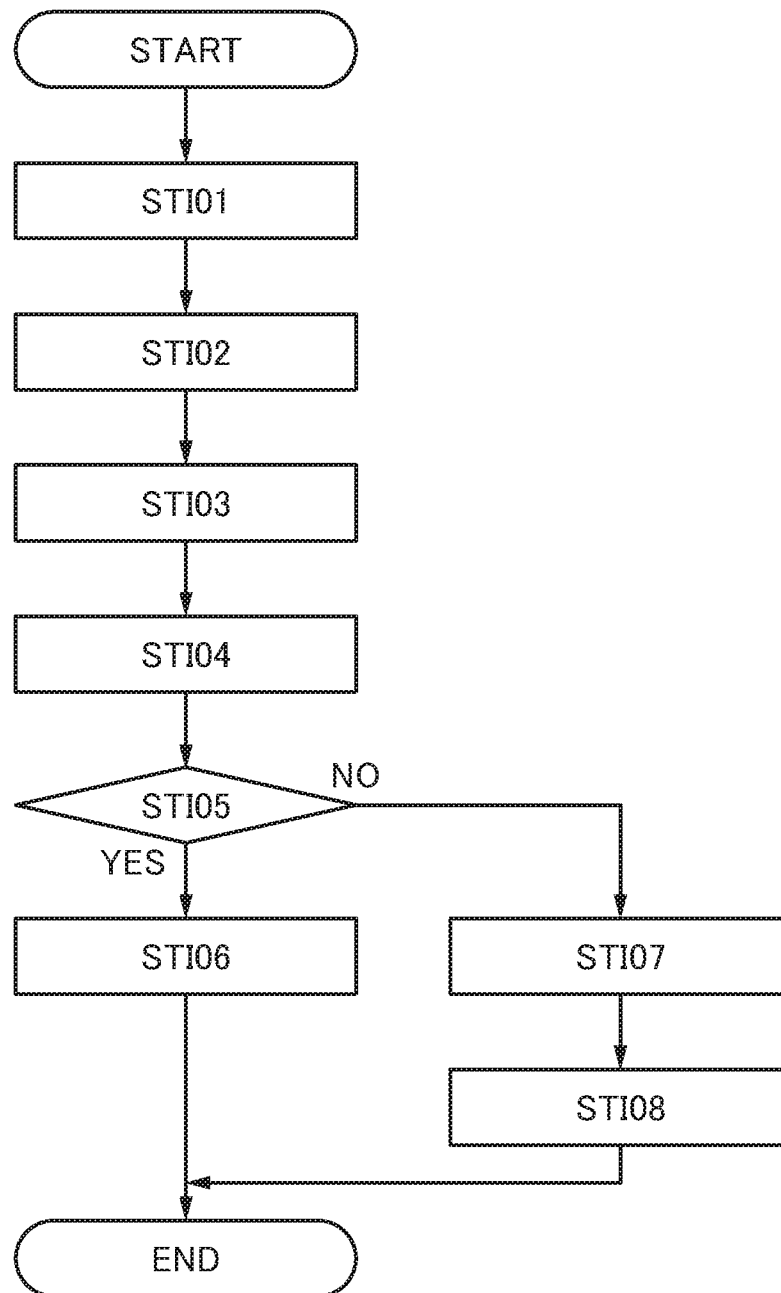


図5

5/41

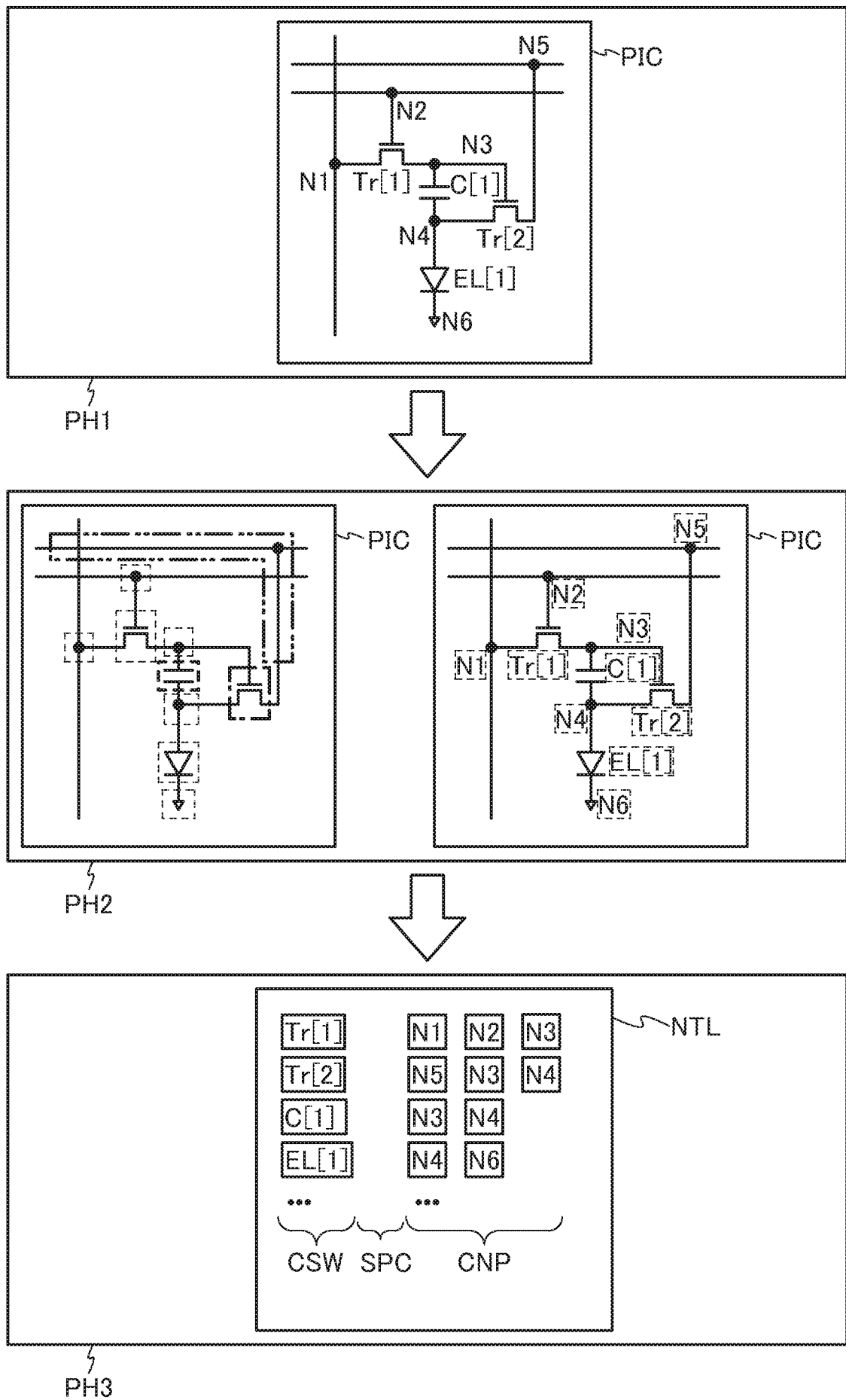
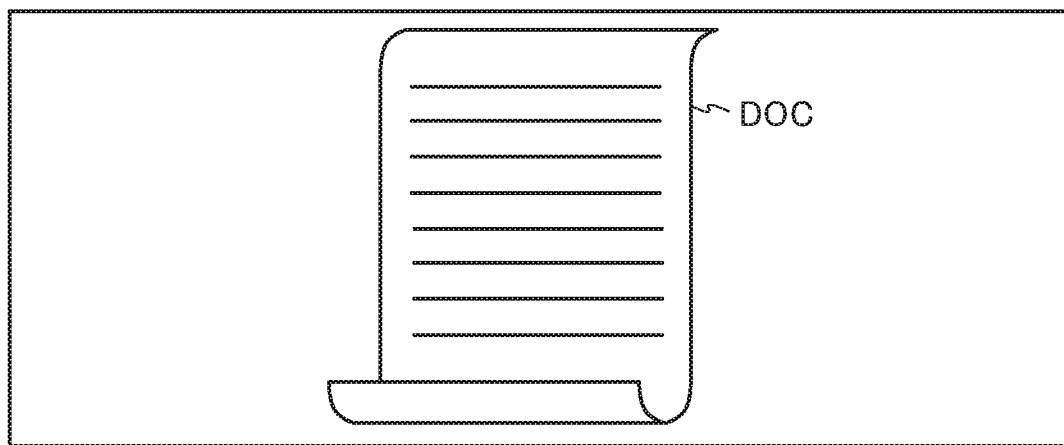
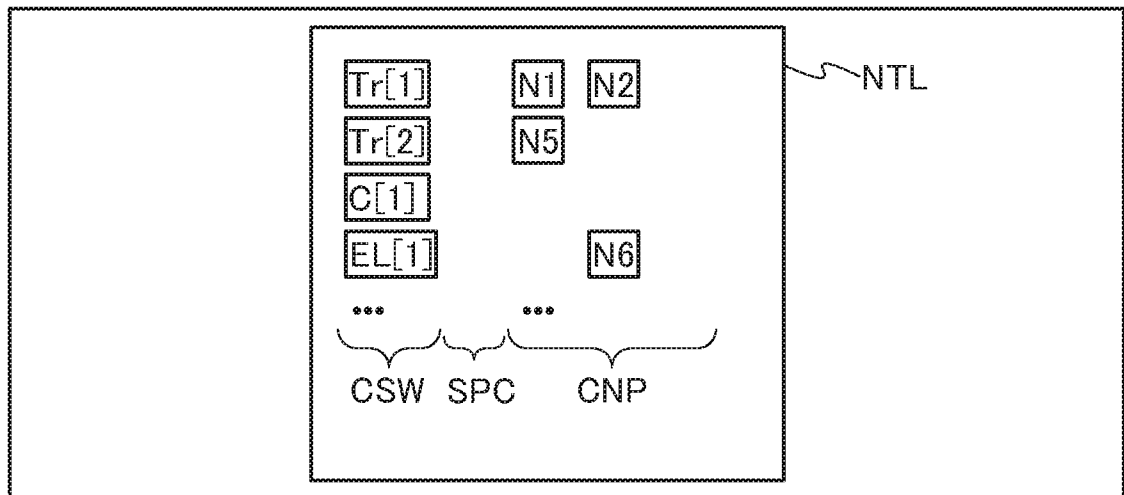
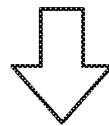


図6

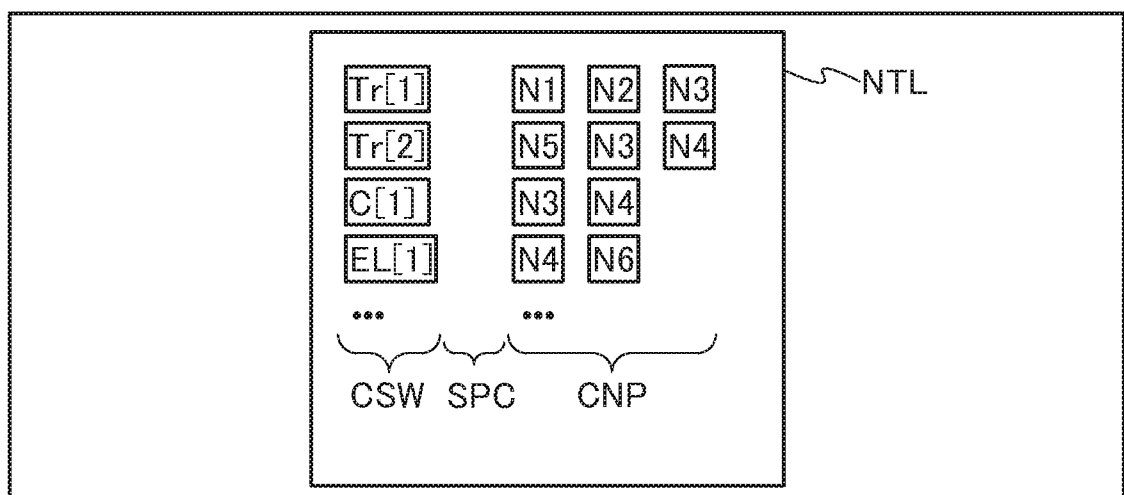
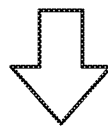
6/41



PH4



PH5



PH6

図7

7/41

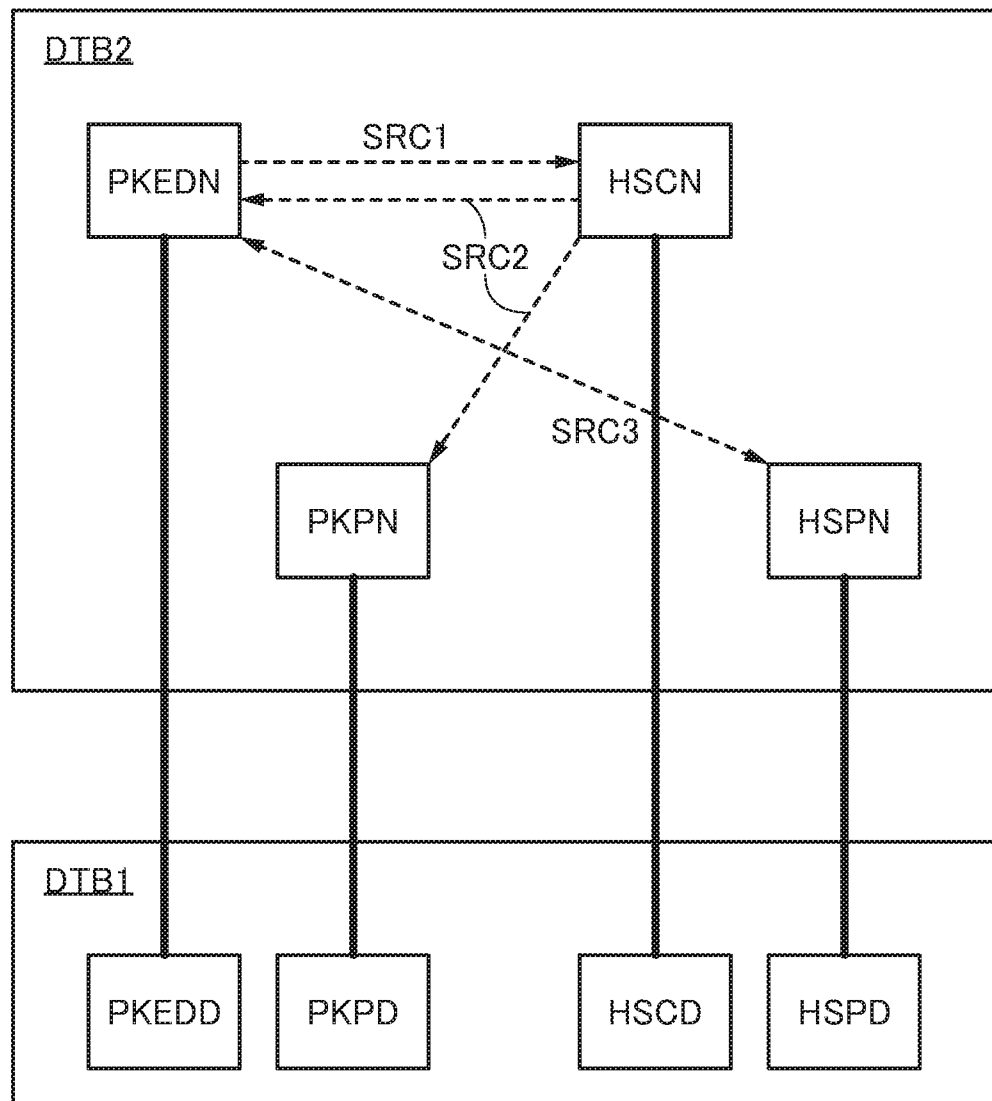


図8A

100

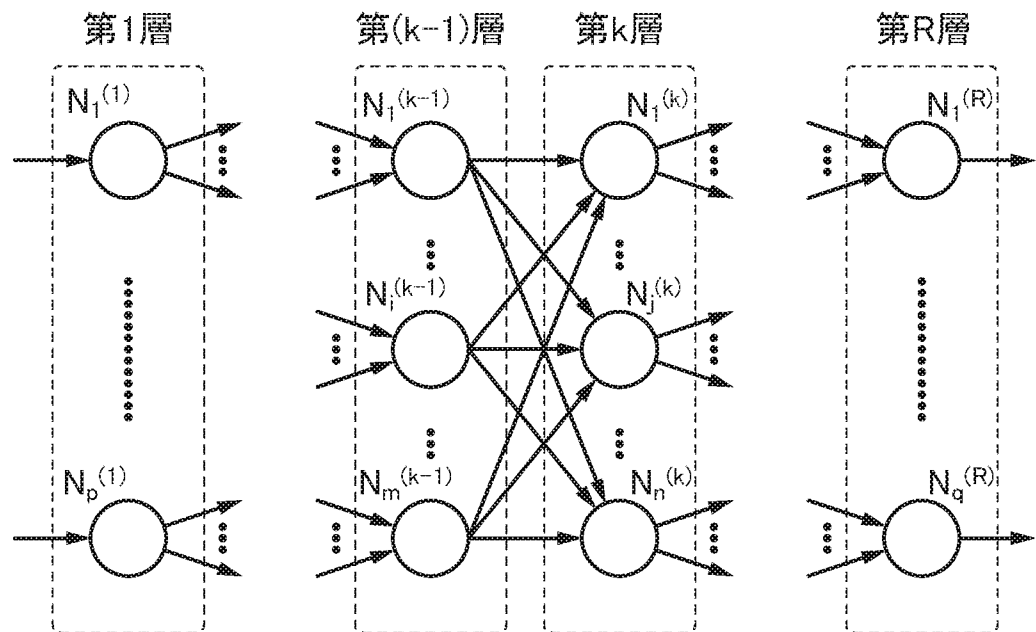


図8B

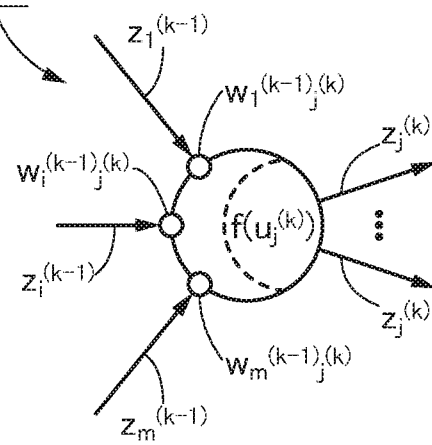
 $N_j^{(k)}$ 

図9

9/41

MAC1

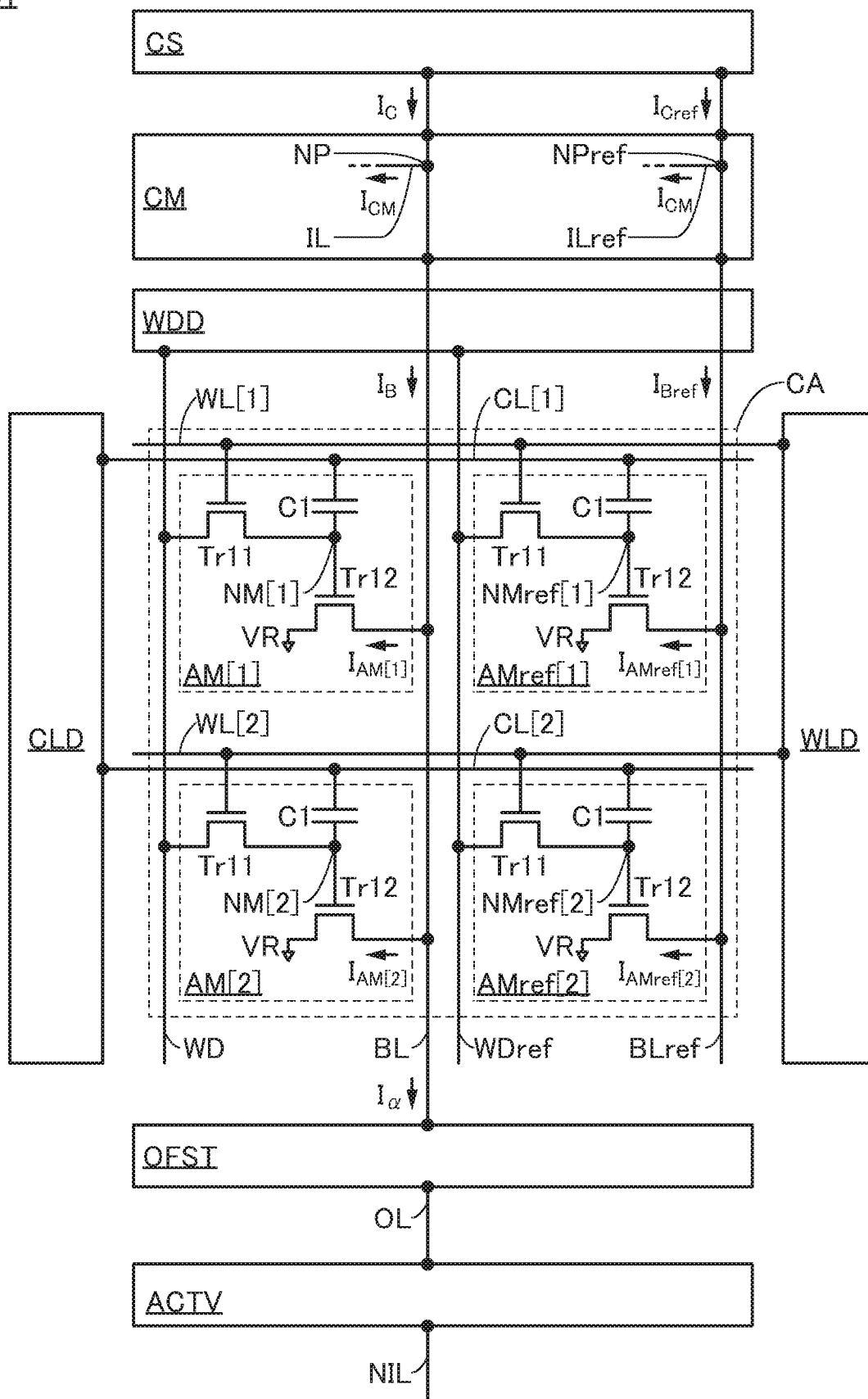


図10

10/41

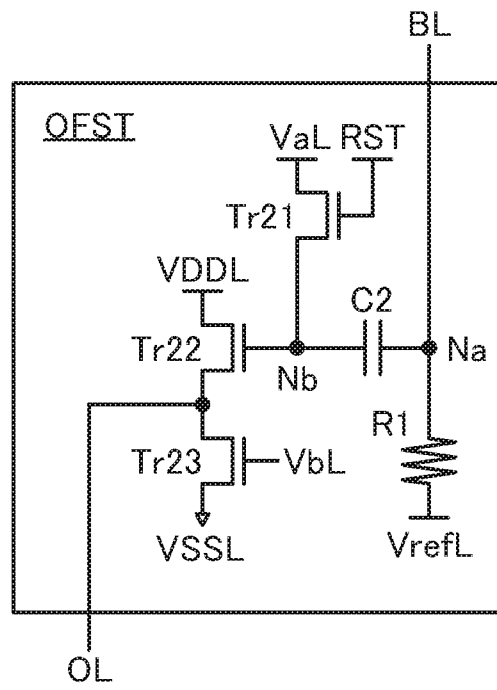


図 11

11/41

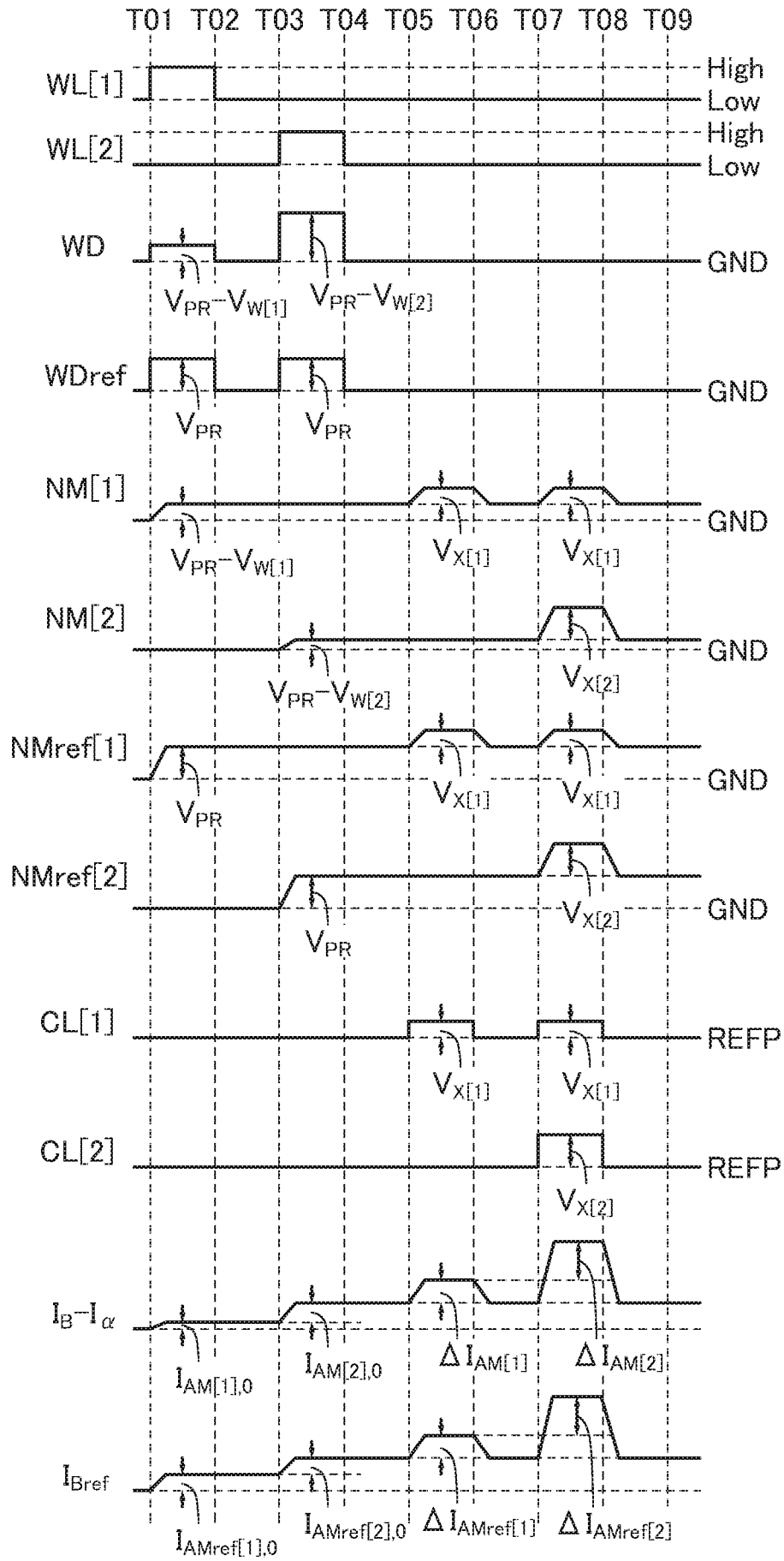


図 12

12/41

MAC1

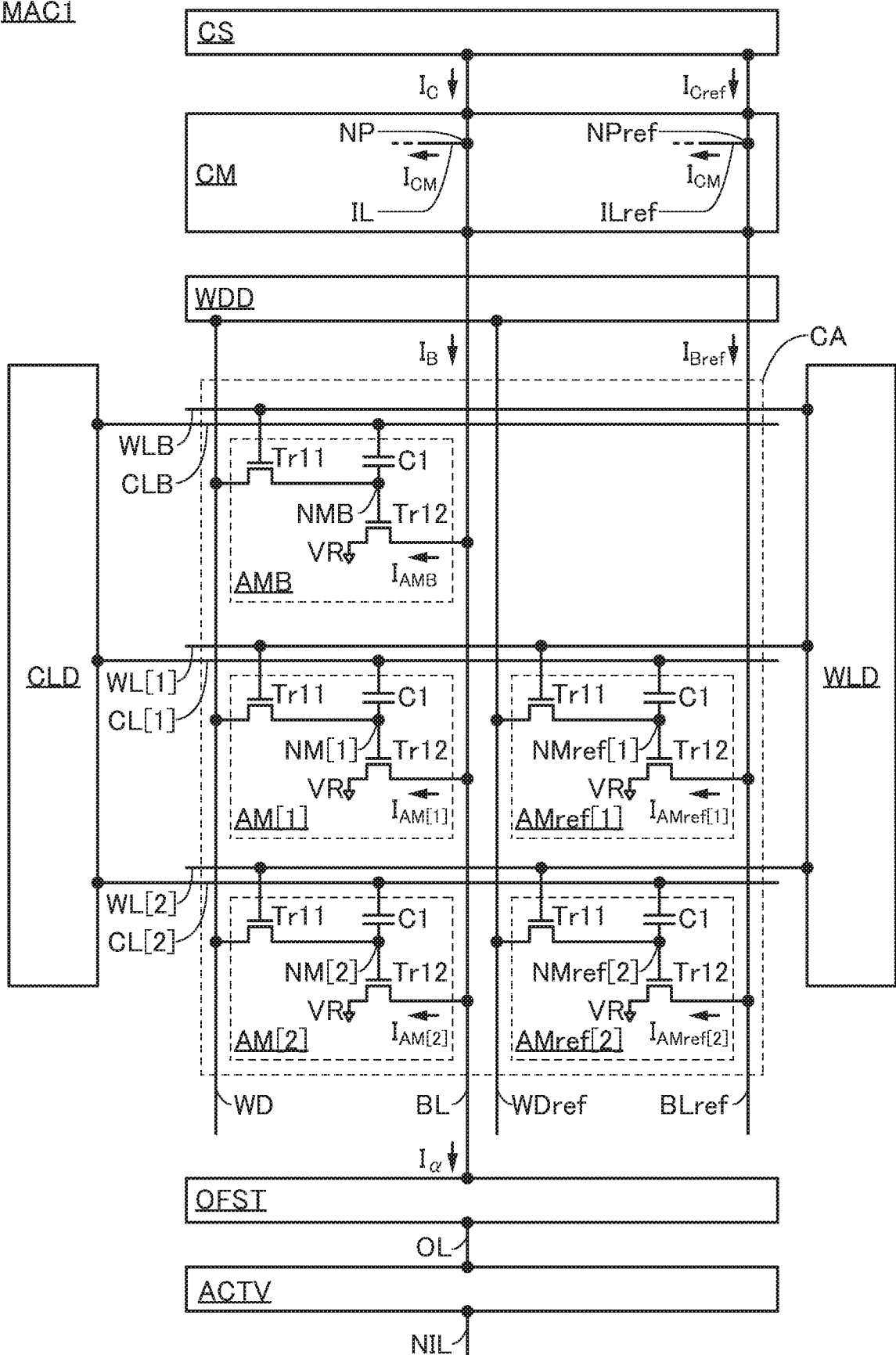


図 13

13/41

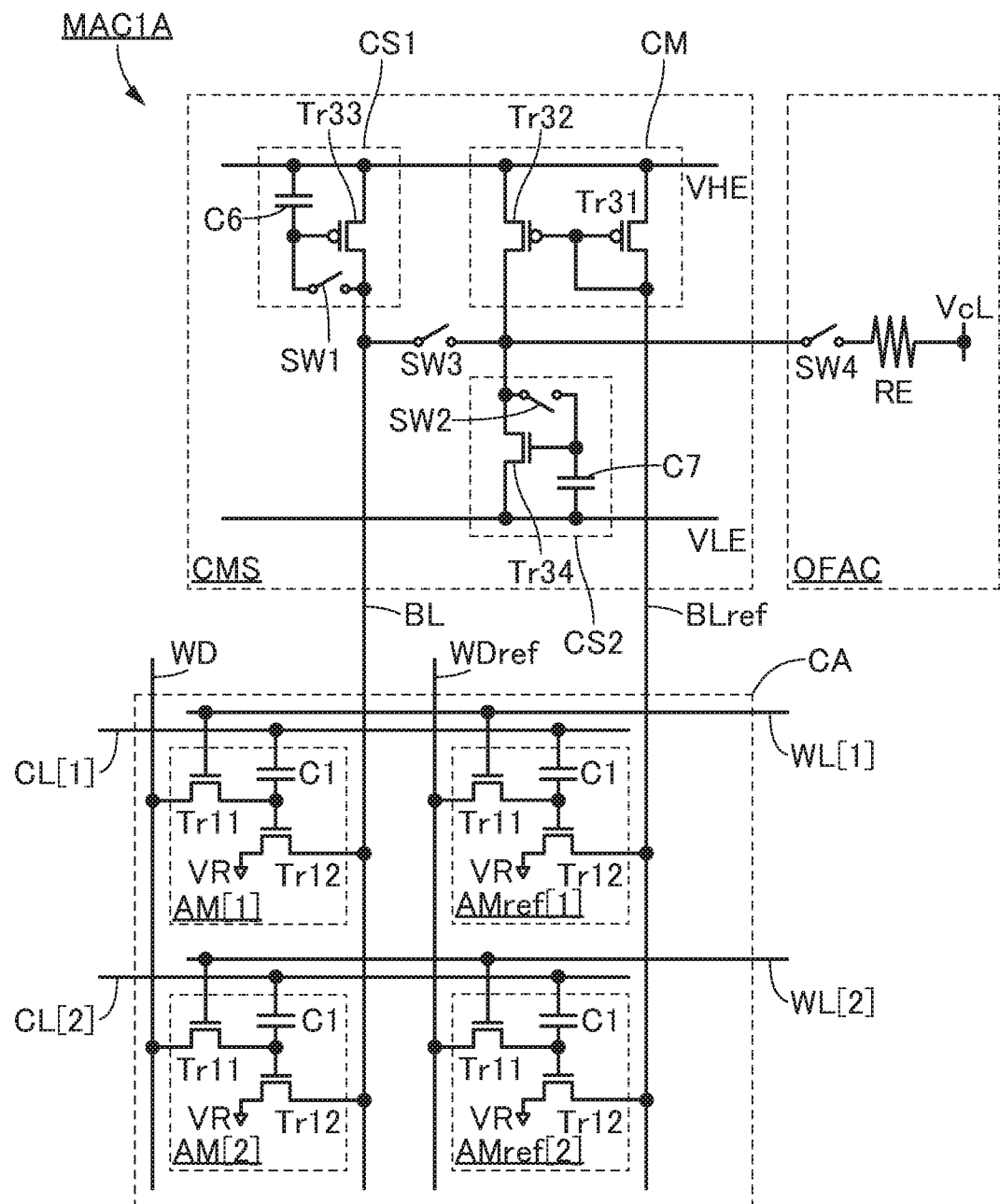


図14

14/41

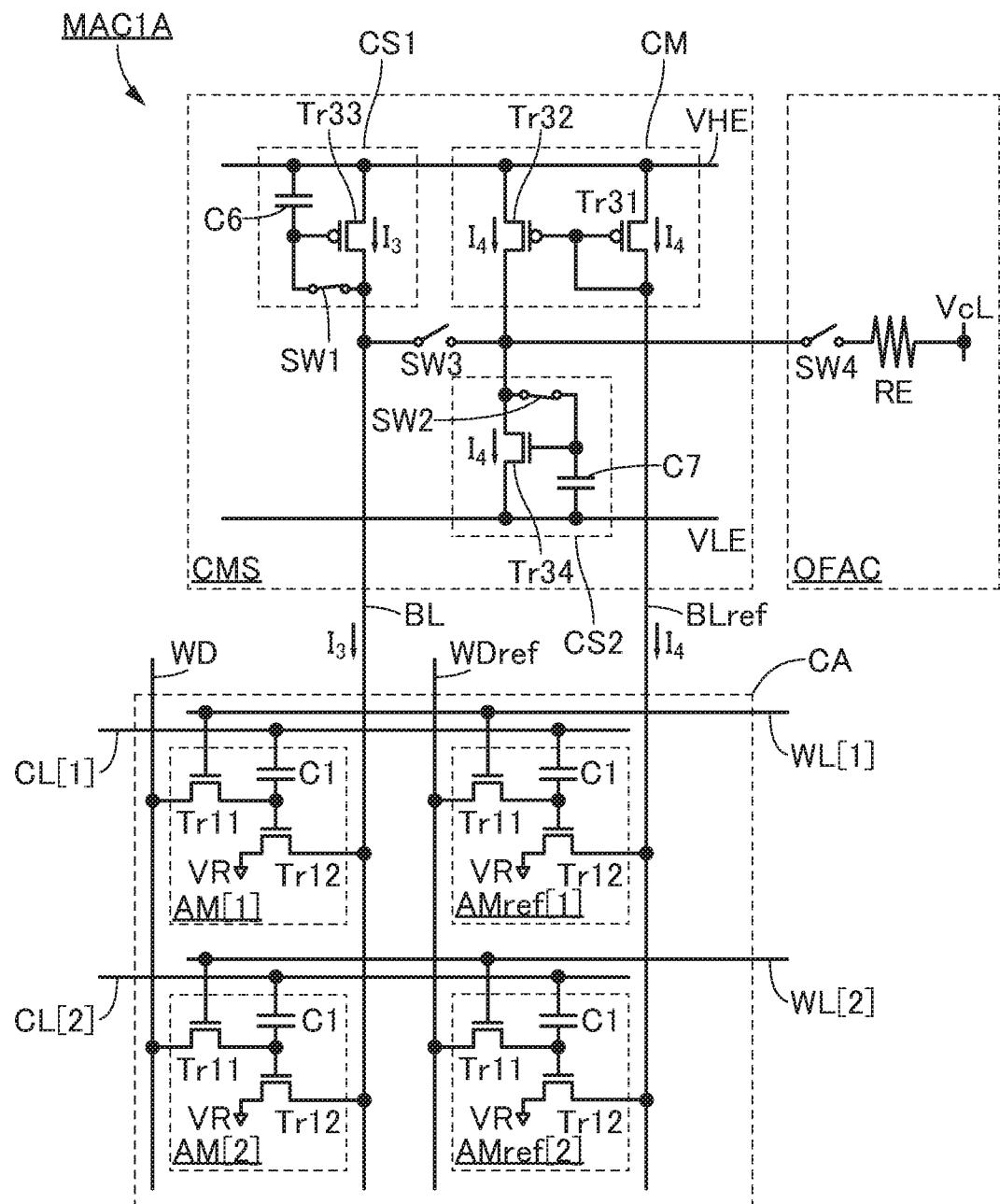


図15

15/41

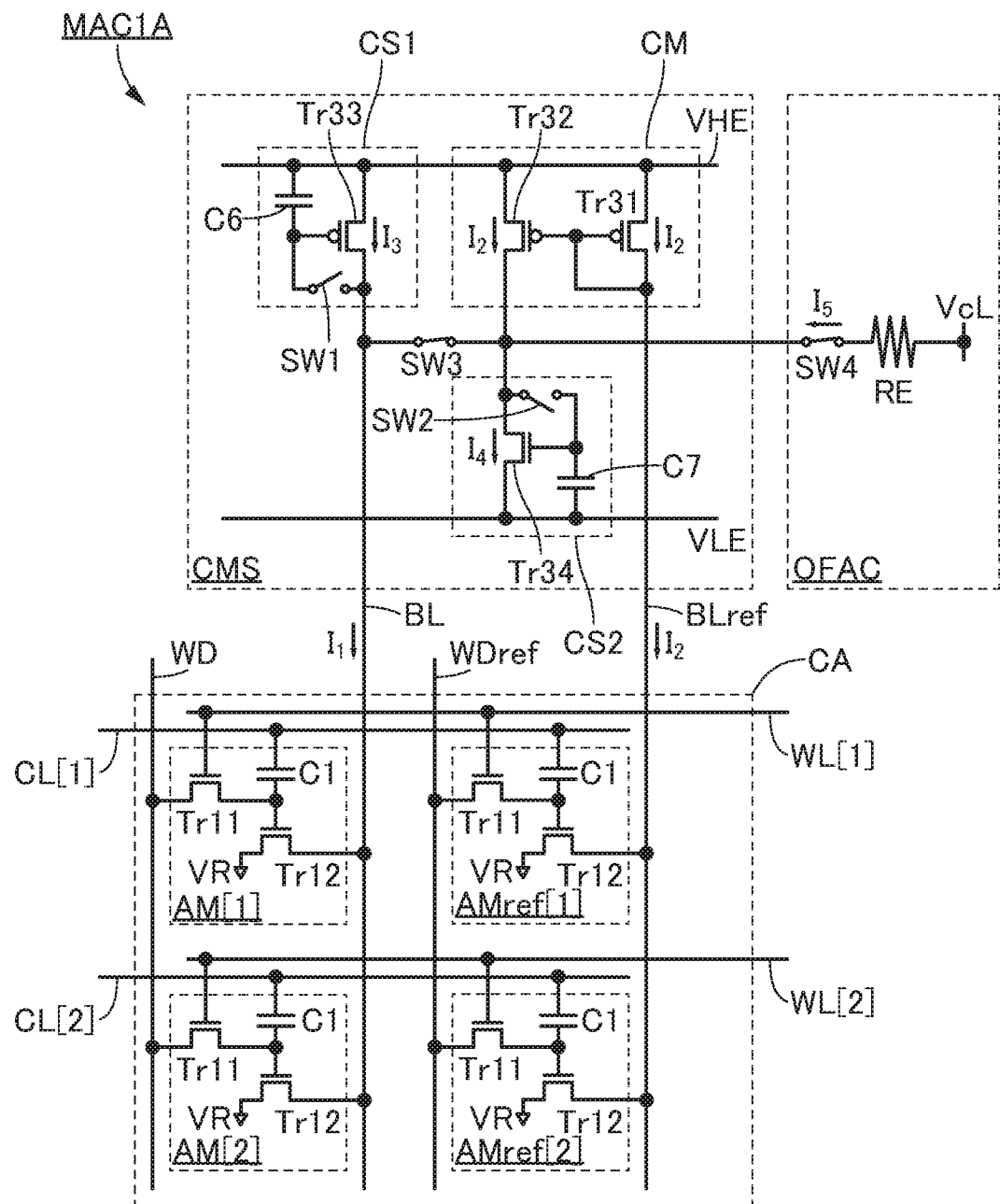


図 16

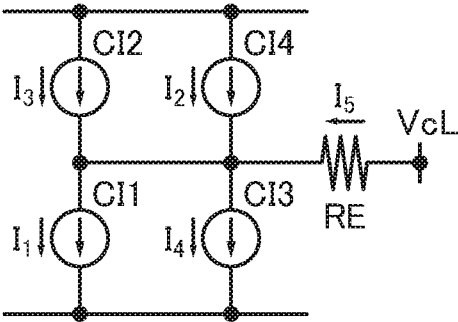


図17

17/41

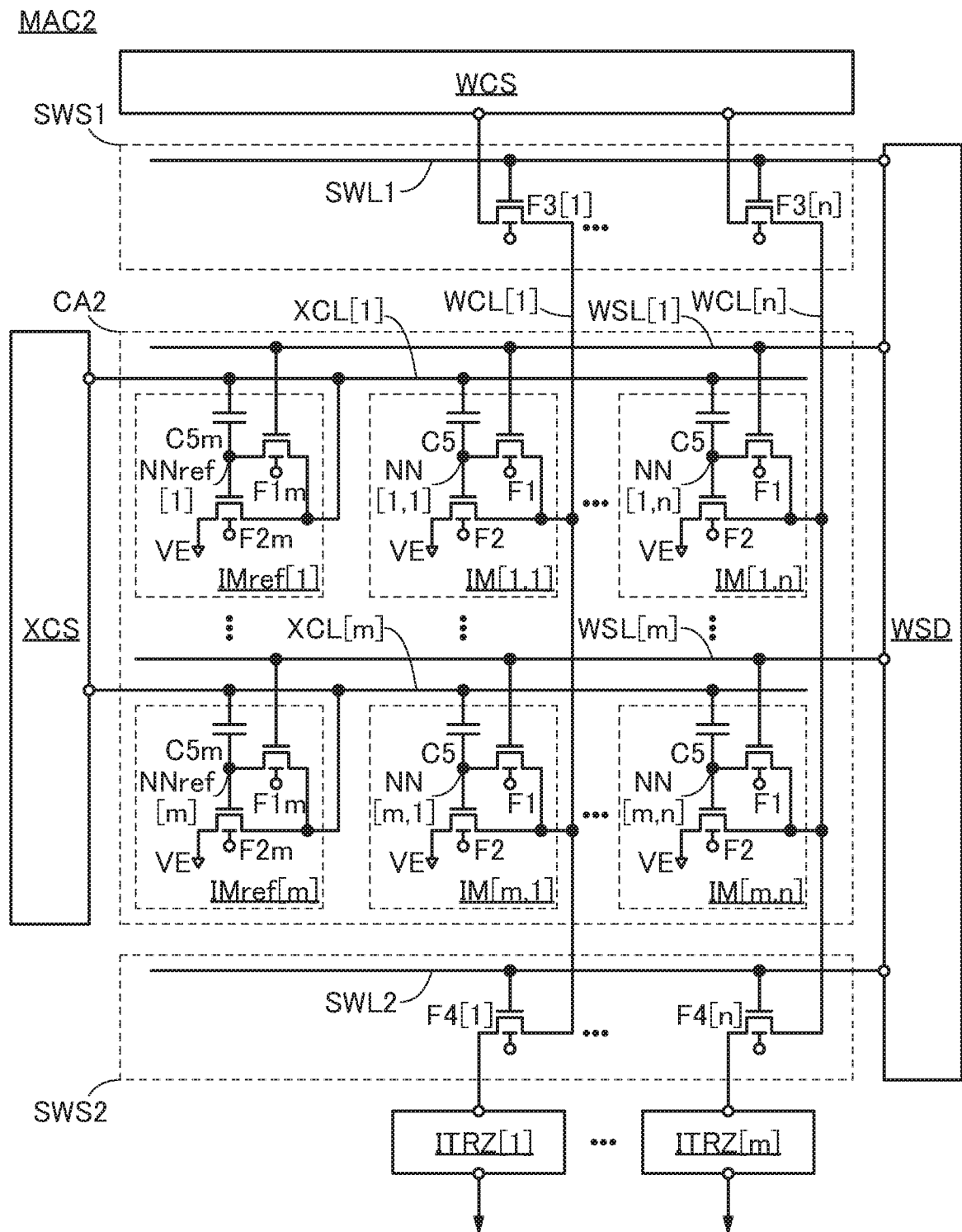


図18

18/41

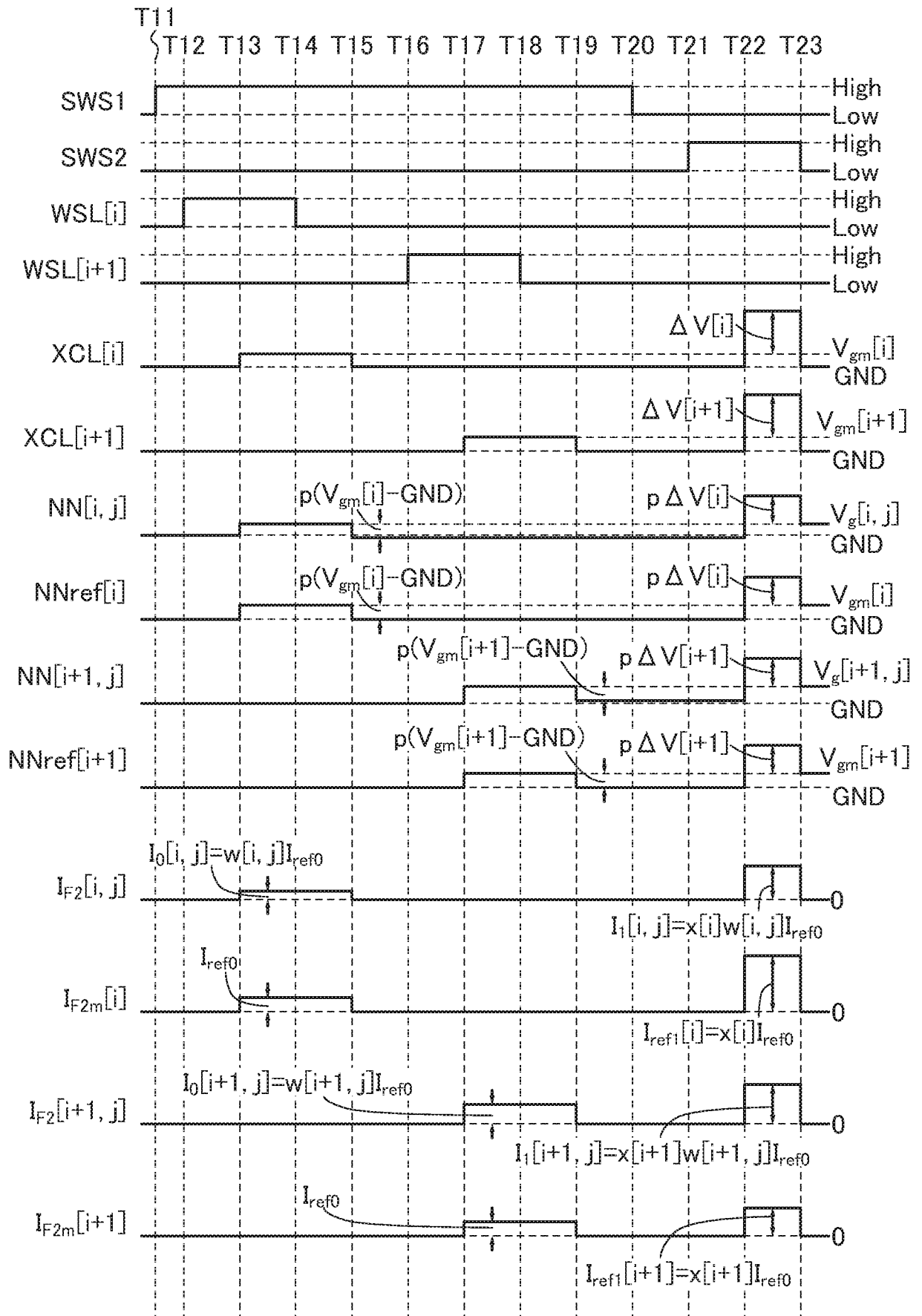


図19

19/41

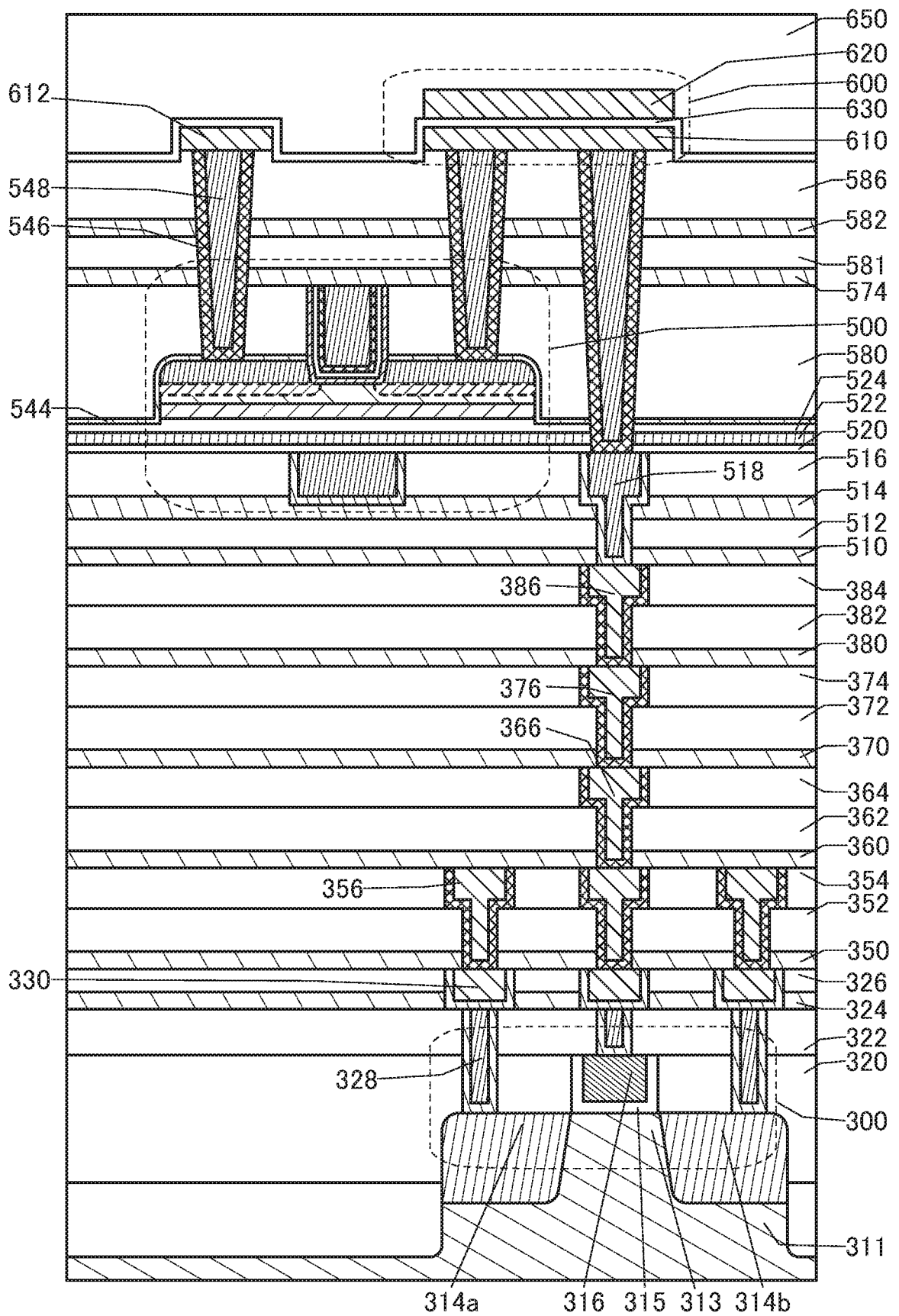


図20

20/41

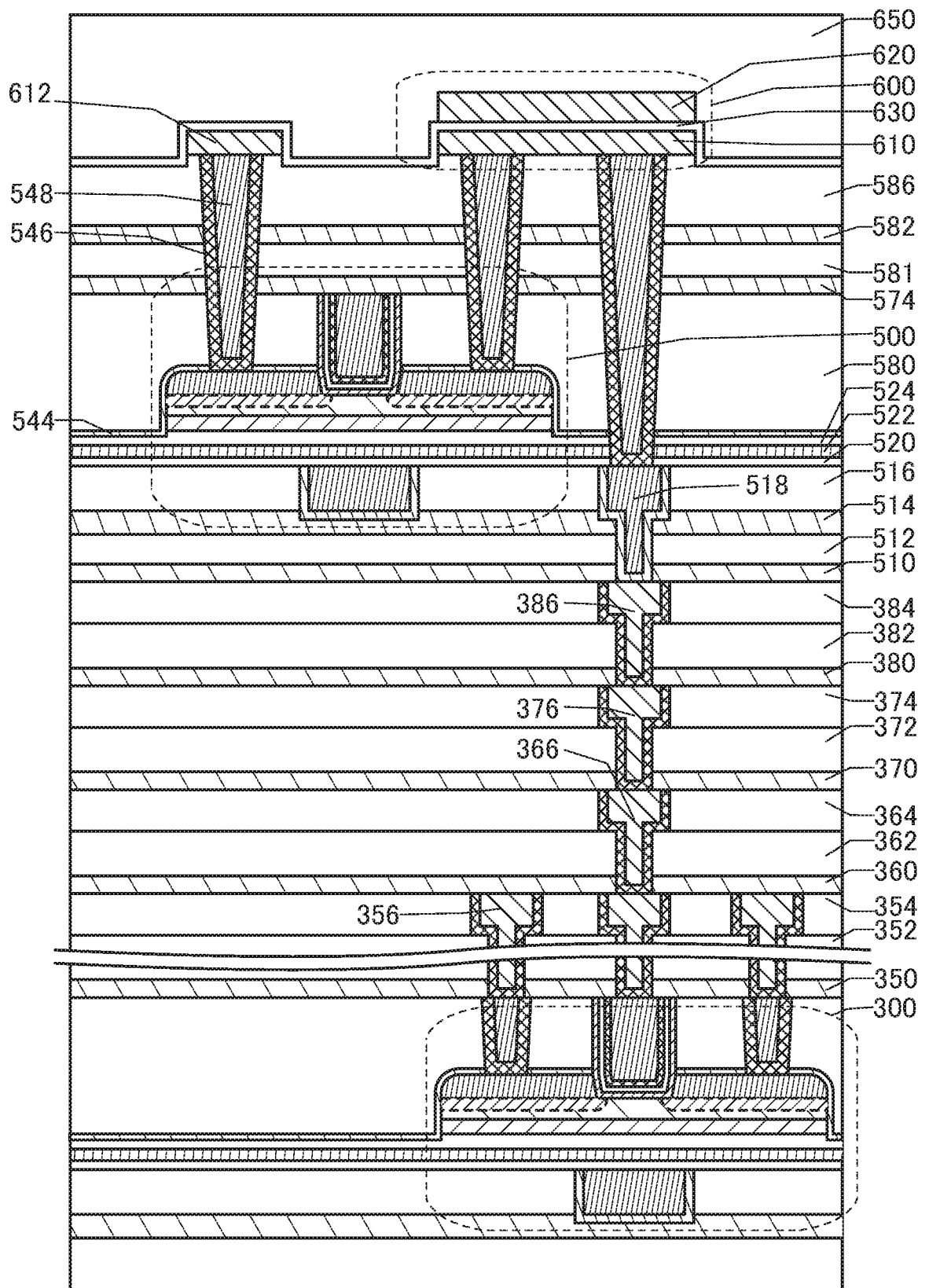


図21A

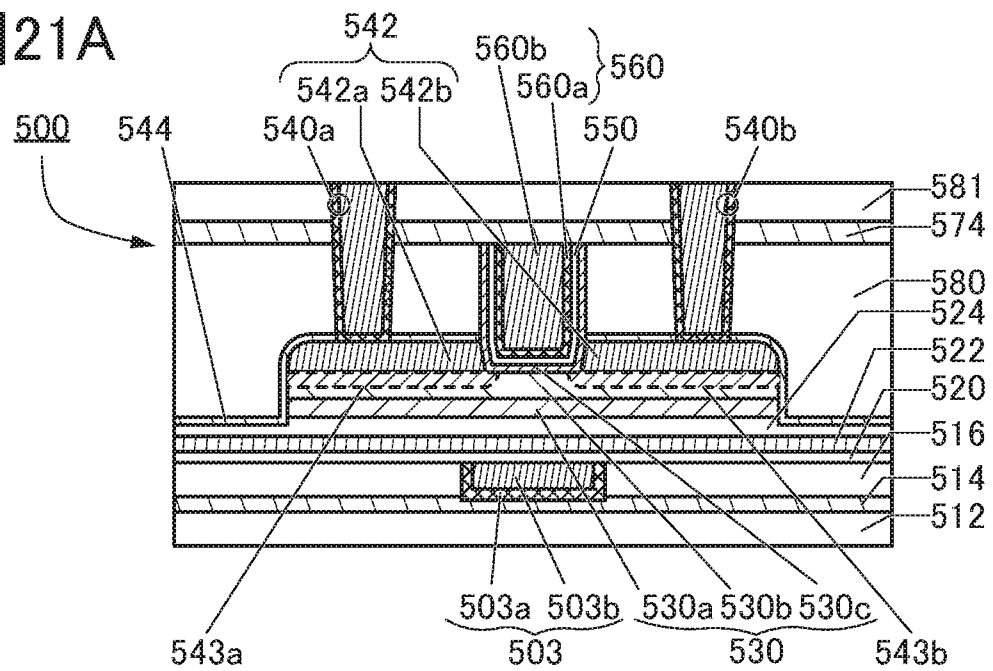


図21B

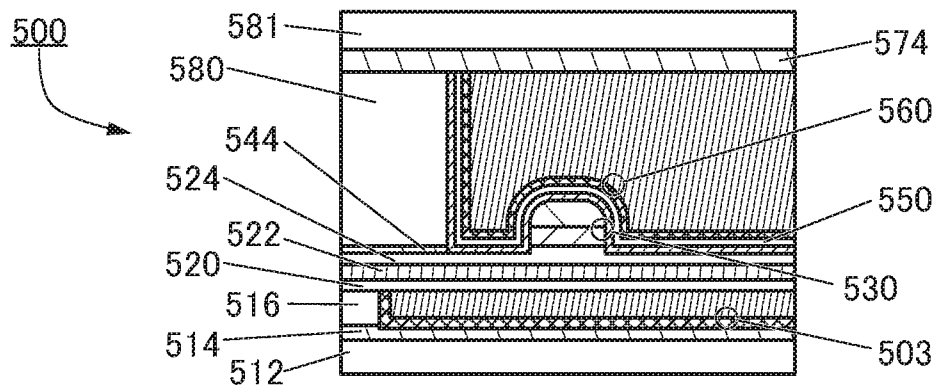
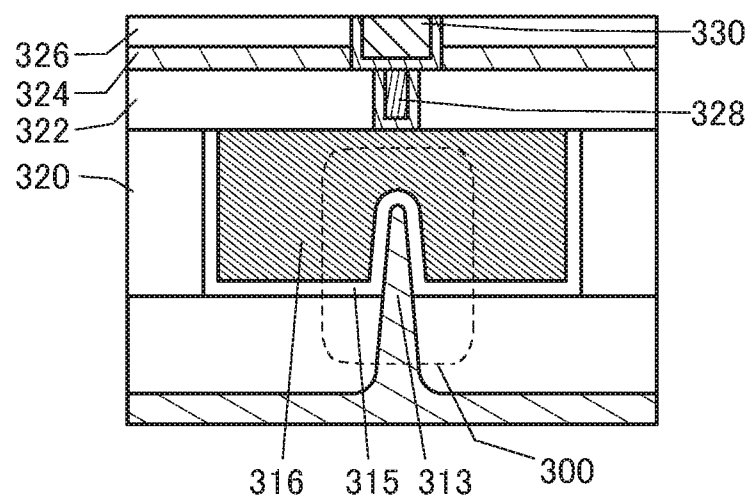
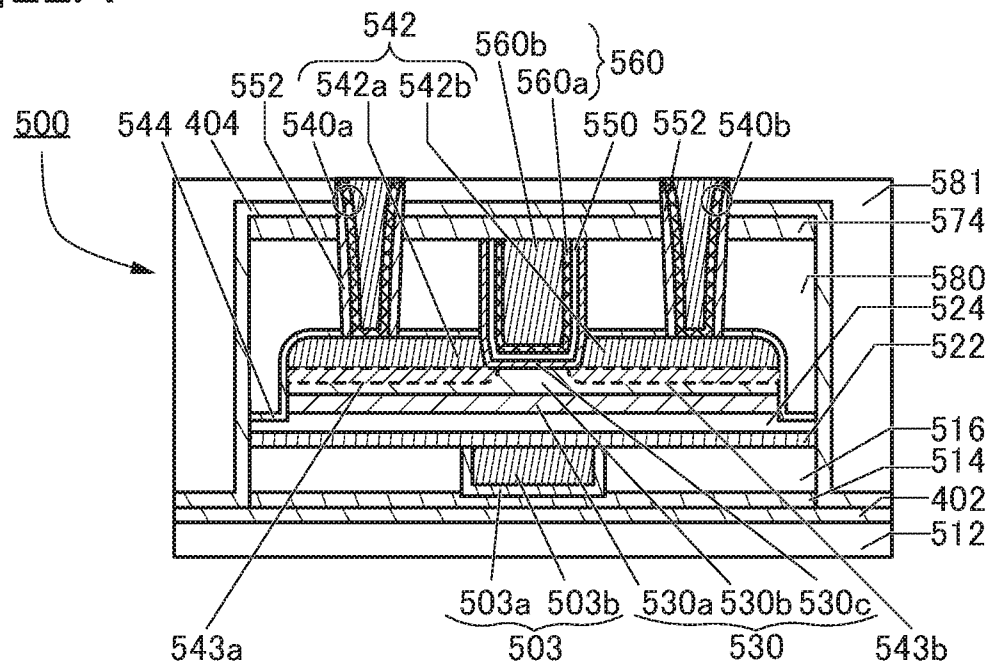


図21C



22A



22B

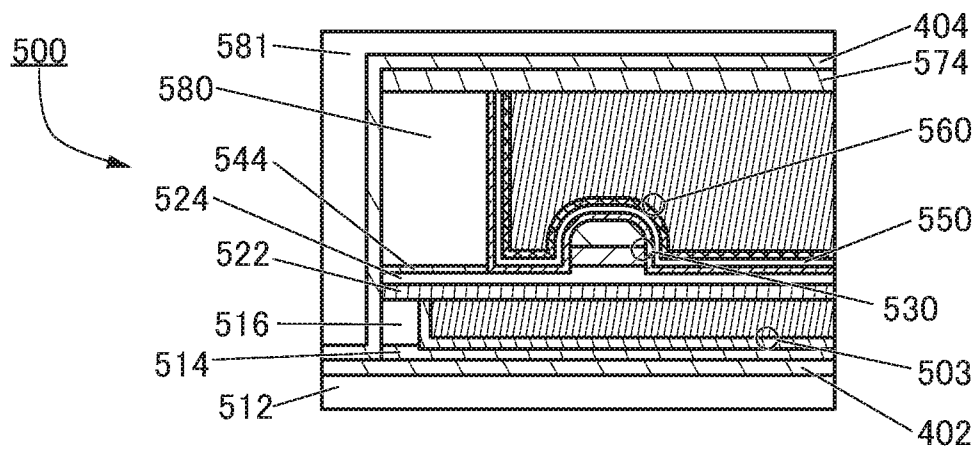
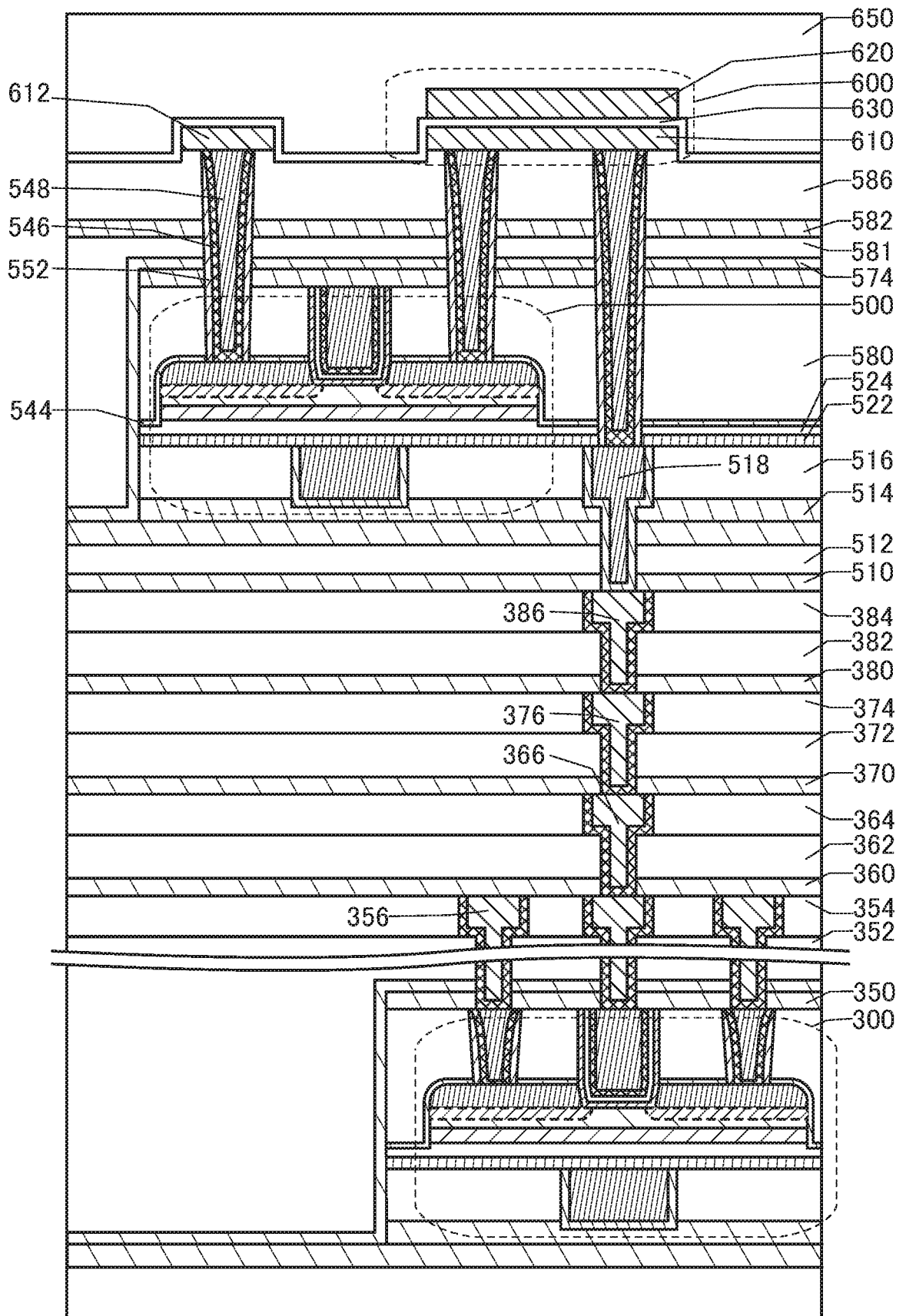


図23

23/41



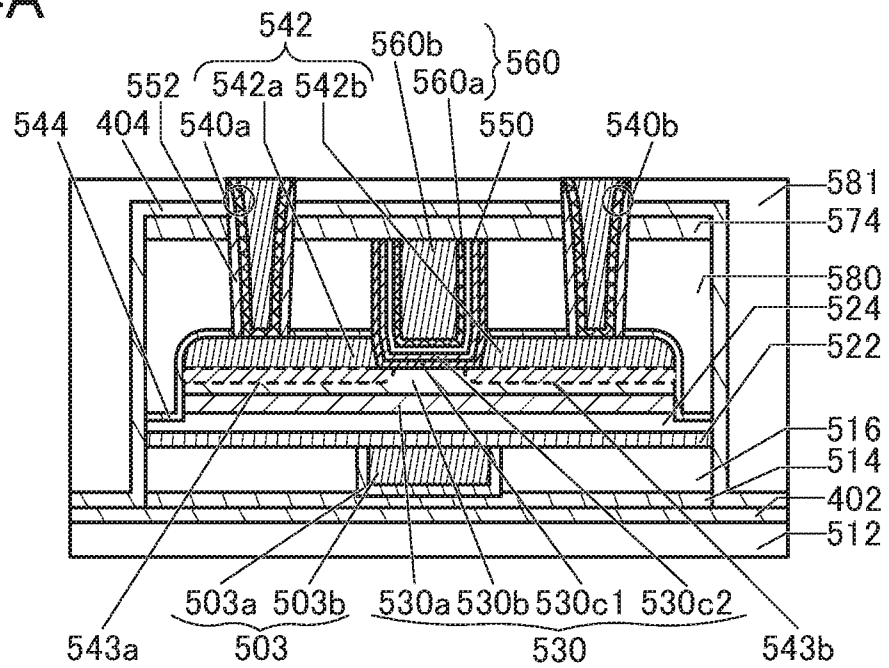


Figure 24B

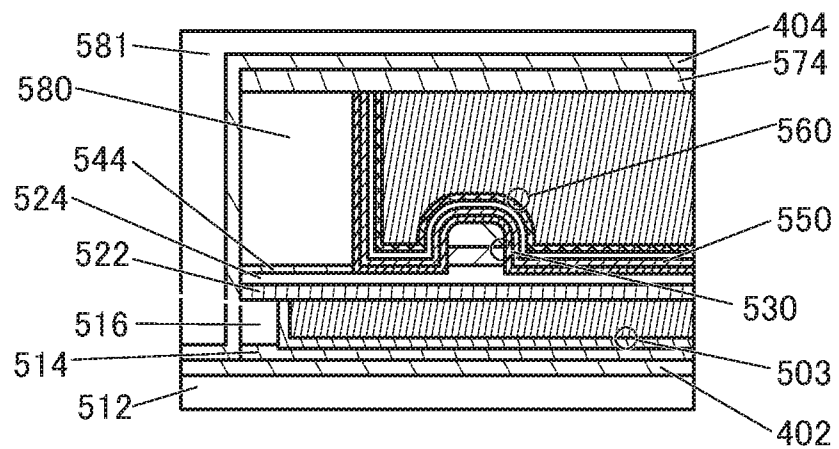


図25

25/41

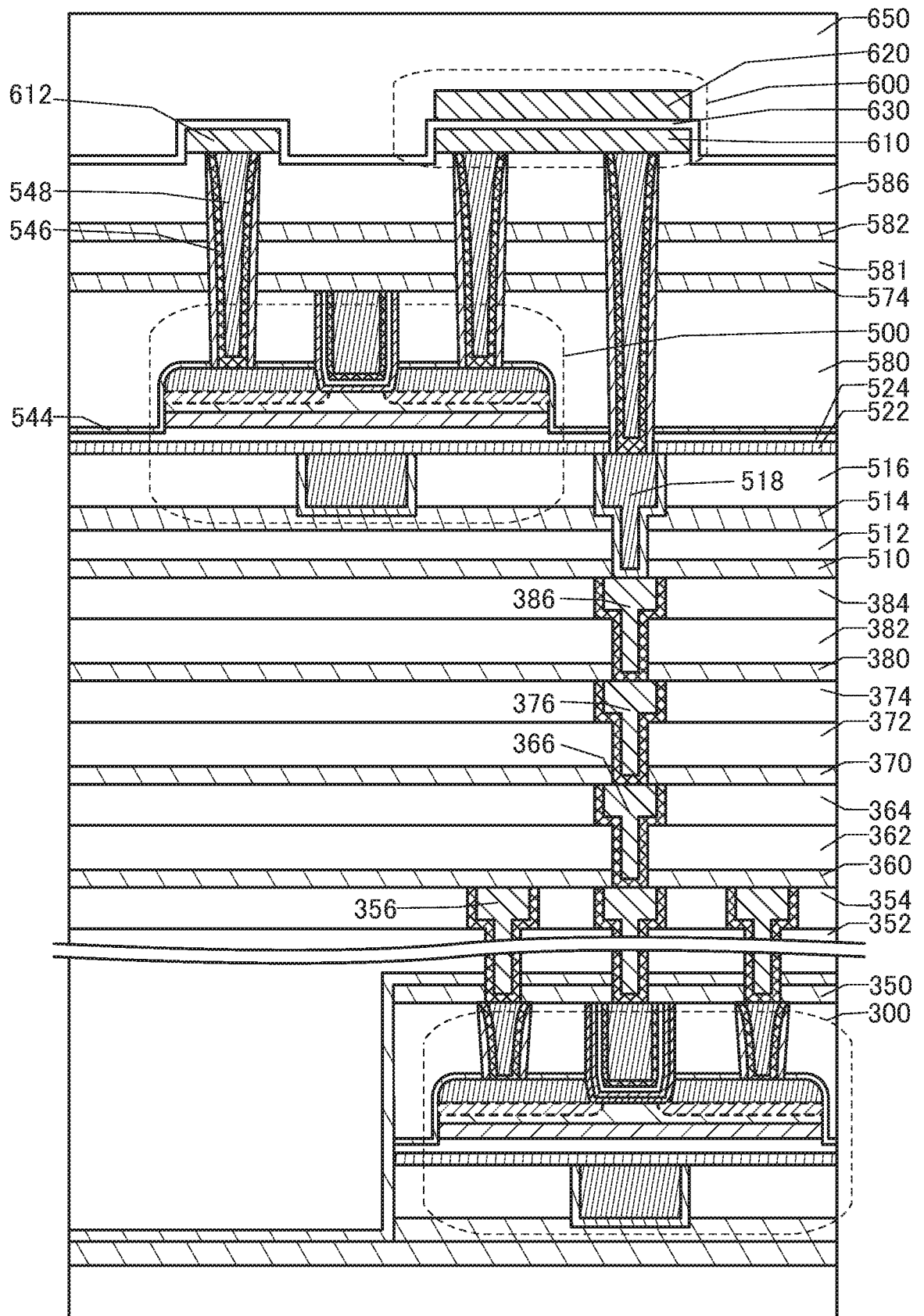


図26A

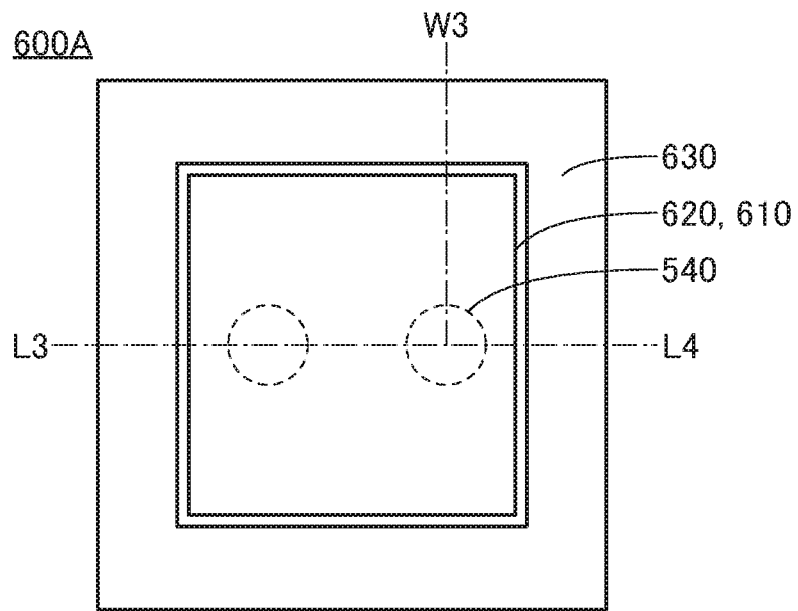


図26B

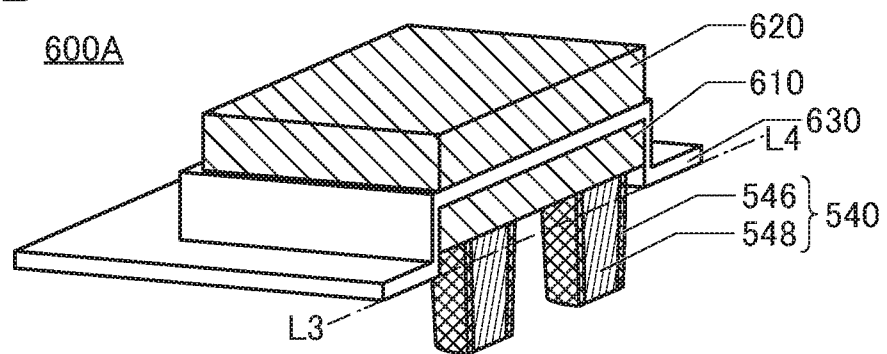


図26C

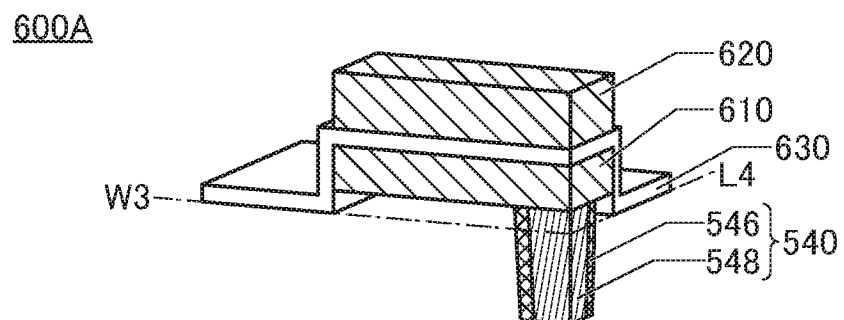


図27A

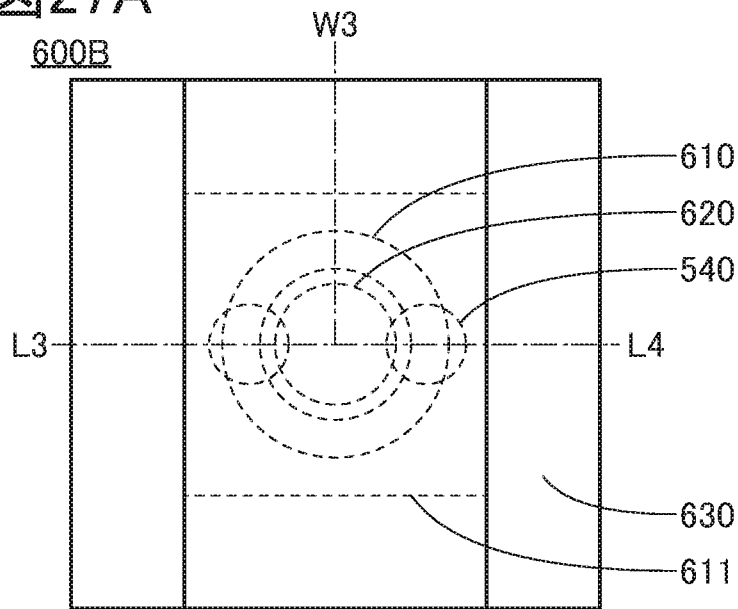


図27B

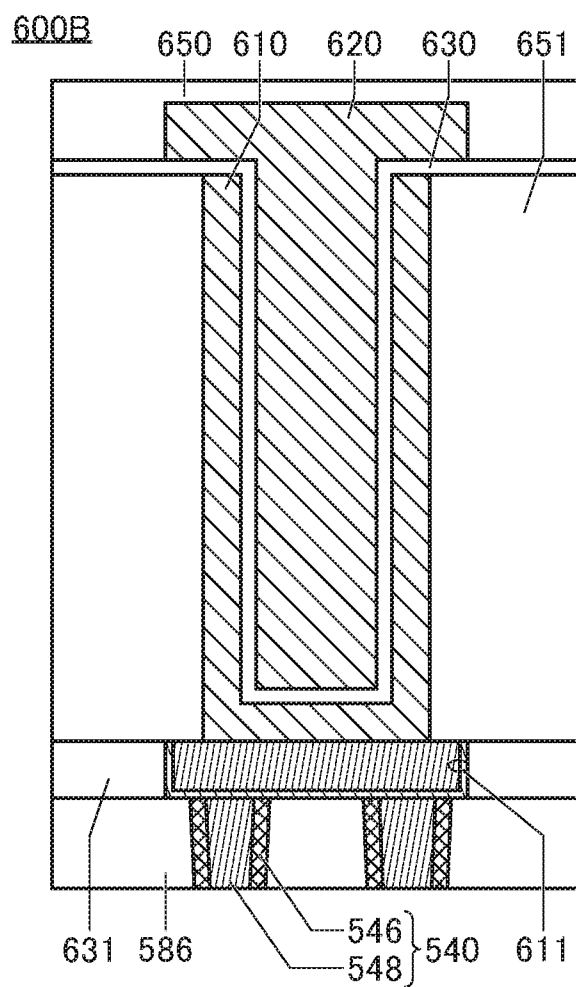


図27C

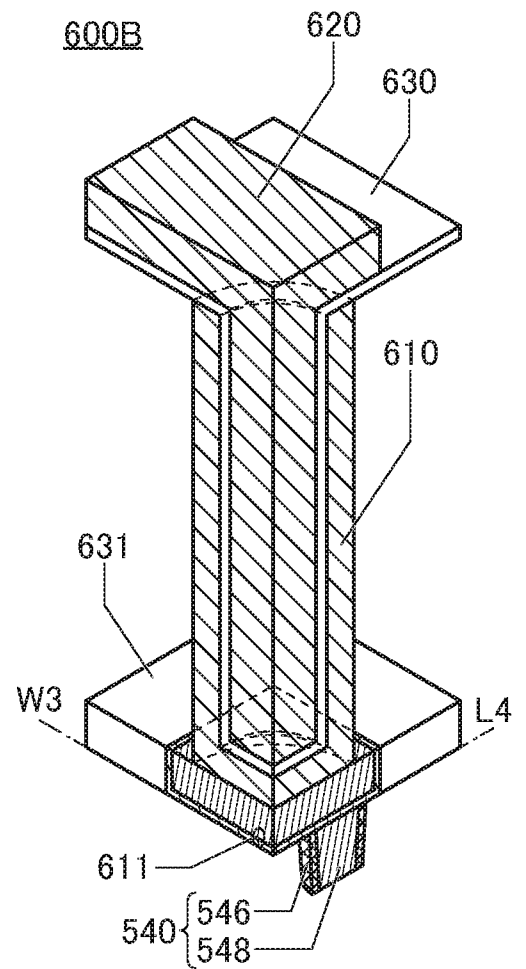


図28A

中間状態 新しい境界領域		
Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
completely amorphous	•CAAC •nc •CAC single crystalと poly crystalは 除く	•single crystal •poly crystal

図28B

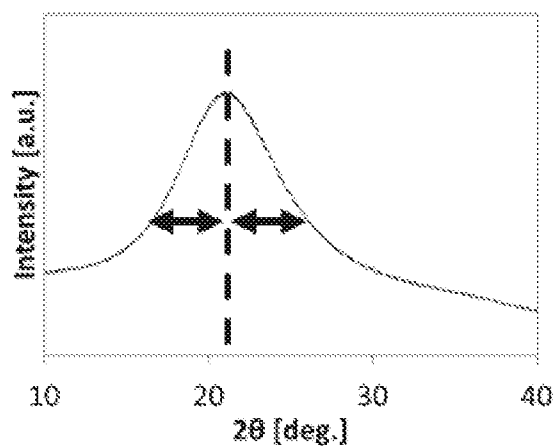


図28C

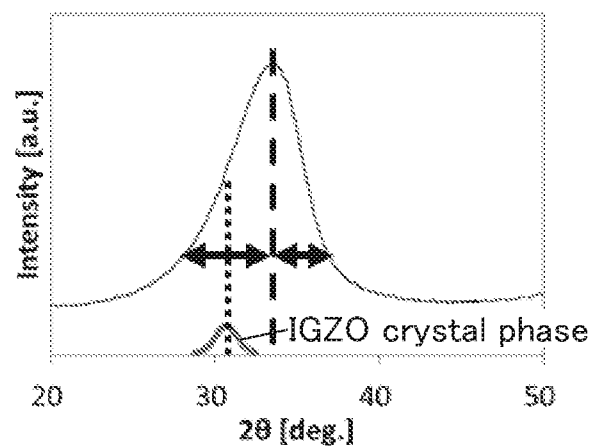
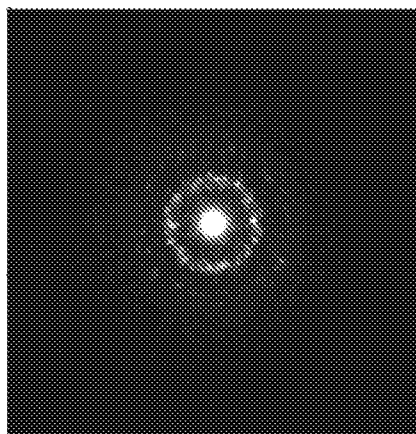


図28D



29/41

図29A

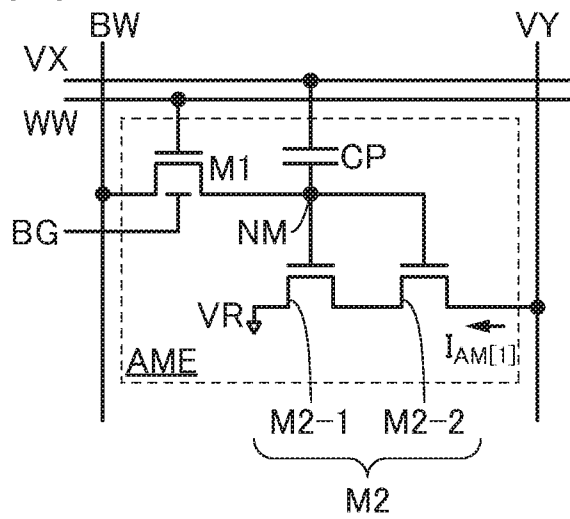


図29B

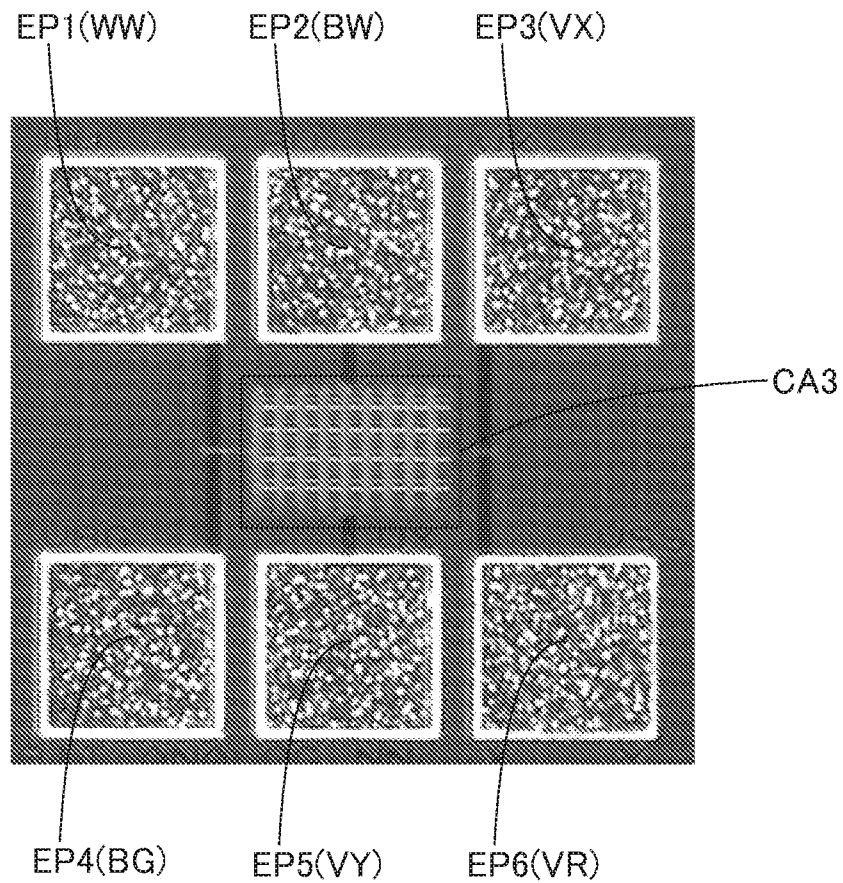


図30A

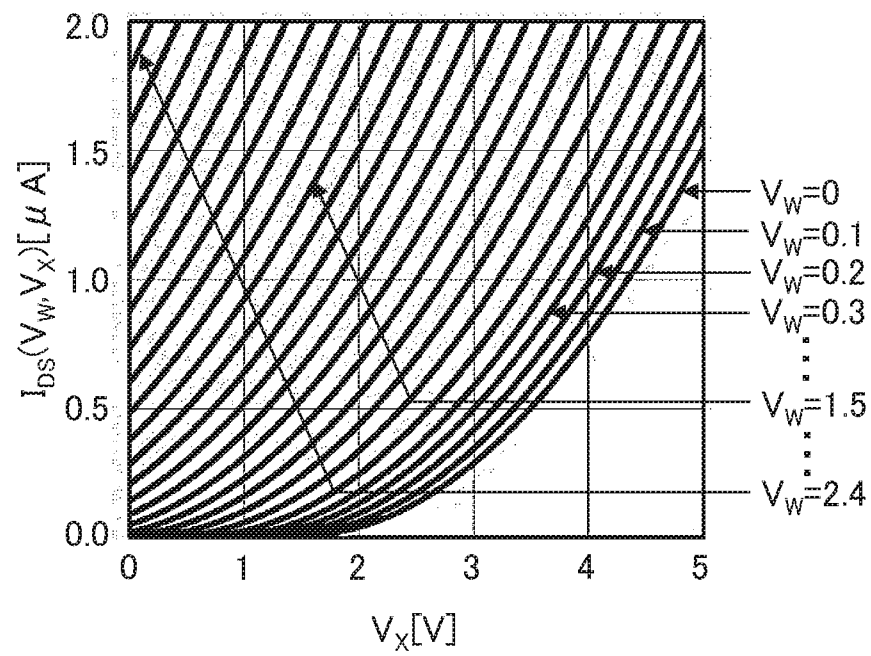


図30B

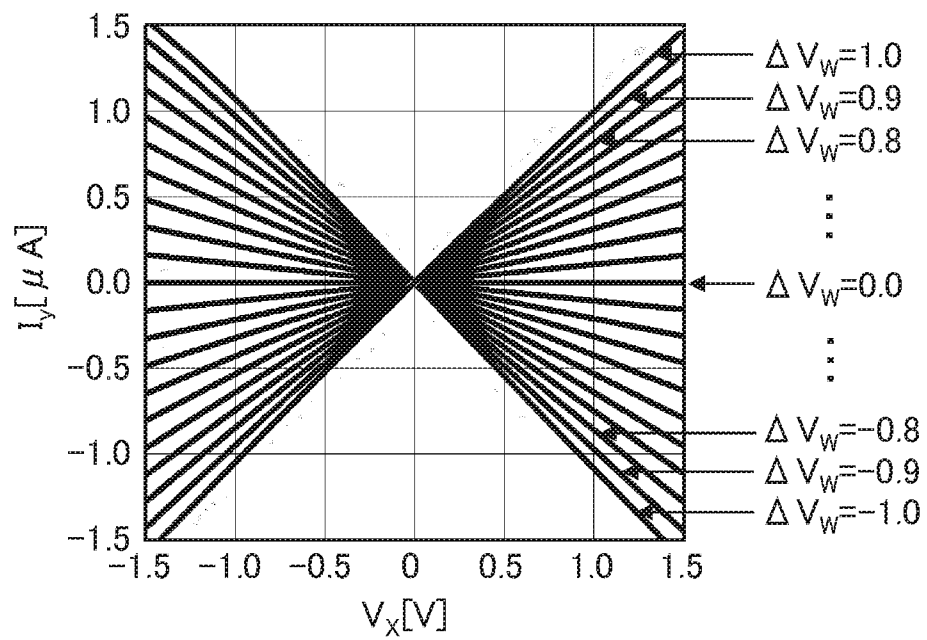


図31

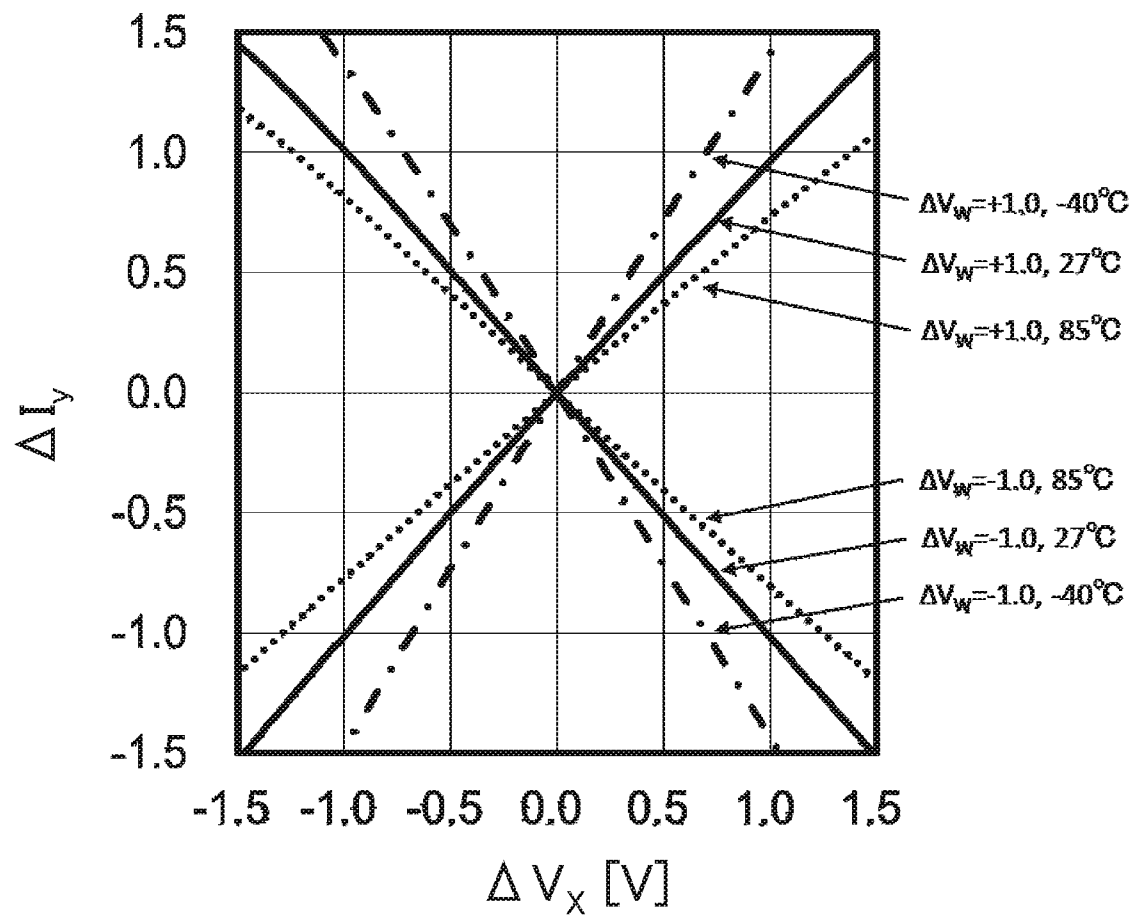


図32A

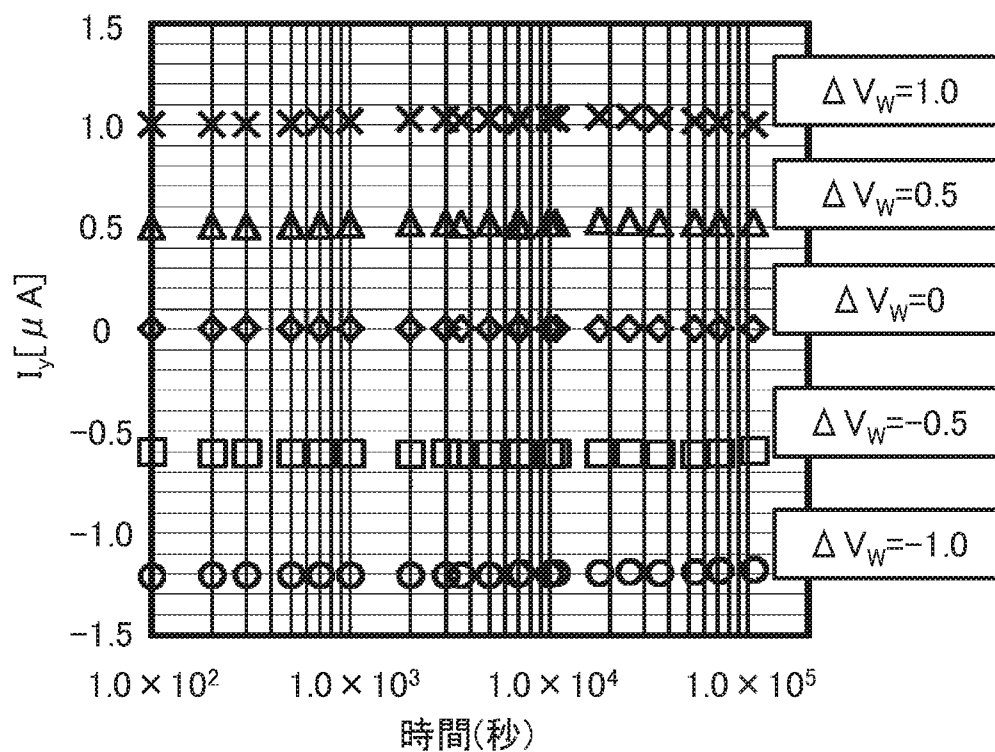


図32B

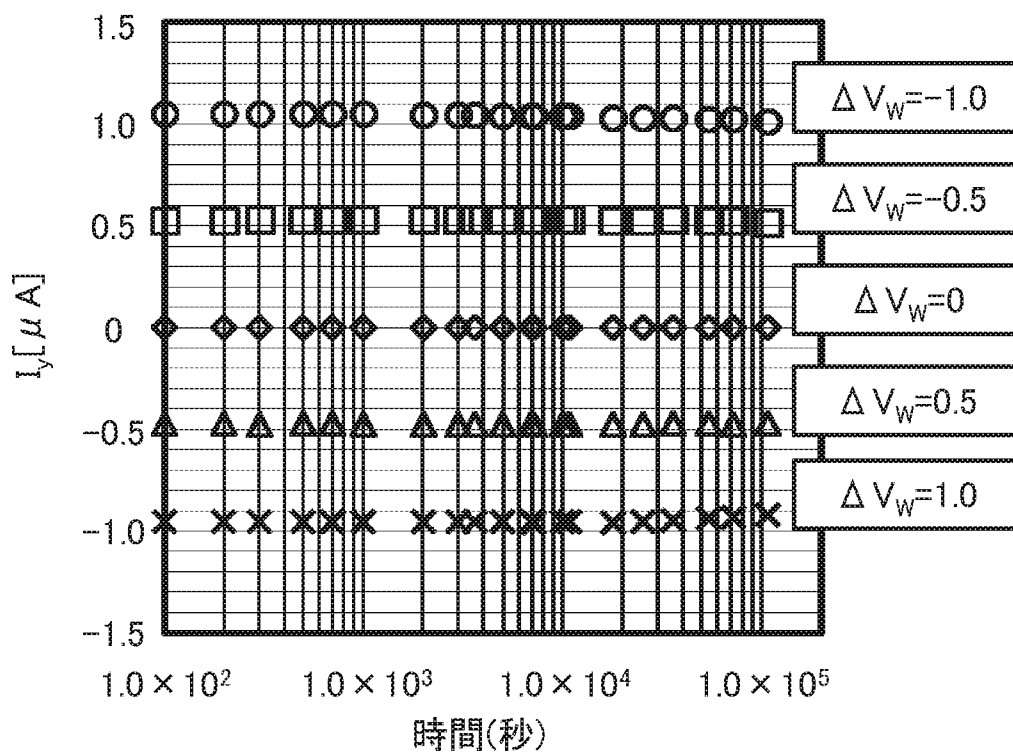


図33A

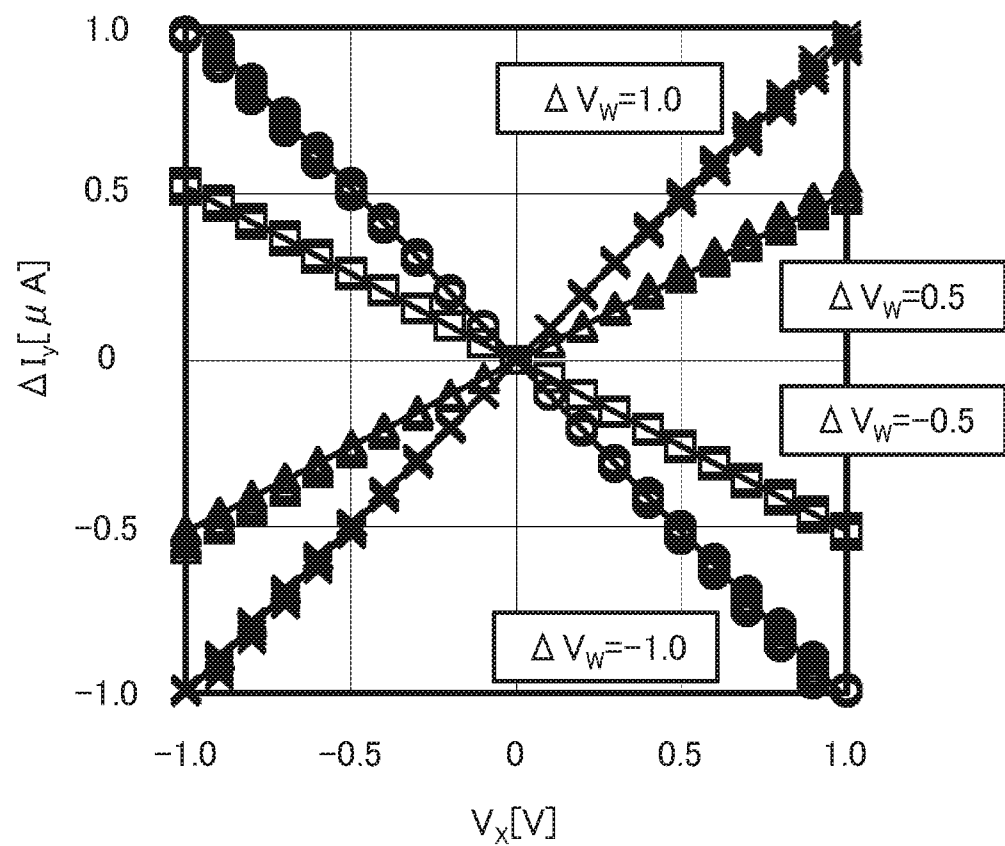


図33B

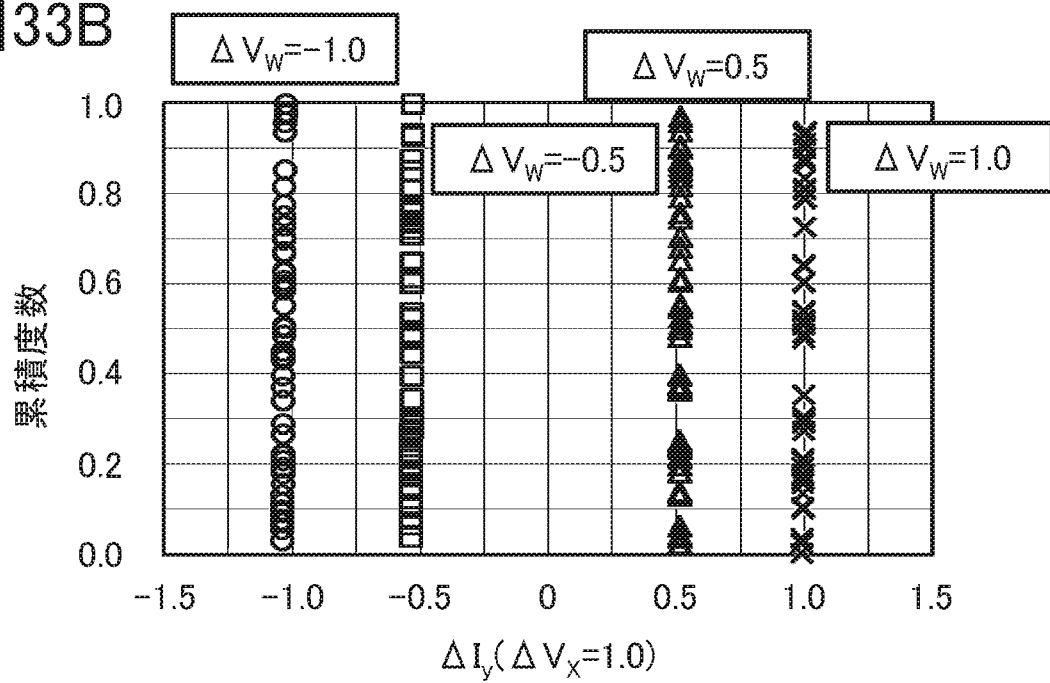


図34

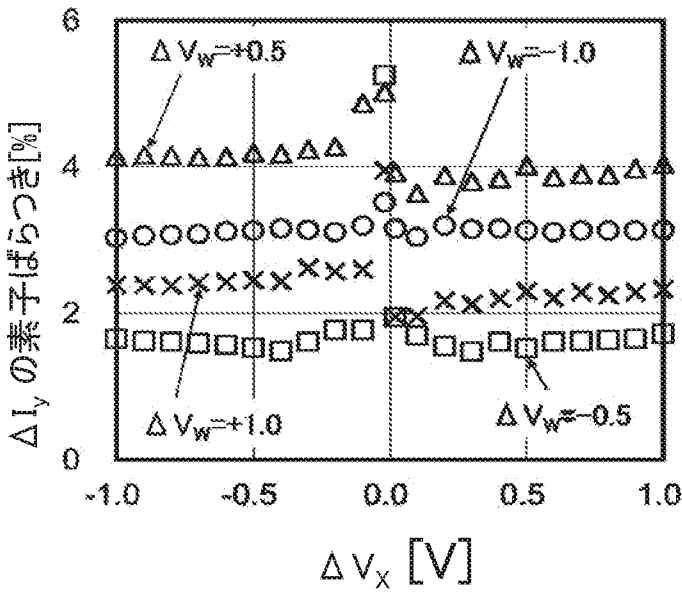


図35A

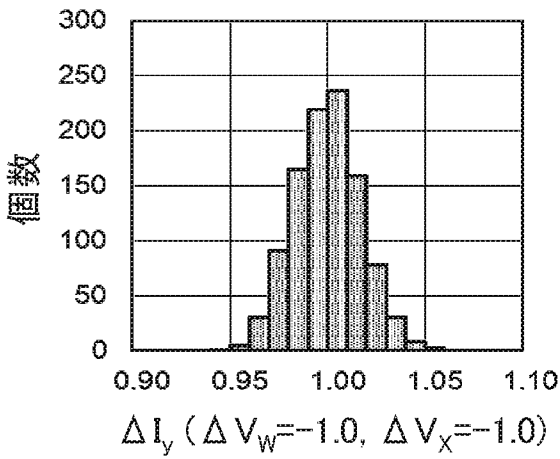


図35B

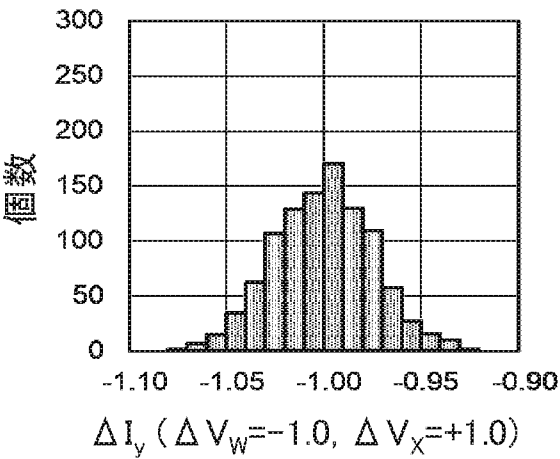


図35C

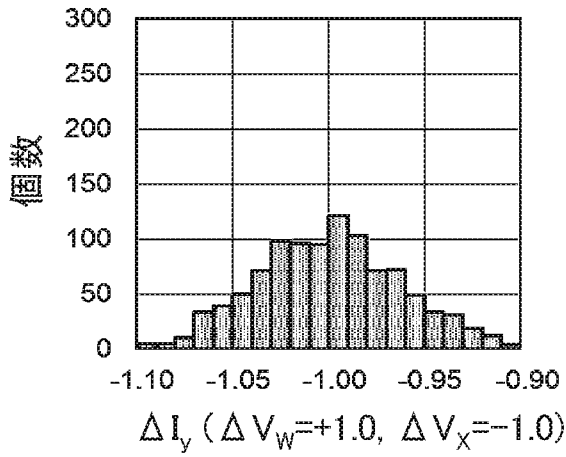


図35D

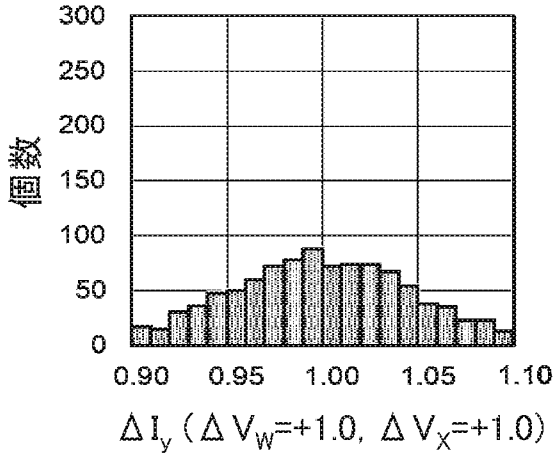
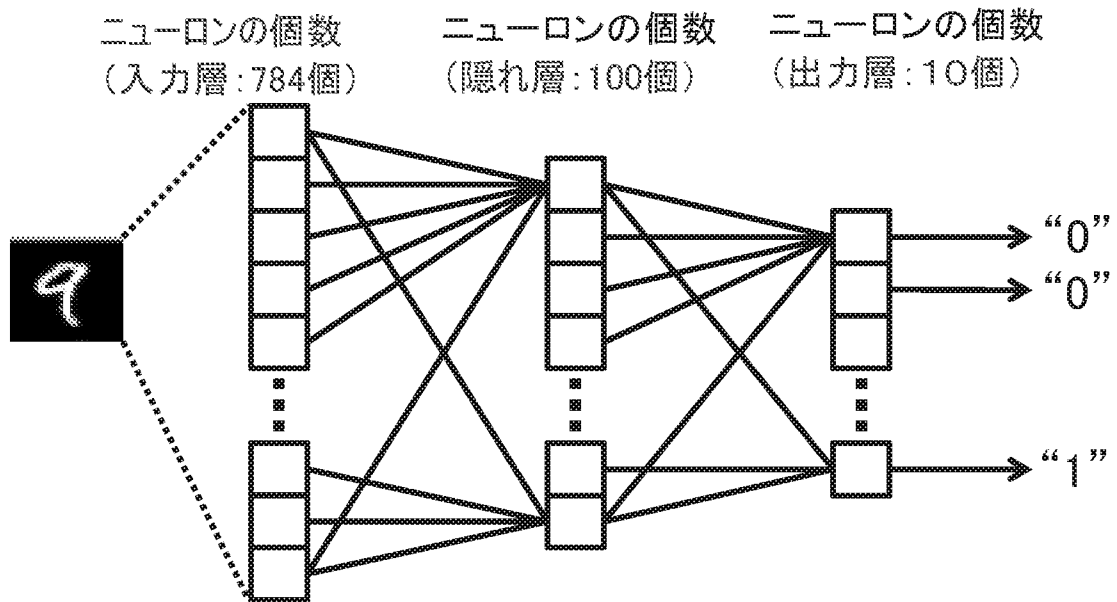


図36



37

37/41

MAC1A

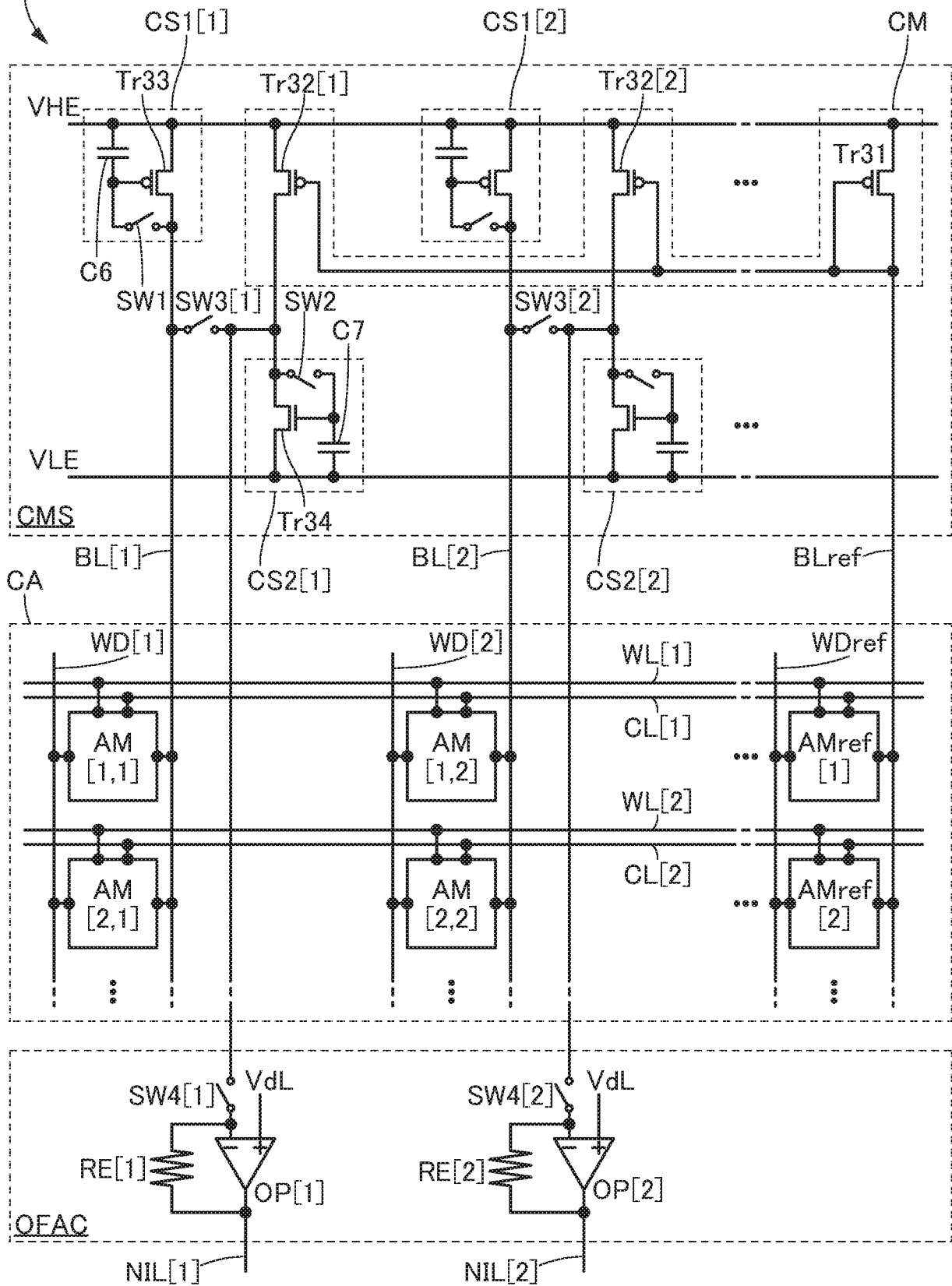


図38A

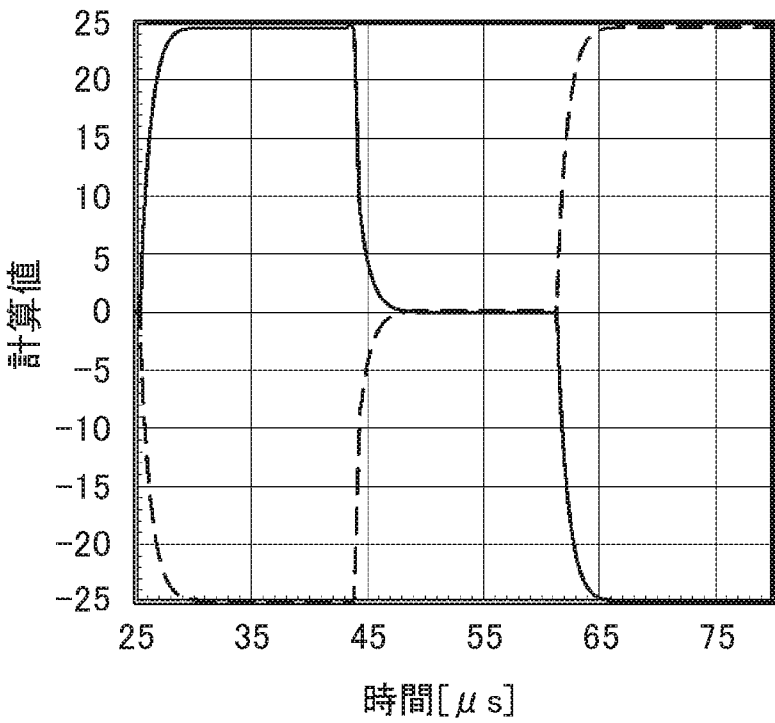


図38B

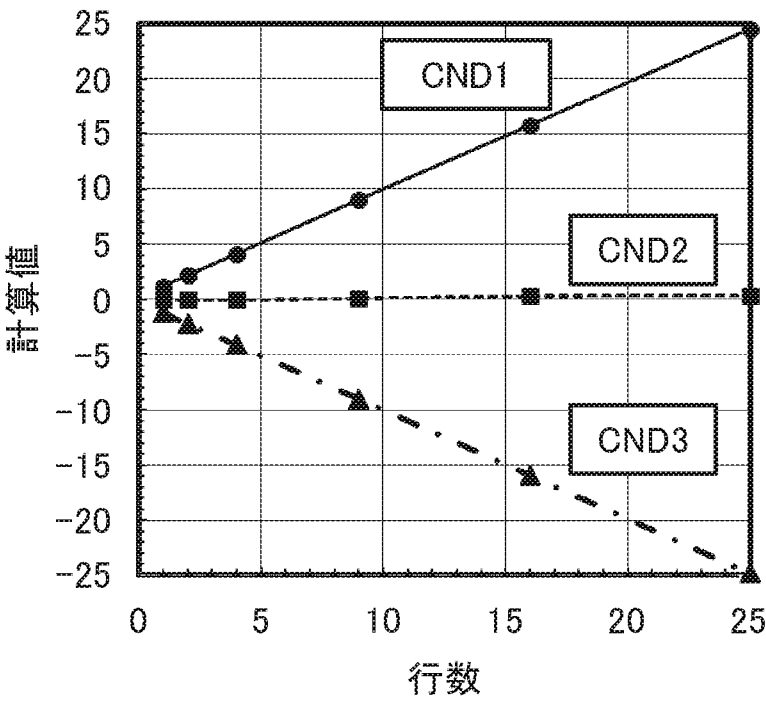


図39A

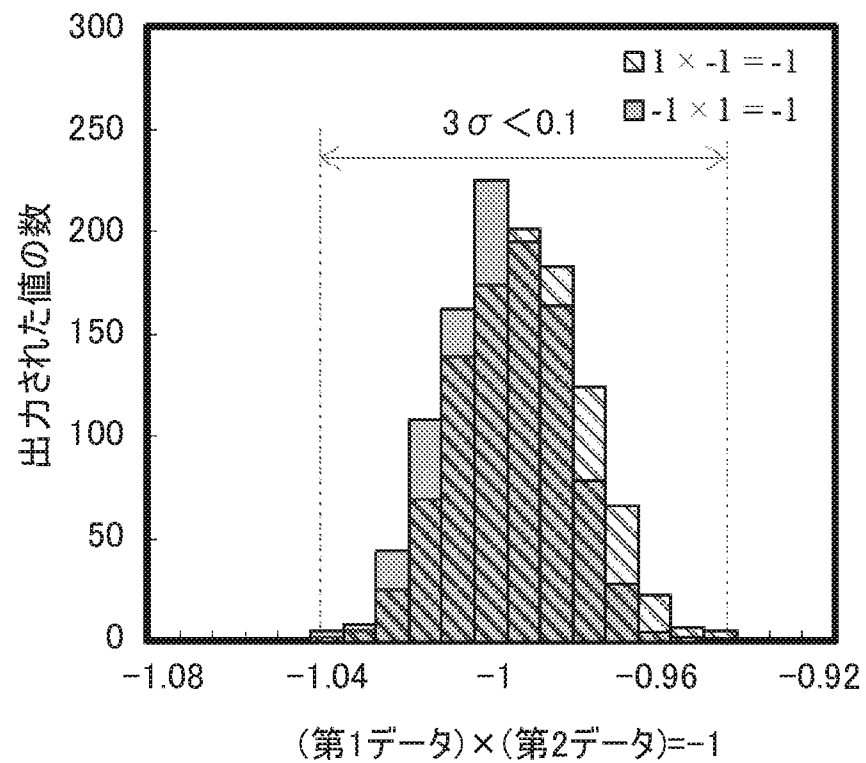


図39B

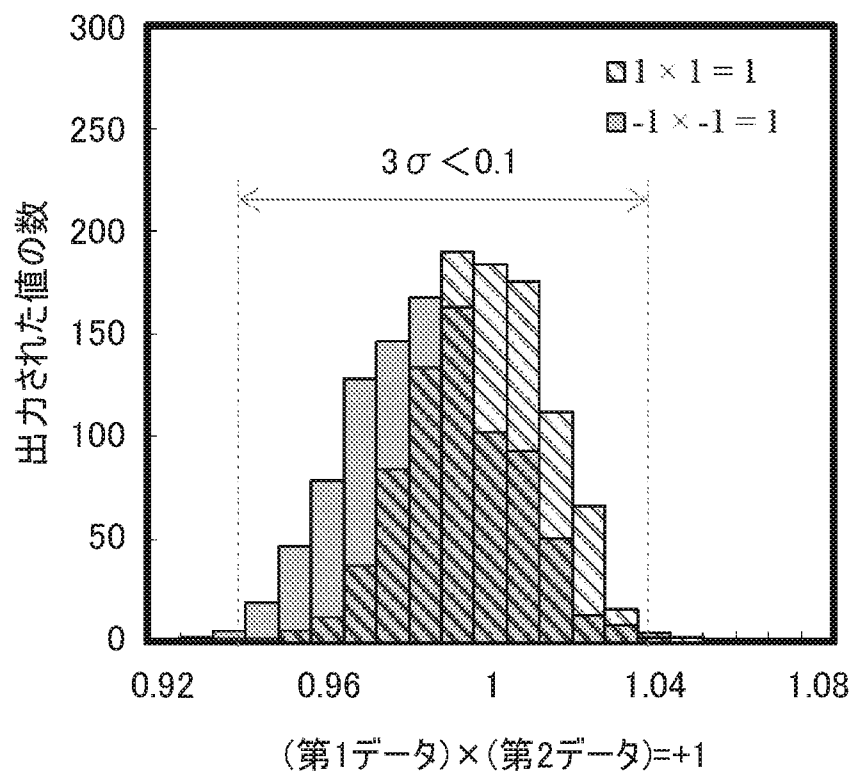


図40A

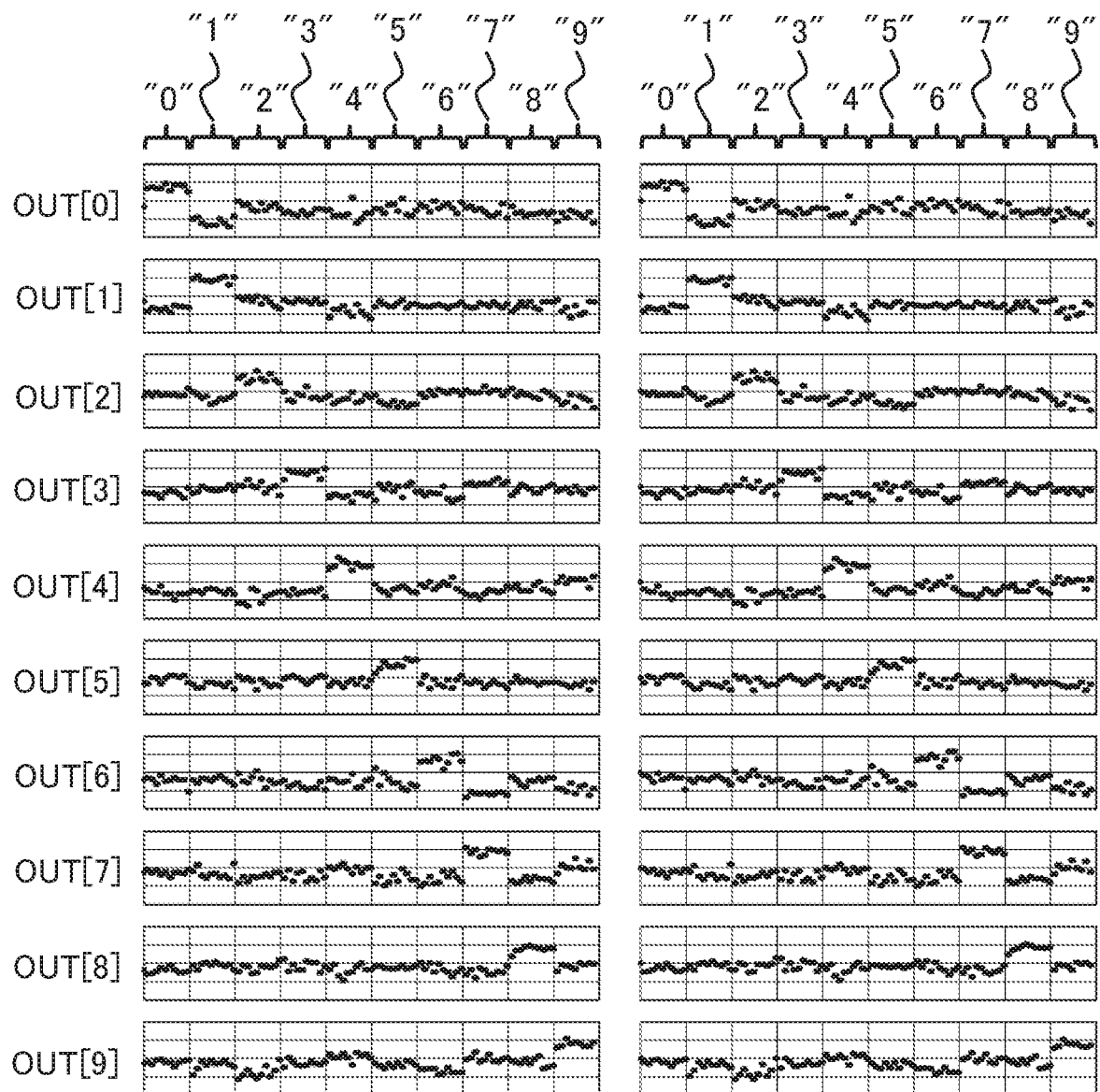


図40B

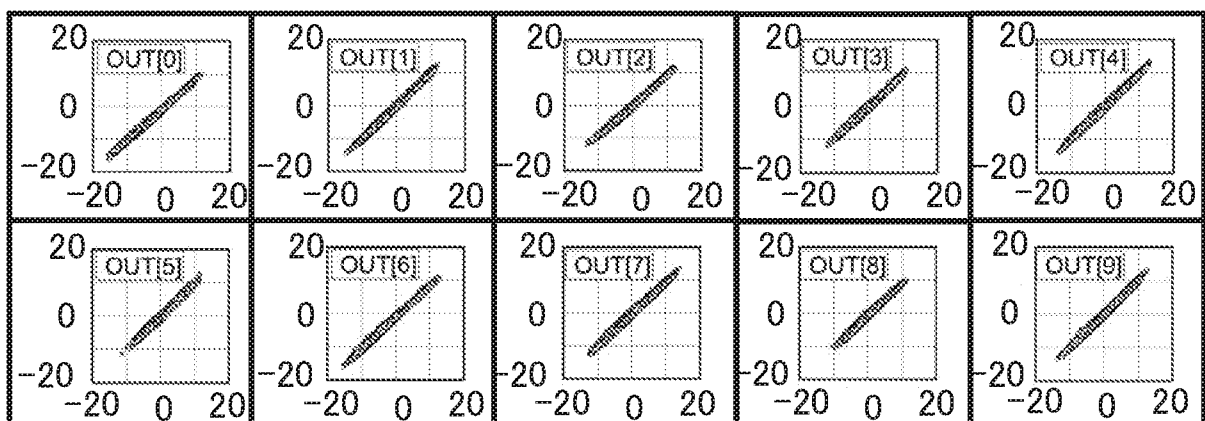
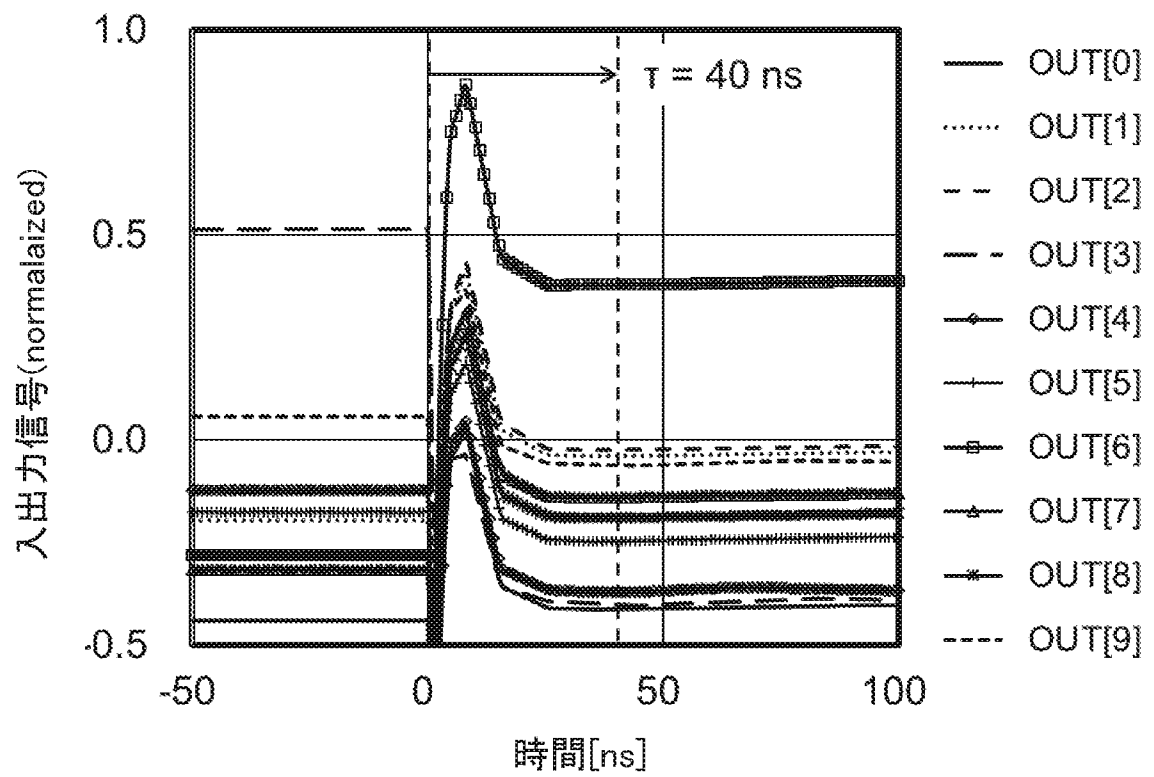


図41



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2020/051516

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G06F30/27 (2020.01) i, G06F30/10 (2020.01) i, G06F30/31 (2020.01) i
FI: G06F17/50652G, G06F17/50614B, G06F17/50604D

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G06F30/27, G06F30/10, G06F30/31

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2018-5436 A (HITACHI, LTD.) 11.01.2018 (2018-01-11), paragraphs [0021]-[0034]	1, 6 2-5, 7
A	JP 2015-176193 A (NEC PLATFORMS LTD.) 05.10.2015 (2015-10-05), abstract	1-7

☐

Further documents are listed in the continuation of Box C.

☒

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18.05.2020

Date of mailing of the international search report
26.05.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/IB2020/051516

JP 2018-5436 A 11.01.2018 US 2018/0004881 A1
paragraphs [0035]–[0054]

JP 2015-176193 A 05.10.2015 (Family: none)

A. 発明の属する分野の分類（国際特許分類（IPC）） G06F 30/27(2020.01)i; G06F 30/10(2020.01)i; G06F 30/31(2020.01)i FI: G06F17/50 652G; G06F17/50 614B; G06F17/50 604D														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） G06F30/27; G06F30/10; G06F30/31														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2020年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2020年	日本国実用新案登録公報	1996-2020年	日本国登録実用新案公報	1994-2020年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2020年													
日本国実用新案登録公報	1996-2020年													
日本国登録実用新案公報	1994-2020年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
X	JP 2018-5436 A（株式会社日立製作所）11.01.2018（2018-01-11） 【0021】～【0034】	1, 6												
A		2-5, 7												
A	JP 2015-176193 A（NECプラットフォームズ株式会社）05.10.2015（2015-10-05） 【要約】	1-7												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 18.05.2020	国際調査報告の発送日 26.05.2020													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 田中 幸雄 5H 9191 電話番号 03-3581-1101 内線 3545													

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/IB2020/051516

引用文献			公表日	パテントファミリー文献	公表日
JP	2018-5436	A	11.01.2018	US 2018/0004881 A1 [0035]-[0054]	
JP	2015-176193	A	05.10.2015	(ファミリーなし)	