

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5309672号
(P5309672)

(45) 発行日 平成25年10月9日(2013.10.9)

(24) 登録日 平成25年7月12日(2013.7.12)

(51) Int.Cl.

F I

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 1 2 D

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 2 6 C

H O 1 L 21/768 (2006.01)

H O 1 L 29/78 6 1 9 A

H O 1 L 21/3205 (2006.01)

H O 1 L 29/78 6 2 7 D

H O 1 L 23/522 (2006.01)

H O 1 L 21/88 Z

請求項の数 16 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2008-109998 (P2008-109998)
 (22) 出願日 平成20年4月21日(2008.4.21)
 (65) 公開番号 特開2009-260166 (P2009-260166A)
 (43) 公開日 平成21年11月5日(2009.11.5)
 審査請求日 平成22年11月10日(2010.11.10)

(73) 特許権者 000001443
 カシオ計算機株式会社
 東京都渋谷区本町1丁目6番2号
 (72) 発明者 保荊 一志
 東京都羽村市栄町3丁目2番1号
 カシオ計算機株式会
 社羽村技術センター内

審査官 井上 弘亘

(56) 参考文献 特開平10-206896(JP,A)

特開2004-349513(JP,A)
)

最終頁に続く

(54) 【発明の名称】 薄膜素子およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

第1の貫通孔を有する絶縁膜と、前記第1の貫通孔の内壁面に付着するように設けられた有底筒状の領域を有した薄膜と

、

前記薄膜上及び前記絶縁膜上に設けられた補強膜と、前記補強膜上に接着層を介して設けられた基板と、

を備え、

前記絶縁膜は、下地絶縁膜及び当該下地絶縁膜上に設けられたゲート絶縁膜を有し、前記下地絶縁膜上に、ゲート電極及び当該ゲート電極に接続されたゲート配線が設けられ、

10

前記ゲート絶縁膜上に、前記ゲート絶縁膜に設けられたコンタクトホールを介して前記ゲート配線の一端部で接続されたゲート配線用中継配線及び当該ゲート配線用中継配線に接続されたゲート配線用外部接続端子が設けられ、前記ゲート配線用外部接続端子は、前記ゲート絶縁膜及び前記下地絶縁膜に設けられた第3の貫通孔の内壁面、当該第3の貫通孔の下部及び当該第3の貫通孔の周囲における前記ゲート絶縁膜の上面に設けられ、前記ゲート配線用外部接続端子上及び前記ゲート絶縁膜上に前記補強膜が設けられ、前記第3の貫通孔の下部に設けられた前記ゲート配線用外部接続端子は、前記下地絶縁膜の下側に突出されている、

20

ことを特徴とする薄膜素子。

【請求項 2】

前記ゲート電極上における前記ゲート絶縁膜上に半導体薄膜が設けられ、
前記半導体薄膜上にソース電極及びドレイン電極が設けられ、
前記ゲート絶縁膜及び前記下地絶縁膜に前記第 1 の貫通孔が設けられ、
前記第 1 の貫通孔の内壁面、前記第 1 の貫通孔の下部及び前記第 1 の貫通孔の周囲にお
ける前記ゲート絶縁膜の上面に前記薄膜としての画素電極が前記ソース電極に接続されて
設けられ、

前記画素電極上、前記ソース電極上、前記ドレイン電極上及び前記ゲート絶縁膜上に前
記補強膜が設けられている、

10

ことを特徴とする請求項 1 に記載の薄膜素子。

【請求項 3】

前記ゲート絶縁膜上に前記ドレイン電極に接続されたドレイン配線及び当該ドレイン配
線的一端部で接続されたドレイン配線用外部接続端子が設けられ、

前記ドレイン配線用外部接続端子は前記ゲート絶縁膜及び前記下地絶縁膜に設けられた
第 2 の貫通孔の内壁面、当該第 2 の貫通孔の下部及び当該第 2 の貫通孔の周囲における前
記ゲート絶縁膜の上面に設けられ、

前記ドレイン配線用外部接続端子上及び前記ゲート絶縁膜上に前記補強膜が設けられ、
前記第 2 の貫通孔の下部に設けられた前記ドレイン配線用外部接続端子は前記下地絶縁
膜の下側に突出されている、

20

ことを特徴とする請求項 2 に記載の薄膜素子。

【請求項 4】

前記第 1 の貫通孔の下部に設けられた前記画素電極は前記下地絶縁膜の下側に突出され
ている、

ことを特徴とする請求項 2 に記載の薄膜素子。

【請求項 5】

前記第 1 の貫通孔の下部に設けられた前記画素電極の突出部分の下面は平坦となってい
る、

ことを特徴とする請求項 4 に記載の薄膜素子。

【請求項 6】

前記補強膜は無機材料を有する、
ことを特徴とする請求項 1 乃至 5 のいずれかに記載の薄膜素子。

30

【請求項 7】

前記基板はフィルム基板である、
ことを特徴とする請求項 1 乃至 6 のいずれかに記載の薄膜素子。

【請求項 8】

仮基板上に分離層を形成する工程と、
前記分離層上に絶縁膜を形成する工程と、
前記絶縁膜に第 1 の貫通孔を形成し、且つ、当該第 1 の貫通孔に対応する部分における
前記分離層の上面側に第 1 の凹部を形成する工程と、

40

前記第 1 の貫通孔の内壁面に付着することで前記貫通孔に対応する領域が有底筒状にな
るように薄膜を形成する工程と、

前記薄膜上及び前記絶縁膜上に補強膜を形成する工程と、

前記補強膜上に接着層を介して基板を接着する工程と、

前記仮基板及び前記分離層を除去する工程と、

を有し、

前記絶縁膜を形成する工程は、前記分離層上に下地絶縁膜を形成し、当該下地絶縁膜上
にゲート電極及び当該ゲート電極に接続されたゲート配線を形成し、当該ゲート電極上、
当該ゲート配線上及び当該下地絶縁膜上にゲート絶縁膜を形成する工程を含み、

前記ゲート電極上における前記ゲート絶縁膜上に半導体薄膜を形成する工程を有し、

50

前記半導体薄膜上にソース電極及びドレイン電極を形成する工程を有し、

前記第 1 の貫通孔及び前記第 1 の凹部を形成する工程は、前記ゲート絶縁膜及び前記下地絶縁膜に第 3 の貫通孔を形成し、且つ、前記第 3 の貫通孔に対応する部分における前記分離層の上面側に第 3 の凹部を形成し、さらに、前記ゲート配線の一端部に対応する部分における前記ゲート絶縁膜にコンタクトホールを形成する工程を含み、

前記ソース電極及び前記ドレイン電極を形成する工程は、前記ゲート絶縁膜上に前記コンタクトホールを介して前記ゲート配線の一端部で接続されたゲート配線用中継配線を形成し、且つ、前記第 3 の貫通孔の内壁面、前記第 3 の凹部及び前記第 3 の貫通孔の周囲における前記ゲート絶縁膜の上面に前記ゲート配線用中継配線に接続されたゲート配線用外部接続端子を形成する工程を含み、

10

前記補強膜を形成する工程は、前記ソース電極上、前記ドレイン電極上、前記ゲート配線用外部接続端子上及び前記ゲート絶縁膜上に前記補強膜を形成する工程を含む、
ことを特徴とする薄膜素子の製造方法。

【請求項 9】

前記第 1 の貫通孔及び前記第 1 の凹部を形成する工程は、前記ゲート絶縁膜及び前記下地絶縁膜に前記第 1 の貫通孔を形成し、且つ、前記第 1 の貫通孔に対応する部分における前記分離層の上面側に前記第 1 の凹部を形成する工程であり、

前記薄膜を形成する工程は、前記第 1 の貫通孔の内壁面、前記第 1 の凹部内及び前記第 1 の貫通孔の周囲における前記ゲート絶縁膜の上面に前記薄膜としての画素電極を前記ソース電極に接続させて形成する工程であり、

20

前記補強膜を形成する工程は、前記画素電極上及び前記ゲート絶縁膜上に前記補強膜を形成する工程を含む、

ことを特徴とする請求項 8 に記載の薄膜素子の製造方法。

【請求項 10】

前記第 1 の貫通孔及び前記第 1 の凹部を形成する工程は、前記ゲート絶縁膜及び前記下地絶縁膜に第 2 の貫通孔を形成し、且つ、前記第 2 の貫通孔に対応する部分における前記分離層の上面側に第 2 の凹部を形成する工程を含み、

前記ソース電極及び前記ドレイン電極を形成する工程は、前記ゲート絶縁膜上に前記ドレイン電極に接続されたドレイン配線を形成し、且つ、前記第 2 の貫通孔の内壁面、前記第 2 の凹部内及び前記第 2 の貫通孔の周囲における前記ゲート絶縁膜の上面に前記ドレイン配線の一端部で接続されたドレイン配線用外部接続端子を形成する工程を含み、

30

前記補強膜を形成する工程は、前記ドレイン配線用外部接続端子上及び前記ゲート絶縁膜上に前記補強膜を形成する工程を含む、

ことを特徴とする請求項 9 に記載の薄膜素子の製造方法。

【請求項 11】

前記補強膜は無機材料によって形成する、

ことを特徴とする請求項 8 乃至 10 のいずれかに記載の薄膜素子の製造方法。

【請求項 12】

前記補強膜はプラズマ CVD 法により形成する、

ことを特徴とする請求項 8 乃至 11 のいずれかに記載の薄膜素子の製造方法。

40

【請求項 13】

前記分離層はアモルファスシリコンによって形成し、

前記仮基板及び前記分離層を除去する工程は、

前記仮基板の下側からレーザビームを照射して前記分離層から前記仮基板を剥離可能な状態とする工程と、

前記分離層から前記仮基板を剥離して除去する工程と、

前記分離層をエッチングして除去する工程と、

を含む、

ことを特徴とする請求項 8 乃至 12 のいずれかに記載の薄膜素子の製造方法。

【請求項 14】

50

前記分離層は酸化亜鉛によって形成し、
前記仮基板及び前記分離層を除去する工程は、前記分離層をエッチングして除去することにより、前記仮基板を自然に剥離して除去する工程である、
ことを特徴とする請求項 8 乃至 12 のいずれかに記載の薄膜素子の製造方法。

【請求項 15】

前記仮基板はガラス基板である、
ことを特徴とする請求項 8 乃至 14 のいずれかに記載の薄膜素子の製造方法。

【請求項 16】

前記基板はフィルム基板である、
ことを特徴とする請求項 8 乃至 15 のいずれかに記載の薄膜素子の製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

この発明は薄膜素子およびその製造方法に関する。

【背景技術】

【0002】

従来の薄膜素子には、基板として、製造工程時の温度に耐えることができない材料によって形成したものをを用いたものがある（例えば、特許文献 1 参照）。この場合の製造方法としては、まず、製造工程時の温度に耐えることができる材料からなる仮基板上に分離層を形成している。次に、分離層上に薄膜素子構成体を形成している。次に、薄膜素子構成体上に、製造工程時の温度に耐えることができない材料からなる基板を接着層を介して接着している。次に、仮基板および分離層を除去している。

20

【0003】

【特許文献 1】特開 2004 - 140382 号公報

【0004】

ところで、特許文献 1 には、液晶表示装置の薄膜トランジスタパネルに適用したものが記載されている（特許文献 1 の図 23 ~ 図 27 参照）。この薄膜トランジスタパネルの完成した状態における画素電極の部分は、本願の図 21 に示すような構造となっている。すなわち、酸化シリコンからなる下地絶縁膜 100 の上面には酸化シリコンからなる層間絶縁膜 101 が設けられている。層間絶縁膜 101 の上面には酸化シリコンからなる保護膜 102 が設けられている。

30

【0005】

保護膜 102、層間絶縁膜 101 および下地絶縁膜 100 の所定の箇所には貫通孔 103 が設けられている。貫通孔 103 の内壁面、貫通孔 103 の下部および貫通孔 103 の周囲における保護膜 102 の上面には有底筒状の画素電極（薄膜）104 が設けられている。画素電極 104 および保護膜 102 の上面には、製造工程時の温度に耐えることができない材料からなる基板 105 が接着層 106 を介して接着されている。

【0006】

次に、この薄膜トランジスタパネルの画素電極 104 の部分の製造方法について説明する。まず、図 22 に示すように、製造工程時の温度に耐えることができる材料からなる仮基板 107 の上面にアモルファスシリコンからなる分離層 108、酸化シリコンからなる下地絶縁膜 100、酸化シリコンからなる層間絶縁膜 101 および酸化シリコンからなる保護膜 102 を形成する。

40

【0007】

次に、図 23 に示すように、保護膜 102、層間絶縁膜 101 および下地絶縁膜 100 の所定の箇所に、フォトリソグラフィ法により、貫通孔 103 を形成する。次に、図 24 に示すように、貫通孔 103 の内壁面、貫通孔 103 の下部および貫通孔 103 の周囲における保護膜 102 の上面に有底筒状の画素電極 104 をパターン形成する。

【0008】

次に、図 25 に示すように、画素電極 104 および保護膜 102 の上面に基板 105 を

50

接着層 106 を介して接着する。次に、図 26 に示すように、仮基板 107 の下側からエキシマレーザビームを照射することにより、分離層 108 から仮基板 107 を剥離可能な状態とする。次に、分離層 108 から仮基板 107 を剥離して除去する。次に、分離層 108 をエッチングして除去する。かくして、図 21 に示すものが得られる。

【発明の開示】

【発明が解決しようとする課題】

【0009】

ところで、図 23 に示すように、保護膜 102、層間絶縁膜 101 および下地絶縁膜 100 の所定の箇所に、フォトリソグラフィ法により、貫通孔 103 を形成するとき、保護膜 102 等の材料である酸化シリコンと分離層 108 の材料であるアモルファスシリコンとの間にさほどエッチング選択比がとれないため、実際には、図 27 (A) に示すように、貫通孔 103 に対応する部分における分離層 108 の上面側にある程度の深さの凹部 109 が形成される。

10

【0010】

この結果、図 27 (B) に示すように、完成した状態では、貫通孔 103 の下部に形成された画素電極 104 は下地絶縁膜 100 の下側にやや突出される。この状態では、貫通孔 103 内に形成された有底筒状の画素電極 104 の内部には接着層 106 が充填されている。しかしながら、有底筒状の画素電極 104 の内底部周辺部まで接着層 106 が確実に充填されないおそれがある。このような場合には、画素電極 104 の厚さが例えば 0.05 μm 程度と極めて薄く、且つ、画素電極 104 の底部の面積が比較的大きいので、画素電極 104 の底部周辺部 104a が機械的に弱くなり、破損するおそれがあるという問題がある。

20

【0011】

そこで、この発明は、貫通孔内に設けられた有底筒状の薄膜の底部周辺部が破損しにくいようにすることができる薄膜素子およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0012】

前記目的を果たすため、本発明の薄膜素子の一態様は、第 1 の貫通孔を有する絶縁膜と、前記第 1 の貫通孔の内壁面に付着するように設けられた有底筒状の領域を有した薄膜と、前記薄膜上及び前記絶縁膜上に設けられた補強膜と、前記補強膜上に接着層を介して設けられた基板と、を備え、前記絶縁膜は、下地絶縁膜及び当該下地絶縁膜上に設けられたゲート絶縁膜を有し、前記下地絶縁膜上に、ゲート電極及び当該ゲート電極に接続されたゲート配線が設けられ、前記ゲート絶縁膜上に、前記ゲート絶縁膜に設けられたコンタクトホールを介して前記ゲート配線の一端部で接続されたゲート配線用中継配線及び当該ゲート配線用中継配線に接続されたゲート配線用外部接続端子が設けられ、前記ゲート配線用外部接続端子は、前記ゲート絶縁膜及び前記下地絶縁膜に設けられた第 3 の貫通孔の内壁面、当該第 3 の貫通孔の下部及び当該第 3 の貫通孔の周囲における前記ゲート絶縁膜の上面に設けられ、前記ゲート配線用外部接続端子上及び前記ゲート絶縁膜上に前記補強膜が設けられ、前記第 3 の貫通孔の下部に設けられた前記ゲート配線用外部接続端子は、前記下地絶縁膜の下側に突出されている、ことを特徴とする。

30

40

また、前記目的を果たすため、本発明の薄膜素子の製造方法の一態様は、仮基板上に分離層を形成する工程と、前記分離層上に絶縁膜を形成する工程と、前記絶縁膜に第 1 の貫通孔を形成し、且つ、当該第 1 の貫通孔に対応する部分における前記分離層の上面側に第 1 の凹部を形成する工程と、前記第 1 の貫通孔の内壁面に付着することで前記貫通孔に対応する領域が有底筒状になるように薄膜を形成する工程と、前記薄膜上及び前記絶縁膜上に補強膜を形成する工程と、前記補強膜上に接着層を介して基板を接着する工程と、前記仮基板及び前記分離層を除去する工程と、を有し、前記絶縁膜を形成する工程は、前記分離層上に下地絶縁膜を形成し、当該下地絶縁膜上にゲート電極及び当該ゲート電極に接続されたゲート配線を形成し、当該ゲート電極上、当該ゲート配線上及び当該下地絶縁膜上にゲート絶縁膜を形成する工程を含み、前記ゲート電極上における前記ゲート絶縁膜上に

50

半導体薄膜を形成する工程を有し、前記半導体薄膜上にソース電極及びドレイン電極を形成する工程を有し、前記第１の貫通孔及び前記第１の凹部を形成する工程は、前記ゲート絶縁膜及び前記下地絶縁膜に第３の貫通孔を形成し、且つ、前記第３の貫通孔に対応する部分における前記分離層の上面側に第３の凹部を形成し、さらに、前記ゲート配線の一端部に対応する部分における前記ゲート絶縁膜にコンタクトホールを形成する工程を含み、前記ソース電極及び前記ドレイン電極を形成する工程は、前記ゲート絶縁膜上に前記コンタクトホールを介して前記ゲート配線の一端部で接続されたゲート配線用中継配線を形成し、且つ、前記第３の貫通孔の内壁面、前記第３の凹部及び前記第３の貫通孔の周囲における前記ゲート絶縁膜の上面に前記ゲート配線用中継配線に接続されたゲート配線用外部接続端子を形成する工程を含み、前記補強膜を形成する工程は、前記ソース電極上、前記ドレイン電極上、前記ゲート配線用外部接続端子上及び前記ゲート絶縁膜上に前記補強膜を形成する工程を含む、ことを特徴とする。

10

【発明の効果】

【００１３】

この発明によれば、貫通孔内に設けられた有底筒状の薄膜の底部周辺部が破損しにくいようにすることができる。

【発明を実施するための最良の形態】

【００１４】

（第１実施形態）

図１はこの発明の第１実施形態としての薄膜トランジスタパネルの要部の断面図を示す。この場合、図１の左側から右側に向かって、ドレイン配線用外部接続端子２１の部分の断面図、画素電極１３を含む薄膜トランジスタ１１の部分の断面図、ゲート配線用外部接続端子３１の部分の断面図を示す。

20

【００１５】

まず、画素電極１３を含む薄膜トランジスタ１１の部分について説明する。窒化シリコン等の無機材料からなる下地絶縁膜１の上面の所定の箇所にはクロム等からなるゲート電極２および該ゲート電極２に接続されたゲート配線３が設けられている。ゲート電極２およびゲート配線３を含む下地絶縁膜１の上面には窒化シリコン等の無機材料からなるゲート絶縁膜４が設けられている。

【００１６】

30

ゲート電極２上におけるゲート絶縁膜４の上面の所定の箇所には真性アモルファスシリコンからなる半導体薄膜５が設けられている。半導体薄膜５の上面ほぼ中央部には窒化シリコン等の無機材料からなるチャネル保護膜６が設けられている。チャネル保護膜６の上面両側およびその両側における半導体薄膜５の上面にはｎ型アモルファスシリコンからなるオーミックコンタクト層７、８が設けられている。

【００１７】

一方のオーミックコンタクト層７の上面およびその近傍におけるゲート絶縁膜４の上面にはクロム等からなるソース電極９が設けられている。他方のオーミックコンタクト層８の上面にはクロム等からなるドレイン電極１０が設けられている。ここで、ゲート電極２、ゲート絶縁膜４、半導体薄膜５、チャネル保護膜６、オーミックコンタクト層７、８、ソース電極９およびドレイン電極１０により、薄膜トランジスタ１１が構成されている。

40

【００１８】

薄膜トランジスタ１１の近傍におけるゲート絶縁膜４および下地絶縁膜１の所定の箇所には第１の貫通孔１２が設けられている。第１の貫通孔１２の内壁面、第１の貫通孔１２の下部および第１の貫通孔１２の周囲におけるゲート絶縁膜４の上面にはＩＴＯからなる有底筒状の画素電極（薄膜）１３がソース電極９に接続されて設けられている。この場合、第１の貫通孔１２の下部に設けられた画素電極１３は下地絶縁膜１の下側にやや突出され、この突出部分の下面は平坦となっている。ゲート絶縁膜４の上面の所定の箇所にはクロム等からなるドレイン配線１４がドレイン電極１０に接続されて設けられている。

【００１９】

50

次に、ドレイン配線用外部接続端子 2 1 の部分について説明する。ドレイン配線用外部接続端子 2 1 は、ゲート絶縁膜 4 および下地絶縁膜 1 の所定の箇所に設けられた第 2 の貫通孔 2 2 の内壁面、第 2 の貫通孔 2 2 の下部および第 2 の貫通孔 2 2 の周囲におけるゲート絶縁膜 4 の上面に設けられている。この場合、第 2 の貫通孔 2 2 の下部に設けられたドレイン配線用外部接続端子 2 1 は下地絶縁膜 1 の下側にやや突出され、この突出部分の下面は平坦となっている。ドレイン配線用外部接続端子 2 1 はドレイン配線 1 4 の一端部に接続されている。

【 0 0 2 0 】

次に、ゲート配線用外部接続端子 3 1 の部分について説明する。ゲート配線用外部接続端子 3 1 は、下地絶縁膜 1 の所定の箇所に設けられた第 3 の貫通孔 3 2 の内壁面、第 3 の貫通孔 3 2 の下部および第 3 の貫通孔 3 2 の周囲における下地絶縁膜 1 の上面に設けられている。この場合、第 3 の貫通孔 3 2 の下部に設けられたゲート配線用外部接続端子 3 1 は下地絶縁膜 1 の下側にやや突出され、この突出部分の下面は平坦となっている。ゲート配線用外部接続端子 3 1 はゲート配線 3 の一端部に接続されている。ゲート配線 3 を含むゲート配線用外部接続端子 3 1 の上面にはゲート絶縁膜 4 が設けられている。

【 0 0 2 1 】

次に、図 1 に示す全体について説明する。薄膜トランジスタ 1 1、画素電極 1 3、ドレイン配線 1 4、ドレイン配線用外部接続端子 2 1 およびゲート絶縁膜 4 の上面には窒化シリコン等の無機材料からなる補強膜 4 1 が設けられている。補強膜 4 1 の上面には、製造工程時の温度に耐えることができない材料であるポリイミド系樹脂等の有機樹脂からなるフィルム基板 4 2 の下面がエポキシ系樹脂等からなる接着層 4 3 を介して接着されている。

【 0 0 2 2 】

次に、この薄膜トランジスタパネルの製造方法の一例について説明する。まず、図 2 に示すように、製造工程時の温度に耐えることができる材料であるガラス基板等からなる仮基板 5 1 の上面に、プラズマ C V D 法により、アモルファスシリコンからなる分離層 5 2 および窒化シリコン等の無機材料からなる下地絶縁膜 1 を連続して成膜する。

【 0 0 2 3 】

次に、図 3 に示すように、フォトリソグラフィ法により、下地絶縁膜 1 の所定の箇所に第 3 の貫通孔 3 2 を形成する。この場合、下地絶縁膜 1 の材料である例えば窒化シリコンと分離層 5 2 の材料であるアモルファスシリコンとの間にさほどエッチング選択比がとれないため、第 3 の貫通孔 3 2 に対応する部分における分離層 5 2 の上面側にある程度の深さの第 3 の凹部 3 2 a が形成される。

【 0 0 2 4 】

次に、図 4 に示すように、第 3 の貫通孔 3 2 内および第 3 の凹部 3 2 a 内を含む下地絶縁膜 1 の上面の所定の箇所に、スパッタ法により成膜されたクロム等からなる金属膜をフォトリソグラフィ法によりパターニングすることにより、ゲート電極 2、該ゲート電極 2 に接続されたゲート配線 3 および該ゲート配線 3 の一端部に接続されたゲート配線用外部接続端子 3 1 を形成する。

【 0 0 2 5 】

次に、図 5 に示すように、ゲート電極 2、ゲート配線 3 およびゲート配線用外部接続端子 3 1 を含む下地絶縁膜 1 の上面に、プラズマ C V D 法により、窒化シリコン等の無機材料からなるゲート絶縁膜 4、真性アモルファスシリコン膜 5 3 および窒化シリコン等の無機材料からなるチャネル保護膜形成用膜 5 4 を連続して成膜する。次に、チャネル保護膜形成用膜 5 4 をフォトリソグラフィ法によりパターニングすることにより、チャネル保護膜 6 を形成する。

【 0 0 2 6 】

次に、図 6 に示すように、チャネル保護膜 6 を含む真性アモルファスシリコン膜 5 3 の上面に、プラズマ C V D 法により、n 型アモルファスシリコン膜 5 5 を成膜する。次に、n 型アモルファスシリコン膜 5 5 および真性アモルファスシリコン膜 5 3 をフォトリソグ

10

20

30

40

50

ラフィ法により連続してパターニングすると、図 7 に示すように、オーミックコンタクト層 7、8 および半導体薄膜 5 が形成される。

【 0 0 2 7 】

次に、図 8 に示すように、フォトリソグラフィ法により、ゲート絶縁膜 4 および下地絶縁膜 1 の所定の箇所に第 1、第 2 の貫通孔 1 2、2 2 を形成する。この場合も、ゲート絶縁膜 4 および下地絶縁膜 1 の材料である例えば窒化シリコンと分離層 5 2 の材料であるアモルファスシリコンとの間にさほどエッチング選択比がとれないため、第 1、第 2 の貫通孔 1 2、2 2 に対応する部分における分離層 5 2 の上面側にある程度の深さの第 1、第 2 の凹部 1 2 a、2 2 a が形成される。

【 0 0 2 8 】

次に、図 9 に示すように、第 2 の貫通孔 2 2 内および第 2 の凹部 2 2 a 内を含むオーミックコンタクト層 7、8 およびゲート絶縁膜 4 の上面の所定の箇所に、スパッタ法により成膜されたクロム等からなる金属膜をフォトリソグラフィ法によりパターニングすることにより、ソース電極 9、ドレイン電極 10、該ドレイン電極 10 に接続されたドレイン配線 14 および該ドレイン配線 14 の一端部に接続されたドレイン配線用外部接続端子 21 が形成される。

【 0 0 2 9 】

次に、図 10 に示すように、第 2 の貫通孔 2 2 内および第 2 の凹部 2 2 a 内を含むオーミックコンタクト層 7、8 およびゲート絶縁膜 4 の上面の所定の箇所に、スパッタ法により成膜された ITO 膜をフォトリソグラフィ法によりパターニングすることにより、画素電極 13 をソース電極 9 に接続させて形成する。

【 0 0 3 0 】

次に、図 11 に示すように、薄膜トランジスタ 11、画素電極 13、ドレイン配線 14、ドレイン配線用外部接続端子 21 およびゲート絶縁膜 4 の上面に、プラズマ CVD 法により、窒化シリコン等の無機材料からなる補強膜 41 を成膜する。次に、図 12 に示すように、補強膜 41 の上面に、透明なエポキシ樹脂をスピンコート法あるいはスクリーン印刷法等を用いて、上面が平坦な接着層 43 を形成し、該接着層 43 上に、製造工程時の温度に耐えることができない材料であるポリイミド系樹脂等の有機樹脂からなるフィルム基板 42 を接着する。この場合、補強膜 41 上に透明なアクリル系樹脂をスピンコート法あるいはスクリーン印刷法等を用いて上面が平坦な絶縁層を形成し、該絶縁層上に接着層を形成して該接着層上にフィルム基板 42 を接着するようにしてもよい。

【 0 0 3 1 】

次に、図 13 に示すように、仮基板 51 の下側からエキシマレーザビームを照射することにより、分離層 52 から仮基板 51 を剥離可能な状態とする。分離層 52 を水素を含有するアモルファスシリコンによって形成した場合には、エキシマレーザビームの照射により、水素が気体となって放出され、剥離が促進される。次に、分離層 52 から仮基板 51 を剥離して除去する。次に、分離層 52 をエッチングして除去する。かくして、図 1 に示す薄膜トランジスタパネルが得られる。

【 0 0 3 2 】

ところで、図 11 に示すように、窒化シリコン等の無機材料からなる補強膜 41 をプラズマ CVD 法により成膜するため、第 1 の貫通孔 12 および第 1 の凹部 12 a の内部に形成された有底筒状の画素電極 13 の内底部周辺部まで補強膜 41 を確実に成膜することができる。この結果、図 1 に示す薄膜トランジスタパネルにおいて、画素電極 13 の厚さが例えば 0.05 μm 程度と極めて薄く、且つ、画素電極 13 の底部の面積が比較的大きくても、下地絶縁膜 1 の下側に突出された画素電極 13 の底部周辺部 13 a が破損しにくいようにすることができる。

【 0 0 3 3 】

ところで、上記薄膜トランジスタパネルの製造方法では、図 3 に示すように、第 3 の貫通孔 32 を形成する工程と、図 8 に示すように、第 1、第 2 の貫通孔 12、22 を形成する工程とが別々であるので、フォトリソグラフィ法による工程数が多くなってしまう。そ

10

20

30

40

50

こで、次に、フォトリソグラフィ法による工程数を少なくすることができる実施形態について説明する。

【0034】

(第2実施形態)

図14はこの発明の第2実施形態としての薄膜トランジスタパネルの要部の断面図を示す。この薄膜トランジスタパネルにおいて、図1に示す薄膜トランジスタパネルと異なる点は、ゲート配線用外部接続端子31の部分異なる構造とした点である。すなわち、下地絶縁膜1の上面の所定の箇所には、ゲート配線3の一端部からなるゲート配線用接続パッド部3aが設けられている。ゲート絶縁膜4の上面の所定の箇所にはゲート配線用中継配線33がゲート絶縁膜4に設けられたコンタクトホール34を介してゲート配線用接続パッド部3aに接続されて設けられている。

10

【0035】

ゲート配線用外部接続端子31は、ゲート絶縁膜4および下地絶縁膜1の所定の箇所に設けられた第3の貫通孔32の内壁面、第3の貫通孔32の下部および第3の貫通孔32の周囲におけるゲート絶縁膜4の上面に設けられている。この場合も、第3の貫通孔32の下部に設けられたゲート配線用外部接続端子31は下地絶縁膜1の下側にやや突出され、この突出部分の下面は平坦となっている。ゲート配線用外部接続端子31はゲート配線用中継配線33の一端部に接続されている。

【0036】

次に、この薄膜トランジスタパネルの製造方法の一例について説明する。まず、図15に示すように、製造工程時の温度に耐えることができる材料であるガラス基板等からなる仮基板51の上面に、プラズマCVD法により、アモルファスシリコンからなる分離層52および窒化シリコン等の無機材料からなる下地絶縁膜1を連続して成膜する。

20

【0037】

次に、下地絶縁膜1の上面の所定の箇所に、スパッタ法により成膜されたクロム等からなる金属膜をフォトリソグラフィ法によりパターニングすることにより、ゲート電極2および該ゲート電極2に接続されたゲート配線3を形成する。この場合、ゲート配線3の一端部はゲート配線用接続パッド部3aとなっている。

【0038】

次に、図16に示すように、ゲート電極2およびゲート配線3(ゲート配線用接続パッド部3aを含む)を含む下地絶縁膜1の上面に、プラズマCVD法により、窒化シリコン等の無機材料からなるゲート絶縁膜4、真性アモルファスシリコン膜53および窒化シリコン等の無機材料からなるチャネル保護膜形成用膜54を連続して成膜する。次に、チャネル保護膜形成用膜54をフォトリソグラフィ法によりパターニングすることにより、チャネル保護膜6を形成する。

30

【0039】

次に、図17に示すように、チャネル保護膜6を含む真性アモルファスシリコン膜53の上面に、プラズマCVD法により、n型アモルファスシリコン膜55を成膜する。次に、n型アモルファスシリコン膜55および真性アモルファスシリコン膜53をフォトリソグラフィ法により連続してパターニングすると、図18に示すように、オーミックコンタクト層7、8および半導体薄膜5が形成される。

40

【0040】

次に、図19に示すように、フォトリソグラフィ法により、ゲート絶縁膜4および下地絶縁膜1の所定の箇所に第1、第2、第3の貫通孔12、22、32を形成し、且つ、ゲート配線用接続パッド部3aに対応する部分におけるゲート絶縁膜4にコンタクトホール34を形成する。この場合も、ゲート絶縁膜4および下地絶縁膜1の材料である例えば窒化シリコンと分離層52の材料であるアモルファスシリコンとの間にさほどエッチング選択比がとれないため、第1、第2、第3の貫通孔12、22、32に対応する部分における分離層52の上面側にある程度の深さの第1、第2、第3の凹部12a、22a、32aが形成される。

50

【 0 0 4 1 】

次に、図 20 に示すように、スパッタ法により成膜されたクロム等からなる金属膜をフォトリソグラフィ法によりパターニングすることにより、第 2 の貫通孔 22 内および第 2 の凹部 22 a 内を含むオーミックコンタクト層 7、8 およびゲート絶縁膜 4 の上面の所定の箇所に、ソース電極 9、ドレイン電極 10、該ドレイン電極 10 に接続されたドレイン配線 14 および該ドレイン配線 14 の一端部に接続されたドレイン配線用外部接続端子 21 を形成し、且つ、第 3 の貫通孔 32 内および第 3 の凹部 32 a 内を含むゲート絶縁膜 4 の上面の所定の箇所にゲート配線用外部接続端子 31 を形成し、さらに、コンタクトホール 34 を介して露出されたゲート配線用接続パッド部 3 a を含むゲート絶縁膜 4 の上面の所定の箇所にゲート配線用中継配線 33 をゲート配線用外部接続端子 31 に接続させて形成する。

10

【 0 0 4 2 】

以下、上記第 1 実施形態の場合と同様の工程を経ると、図 14 に示す薄膜トランジスタパネルが得られる。以上のように、この薄膜トランジスタパネルの製造方法では、図 19 に示すように、第 1、第 2、第 3 の貫通孔 12、22、32 およびコンタクトホール 34 を同一の工程で形成しているのので、上記第 1 実施形態の場合と比較して、フォトリソグラフィ法による工程を 1 回だけ少なくすることができる。

【 0 0 4 3 】

(その他の実施形態)

上記各実施形態では、分離層 52 をアモルファスシリコンによって形成した場合について説明したが、これに限定されるものではない。例えば、分離層 52 を酸化亜鉛によって形成するようにしてもよい。この場合、例えば、図 12 に示す工程後に、エッチング液(例えば、0.5w% 酢酸水溶液)に浸すと、酸化亜鉛からなる分離層 52 が溶解して除去され、仮基板 51 が自然に剥離して除去される。

20

【図面の簡単な説明】

【 0 0 4 4 】

【図 1】この発明の第 1 実施形態としての薄膜トランジスタパネルの要部の断面図。

【図 2】図 1 に示す薄膜トランジスタパネルの製造に際し、当初の工程の断面図。

【図 3】図 2 に続く工程の断面図。

【図 4】図 3 に続く工程の断面図。

30

【図 5】図 4 に続く工程の断面図。

【図 6】図 5 に続く工程の断面図。

【図 7】図 6 に続く工程の断面図。

【図 8】図 7 に続く工程の断面図。

【図 9】図 8 に続く工程の断面図。

【図 10】図 9 に続く工程の断面図。

【図 11】図 10 に続く工程の断面図。

【図 12】図 11 に続く工程の断面図。

【図 13】図 12 に続く工程の断面図。

【図 14】この発明の第 2 実施形態としての薄膜トランジスタパネルの要部の断面図。

40

【図 15】図 14 に示す薄膜トランジスタパネルの製造に際し、当初の工程の断面図。

【図 16】図 15 に続く工程の断面図。

【図 17】図 16 に続く工程の断面図。

【図 18】図 17 に続く工程の断面図。

【図 19】図 18 に続く工程の断面図。

【図 20】図 19 に続く工程の断面図。

【図 21】従来の薄膜トランジスタパネルの画素電極の部分の断面図。

【図 22】図 21 に示す薄膜トランジスタパネルの製造に際し、当初の工程の断面図。

【図 23】図 22 に続く工程の断面図。

【図 24】図 23 に続く工程の断面図。

50

【図 2 5】図 2 4 に続く工程の断面図。

【図 2 6】図 2 5 に続く工程の断面図。

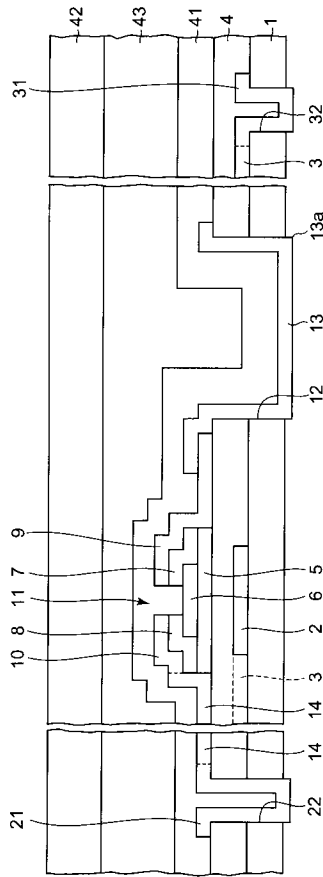
【図 2 7】(A)、(B) は従来の薄膜トランジスタパネルの画素電極の部分の問題点を説明するために示す断面図。

【符号の説明】

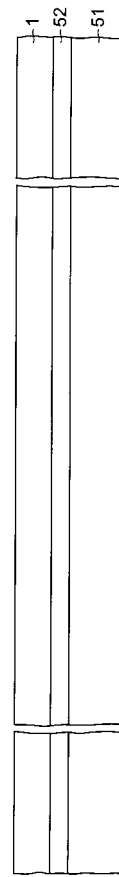
【 0 0 4 5 】

1	下地絶縁膜	
2	ゲート電極	
3	ゲート配線	
3 a	変色層	10
4	ゲート絶縁膜	
5	半導体薄膜	
6	チャネル保護膜	
7、8	オーミックコンタクト層	
9	ソース電極	
1 0	ドレイン電極	
1 1	薄膜トランジスタ	
1 2	第 1 の貫通孔	
1 2 a	第 1 の凹部	
1 3	画素電極	20
1 4	ドレイン配線	
2 1	ドレイン配線用外部接続端子	
2 2	第 2 の貫通孔	
2 2 a	第 1 の凹部	
3 1	ゲート配線用外部接続端子	
3 2	第 3 の貫通孔	
3 2 a	第 1 の凹部	
4 1	補強膜	
4 2	フィルム基板	
4 3	接着層	30
5 1	仮基板	
5 2	分離層	
5 3	真性アモルファスシリコン膜	
5 4	チャネル保護膜形成用膜	
5 5	n 型アモルファスシリコン膜	

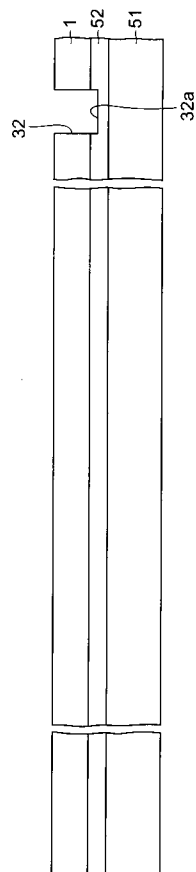
【図 1】



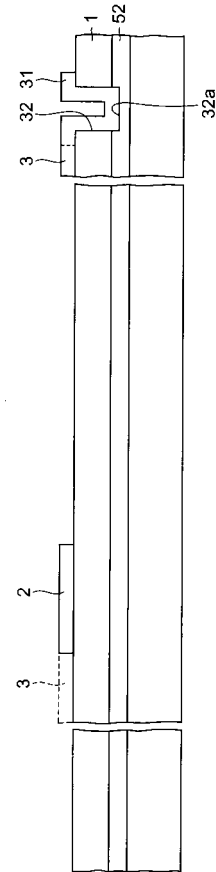
【図 2】



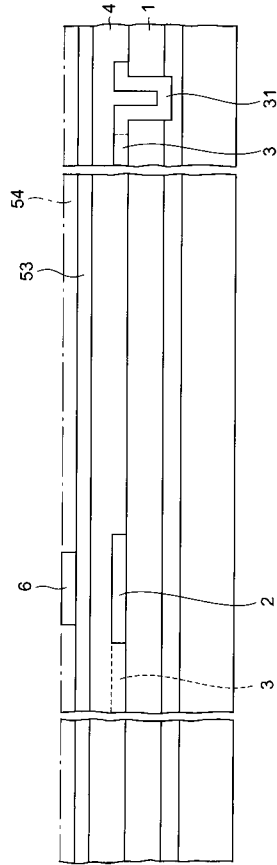
【図 3】



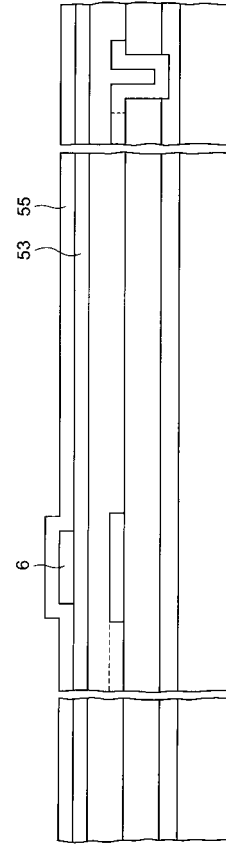
【図 4】



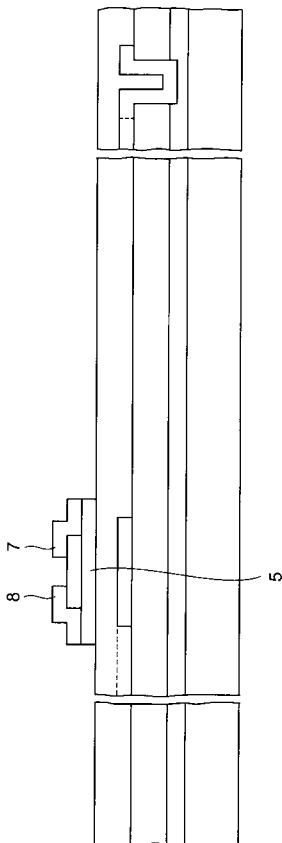
【図 5】



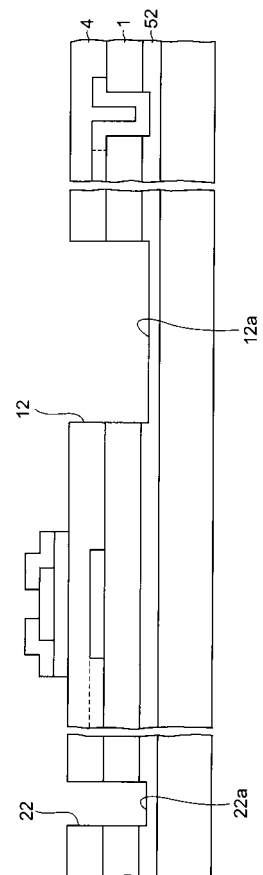
【図 6】



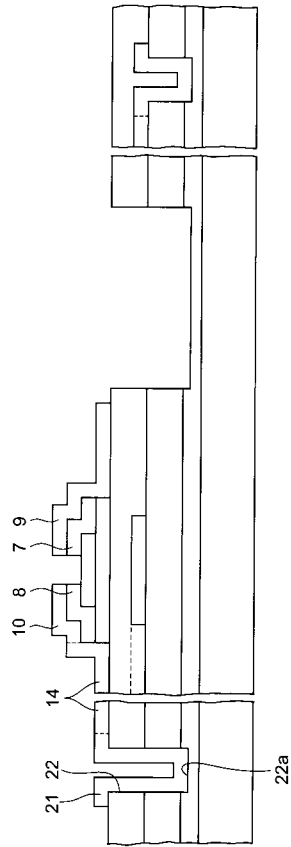
【図 7】



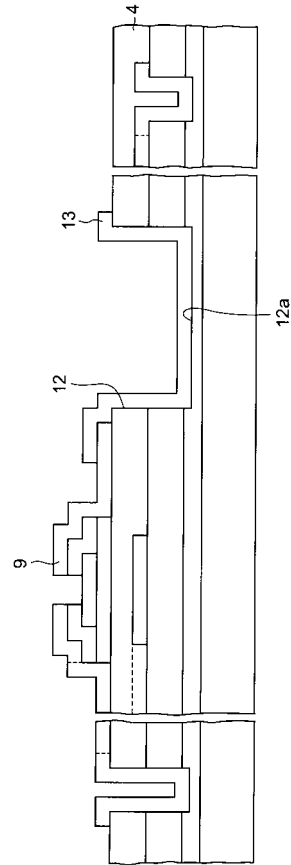
【図 8】



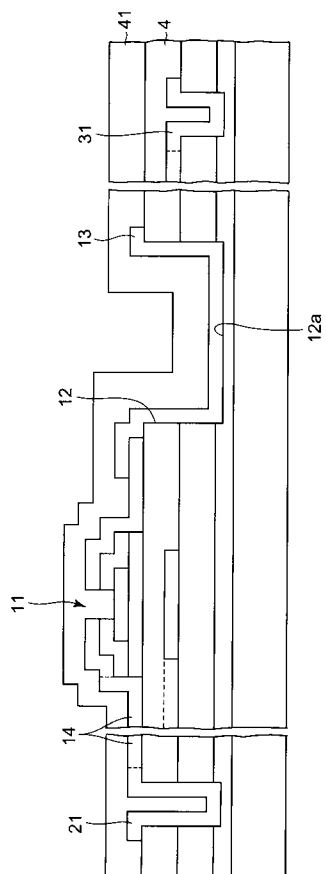
【図 9】



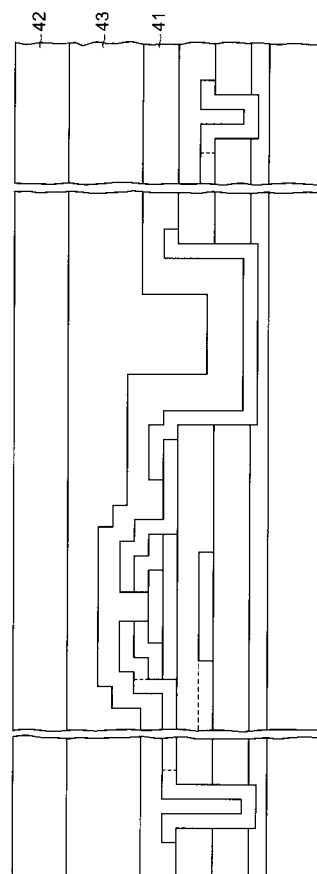
【図 10】



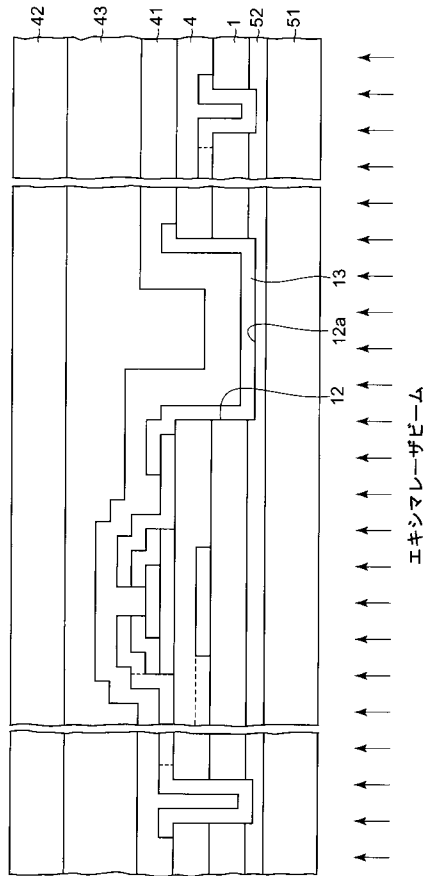
【図 11】



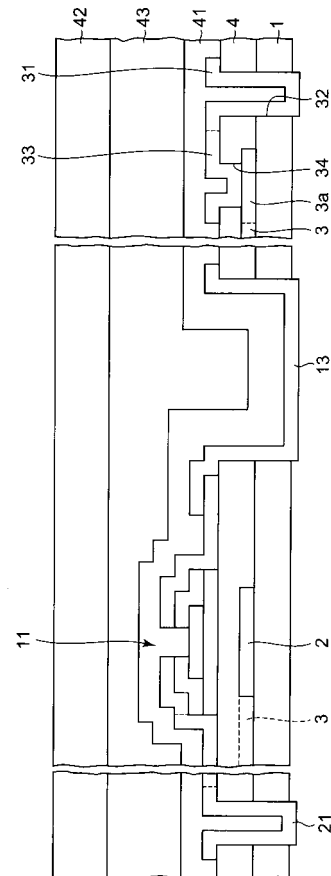
【図 12】



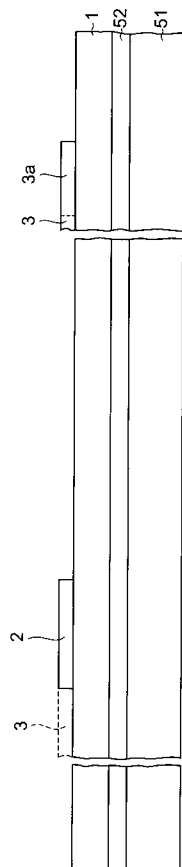
【図 13】



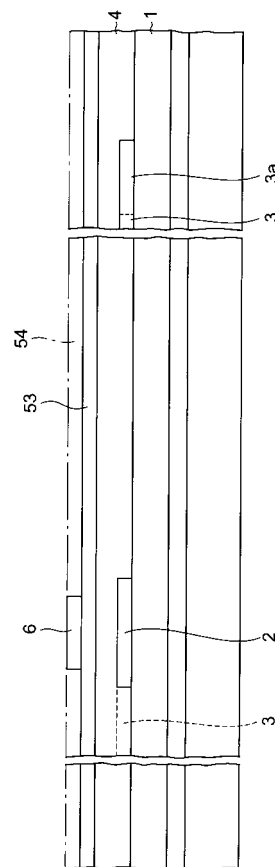
【図 14】



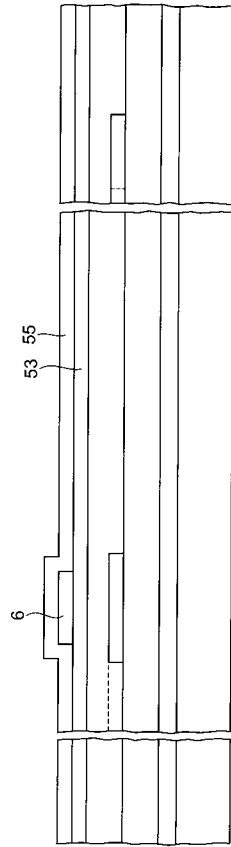
【図 15】



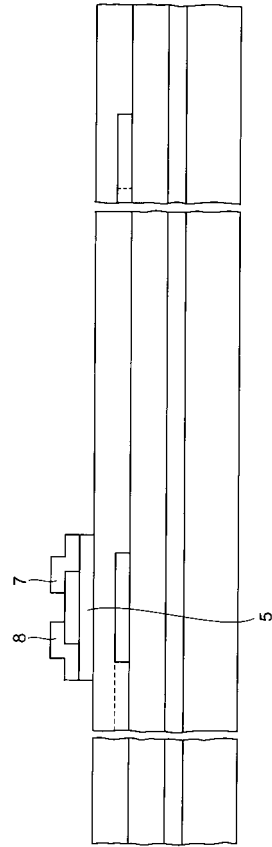
【図 16】



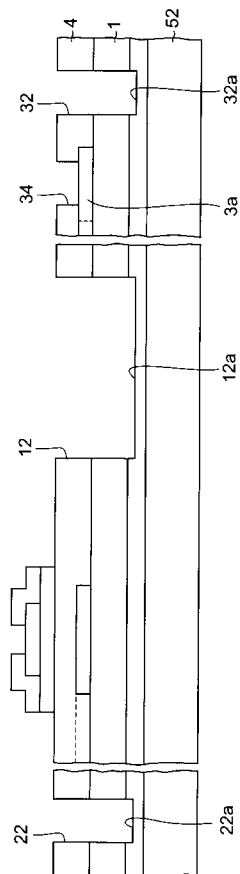
【図 17】



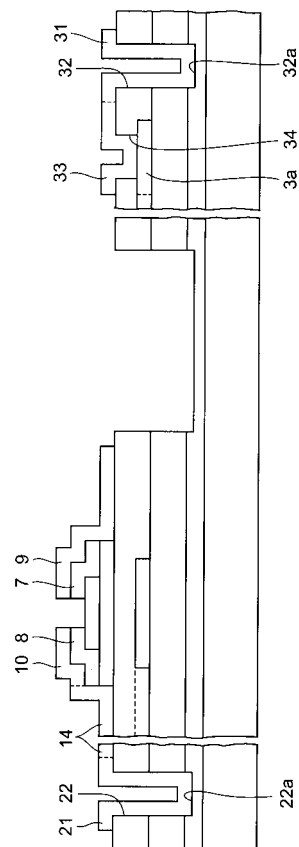
【図 18】



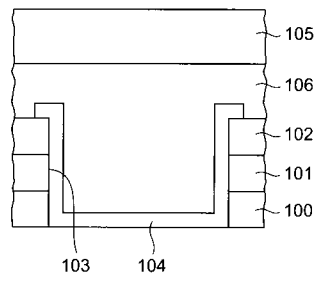
【図 19】



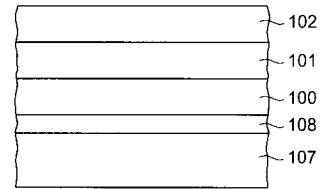
【図 20】



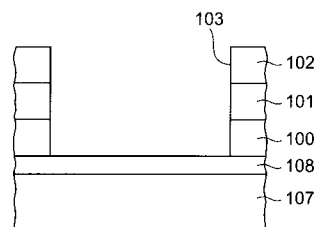
【図 2 1】



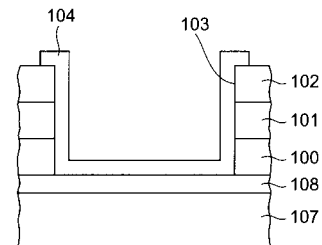
【図 2 2】



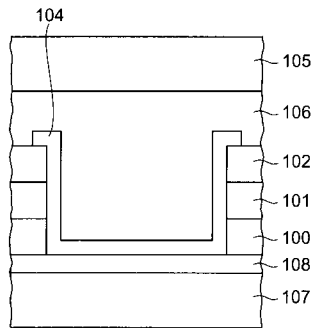
【図 2 3】



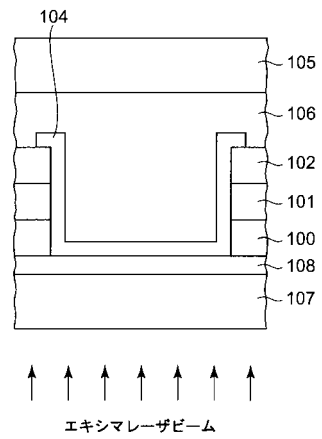
【図 2 4】



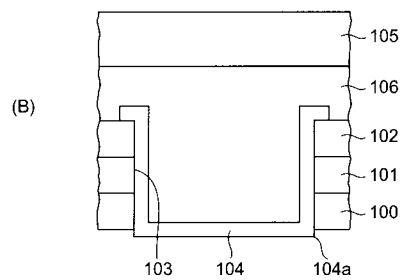
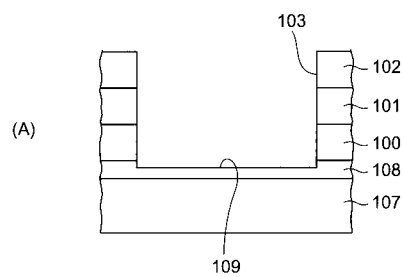
【図 25】



【図 26】



【図 27】



 フロントページの続き

(51)Int.Cl.		F I	
<i>H 0 1 L</i>	<i>21/02</i>	<i>(2006.01)</i>	<i>H 0 1 L</i> 27/12 B
<i>H 0 1 L</i>	<i>27/12</i>	<i>(2006.01)</i>	<i>G 0 9 F</i> 9/30 3 3 8
<i>G 0 9 F</i>	<i>9/30</i>	<i>(2006.01)</i>	<i>G 0 2 F</i> 1/1368
<i>G 0 2 F</i>	<i>1/1368</i>	<i>(2006.01)</i>	

(58)調査した分野(Int.Cl. , D B名)

H 0 1 L	2 1 / 3 3 6
G 0 2 F	1 / 1 3 6 8
G 0 9 F	9 / 3 0
H 0 1 L	2 1 / 0 2
H 0 1 L	2 1 / 3 2 0 5
H 0 1 L	2 1 / 7 6 8
H 0 1 L	2 3 / 5 2 2
H 0 1 L	2 7 / 1 2
H 0 1 L	2 9 / 7 8 6