(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)公表番号
特表2024-525835
(P2024-525835A)
(43)公表日　令和6年7月12日(2024.7.12)

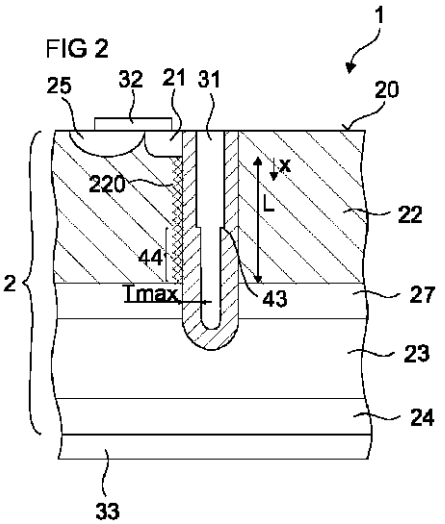
(51)国際特許分類　FI
H01L 29/78 (2006.01)　H01L 29/78 652K
H01L 29/739 (2006.01)　H01L 29/78 652E
H01L 29/78 653A
H01L 29/78 655A
H01L 29/78 652F
審査請求　未請求　予備審査請求　未請求　（全28頁）

(21)出願番号　特願2024-502178(P2024-502178)
(86)(22)出願日　令和4年7月13日(2022.7.13)
(85)翻訳文提出日　令和6年3月13日(2024.3.13)
(86)国際出願番号　PCT/EP2022/069637
(87)国際公開番号　WO2023/285550
(87)国際公開日　令和5年1月19日(2023.1.19)
(31)優先権主張番号　21186089.5
(32)優先日　令和3年7月16日(2021.7.16)
(33)優先権主張国・地域又は機関
欧州特許庁(EP)
(81)指定国・地域　AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,
最終頁に続く

(71)出願人　523380173
ヒタチ・エナジー・リミテッド
ＨＩＴＡＣＨＩ　ＥＮＥＲＧＹ　ＬＴＤ
スイス、８０５０　チューリッヒ、ブロ－ボベリ－シュトラーセ、５
(74)代理人　110001195
弁理士法人深見特許事務所
(72)発明者　グプタ，ガウラブ
スイス、５６００　レンツブルク、マルター－リンギアーシュトラーセ、７
(72)発明者　デーミキエリス，ルカ
スイス、５０００　アーラウ、ブクサーシュトラーセ、１０
(72)発明者　ビターレ，ボルフガング・アマデウス
スイス、５０００　アーラウ、アエッシ
最終頁に続く

(54)【発明の名称】　パワー半導体デバイスおよび製造方法

(57)【要約】
一実施形態では、パワー半導体デバイス（１）は、
－第１の導電型のソース領域（２１）および第１の導電型とは異なる第２の導電型のウェル領域（２２）を有する半導体本体（２）であって、ウェル領域（２２）がソース領域（２１）に直接あるチャネル領域（２２０）を含む、半導体本体（２）と、
－半導体本体（２）に配置され、チャネル領域（２２０）に割り当てられたゲート電極（３１）と、
－半導体本体（２）とゲート電極（３１）との間に直接あるゲート絶縁体（４）とを備え、
ゲート絶縁体（４）は、チャネル領域（２２０）に沿って、ソース領域（２１）から離れた第１の部分（４４）においてゲート絶縁体（４）が最も厚くなるように、チャネル領域（２２０）に沿って不均一な厚さToxを有する。



【特許請求の範囲】
【請求項１】
－第１の導電型のソース領域（２１）および前記第１の導電型とは異なる第２の導電型のウェル領域（２２）を有する半導体本体（２）であって、前記ウェル領域（２２）が前記ソース領域（２１）に直接あるチャネル領域（２２０）を含む、半導体本体（２）と、
－前記半導体本体（２）に配置され、前記チャネル領域（２２０）に割り当てられたゲート電極（３１）と、
－前記半導体本体（２）と前記ゲート電極（３１）との間に直接あるゲート絶縁体（４）と
を備える、パワー半導体デバイス（１）であって、
前記チャネル領域（２２０）に沿って、前記ゲート絶縁体（４）が前記ソース領域（２１）から離れた第１の部分（４４）において最も厚くなるように、前記ゲート絶縁体（４）が前記チャネル領域（２２０）に沿って不均一な厚さToxを有し、
以下の
－前記チャネル領域（２２０）が、前記ゲート絶縁体（４）に沿って不均一なチャネルドーピングプロファイル（７１）を有するか、
－前記ゲート電極（３）の閾値電圧（V_{th}）が前記第１の部分（４４）において最も高くなるように、前記ゲート電極（３１）が前記チャネル領域（２２０）に沿って不均一なゲート電極仕事関数プロファイル（７２）を有するか、または
－前記ゲート絶縁体（４）の比誘電率が前記ソース領域（２１）から離れた前記チャネル領域（２２０）の前記第１の部分（４４）において最も低くなるように、前記ゲート絶縁体（４）が前記チャネル領域（２２０）に沿って不均一なゲート誘電率プロファイルを有する
のうちの少なくとも１つが当てはまる、
パワー半導体デバイス（１）。
【請求項２】
前記ゲート電極（３１）が、前記半導体本体（２）内に前記チャネル領域（２２０）に沿って形成されたトレンチ内に少なくとも部分的に配置され、
前記半導体本体（２）が、前記ソース領域（２１）から離れた前記ウェル領域（２２）の側に直接ある前記第１の導電型の強化層（２７）をさらに備える、
先行する請求項に記載のパワー半導体デバイス（１）。
【請求項３】
前記ゲート電極（３１）および前記ゲート絶縁体（４）が、前記半導体本体（２）の平坦な上面（２０）に配置され、
前記半導体本体（２）が、前記ソース領域（２１）から離れた前記ウェル領域（２２）の側に直接ある前記第１の導電型の強化層（２７）をさらに備える、
請求項１に記載のパワー半導体デバイス（１）。
【請求項４】
－前記ソース領域（２１）が、前記ゲート絶縁体（４）および前記チャネル領域（２２０）と直接接触し、
－前記半導体本体（２）が、前記ゲート絶縁体（４）と直接接触し、前記ウェル領域（２２）に直接ある、前記第１の導電型のドリフト領域（２３）をさらに備え、
－前記パワー半導体デバイス（１）が、金属－絶縁体－半導体電界効果トランジスタ、MISFET、金属－酸化物－半導体電界効果トランジスタ、MOSFET、絶縁ゲートバイポーラトランジスタ、IGBT、または逆導通絶縁ゲートバイポーラトランジスタ、RC－IGBTである、
先行する請求項のいずれか１項に記載のパワー半導体デバイス（１）。
【請求項５】
前記チャネル領域（２２０）に沿って、前記ゲート絶縁体（４）が前記ドリフト領域（２３）において直接最も厚い、

先行する請求項に記載のパワー半導体デバイス（１）。
【請求項６】
前記チャネル領域（２２０）に沿った前記ゲート絶縁体（４）の前記厚さToxが、前記ソース領域（２１）から離れて単調にまたは厳密に単調に増加する、
先行する請求項のいずれか１項に記載のパワー半導体デバイス（１）。
【請求項７】
前記半導体本体（２）に面する前記ゲート絶縁体（４）の外側（４０）が、前記チャネル領域（２２０）に沿って平面状である、
先行する請求項のいずれか１項に記載のパワー半導体デバイス（１）。
【請求項８】
前記第１の部分（４４）の長さが、前記ゲート絶縁体（４）に沿った前記チャネル領域（２２０）の全長（L）の少なくとも１０％および多くとも４０％である、
先行する請求項のいずれか１項に記載のパワー半導体デバイス（１）。
【請求項９】
前記ゲート絶縁体（４）が、前記チャネル領域（２２０）に沿って見ると、前記ソース領域（２１）に隣接して配置された第２の部分（４７）を有する、
先行する請求項のいずれか１項に記載のパワー半導体デバイス（１）。
【請求項１０】
以下の
－前記第２の部分（４７）において、前記ゲート絶縁体（４）が一定の厚さを有し、前記第１の部分（４４）よりも薄いか、または
－前記第２の部分（４４）における前記ゲート絶縁体（４）の前記厚さToxが、２０nm以上８０nm以下であり、前記第１の部分（４４）では１２０nm以上２５０nm以下である
のうちの少なくとも１つが当てはまる、
先行する請求項に記載のパワー半導体デバイス（１）。
【請求項１１】
前記チャネル領域（２２０）に沿った前記ゲート絶縁体（４）の前記厚さToxが、前記ゲート絶縁体（４）の最大厚さ（Tmax）の少なくとも２０％だけ変化する、
先行する請求項のいずれか１項に記載のパワー半導体デバイス（１）。
【請求項１２】
前記チャネル領域（２２０）に沿った前記ゲート絶縁体（４）の前記厚さToxが、前記チャネル領域（２２０）に沿った前記ゲート絶縁体（４）の前記厚さToxに少なくとも１つの階段（４３）が存在するように階段状に変化する、
先行する請求項のいずれか１項に記載のパワー半導体デバイス（１）。
【請求項１３】
前記ゲート絶縁体（４）が、その厚さに複数の階段（４３）を含み、前記厚さが単調に増加していない、
先行する請求項に記載のパワー半導体デバイス（１）。
【請求項１４】
前記ソース領域（２１）から離れる方向に、より高い厚さToxまで第１の階段が存在し、前記ソース領域（２１）に隣接する元の厚さToxまで戻る第２の階段が続き、前記ドリフト領域（２３）に隣接する最も高い最終的な厚さToxまで最後の第３の階段が続く、
先行する請求項に記載のパワー半導体デバイス（１）。
【請求項１５】
前記チャネル領域（２２０）に沿った前記ゲート絶縁体（４）の前記厚さToxが、連続的に階段なしで変化する、
請求項１から１１のいずれか１項に記載のパワー半導体デバイス（１）。
【請求項１６】
前記ゲート絶縁体（４）の前記厚さToxが、前記ウェル領域（２２）全体にわたって直

線的に増加する、
先行する請求項に記載のパワー半導体デバイス（１）。
【請求項１７】
前記ゲート絶縁体（４）が多層形式である、
先行する請求項のいずれか１項に記載のパワー半導体デバイス（１）。
【請求項１８】
前記ゲート絶縁体（４）が正確に１つの連続層から構成されるように、前記ゲート絶縁体（４）が単層形式である、
請求項１から１６のいずれか１項に記載のパワー半導体デバイス（１）。
【請求項１９】
先行する請求項のいずれか１項に記載のパワー半導体デバイス（１）を製造するための方法であって、
－半導体基板を設けることと、
－前記半導体基板上に少なくとも１つの半導体層をエピタキシャル成長させることと
を含む、方法。
【請求項２０】
前記半導体基板が、前記ドリフト領域（２３）の少なくとも一部を含み、
前記少なくとも１つのエピタキシャル成長半導体層が、前記ウェル領域（２２）および前記ソース領域（２１）を含む、
先行する請求項に記載の方法。
【発明の詳細な説明】
【技術分野】
【０００１】
明細書
パワー半導体デバイスが提供される。さらに、そのようなパワー半導体デバイスのための製造方法が提供される。
【背景技術】
【０００２】
文献米国特許第６５０３７８６Ｂ２号は、線形動作能力を向上させるための非対称チャネル構造を有するパワーMOSデバイスに言及している。
【０００３】
文献国際特許出願公開第２０１７／１１２２７６Ａ１号は、DRAMデバイスについての不均一なゲート酸化膜厚を開示している。
【０００４】
文献米国特許出願公開第２００７／００６３２６９Ａ１号は、短絡能力が増大したトレンチIGBTを記載している。
【０００５】
文献米国特許出願公開第２０１６／００６４５５０Ａ１号は、パワーデバイスに言及している。
【０００６】
文献欧州特許第１２４８３００Ａ２号、米国特許出願公開第２００８／０１６６８４６Ａ１号、および米国特許出願公開第２０１６／００９３７１９Ａ１号は、電子デバイスに言及している。
【発明の概要】
【課題を解決するための手段】
【０００７】
本開示の実施形態は、改善された電気的挙動を示すパワー半導体デバイスに関する。
この目的は、とりわけ、独立請求項に定義されたパワー半導体デバイスおよびそのようなパワー半導体デバイスのための製造方法によって実現される。例示的なさらなる発展形態は、従属請求項の主題を構成する。

【０００８】
少なくとも１つの実施形態では、パワー半導体デバイスは、
－第１の導電型のソース領域および第１の導電型とは異なる第２の導電型のウェル領域を有する半導体本体であって、ウェル領域がソース領域から直接始まるチャネル領域を含む、半導体本体と、
－半導体本体に配置され、チャネル領域に割り当てられたゲート電極と、
－半導体本体とゲート電極との間に直接あるゲート絶縁体と
を備え、
ゲート絶縁体は、チャネル領域に沿って、ソース領域から離れた第１の部分においてゲート絶縁体が最も厚くなるように、チャネル領域に沿って不均一な厚さT_{ox}を有する。
【０００９】
ゲート電極は、ゲート絶縁体によって半導体本体から絶縁されている。
少なくとも１つの実施形態によれば、少なくとも１つのゲート電極は、半導体本体内に形成された少なくとも１つのトレンチ内に部分的にまたは完全に配置される。少なくとも１つのトレンチ、したがって割り当てられたゲート電極は、例えば、半導体本体の上面から離れる方向に、ウェル領域を通ってドリフト領域内に延在する場合がある。その結果、少なくとも１つのゲート絶縁体も、割り当てられたトレンチ内に部分的にまたは完全に位置する。したがって、パワー半導体デバイスは、トレンチベースのデバイスであり得る。
【００１０】
そうでない場合、少なくとも１つのゲート電極および少なくとも１つのゲート絶縁体は、半導体本体の上面に塗布される。したがって、上面は平面であり得る。
【００１１】
例えば、少なくとも１つのソース領域は、割り当てられたゲート絶縁体と直接接触し、かつ／または割り当てられたチャネル領域に直接存在する。第１の導電型は、例えばn導電型であり、したがって、少なくとも１つのソース領域はnドープされる。
【００１２】
少なくとも１つの実施形態によれば、少なくとも１つのチャネル領域も、第１の導電型とは異なる第２の導電型である。第２の導電型は、例えばp導電型であり、したがって、少なくとも１つのチャネル領域はpドープされる。少なくとも１つのチャネル領域の最大ドーピング濃度は、少なくとも１つのソース領域の最大ドーピング濃度よりも低いことが可能である。
【００１３】
少なくとも１つの実施形態によれば、半導体本体は、第１の導電型であり得るドリフト領域もさらに備える。例えば、ドリフト領域は、ゲート絶縁体と直接接触し、かつ／またはチャネル領域に直接存在する。半導体本体の上面から離れる方向に沿って、ドリフト領域は、半導体本体のチャネル領域とドレイン領域またはコレクタ領域との間に位置する場合がある。例えば、オプションのトレンチは、ドリフト領域内で終端することができる。
【００１４】
オプションとして、半導体本体は強化層を備えることができる。例えば、強化層は、ウェル領域とドリフト領域との間に直接位置し、ドリフト領域よりも高い最大ドーピング濃度を有する場合がある。強化層も、第１の導電型であり得る。強化層は、正孔阻止層として機能することができ、すなわち、E_{off}を過度に増加させることなく、ソース側近くのプラズマ濃度を高め、改善されたV_{ce-sat}をもたらす。さらに、強化層はまた、チャネル領域の長さを制御するのに役立ち、製造プロセスに起因するばらつきを最小化する。例えば、強化層の厚さは、少なくとも１μｍおよび／または多くとも５μｍである。
【００１５】
少なくとも１つの実施形態によれば、ウェル領域は、半導体本体の上面からドリフト領域まで延在する。チャネル領域はウェル領域の一部であり、同じドーピング濃度を有することができる。動作中、電子は、ゲート絶縁体に沿ってソース領域からドリフト領域までチャネル領域内を流れる。チャネル領域は、ゲート絶縁体とウェル領域との間の界面に垂

直な方向に、例えばナノメートルの範囲で、例示的に１ｎｍ～５０ｎｍの厚さを有する。
【００１６】
少なくとも１つの実施形態によれば、パワー半導体デバイスは、金属－絶縁体－半導体電界効果トランジスタ、ＭＩＳＦＥＴ、金属－酸化物－半導体電界効果トランジスタ、ＭＯＳＦＥＴ、絶縁ゲートバイポーラトランジスタ、ＩＧＢＴ、または逆導通絶縁ゲートバイポーラトランジスタ、ＲＣ－ＩＧＢＴである。
【００１７】
例えば、半導体本体は、シリコン、略してSi製である。しかしながら、半導体本体は、代替として、ＳｉＣ、Ga_2O_3、またはＧａＮのようなワイドバンドギャップ半導体材料製であり得る。
【００１８】
ゲート絶縁体は、酸化物であり得る任意の電気絶縁材料から作られる。例えば、ゲート絶縁体は、以下の材料：SiO_2、Si_3N_4、Al_2O_3、Y_2O_3、ZrO_2、HfO_2、La_2O_3、Ta_2O_5、TiO_2のうちの少なくとも１つから作られる。したがって、ゲート絶縁体はゲート酸化物と呼ばれる場合もある。
【００１９】
少なくとも１つの実施形態によれば、パワー半導体デバイスはパワーデバイスである。例えば、パワー半導体デバイスは、少なくとも０．２ｋＶまたは少なくとも０．６ｋＶまたは少なくとも１．２ｋＶの最大電圧向けに構成される。
【００２０】
パワー半導体デバイスは、例えば、ハイブリッド自動車またはプラグイン電気自動車において、バッテリまたは燃料電池からの直流電流を電動機用の交流電流に変換する車両内のパワーモジュール向けである。その上、パワー半導体デバイスは、例えば自動車のような車両内のヒューズであり得る。
【００２１】
簡略化のために、以下では、ただ１つのチャネル領域および割り当てられた構成要素が言及される。複数のチャネル領域および割り当てられた構成要素が存在する場合、以下に記載される特徴は、ただ１つ、複数、またはすべてのチャネル領域および割り当てられた構成要素に当てはまる場合がある。
【００２２】
少なくとも１つの実施形態によれば、チャネル領域に沿ったゲート絶縁体の厚さは、ドリフト領域に向かって、単調にまたは厳密に単調に増加する。単調には、厚さが一定であるか、または増加することを意味し、厳密に単調には、厚さがドリフト領域に向かって常に増加することを意味する。
【００２３】
少なくとも１つの実施形態によれば、チャネル領域に沿って、ゲート絶縁体は第１の部分を有する。第１の部分はソース領域から離れていてもよく、その結果ドリフト領域に隣接していてもよい。例えば、第１の部分は、チャネル領域に沿って見ると、ゲート絶縁体の最も厚い部分である。
【００２４】
少なくとも１つの実施形態によれば、第１の部分の長さは、ゲート絶縁体に沿ったチャネル領域の全長の少なくとも５％であるか、または少なくとも１０％であるか、または少なくとも１５％である。代替または追加として、前記長さは、前記全長の多くとも４０％であるか、または多くとも３０％であるか、または多くとも２５％である。
【００２５】
少なくとも１つの実施形態によれば、ゲート絶縁体は、チャネル領域に沿って見ると、ソース領域の隣に位置する第２の部分を有する。ゲート絶縁体は、チャネル領域に沿って、第２の部分および第１の部分から構成される場合がある。
【００２６】
少なくとも１つの実施形態によれば、ゲート絶縁体は、第２の部分内でチャネル領域に

沿って一定の厚さを有する。すなわち、ゲート絶縁体の唯一の意図的な厚さの変化は、第１の部分内または第１の部分と第２の部分との間の境界にあり得る。

【００２７】

少なくとも１つの実施形態によれば、チャネル領域に沿ったゲート絶縁体の厚さは、ゲート絶縁体の最大厚さの少なくとも１０％または少なくとも２０％または少なくとも３０％だけ変化する。例えば、ゲート絶縁体の残りの部分は、第１の部分の厚さの多くとも７０％または多くとも８０％または多くとも９０％の厚さを有する。

【００２８】

少なくとも１つの実施形態によれば、チャネル領域に沿ったゲート絶縁体の厚さは、チャネル領域に沿ったゲート絶縁体の厚さに１つまたは複数の階段が存在するように階段状に変化する。そうでない場合、ゲート絶縁体の厚さは、連続的に階段なしで変化する場合がある。

【００２９】

少なくとも１つの実施形態によれば、ゲート絶縁体が少なくとも２つの副層を含むように、ゲート絶縁体は多層形式である。そうでない場合、ゲート絶縁体は単層形式であり、ただ１つの層を含む。複数の副層が存在する場合、副層は異なる材料から作ることができ、かつ／または異なる誘電率を有することができる。副層は、互いの上に直接続く場合がある。副層は異なるサイズを有することが可能であり、その結果、副層は一致しないで配置することができる。副層が異なる厚さを有することも可能であり、あるいは、副層はすべて同じ厚さである。

【００３０】

少なくとも１つの実施形態によれば、チャネル領域は、ゲート絶縁体に沿って不均一なチャネルドーピングプロファイルを有する。例えば、チャネル領域内のドーピング濃度N_Aは、第１の部分で最も大きく、その結果、第２の部分で最も小さくなり得る。例えば、チャネル領域内のドーピング濃度N_Aは、少なくとも０．５μｍまたは少なくとも１．５μｍの半導体本体の上面からの深さにおいて最大である。前記最大ドーピング濃度N_Aはまた、ゲート絶縁体に沿って見ると、ソース領域から少なくとも０．５μｍまたは少なくとも１．５μｍの距離にあり得る。前記最大値は、ウェル領域内に位置する場合がある。したがって、前記最大値は、イオン注入ではなくエピタキシャル成長によって実現される。

【００３１】

少なくとも１つの実施形態によれば、ゲート電極は、ゲート電極の閾値電圧が第１の部分において最も高くなるように、チャネル領域に沿って不均一なゲート電極仕事関数プロファイルを有する。したがって、ソース領域から離れた第１の部分内のゲート電極の仕事関数Φ_mは、p型ドープウェル領域、したがってp型ドープチャネル領域を有するデバイスの場合最大であり、n型ドープウェル領域、したがってn型ドープチャネル領域を有するデバイスの場合最小である。

【００３２】

少なくとも１つの実施形態によれば、ゲート絶縁体は、ゲート絶縁体の比誘電率がソース領域から離れたチャネル領域の第１の部分において最も低くなるように、チャネル領域に沿って不均一なゲート誘電率プロファイルを有する。

【００３３】

少なくとも１つの実施形態によれば、不均一な厚さプロファイル、ならびに不均一なチャネルドーピングプロファイルおよび／または不均一なゲート電極仕事関数プロファイルおよび／または不均一なゲート誘電率プロファイルが存在する。すなわち、不均一なゲート絶縁体厚さプロファイルは、不均一なチャネルドーピングプロファイル、不均一なゲート電極仕事関数プロファイル、もしくは不均一なゲート誘電率プロファイルと組み合わせることができるか、または不均一なチャネルドーピングプロファイル、不均一なゲート電極仕事関数プロファイル、および不均一なゲート誘電率プロファイルのうちの２つと組み合わせることができるか、または３つの他の不均一なプロファイルすべてと組み合わせる

ことができる。
【００３４】
少なくとも１つの実施形態によれば、パワー半導体デバイスは、例えば、コレクター エミッタ飽和電圧V_{ce-sat}、したがってオン状態損失が影響を受けないままであり得る間に、飽和電流および短絡電流の両方が減少するように構成される。これは、チャネル領域に沿ってゲート絶縁体の一定の厚さを有する類似的にセットアップされた基準半導体デバイスと比較すると、チャネル領域に沿ってゲート絶縁体の残りの部分で厚さが減少する一方で、第１の部分で厚さが増加するゲート絶縁体の不均一な厚さプロファイルに起因して真であり得る。
【００３５】
パワー半導体デバイスを製造するための方法がさらに提供される。方法によって、上述された実施形態の少なくとも１つに関連して示されたように、パワー半導体デバイスが製造される。したがって、パワー半導体デバイスの特徴も方法について開示され、逆もまた同様である。
【００３６】
少なくとも１つの実施形態では、パワー半導体デバイスを製造するための方法は、以下のステップを、特に記載された順序で含む。
－半導体基板を設けること、
－半導体基板上に少なくとも１つの半導体層をエピタキシャル成長させること。
【００３７】
例えば、半導体基板は、ドリフト領域の少なくとも一部を備える。
例えば、少なくとも１つのエピタキシャル成長半導体層は、ウェル領域およびソース領域を備える。
【００３８】
パワー半導体デバイスおよび製造方法は、図面を参照して例示的な実施形態によって、以下でより詳細に説明される。個々の図の中の同じ要素は、同じ参照番号で示されている。しかしながら、要素間の関係は縮尺通りには示されず、むしろ個々の要素は、理解を助けるために誇張して大きく示されている場合がある。
【図面の簡単な説明】
【００３９】
【図１】基準半導体デバイスの概略断面図である。
【図２】本明細書に記載されたパワー半導体デバイスの例示的な実施形態の概略断面図である。
【図３】図２のパワー半導体デバイスの上面図である。
【図４】本明細書に記載されたパワー半導体デバイスおよび基準半導体デバイスの電気データの概略図である。
【図５】本明細書に記載されたパワー半導体デバイスおよび基準半導体デバイスの電気データの概略図である。
【図６】本明細書に記載されたパワー半導体デバイスおよび基準半導体デバイスの電気データの概略図である。
【図７】本明細書に記載されたパワー半導体デバイスおよび基準半導体デバイスの電気データの概略図である。
【図８】本明細書に記載されたパワー半導体デバイスおよび基準半導体デバイスのゲート絶縁体厚さの概略図である。
【図９】本明細書に記載されたパワー半導体デバイスおよび基準半導体デバイスの電気データのシミュレーション結果を示す図である。
【図１０】本明細書に記載されたパワー半導体デバイスおよび基準半導体デバイスの電気データのシミュレーション結果を示す図である。
【図１１】本明細書に記載されたパワー半導体デバイスおよび基準半導体デバイスの電気データのシミュレーション結果を示す図である。

【図１２】本明細書に記載されたパワー半導体デバイスおよび基準半導体デバイスの電気データのシミュレーション結果を示す図である。
【図１３】本明細書に記載されたパワー半導体デバイスの例示的な実施形態の概略断面図である。
【図１４】本明細書に記載されたパワー半導体デバイスの例示的な実施形態の概略断面図である。
【図１５】本明細書に記載されたパワー半導体デバイスの例示的な実施形態の概略断面図である。
【図１６】本明細書に記載されたパワー半導体デバイスの例示的な実施形態の概略断面図である。
【図１７】本明細書に記載されたパワー半導体デバイスの例示的な実施形態の概略断面図である。
【図１８】本明細書に記載されたパワー半導体デバイスの例示的な実施形態の概略断面図である。
【図１９】本明細書に記載されたパワー半導体デバイスの例示的な実施形態の概略断面図である。
【発明を実施するための形態】
【００４０】
図１は、ゲート絶縁体４の設計を除き、本明細書に記載されたパワー半導体デバイス１の例示的な実施形態に対応する基準半導体デバイス９を示す。パワー半導体デバイス１と同様に、基準半導体デバイス９は、例えばSi製である半導体本体２を備える。
【００４１】
半導体本体２は、ソース領域２１と、トレンチが貫通するウェル領域２２とを備える。ウェル領域２２には、チャネル領域２２０が存在する。基準半導体デバイス９がオン状態にあるとき、電子は、ソース領域２１から、ゲート絶縁体４に直接位置するチャネル領域２２０を通ってドリフト領域２３に流れる。
【００４２】
ソース領域２１は、n導電性のような第１の導電型であり、ウェル領域、その結果チャネル領域２２０は、p導電性のような第２の異なる導電型である。トレンチ内には、電気絶縁ゲート絶縁体４によって半導体本体２から分離されたゲート電極３１が存在する。トレンチ、したがってゲート電極３１は、半導体本体２のドリフト領域２３内で終端する。ドリフト領域２３も第１の導電型である。
【００４３】
基準半導体デバイス９では、ゲート絶縁体４は、少なくともチャネル領域２２０全体にわたって一定の厚さである。それに反して、パワー半導体デバイス１の例示的な実施形態では、ゲート絶縁体４はチャネル領域２２０に沿って不均一な厚さを有する。チャネル領域２２０の形状は非常に概略的に描かれているにすぎないことに留意されたい。
【００４４】
図２および図３のパワー半導体デバイス１によれば、ゲート絶縁体４は、ゲート絶縁体４の厚さが急激に変化する１つの階段４３を含む。チャネル領域２２０に沿って見ると、階段の後に、ゲート絶縁体４は、ゲート絶縁体４がその最大の厚さTmaxを有する第１の部分４４を含む。ここで、「チャネル領域２２０に沿って」という用語は、例えば、チャネル領域２２０がソース領域２１に近いゲート絶縁体４から始まる点から、ドリフト領域２３が始まるまでを意味する、すなわち、ソース領域２１から方向xに沿って、例えば、ゲート絶縁体４に直接あるドリフト領域２３までを意味する。したがって、ここで、および以下で関心があるゲート絶縁体４の領域は、ソース領域２１とゲート絶縁体４に直接あるドリフト領域２３との間の距離に相当する長さLを有する。したがって、長さLは、第１の導電型の層、例えば、ソース領域２１とドリフト領域２３との間の第２の導電型の層の長さとして定義される場合があり、ドリフト領域２３は、図に示されていない低いドーピング濃度の層を含む場合がある。

【００４５】
さらに、ドリフト領域２３とウェル領域２２との間には、強化層２７が存在する。強化層２７も、第１の導電型である。
【００４６】
ソース領域２１とウェル領域２２の両方は、半導体本体２の上面２０に位置する少なくとも１つのソース電極３２によって電気的に接続される場合がある。
【００４７】
オプションとして、チャネル領域２２０に電気的に接触するために、半導体本体２の上面２０に少なくとも１つのプラグ２５が存在することができる。プラグ２５は、プラグ２５がウェル領域２２よりも深くまたは浅く半導体本体２内に延在することができるように、ウェル領域２２とは異なる厚さを有する場合がある。さらに、ソース領域２１とプラグ２５の厚さは、同じであってもよく、異なっていてもよい。
【００４８】
ソース領域２１と少なくとも１つのプラグ２５の両方は、上面２０に位置する少なくとも１つのソース電極３２によって電気的に接続される場合がある。例示的に、プラグ２５は、ウェル領域２２またはチャネル領域２２０よりも高い最大ドーピング濃度を有する。プラグの深さは、ウェル領域／チャネル領域の深さよりも低いか、深いか、または同じであり得る。
【００４９】
例えば、パワー半導体デバイス１は、絶縁ゲートバイポーラトランジスタ、略してIGBTである。したがって、ウェル領域２２から離れたドリフト領域２３の側には、第２の導電型のコレクタ領域２６も存在する。さらに、さらなるオプションとして、図示されていない、ドリフト領域２３とコレクタ領域２６との間に第１の導電型のバッファ領域が存在する可能性がある。バッファ領域のドーピング濃度は、ドリフト領域２３のドーピング濃度よりも高い可能性がある。コレクタ領域２６には、コレクタ電極３４が存在する。
【００５０】
例えば、半導体本体２は、少なくとも部分的にエピタキシャル成長によって製造される。すなわち、半導体本体２のそれぞれの層のドーピング濃度は、成長中に生成される場合があり、成長後に、例えばイオン注入によって生成されない場合がある。これは、例えば、少なくとも強化層２７およびウェル領域２２に当てはまり、それらは、このようにエピタキシャル成長によってドープすることができる。オプションとして、ドリフト領域２３は、部分的または完全に成長基板の一部であり得る。すべての他の例に同じことが当てはまる。
【００５１】
上面２０の上面図で見ると、ゲート電極３１を収容するトレンチは、引き伸ばされた形状であり得る。ソース領域２１、少なくとも１つのプラグ２５、ならびにチャネル領域２１は、トレンチの両側に対称的に配置される場合がある、図３参照。
【００５２】
例えば、第１の部分の外のチャネル領域に沿ったゲート絶縁体の厚さは、２０nm以上８０nm以下であるか、または４０nm以上８０nm以下である。代替または追加として、第１の部分では、前記厚さは、１２０nm以上２５０nm以下であるか、または１２０nm以上１８０nm以下である。
【００５３】
例えば、ソース領域２１、コレクタ領域２６またはドレイン領域２４の代わりに、および少なくとも１つのプラグ２５の最大ドーピング濃度は、少なくとも$1\times10^{18}cm^{-3}$もしくは少なくとも$5\times10^{18}cm^{-3}$もしくは少なくとも$1\times10^{19}cm^{-3}$および／または多くとも$5\times10^{20}cm^{-3}$もしくは多くとも$2\times10^{20}cm^{-3}$もしくは多くとも$1\times10^{20}cm^{-3}$である。さらに、ウェル領域２２、したがってチャネル領域２２０の最大ドーピング濃度は、少なくとも$5\times10^{16}cm^{-3}$もしくは少なくとも$1\times10^{17}cm^{-3}$および／または多くとも$5\times10^{19}cm^{-3}$もしくは多くとも$5\times10^{18}cm$

$^{-3}$であり得る。例えば、強化層２７の最大ドーピング濃度は、少なくとも$10^{15}cm^{-3}$であり、かつ／または多くとも$10^{18}cm^{-3}$である。

【００５４】

パワー半導体デバイス１の電圧クラスに応じて、ドリフト領域２３の最大ドーピング濃度は、少なくとも$1\times10^{11}cm^{-3}$もしくは少なくとも$1\times10^{12}cm^{-3}$もしくは少なくとも$1\times10^{13}cm^{-3}$および／または多くとも$1\times10^{17}cm^{-3}$もしくは多くとも$5\times10^{16}cm^{-3}$もしくは多くとも$1\times10^{16}cm^{-3}$であり得る。

【００５５】

図２および図３では、ソース領域２１および少なくとも１つのプラグ２５は、ゲート電極３１の片側のみに沿って配置され、その結果、チャネル領域２２０はゲート絶縁体４の１つの外側のみに沿って存在する。しかしながら、ソース領域２１ならびに少なくとも１つのプラグ２５は、例えば図１３と比較して、ゲート電極３１の２つの側面に沿って、または上面図で見ると、すべてゲート電極３１の周りに配置することもできる。

【００５６】

そうでない場合、図１に関して同じことが図２および図３にも当てはまる場合がある。

不均一な厚さを有するゲート絶縁体４の概念が以下で説明される。

【００５７】

パワー半導体デバイス１の場合、例示的には低周波数用途の場合、総電気損失を最小化するために、オン状態損失を可能な限り低くすることが望ましい場合がある。さらに、デバイスの信頼性の観点から、低い短絡電流を有することが有利であり得る。したがって、オン状態損失を最小化し、短絡能力を向上させたパワー半導体デバイス１が望まれる場合がある。

【００５８】

しかしながら、例えば、チャネル長Lを減少させるかまたはチャネル幅Wを増加させることによってオン状態電圧降下V_{ce-sat}を低下させるいくつかの手段は、出力特性I_c対V_{ce}を使用して概略的に示されたように、望ましくないより高い飽和電流I_{sat}をもたらすことが多い、図４参照。高いI_{sat}は高い短絡電流I_{sc}に直接関係し、パワー半導体デバイス１の短絡能力に悪影響を及ぼす。一方、例えばチャネルドーピング濃度を増加させることによってI_{sat}を低下させるために、パワー半導体デバイス１の閾値電圧V_{th}を上昇させると、図５に示されたようにV_{ce-sat}が高くなる。したがって、図４および図５は、チャネル領域全体に沿って均一な閾値プロファイルを有するIGBTの典型的な出力特性の概略図であり、図４では、同じV_{th}および異なるチャネル抵抗の場合であり、図５では、異なる閾値電圧V_{th}の場合である。

【００５９】

ａ）チャネル長Lを増加させること、

ｂ）アノードインプラントドーズを低減することによってアノード注入効率を低減すること、

ｃ）トレンチに沿ってソースカバレッジを減少させることによってチャネル幅を低減すること、および

ｄ）セルピッチを増加させることによってチャネル幅を低減すること

などの、短絡電流を低減するための他の技法はまた、望ましくないことに、より高いオン状態損失をもたらす。その上、ｄ）などの技法も、パワー半導体デバイス１の絶縁破壊能力に悪影響を及ぼす可能性がある。短絡電流を低減するためにゲートバイアスを低減することはまた、不安定な動的挙動につながり、さらに、主に用途の要件によって規定されるので、望ましくない場合がある。

【００６０】

したがって、従来のMISFETデバイスまたはIGBTデバイスでは、オン状態損失を最小化することと短絡電流を低減することとの間にはトレードオフが存在する。改善された短絡能力を必要とする用途の場合、V_{ce-sat}に影響を与えることなく短絡電流I_{sc}を減少させることができることが望ましい。

【００６１】
非IGBTデバイスにおけるゲート電極での電気的挙動に影響を与える別の可能性は、例えば、主にホットキャリア注入に対する防止のために、トレンチ底部で比較的厚いゲート酸化膜を使用することである。しかしながら、より厚い酸化膜の範囲は、nベース領域に限定される場合があり、MOSチャネル特性に影響を及ぼしているはずのpドープ領域に拡張されない場合がある。その上、チャネルドーピングまたはゲート酸化膜厚の非対称性は、同じセルのチャネル領域内ではなく、隣接するセルに対して導入される場合がある。トレンチ側壁およびトレンチ底部に沿って均一に、例えば１８０nm～２５０nmの厚さを有する比較的厚いゲート酸化膜を使用すると、その閾値電圧を上昇させることによってIGBT短絡能力を改善することも可能であり得る。しかしながら、この手法は、より高いオン状態電圧降下を被る。DRAMデバイス用の不均一なゲート酸化膜を製造する別の方法は、凹部側壁の上部で比較的厚い酸化膜を使用することができる。
【００６２】
本明細書に記載されたパワー半導体デバイス１では、オン状態損失と短絡電流との間のトレードオフは、前者に悪影響を及ぼすことなく後者を改善することによって改善される。他の手法とは異なり、記載された設計は、所与のV_{ce-sat}に対する飽和電流を低下させるために、ゲート絶縁体４に隣接するチャネル領域２２０に沿った不均一な閾値電圧プロファイルを特徴とする。本明細書に記載されたパワー半導体デバイス１において提案された不均一なV_{th}は、チャネル領域２２０に沿って不均一なゲート絶縁体厚さを実装することによって実現される。記載されたパワー半導体デバイス１は、破壊能力に悪影響を及ぼさず、さらにもっと、パワー半導体デバイス１のターンオフ損失に悪影響を及ぼさない。加えて、記載された概念は、一般にパワーMOSFETまたはIGBTまたは逆導通IGBTデバイスなどの任意のMOSデバイスに適用可能であり、平面アーキテクチャとトレンチアーキテクチャの両方との互換性さえある。
【００６３】
本明細書に記載されたパワー半導体デバイス１では、オン状態損失に有害な影響を及ぼすことなく、短絡能力が向上した改良されたMISFET、MOSFET、またはIGBTデバイスが導入される。改善された設計はまた、IGBTの設計制約を緩和し、それぞれのデバイスの短絡能力によって通常制限されるオン状態損失を最小化するために、上述された他の方法を独立して探索する可能性を可能にする。
【００６４】
以下では、本明細書に記載された半導体デバイス１の着想に対するいくつかの理論的背景が提示される。
【００６５】
基準ロングチャネルMOSデバイス９の場合、高いV_{ce}でのチャネルピンチオフが出力特性における電流飽和の原因となり、それが最終的に短絡電流を決定することが知られている。チャネルピンチオフ電圧$V_{pinch-off}$は、閾値電圧V_{th}によって決定される。詳細には、印加されたバイアスV_{ce}がピンチオフ電圧$V_{pinch-off}$ （V_g-V_{th}）を超えると、チャネルは、x＝Lにおいてそのドレイン端付近でピンチオフを開始する、ここで、V_gは印加されたゲート電圧であり、Lはチャネル長である。そのように印加されたV_{ce}において、チャネルに垂直な電圧降下はV_{th}より小さく、したがって、チャネルはドレイン端付近でもはや持続することができない。
【００６６】
しかしながら、デバイスのより詳細な理解のために、チャネルピンチオフは、どちらかというと局所的な現象であり、具体的にチャネルのドレイン端付近で起こると考えられるべきである。したがって、より正確には、ピンチオフ点、したがって飽和電流を決定するのは、局所閾値電圧V_{th}（x）である。これは、チャネル端部、すなわちドリフト領域２３付近の第１の部分４４において、V_{th}（L）を局所的に増加させることによって$V_{pinch-off}$を低減することが可能であることを意味する。さらに、全体的なチャネル抵抗を保持し、それによってV_{ce-sat}に影響を与えないようにするために、チャネルの残りの部

分でV_{th}（x）を減少させることができる。

【００６７】

これは、基準半導体デバイス９を指す曲線がチャネル全体に沿って均一な閾値電圧V_{th-1}プロファイルを含む図６に概略的に示されている。一方、パワー半導体デバイス１の曲線は、チャネルに沿った不均一なV_{th}プロファイルから構成され、V_{th}は、ピンチオフ点を下げるためにV_{th-2}（Ｌ）＞V_{th-1}となるようにチャネル端部付近、すなわち第１の部分４４内で局所的に上昇し、チャネルの残りでは、全体のチャネル抵抗を同じに保つためにV_{th-2}’＜V_{h-1}となる。このようにして、図７の概略出力に示されたように、オン状態損失に影響を及ぼすことなく、飽和電流、それによって短絡電流を大幅に低減することができる。したがって、局所的なV_{th}変動は、ＭＩＳＦＥＴまたはＭＯＳＦＥＴまたはＩＧＢＴデバイスの短絡能力を改善するための鍵を保持する。

【００６８】

チャネルのV_{th}は、以下の式に示された様々な他のＭＯＳセル設計パラメータの関数である。

【００６９】

【数１】

$$V_t = V_{fb} + 2\Phi_B + \frac{\sqrt{qN_a 2\varepsilon_S 2\Phi_B}}{C_{ox}}$$

【００７０】

ここで、V_tは閾値電圧であり、V_{fb}はフラットバンド電圧であり、V_{fb}＝（$\Phi_m - \Phi_s$）であり、ここで、Φ_mおよびΦ_sは、それぞれ、ゲート金属仕事関数および半導体仕事関数である。N_aはチャネル本体のドーピングであり、ε_sは半導体の誘電率であり、C_{ox}はゲート絶縁体容量であり、Φ_Bは半導体表面電位であり、

【００７１】

【数２】

$$\Phi_B = kt \ln \frac{N_a}{n_i}$$

【００７２】

であり、ここで、ｋはボルツマン定数であり、Ｔは温度であり、n_iは半導体の真性キャリア濃度である。

【００７３】

したがって、第１の部分４４内の比較的高いV_{th}を有するチャネルにわたって必要とされる不均一なV_{th}プロファイルは、以下のＭＯＳ設計パラメータのうちの１つまたは任意の組合せにおいて不均一性を導入することによって実現することができる。

【００７４】

１．チャネルドーピングプロファイル、N_a（ｘ）、
２．本明細書で詳述されたゲート酸化膜厚Ｔｏｘ（ｘ）、
３．ゲート誘電率、ε_{ox}（ｙ）、および／または
４．V_{fb}＝（$\Phi_m - \Phi_s$）なので、ゲート金属仕事関数Φ_m（ｘ）。

【００７５】

以下では、ゲート絶縁体厚さの変化に焦点を合わせているが、前記厚さの変化は、当然ながら、変化するチャネルドーピングプロファイル、変化するゲート誘電率、および／または変化するゲート金属仕事関数と組み合わせることができる。

【００７６】

上記の図１および図２は、以下に提示されるシミュレーションにおいて実装される、均一なゲート絶縁体厚さプロファイルを有する基準半導体デバイス９および不均一なゲート絶縁体厚さプロファイルを有するパワー半導体デバイス１の概略断面図を示す。３つの異

なるゲート酸化膜プロファイルが調査された、図８参照。基準半導体デバイス９を参照する設計は、基準として機能する１００ｎｍの均一なゲート酸化膜厚Ｔｏｘを有する。パワー半導体デバイス１の設計Ａでは、その点での局所V_{th}（Ｌ）を大きくするために、第１の部分４４のＴｏｘが１４０ｎｍまで上げられ、基準半導体デバイス９と同じオン状態を維持するために、チャネル領域２２０の残りの部分のＴｏｘが４０ｎｍまで下げられた。

【００７７】

一方、パワー半導体デバイス１の設計Ｂでは、第１の部分４４でのＴｏｘをさらに１５０ｎｍまで上げて設計Ａよりもさらに高い局所V_{th}（Ｌ）を得て、ゲート絶縁体４の残りの部分の厚さＴｏｘを６０ｎｍにした。これらのゲート酸化膜プロファイルの効果は、図９のシミュレートされた出力特性上で明確に見ることができ、その場合、基準半導体デバイス９および設計Ａにおいて実質的に同じままであるV_{ce-sat}を犠牲にすることなくピンチオフ点を下げるより高い局所V_{th}（Ｌ）に起因して、I_{sat}の明確な減少が設計ＡおよびＢについて観察され得る。

【００７８】

第１の部分４４におけるさらに大きいＴｏｘを有する設計Ｂは、I_{sat}のさらなる改善を示すが、基準半導体デバイス９と比較して約５％だけ増加したわずかに高いV_{ce-sat}を有する、図１０参照。これは、チャネル領域２２０に沿ったゲート絶縁体４の残りの部分における比較的厚いＴｏｘに起因する。

【００７９】

図１１に示されたように、予想されるように、基準半導体デバイス９と比較して、短絡電流の例えば２０％または４０％の明確な減少は、設計ＡおよびＢについて観察することができる。

【００８０】

図１２に示されたように、デバイスの破壊特性は、予想されるように、変化するゲート絶縁体プロファイルによって影響されないままである。スイッチング損失E_{off}は、Ｔｏｘプロファイルの変化の影響をほとんど受けないままであり、異なるＴｏｘプロファイルを有する設計ＡおよびＢについてのシミュレーション結果をまとめた以下のリストを比較されたい。

【００８１】

基準半導体デバイス９：

－ゲート酸化膜プロファイル：均一、１００ｎｍ

－１５０ＡでのV_{ce-sat}：１．６１９Ｖ

－１０ｍＡでのV_{th}：４．３０Ｖ

－E_{off}：１２．６９ｍＪ

－I_{sc}：＝１００％

パワー半導体デバイス１の設計Ａ：

－ゲート酸化膜プロファイル：不均一、４０ｎｍおよび１４０ｎｍ

－１５０ＡでのV_{ce-sat}：１．６３３Ｖ

－１０ｍＡでのV_{th}：５．５６Ｖ

－E_{off}：１３．１０ｍＪ

－I_{sc}：＝基準半導体デバイス９のI_{sc}の約９０％

パワー半導体デバイス１の設計Ｂ：

－ゲート酸化膜プロファイル：不均一、６０ｎｍおよび１５０ｎｍ

－１５０ＡでのV_{ce-sat}：１．７００Ｖ

－１０ｍＡでのV_{th}：５．９４Ｖ

－E_{off}：１３．０９ｍＪ

－I_{sc}：＝基準半導体デバイス９のI_{sc}の約７０％

これらのデバイス９、Ａ、Ｂでは、チャネルの長さＬは、いずれの場合も２．５μｍであり、設計Ａ、Ｂの第１の部分４４は１．０μｍの長さを有する。

【００８２】

図１３のパワー半導体デバイス１の例示的な実施形態では、ゲート絶縁体４の厚さは、２つの階段４３で変化する。第２の階段は第１の階段よりも大きいことが可能であり、その結果、厚さの増加はドリフト領域２３に近い階段４３でより大きくなり、または逆もまた同様である。したがって、ゲート絶縁体４の厚さToxは、ドリフト領域２３に向かって単調に増加する。

【００８３】

パワー半導体デバイス１のすべての他の例示的な実施形態において可能であるように、半導体本体２に面するゲート絶縁体４の外側４０は、少なくともチャネル領域２２０に沿って平面状であり得る。したがって、階段４３のようなゲート絶縁体４の厚さの変化は、ゲート絶縁体４の内側のみに影響を及ぼす場合があり、内側はゲート電極３１に面する。

【００８４】

その上、図１３のパワー半導体デバイス１は、IGBTではなく、MOSFETまたはMISFETであることが示されている。その結果、パワー半導体デバイス１は、コレクタ領域２６の代わりにドレイン領域２４を備える。したがって、ウェル領域２２から離れたドリフト領域２３の側にも、第１の導電型であるが、例えば、ドリフト領域２３よりも高い最大ドーピング濃度を有するドレイン領域２４が存在する。ドレイン領域２４には、ドレイン電極３３が存在する。

【００８５】

もちろん、IGBTのパワー半導体デバイス１のすべてのゲート絶縁体の設計をMOSFETおよびMISFETのパワー半導体デバイス１に適用することができ、逆もまた同様である。

【００８６】

さらに、すべてのパワー半導体デバイス１は、逆導通IGBTとして構成することができる。逆導通IGBTは、第１の導電型の短絡と交互になっている第２の導電型のコレクタ領域を備える。

【００８７】

そうでない場合、図２～図１２に関して同じことが図１３にも当てはまる場合があり、逆もまた同様である。

【００８８】

図１４によれば、ゲート絶縁体４は複数の階段４３を含み、厚さは単調に増加していない。したがって、ソース領域２１付近のより高い厚さへの小さい第１の階段および元の厚さに戻る小さい第２の階段が存在する可能性があり、ドリフト領域２３に隣接してより高い最終的な厚さへの大きい第３の階段が存在する。

【００８９】

そうでない場合、図２～図１３に関して同じことが図１４にも当てはまる場合があり、逆もまた同様である。

【００９０】

図１５では、厚さは階段状に変化せず、第１の部分４４の最初から連続的に変化することが示されている。厚さToxが変化する遷移領域４６は、例えば、長さLの少なくとも２％および／または多くとも１５％もしくは多くとも１０％もしくは多くとも５％になる。図１３または図１４と同様に、２つ以上のそのような遷移領域４６が存在してもよい。

【００９１】

そうでない場合、図２～図１４に関して同じことが図１５にも当てはまる場合があり、逆もまた同様である。

【００９２】

これまでの例示的な実施形態では、ゲート絶縁体４は、同じ材料の、変化する厚さを有する単一の連続層からなる。それに反して、図１６を参照すると、ゲート絶縁体４は多層形式である。例えば、ゲート絶縁体４は、半導体本体２に隣接し、半導体本体２とゲート電極３１との間に完全に延在する第３の副層４５を含む。その上、ゲート電極３１隣接し、ドリフト領域２３に達する第１の副層４１、ならびに第１の副層４１と第３の副層４５との間の第２の副層４２が存在する。第１の副層４１は、ウェル領域２２を通って部分的

にのみ存在し、ソース領域２１の近くには存在しない。

【００９３】

例えば、第１の副層４１は副層のうちの最も厚い副層であり、第２の副層４２あるいは第３の副層４５は最も薄い副層である。副層４１、４２、４５の各々は、副層４１、４２、４５が各々一定の厚さであり得るように、それぞれの副層４１、４２、４５内で変化しない厚さを有する場合がある。第１の副層４１および第２の副層４２が終わる場所に、階段４３が存在する。したがって、副層４１、４２、４５は一致しない。すべての副層４１、４２、４５は、同じ材料から作られてもよく、さもなければ異なる材料から作られてもよい。

【００９４】

任意選択で、第２の副層４２が第１の副層４１から突出する長さは、長さLに沿った第１の部分４４の範囲の多くとも５０％または多くとも３０％になる。

【００９５】

そうでない場合、図２～図１５に関して同じことが図１６にも当てはまる場合があり、逆もまた同様である。

【００９６】

図１７では、ゲート絶縁体４の厚さは、ウェル領域２２全体にわたって、厳密に単調に、例えば直線的に増加することが示されている。前記厚さは、ゲート絶縁体４全体に沿って、すなわちソース領域２１および／またはドレイン領域２３においても、厳密に単調に、例えば直線的に増加することも可能である。

【００９７】

図１８によれば、パワー半導体デバイス１は平面設計であり、例えば、図２および図３のパワー半導体デバイス１のようなトレンチ設計ではない。したがって、上面２０は平面であり、ゲート絶縁体４およびゲート電極３１は上面２０に塗布される。その結果、ソース領域２１とドリフト領域２３との間の長さLは、上面２０と平行であり、上面２０に垂直な他の例示的な実施形態とは異なる。それに沿って厚さToxが変化する方向xにも同じことが当てはまる。

【００９８】

図１８では、チャネル領域２２０は、横方向に、すなわち上面２０と平行にソース領域２１から突出し、ゲート絶縁体４の下に延在する。また、ソース領域２１は、ゲート絶縁体４の下に延在する場合があるが、それほどではない。

【００９９】

ゲート絶縁体４の上述された異なる設計はすべて、MISFETまたはMOSFETの場合ならびにIGBTの場合の両方とも、図１８の平面概念に同様に適用することができる。したがって、図２～図１７に関して同じことが図１８にも当てはまる場合がある。

【０１００】

その上、図１９では、不均一なゲート絶縁体厚さプロファイルだけでなく、ゲート絶縁体４が構成される少なくとも２つの異なる材料８１、８２に起因する不均一なゲート誘電率プロファイルも存在することが示されている。すなわち、ゲート絶縁体４の厚さは、チャネル領域２２０に沿って変化する。

【０１０１】

例えば、少なくとも２つの異なる材料８１、８２に起因するチャネル領域２２０に沿った比誘電率の差は、少なくとも２．０であるか、または少なくとも３．０であるか、または少なくとも３．５である。代替または追加として、前記差は多くとも５０であるか、または多くとも２５である。それぞれの比誘電率を比較するとき、室温、すなわち３００K、および多くとも１kHzの変動電界の周波数でのそれぞれの材料のテキストブック値が使用される場合がある。不均一なゲート絶縁体厚さプロファイルおよび均一なゲート誘電率プロファイルのみが存在する場合、ゲート絶縁体４は単一の材料製であり得る。

【０１０２】

不均一なゲート誘電率プロファイルに加えて、またはその代わりに、ゲート電極３１の

不均一なゲート電極仕事関数プロファイル７２が存在する可能性がある。したがって、ゲート電極３１は、ソース領域２１に隣接する第１のゲート材料８４と、ドレイン領域２３に隣接する第２のゲート材料８５とを含むことができる。ゲート材料８４、８５は、ゲート絶縁体４の材料８１、８２が変化する場所で変化する場合がある。したがって、ソース領域２１から離れた第１の部分４４内のゲート電極３１の仕事関数Φ_mは、pドープウェル領域２２、したがってpドープチャネル領域２２０を有するデバイスの場合最大であり、nドープウェル領域２２、したがってnドープチャネル領域２２０を有するデバイスの場合最小である。

【０１０３】

例えば、チャネル領域２２０に沿ったゲート電極の仕事関数差は、少なくとも０．７eVであるか、または少なくとも１．０eVであるか、または少なくとも１．１eVである。これは、例えば、ゲート電極３１がポリシリコンに基づくときに当てはまる。低い仕事関数のためのLi、Zn、Hfのような金属、または高い仕事関数のためのPt、Pd、もしくはAuのような金属も考慮される場合、仕事関数差は、少なくとも１．３eVまたは少なくとも１．４eVであり得る。例えば、仕事関数差は、多くとも２．０eVまたは多くとも１．５eVである。

【０１０４】

例えば、第２のゲート材料８５は、約５．２２eVの仕事関数Φ_mを有するp^+ドープポリシリコンである。例えば、第１のゲート材料８４は、約４．１eVの仕事関数Φ_mを有するn^+ドープポリシリコンである。シリコンをベースとしているが、これらの第１のゲート材料８４および第２の材料８５は、異なるゲート電極金属と呼ばれる場合がある。

【０１０５】

したがって、第１の部分４４と第２の部分４７との間の界面で不均一なゲート電極仕事関数プロファイル７２に階段が存在する、図１９の挿入図参照。

【０１０６】

不均一なゲート誘電率プロファイルおよび／または不均一なゲート電極仕事関数プロファイル７２に加えて、またはその代わりに、不均一なチャネルドーピングプロファイル７１が存在する可能性がある。すなわち、ウェル領域２２内のドーピング濃度N_Aは、チャネル領域２２０に沿って変化する。

【０１０７】

例えば、不均一なチャネルドーピングプロファイル７１に存在する最大ドーピング濃度は、少なくとも$5\times10^{16}cm^{-3}$および多くとも$5\times10^{19}cm^{-3}$であり、かつ／または不均一なチャネルドーピングプロファイル７１に存在する最小ドーピング濃度は、多くとも$2\times10^{17}cm^{-3}$もしくは多くとも$1\times10^{17}cm^{-3}$である。最大ドーピング濃度は、第１の部分４４に存在する場合があり、最小ドーピング濃度は、第２の部分４７に存在する場合がある。それぞれ、第１の部分４４および第２の部分４７の全体にわたって、ドーピング濃度N_Aは、例えば、ドーピング濃度N_Aが階段状に変化するように一定であり得る。しかしながら、ドーピング濃度N_Aにおける階段は、テータ関数または単位階段関数に正確に従う必要はないが、正弦波形状の階段が存在する可能性がある、図１９の挿入図参照。前記階段は、ゲート絶縁体４の材料８１、８２が変化する場所にあり得る。

【０１０８】

不均一なゲート電極仕事関数プロファイル７２、不均一なゲート絶縁体誘電率プロファイル、および不均一なチャネルドーピングプロファイル７１のうちのそのような少なくとも１つも、すべての他の例示的な実施形態に類似的に存在する可能性がある。

【０１０９】

そうでない場合、図２～図１８に関して同じことが図１９にも当てはまる場合があり、逆もまた同様である。

【０１１０】

図に示された構成要素は、特に指示のない限り、例示的に指定された順序で直接重なって続く。図の中で接触していない構成要素は、例示的に互いに離間している。線が互いに

平行に引かれている場合、対応する表面は、例示的に互いに平行に向けられる。同様に、特に指示のない限り、描かれた構成要素の互いに対する位置は、図面内で正確に再現される。

【０１１１】

本明細書に記載されたパワー半導体デバイスは、例示的な実施形態に基づく説明によって限定されない。むしろ、この特徴またはこの組合せ自体が特許請求の範囲または例示的な実施形態において明示的に指定されていない場合でも、パワー半導体デバイスは、任意の新しい特徴、および特許請求の範囲における特徴の任意の組合せを含む特徴の任意の組合せも包含する。

【０１１２】

本特許出願は、欧州特許出願第２１１８６０８９．５号の優先権を主張し、その開示内容は参照により本明細書に組み込まれる。

【符号の説明】

【０１１３】

参照符号のリスト

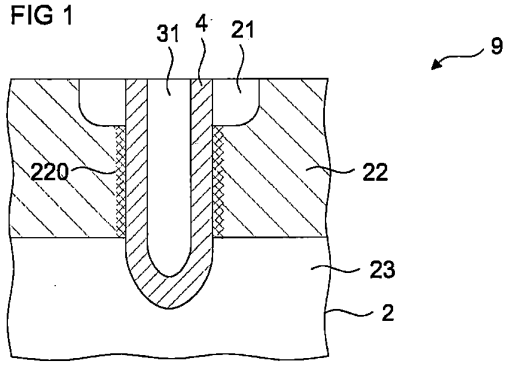
１　パワー半導体デバイス
２　半導体本体
２０　上面
２１　ソース領域
２２　ウェル領域
２２０　チャネル領域
２３　ドリフト領域
２４　ドレイン領域
２５　プラグ
２６　コレクタ領域
２７　強化層
３１　ゲート電極
３２　ソース電極
３３　ドレイン電極
３４　コレクタ電極
４　ゲート絶縁体
４０　外側
４１　ゲート絶縁体の第１の副層
４２　ゲート絶縁体の第２の副層
４３　階段
４４　第１の部分
４５　ゲート絶縁体の第３の副層
４６　遷移領域
４７　第２の部分
７１　不均一なチャネルドーピングプロファイル
７２　不均一なゲート電極仕事関数プロファイル
８１　ゲート絶縁体の第１の材料
８２　ゲート絶縁体の第２の材料
８４　第１のゲート材料
８５　第２のゲート材料
９　基準半導体デバイス
A　第１の例示的なパワー半導体デバイス
B　第２の例示的なパワー半導体デバイス
I_{sat}　飽和電流
L　ゲート絶縁体に沿ったチャネル領域の長さ

Tmax　ゲート絶縁体の最大厚さ
Tox　チャネル領域に沿ったゲート絶縁体の厚さ
V_{th}　閾値電圧
x　チャネル領域に沿った長さ

【図面】

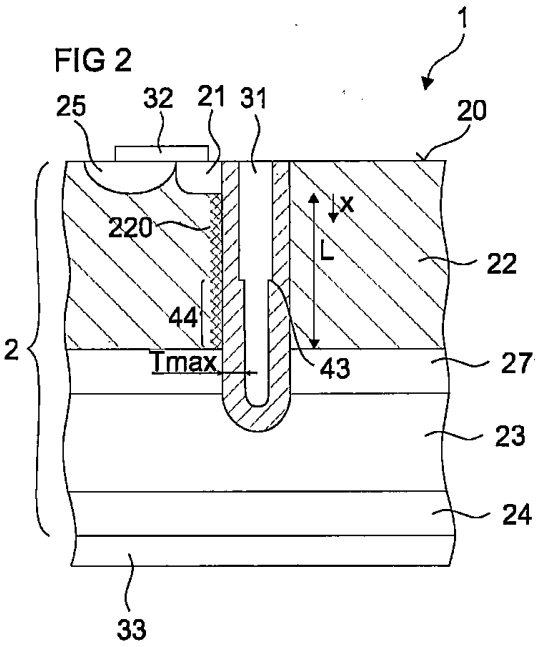
【図１】

FIG 1



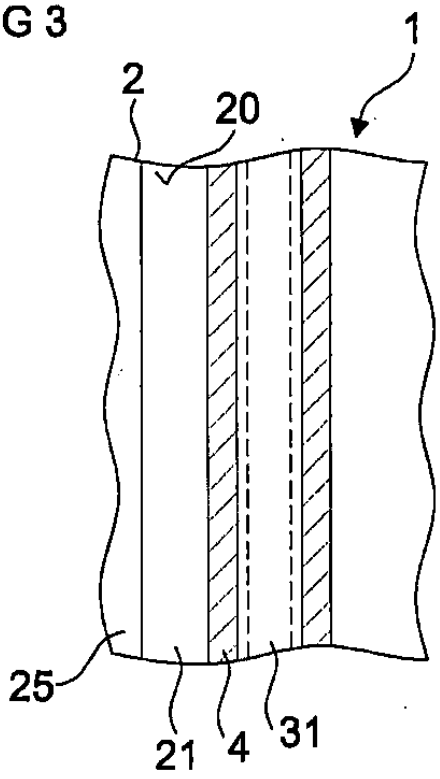
【図２】

FIG 2



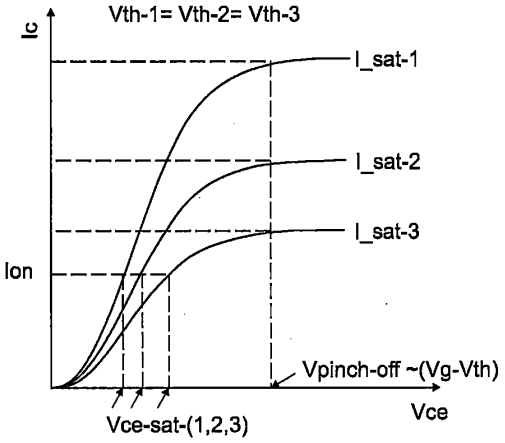
【図３】

FIG 3



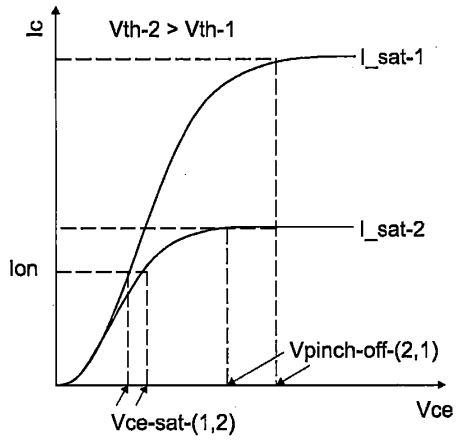
【図４】

FIG 4



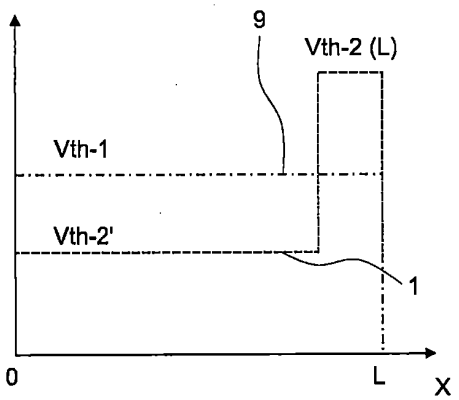
【図５】

FIG 5

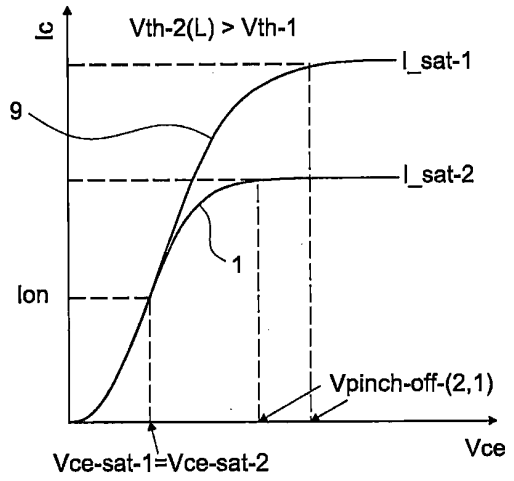


【図６】

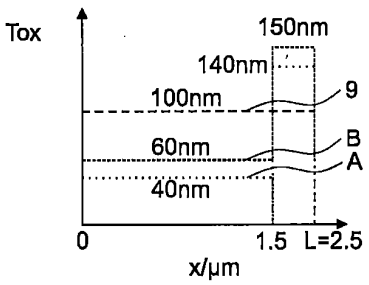
FIG 6



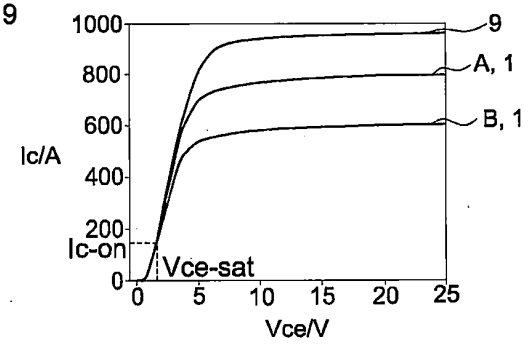
【図７】
FIG 7



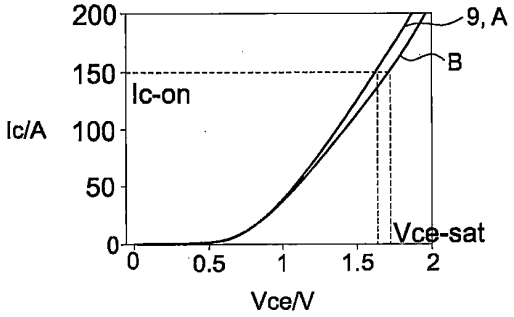
【図８】
FIG 8



【図９】
FIG 9

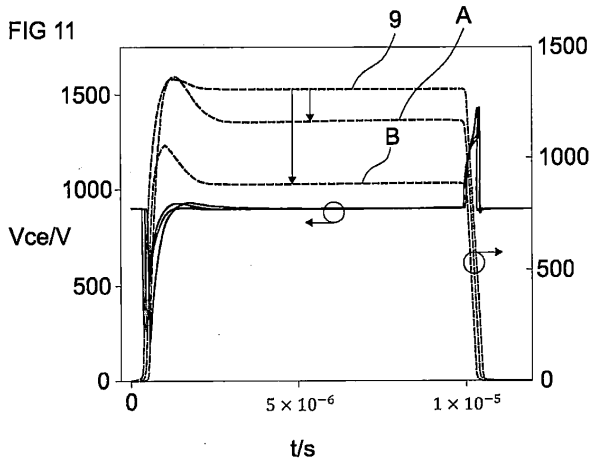


【図１０】
FIG 10



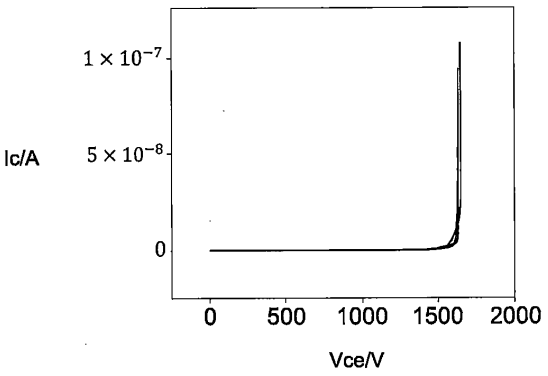
【図１１】

FIG 11



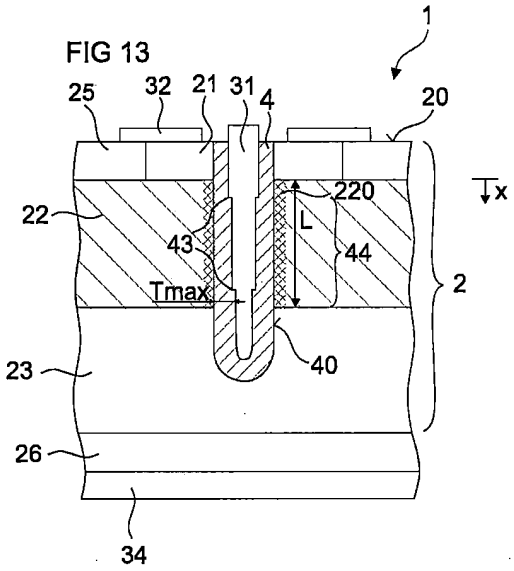
【図１２】

FIG 12



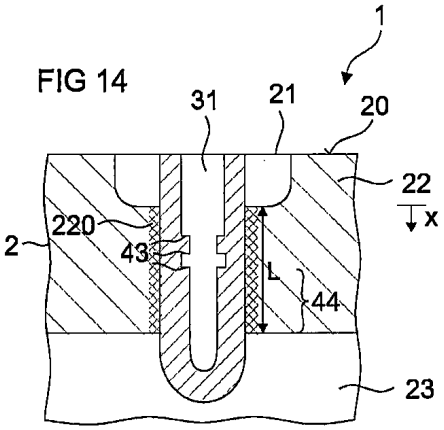
【図１３】

FIG 13



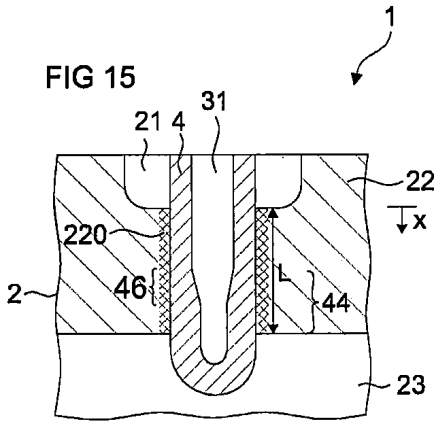
【図１４】

FIG 14



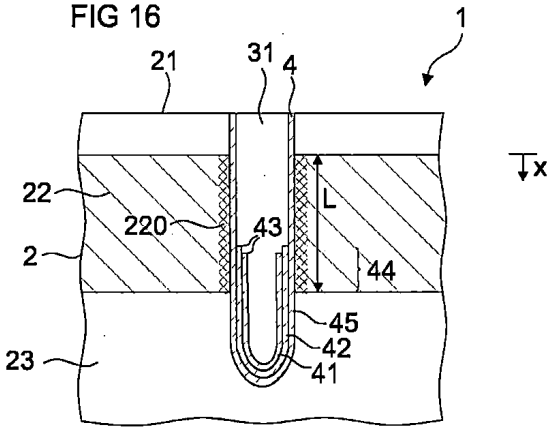
【図１５】

FIG 15



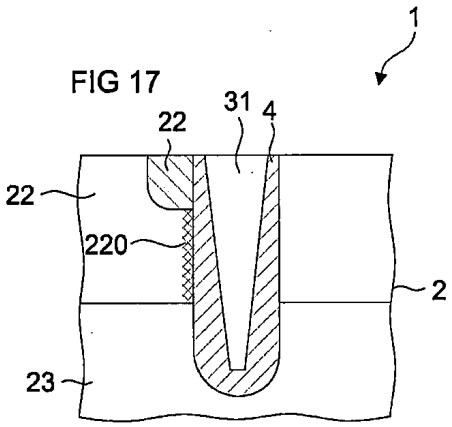
【図１６】

FIG 16



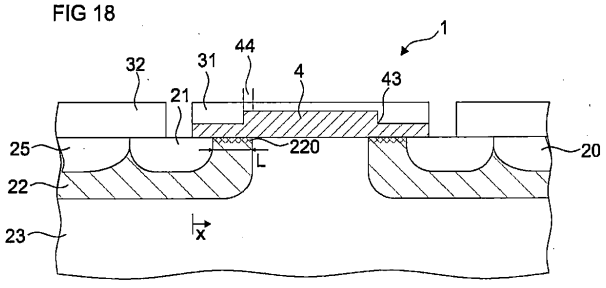
【図１７】

FIG 17



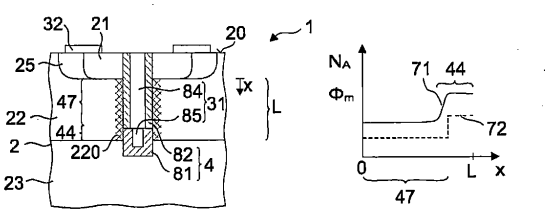
【図１８】

FIG 18



【図１９】

FIG 19


32
21
20
1
25
47
22
44
2
220
23
84
85
31
82
81
4
Tx
L
N_A
Φ_m
71
44
72
0
L
x
47

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2022/069637

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L29/423 H01L29/739 H01L29/78 H01L21/336 H01L29/66
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	US 2016/064550 A1 (SUGIMOTO MASAHIRO [JP] ET AL) 3 March 2016 (2016-03-03) paragraph [0016] - paragraph [0067]; figures 1-7 figure 0075	1,4,5,7, 9,10,12, 17 2,3,6,8, 13,15, 18-20 14,16

Y	EP 1 248 300 A2 (SCHINDENGEN ELECTRIC MFG CO LT [JP]) 9 October 2002 (2002-10-09) paragraph [0047] - paragraph [0053]; figures 22-25 paragraph [0054] - paragraph [0070]; figures 27-50	6,8,13, 15,18-20

	-/--	

[x] Further documents are listed in the continuation of Box C. [x] See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance;; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance;; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
17 November 2022	24/11/2022

Name and mailing address of the ISA/	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Lantier, Roberta

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2022/069637

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2011/089483 A1 (REYNES JEAN MICHEL [FR] ET AL) 21 April 2011 (2011-04-21) paragraph [0023] - paragraph [0027]; figure 2 paragraph [0058] - paragraph [0061]; figure 8	2,3
A	US 2008/166846 A1 (MARCHANT BRUCE D [US] ET AL) 10 July 2008 (2008-07-10) paragraph [0021] - paragraph [0025]; figure 2	1-16
A	US 2016/093719 A1 (KOBAYASHI KENYA [JP] ET AL) 31 March 2016 (2016-03-31) paragraph [0082] - paragraph [0090]; figure 11	1-17

Form PCT/ISA/210 (continuation of second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/EP2022/069637

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2016064550 A1	03-03-2016	JP 2016054181 A	14-04-2016
		US 2016064550 A1	03-03-2016
EP 1248300 A2	09-10-2002	EP 1248300 A2	09-10-2002
		JP 4073176 B2	09-04-2008
		JP 2002299619 A	11-10-2002
		US 2002153558 A1	24-10-2002
		US 2005017294 A1	27-01-2005
US 2011089483 A1	21-04-2011	EP 2294621 A1	16-03-2011
		TW 201007848 A	16-02-2010
		US 2011089483 A1	21-04-2011
		WO 2010001201 A1	07-01-2010
US 2008166846 A1	10-07-2008	US 2006237781 A1	26-10-2006
		US 2008166846 A1	10-07-2008
US 2016093719 A1	31-03-2016	CN 105990426 A	05-10-2016
		JP 6203697 B2	27-09-2017
		JP 2016072482 A	09-05-2016
		US 2016093719 A1	31-03-2016

Form PCT/ISA/210 (patent family annex) (April 2005)

フロントページの続き

MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,IR,IS,IT,JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

ュバッハベーク、１２