



NORGE

(19) [NO]

STYRET FOR DET
INDUSTRIELLE RETTSVERN

[B] (12) UTLEGNINGSSKRIFT (11) Nr. 166154

(51) Int. Cl.⁸ G 06 F 11/00, 11/10

(21) Patentsøknad nr. 830127
(22) Inngivelsesdag 17.01.83
(24) Lopedag 17.01.83
(62) Avdelt/utskilt fra søknad nr.

(86) Internasjonal søknad nr. -
(86) Internasjonal inngivelsesdag -
(85) Videreforingsdag -
(41) Alment tilgjengelig fra 20.07.83
(44) Utlegningsdag 25.02.91

(71)(73) Søker/Patenthaver TANDEM COMPUTERS INCORPORATED,
19333 Valico Parkway,
Cupertino, CA 95014,
US

(72) Oppfinner RICHARD ANTHONY HUMPHREY, Sunnyvale, CA,
STEVEN DEREK FISHER, San Mateo, CA,
STEVEN WARREN WIERENGA, Sunnyvale, CA,
JON SJOSTEDT, San Francisco, CA, US

(74) Fullmektig Siv.ing. Henrik Levkowitz,
J.K. Thorsens Patentbureau AS, Oslo.

(30) Prioritet begjært 19.01.82, US, nr. 340611.

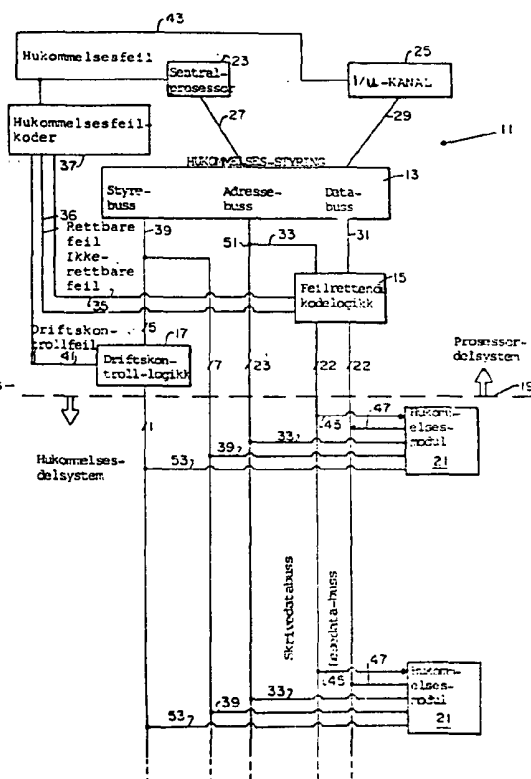
(54) Oppfinnelsens benevnelse FREMGANGSMÅTE FOR Å OVERVÅKE ET HUKOMMELSES-
SYSTEMS ARBEIDSFUNKSJON, OG ANORDNING VED
SÅDANT HUKOMMELSESSYSTEM.

(57) Sammendrag

En hukommelsesanordning for en datamaskin er istand til å påvise datafeil, adressefeil og driftsfeil med det formål å øke påliteligheten av data som er lagret i hukommelsesanordningen. Adressefeil påvises ved koding av adresseparitetsinformasjon inn i datakontrollfeltet i hvert lagersted i hukommelsen. Et signal frembringes i hver hukommelsesmodul (21) for å angi status for arbeidsoperasjonene i vedkommende hukommelsesmodul, og overføres til datamaskinens prosessor-delsystem (11) for sammenligning med et signal som angir status for arbeidsoperasjonene i prosessor-delsystemet, med det formål å sikre at alle hukommelsesmoduler og hukommelsesstyringen i prosessoren mottar samme ordre.

(56) Anførte publikasjoner

USA (US) patent nr. 4228496, 3231858.



Foreliggende oppfinnelse angår en fremgangsmåte for å overvåke et hukommelsessystem og en hukommelsesanordning av den art som er vist i US patent nr. 4.228.496.

Feil i lagrede data kan oppstå ved fasthefting av ett eller flere bit i et dataord som er lagret i en halvleder-hukommelse, og sådanne feil kan påvises ved tilordning av et datakontrollfelt med datafeltet for de lagrede ord. Forskjellige feiltyper kan påvises ved hjelp av koder som er tilordnet datakontrollfeltene. Ved en Hamming-kode av den art som er angitt i US patentskrift nr. 4.228.496 kan alle enkeltstående bit-datafeil påvises og korrigeres, mens alle dobbelte bit-datafeil og visse feil som omfatter flere enn to databit også kan påvises.

For å øke den totale pålitelighet for en hukommelsesanordning er det ønskelig å påvise adresseringsfeil såvel som feil i de lagrede data.

Det er kjent å bygge en selv-kontrollerende hukommelses-adressekoder på likefrem måte (ved duplisering og sammenligning av utgangssignaler), men en sådan anordning kan bli ugunstig med hensyn til omfang og omkostninger når adresse-størrelsen øker. I en 20 bits adresse er det således et antall utganger tilsvarende 2^{20} , som således bare som sammenligning vil kreve integrerte kretser i et antall på 2^{18} (omkring 262 000). I en virkelig hovedhukommelse utføres dessuten adressedekodingen i flere nivåer, nemlig først en "modul-sammenligning" for å velge ett av flere PC-kort, derpå en "rekke-dekoding" for å velge et ord i hukommelsesutstyret, samt så indre X-Y dekodere for å velge ut en enkelt bit-celle i hukommelsesutstyret. Dette skaper ytterligere problemer ved å oppnå selv-kontrollerende drift for hukommelsesadressering.

Å oppnå tilfredsstillende påvisning av adressefeil med en rimelig integrert kretspakke har hittil vært et teknisk problem på dette område.

166154

2

Påvisning og/eller korreksjon av datafeil beskytter i seg selv ikke mot driftsfeil i en hukommelsesanordning. Hvis f.eks. konflikt på en databuss skulle føre til at det fremkommer en skriveordre på feil tidspunkt, vil feilsystemet for å påvise heftede bit i et datafelt ikke gi noen som helst beskyttelse mot de hukommelsesfeil som skriver seg fra den feilaktige driftsordre.

For å sikre høy pålitelighet for en hukommelsesanordning er det ønskelig å sikre at arbeidsoperasjonene i hver hukommelsesmodul finner sted i takt med arbeidsoperasjonene i den tilordnede prosessormodul.

Det er da et hovedformål for foreliggende oppfinnelse å angi en fremgangsmåte for å påvise adresseringsfeil i et hukommelsessystem av ovenfor angitt art, og hvor de ovenfor angitte ulemper er overvunnet samt de ønskede forbedringer er oppnådd.

Oppfinnelsen gjelder således en fremgangsmåte for å overvåke arbeidsfunksjonen for et hukommelsessystem som er innrettet for å arbeide i samsvar med styresignaler som mottas fra en prosessorenhet, f.eks. av den art som er prinsipielt kjent fra ovenfor omtalte US patentskrift nr. 4.228.496 samt også fra US patentskrift nr. 3.231.858.

På denne bakgrunn av kjent teknikk har da fremgangsmåten i henhold til oppfinnelsen som særtrekk at det frembringes første og andre tilstandssignaler som er tilordnet henholdsvis prosessorenheten og hukommelsessystemet, samt hver er bestemt ved (a) de styresignaler som frembringes av prosessorenheten og mottas av hukommelsessystemet, og (b) tidligere frembragte digitale tilstandssignaler, idet de første og andre digitale tilstandssignaler sammenlignes for derved eventuelt å utlede et feilsignal som angir feilaktig arbeidsfunksjon.

På denne måte økes systemnivåets pålitelighet i vesentlig

grad, nemlig så meget som 10 til 100 ganger, og påvisning av adressefeil kan oppnås hovedsakelig uten ekstra-omkostning.

Videre kan i henhold til foreliggende oppfinnelse påvisning av datafeil, adressefeil, og driftsfeil kombineres i et eneste hukommelsessystem for å øke påliteligheten på systemnivået, idet en prosessormodul tilordnes én eller flere hukommelsesmoduler på sådan måte at datafeil, adresseringsfeil og driftsfeil kan påvises.

Oppfinnelsen omfatter også en anordning ved hukommelsessystem for lagring av data i samsvar med styresignaler avgitt fra en prosessorenhet som regulerer hukommelsessystemets arbeidsfunksjon, samt utstyr for å påvise eventuell feilaktig hukommelsesfunksjon.

Anordningens særtrekk i henhold til oppfinnelsen ligger da i at den omfatter:

- en første og en annen driftstilstandsmaskin som henholdsvis er tilordnet nevnte hukommelsessystem og nevnte prosessorenhet for i rekkefølge å anta en av flere forut bestemte digitaltilstander som reaksjon på styresignalene, idet hver antatt digitaltilstand i det minste delvis fastlegges av bestemmelsene i et styresignal under en umiddelbart forut antatt digitaltilstand, og hver av nevnte første og annen driftstilstandsmaskin omfatter utstyr for å avgi et driftstilstandssignal som tilkjennegir en løpende antatt digitaltilstand, samt komparatorkretser anordnet for å motta nevnte driftstilstandssignaler og innrettet for eventuelt å frembringe et driftsprøvende feilsignal som angir feilaktig hukommelsesfunksjon.

Styresignalene tilsvarende da fortrinnsvis et antall forskjellige typer arbeidsfunksjoner for hukommelsessystemet.

Første og annen tilstandsmaskin omfatter fortrinnsvis hver sin logisk funksjonskrets anordnet for å motta styresignalene for å utlede den løpende digitaltilstand fra disse samt helst

166154

4

også hvert sitt tilstandsregister for å motta og fastholde den løpende digitaltilstand som er frembragt av den logiske funksjonskrets.

Den logiske funksjonskrets kan være tilsluttet tilstandsregisteret for å motta den forut antatte digitaltilstand for sammen med styresignalene å utlede den løpende digitaltilstand eller omfatte utstyr for å motta den forut antatte digitale tilstand for sammen med de mottatte styresignaler å frembringe den løpende digitaltilstand.

Det skal nå henvises til de vedføyde tegninger, hvorpå:

Figur 1 er et blokkskjema av en hukommelsesanordning i samsvar med en utførelse av foreliggende oppfinnelse.

Figur 2 viser ytterligere detaljer av hukommelsesmodul-delen av den hukommelsesanordning som er vist i figur 1.

Figur 3 er en skisse av driftstilstandsmaskinen og sammenligningslogikken i det logiske utstyr for driftskontroll som inngår i den hukommelsesanordning som er vist i figur 1.

Figurene 4A-4F er tilstandsskjemaer for de driftstilstandsmaskiner som inngår i det logiske utstyr for driftskontroll i hukommelses-delsystemet og i kartleggings- og hukommelsesstyringen i prosessor-delsystemet i figur 1.

Figur 5 er et skjema for generatorene for henholdsvis adresse-paritetsbit og kontrollbit som anvendes i det logiske kodeutstyr for feilretting i den hukommelsesanordning som er vist i figur 1. Figur 5 angir også en liste over logiske ligninger for to av de 9-bits paritetstrær som anvendes i kontrollbit-generatoren.

Figur 6 viser kontrollbit-komparatoren som inngår i det logiske utstyr for feilretting i den hukommelsesanordning som er vist i figur 1.

Figur 7 viser nærmere detaljer i den driftstilstandsmaskin 67 som er vist i figur 3.

Figur 8 viser detaljer av driftstilstandsmaskinen 61 i figur 2.

En utførelse av en hukommelsesanordning i henhold til foreliggende oppfinnelse er i sin helhet angitt ved henvisningstallet 11 i figur 1.

Hukommelsesanordningen 11 inngår i et system av flere prosessorer og av den art som er vist i US patentskrift nr. 4.228.496 som herved tas inn i foreliggende ansøking som referanse og i det følgende vil bli henvist til som "referansepatentet".

Hukommelsesstyringen i henhold til foreliggende oppfinnelse har særlig anvendelse i et system av flere prosessorer av den type som er vist i referansepatentet, men er på ingen måte begrenset til anvendelse i sådanne systemer. Hukommelsesanordningen i henhold til foreliggende oppfinnelse kan også utnyttes i et system med en enkelt prosessor.

Hukommelsesanordningen i henhold til foreliggende oppfinnelse vil nå bli nærmere beskrevet under henvisning til figur 1 samt figurene 2-8 på de vedføyde tegninger. Figur 1 i foreliggende ansøking tilsvarer hovedsakelig figur 34 i referansepatentet.

Hukommelsesanordningen som er vist i figur 1 omfatter en kartleggings- og hukommelsesstyring 13, et logisk kodeutstyr for feilretting 15, logisk utstyr for driftskontroll 17 samt en feilkoder 37 for hukommelsesanordningen, og alle disse bestanddeler er fysisk anbragt i hukommelsesanordningens prosessor-delsystem (slik det er skjematisk ved den pil som peker oppover fra den stiplede linje 19), mens én eller flere hukommelsesmoduler er fysisk anbragt i hukommelses-delsyste-

166154

6

met (slik som skjematisk angitt ved den pil som peker nedover fra den stiplede linje 19).

Kartleggings- og hukommelsesstyringen 13 er tilkoblet en sentral prosessorenhet 23 over en databuss 27 som omfatter linjer for data, logisk adresse og styring, samt en inngangs/utgangs-kanal 25 for det prosessor-delsystem som er vist i figur 1. Kanalen 25 er tilsluttet kartleggings- og hukommelsesstyringen 13 over en databuss 27 som også omfatter linjer for data, logisk adresse og styring.

I den spesielle utførelse som er vist i figur 1, tilsvarer den sentrale prosessorenhet 23 hovedsakelig den prosessor-enhet 105 som er vist i figur 34, i referansepäatentet, mens inngangs/utgangs-kanalen 25 i figur 1 hovedsakelig tilsvarer kanalen 109 av samme art i referansepäatentet.

Det logiske kodeutstyr for feilretting 15 er tilkoblet kartleggings- og hukommelsesstyringen 13 over en databuss 31 og en adressebuss 38. Det logiske kodeutstyr 15 har utgangslinjer 35 og 36 som er forbundet med en feilkode 37 for hukommelsesanordningen. Utgangslinjen 35 angir "ikke rettbare feil", mens utgangslinjen 36 angir "feil som kan rettes".

Det logiske utstyr for driftskontroll 17 er forbundet med kartleggings- og hukommelsesstyringen 13 over en styringsbuss 39. Det logiske utstyr for driftskontroll 17 er også koblet til hukommelsesanordningens feilkoder 37 over en linje 41 for driftsfeilkontroll.

Feilkoderen 37 i hukommelsesanordningen har en utgangsdata-buss 43 for feil i anordningen og som i sin tur er koblet til den sentrale prosessorenhet 23 samt inngangs/utgangs-kanalen 25, slik det er angitt i figur 1.

Hver hukommelsesmodul 21 har 5 databuss-forbindelser som forbinder vedkommende hukommelsesmodul 21 med kartleggings-

og hukommelsesstyringen 13, det logiske kodeutstyr for feilretting 15 samt det logiske utstyr for driftskontroll 17. Hver hukommelsesmodul 21 er således koblet til det logiske utstyr for feilretting 15 ved hjelp av en dobbeltrettet databuss som består av to enkelt-rettede databusser, nemlig en inngangsdatabuss 45 for innskrivning samt en utgangsdata-buss 47 for utlesning.

Hver hukommelsesmodul 21 er tilkoblet kartleggings- og hukommelsesstyring 13 ved hjelp av en adressebuss 33.

Hver hukommelsesmodul har en operasjonstilstandslinje 53 forbundet med det logiske utstyr for driftskontroll 17.

Hver hukommelsesmodul 21 er også forbundet med kartleggings- og hukommelsesstyringen 13 over en styrebuss 39. Denne styrebuss 39 omfatter 7 linjer. Bare 5 av disse linjer fører til det logiske utstyr for driftskontroll 17, men alle 7 linjer i styrebuss 39 er koblet til hver hukommelsesmodul 21. Antallet foreliggende bit på styrebuss 39 og de øvrige busser som er vist i de forskjellige figurer på tegningene er angitt ved små tallanvisninger tilordnet markeringer på busslinjene.

Den hukommelsesanordning som er vist i figur 1, omfatter fire viktige arbeidsfunksjoner som er virksomme i samvirke med og i tillegg til de grunnleggende arbeidsoperasjoner som går ut på lagring og uttrekk av data med ord-adresserbar tilgang, retting av enkeltstående datafeil samt påvisning av dobbelte datafeil som foreskrevet i referansepatentet. Disse funksjoner vil bli nærmere beskrevet senere i denne beskrivelse.

Den første av disse funksjoner er påvisning av adressefeil, hvilket utføres av det logiske kodeutstyr for feilretting 15 i kombinasjon med hukommelsesmodulen 21. Påvisning av adressefeil sikrer at enhver feil under adresseoverføringen, sammenligningen og den logiske dekoding som opptrer mellom tidspunktene for innskrivning og utlesning av et lagersted i hukommelsen vil bli påvist. Utstyret for utførelse av denne

166154

8

funksjon er fysisk anbragt i prosessor-delsystemet. Denne utførelse sikrer at i tillegg også adresseringsfeil som opptrer i kabelføringen og lederne vil bli påvist, hvilket ellers ikke ville være tilfellet hvis vedkommende utstyr var plassert i hukommelsesmodulene.

Den annen av de nevnte funksjoner er frembringelse av et signal i hukommelsesmodulen 21 med det formål å utnyttes for påvisning av driftsfeil. Denne funksjon frembringes av det logiske maskinutstyr for driftstilstanden og som er anbragt i hukommelsesmodulen 21.

Den tredje funksjon er påvisning av feil i hukommelsens arbeidsfunksjon, som utføres av det logiske utstyr for driftskontroll 17 i kombinasjon med hukommelsesmodulen 21.

Den fjerde av de nevnte funksjoner er kombinasjonen av adressefeilpåvisningen og feilpåvisningen i hukommelsens arbeidsfunksjon.

Figur 2 viser mer detaljert hukommelsesmodulen 21, som omfatter en halvleder-datatabell 55 for lagring, samt en utgangssperre 57.

Hukommelsesmodulen 21 omfatter også logisk utstyr 59 for tidsbestemmelse og styring, samt maskinutstyret 61 for bestemmelse av driftstilstanden.

Det logiske utstyr 59 for tidsbesparelse og styring er forbundet med maskinutstyret 61 for driftstilstanden, halvleder-datatabellen 55 for lagring samt utgangssperren 57 over en databuss 63 som omfatter styresignallinjer.

Halvleder-datatabellen 55 for lagring er tilkoblet utgangssperren 57 over en databuss 65 som omfatter datalinjer.

Det skal atter henvises til figur 2, hvor den første arbeidsfunksjon for en hukommelsesmodul 21 er en lagrings-

funksjon, mens halvleder-datatabellen 55 i kombinasjon med utgangssperren 57 og det logiske utstyr 59 for tidsbestemmelse og styring frembringer en lagringsfunksjon for lagring og gjenvinning av data.

De tre grunnleggende arbeidsoperasjoner for hukommelsesmodulens lagringsfunksjon er utlesning, innskrivning og oppfriskning.

Den annen arbeidsfunksjon for hukommelsesmodulen 21, nemlig driftskontrollen benytter maskinutstyret 61 for undersøkelse av driftstilstanden.

Hvis (1) en utelatt arbeidsoperasjon, (2) en 0-operasjon (ingen utlesning, ingen innskrivning, ingen oppfriskning eller start, (3), en samtidig arbeidsoperasjon, f.eks. utlesning og innskrivning samt start, eller (4) en ukorrekt operasjon, f.eks. utlesning i stedet for innskrivning og start finner sted, vil maskinutstyret 61 for driftstilstanden forandre tilstanden i en rekkefølge som er forskjellig fra den som driftstilstandsmaskinen 67 utfører i det logiske utstyr for driftskontroll 17 i figur 3.

Denne annen arbeidsfunksjon frembringer signaler som representerer tilstanden for driftstilstandsmaskinen 61 i hver hukommelsesmodul 21 for overføring til det logiske utstyr for driftskontroll 17 for kontroll av arbeidsfunksjonen for hukommelsesmodulen 21. Driftstilstandsmaskinen 21 frembringer på grunnlag av signaler som representerer den løpende tilstand for det logiske utstyr 59 for tidsbestemmelse og styring et signal som angir status for hukommelsesmodulens tidsbestemmelse og styringssignaler (utlesnings-, innskrivnings- og oppfrisknings-signaler i sin rekkefølge) som overføres over driftstilstandslinjen 53 til det logiske utstyr 17 for driftskontroll (se figur 1). Det signal som overføres på linjen 53 tillater det logiske utstyr for driftskontroll 17 å utføre den driftskontroll som vil bli beskrevet senere i denne ansøking.

166154

10

Som vist i figur 3, omfatter det logiske utstyr for driftskontroll 17 en driftstilstandsmaskin og logisk sammenligningsutstyr 69. Driftstilstandsmaskinen 67 er koblet til sammenligningslogikken 67 over en linje 71 for overføring av et referansetilstandsbit til sammenligningslogikken 69.

Som vist i figur 7, omfatter driftstilstandsmaskinen 67 en logisk funksjonskrets 68 og et tilstandsregister 70. En styrebuss 39 fører inngangssignaler til den logiske funksjonskrets 68. En databuss 72 forbinder den logiske funksjonskrets med tilstandsregisteret 70, og en databuss 74 fører signalet tilbake fra tilstandsregisteret 70 til inngangssiden av den logiske funksjonskrets 68. En linje 76 fra styrebuss 39 tilfører et klokkesignal til tilstandsregisteret 70. Den logiske funksjonskrets 68 frembringer den neste tilstandsfunksjon i tilstandsdiagrammene 4A-4F.

I en spesiell utførelse omfatter tilstandsregisteret 5 multivibratorer for lagring av den løpende tilstand, mens den logiske funksjonskrets 68 beregner den neste tilstand.

Som vist i tilstandsdiagrammene i figurene 4A-4F, avhenger den neste tilstand i en tilstandssyklus av den løpende tilstand samt arten av den løpende tilstandssyklus. Fire av de fem signaler på databuss 39 bestemmer typen av tilstandssyklusen og det gjenværende signal er klokkesignalet.

Driftstilstandsmaskinene 67 og 61 er av identisk utførelse. Driftstilstandsmaskinen 61 kan imidlertid skjelnes fra driftstilstandsmaskinen 67 ved de signaler som foreligger henholdsvis på inngangen 50 og inngangen 40. Ved disse tilstandssykler (0, multippel type), er det en kjent feiltilstand og tilstandsmaskinen forandrer tilstand indirekte gjennom en tilstand C (se figurene 4E og 4F) til en "låse"-tilstand som opprettholdes inntil den tilbakestilles. Det foreligger faktisk to "låse"-tilstander, nemlig A og B. Hvis tilstandsmaskinen befinner seg i det logiske utstyr 17 for driftskontroll (MCB ID = 1 på linje 40), utføres

tilstandsmaskinen en overgang til A-tilstand, og hvis den er i en hukommelsesmodul 21 (MEM ID = 0 på linje 50), går den til B-tilstanden. Hvis driftstilstandsmaskinen 67 og driftstilstandsmaskinen 61 begge befinner seg i låsetilstand, vil referansetilstandsbit og driftstilstandsbit fra hukommelsesmodulen ikke stemme overens og frembringe en driftskontrollfeil.

Sammenligningslogikken 69 (se figur 3) kontrollerer den mottatte driftstilstandsbit fra hukommelsesmodulen på linjen 53 med den foreliggende referansetilstandsbit fra driftstilstandsmaskinen 67 på linje 71. Sammenligningslogikken 69 frembringer et signal på linjen 41 som angir om de to inngangssignaler på linjene 53 og 71 er logisk like eller ikke. Hvis disse signaler ikke er logisk like, angir utgangssignalet på linje 41 at driftstilstandsmaskinen 67 ikke stemmer overens med driftstilstandsmaskinen i hukommelsesmodulen 21 (se figur 2), og en driftsfeil er identifisert. Hvis en eller annen påvist driftsfeil ikke kan korrigeres, vil således en driftskontrollfeil bringe hukommelsesanordningens feillinje 43 til å signalere at en ikke-korrigerbar hukommelsesfeil har opptrådt, over hukommelsesanordningens feilkoder 37.

Ved feilfri drift vil signalene på linjene 53 og 71 ikke være logisk forskjellige. Hvis imidlertid disse signaler likevel er logisk forskjellig, vil en driftskontrollfeil være identifisert, og et feilsignal frembringes av hukommelsesanordningens feilkoder 37. Som det vil bli nærmere beskrevet nedenfor, utføres driftskontrollen for en viss hukommelsesmodul bare under en utlesningssyklus for vedkommende hukommelsesmodul.

Den kombinerte arbeidsoperasjon for driftstilstandsmaskinen 61 og det logiske utstyr for driftskontroll 17 beskytter mot et antall feilfaktorer som omfatter driversvikt, mottager-svikt og kabelsvikt som frembringer feilaktige arbeidsoperasjoner i hukommelsesmodulen. Den beskytter også mot

hukommelsesmodulsvikt som går forut for en hvilken som helst arbeidsoperasjon i modulen.

Figur 4A-4F er diagrammer som viser de driftstilstander som driftstilstandsmaskinen 67 i prosessor-delsystemet og driftstilstandsmaskinen 61 i en hukommelsesmodul i hukommelsesdelsystemet går igjennom i rekkefølge som reaksjon på de inngangs-signaler som overføres til disse maskiner. Figur 4A-4F er overlagringer av tilstandsoverganger for den ene tilstandsmaskinen. Disse er angitt hver for seg, slik det vil fremgå av de forskjellige figurer 4A-4B osv., for å lette forståelsen av overføringene i bestemte tilstandssykler. Tilstand 6 er således f.eks. den samme for alle tilstandssykler og for alle figurer 4A-4F.

Figur 4A viser de tilstandsoverganger som frembringes av en oppfriskningssyklus.

Figur 4B viser tilstandsovergangene for en utskrivnings-syklus.

Figur 4C viser tilstandsovergangene for en innskrivnings-syklus.

Figur 4D viser tilstandsovergangene for en tilbakestillings-syklus.

Figur 4E viser tilstandsovergangene for andre sykler som er kjente feiltilstander, hvis inngangssignalet 40 eller 50 er et logisk 0-signal.

Figur 4F viser tilstandsoverganger for andre sykler som er kjente feiltilstander, hvis inngangssignalet 40 eller 50 er et logisk ener-signal.

Av figur 4D vil det fremgå at alle maskiner etter en tilbakestillingssyklus vil befinne seg i 0-tilstand. Av figur 4A vil det fremgå at tilstandsmaskinene vil forandre

tilstand fra tilstand 0 til tilstand 6 som reaksjon på en oppfriskningssyklus.

Hvis fortsatte oppfriskningssykler utføres, vil driftstilstandsmaskinens tilstandsoverganger fortsette som angitt ved piler i figur 4A. Dette vil si at den påfølgende overgang vil være fra tilstand 6 til tilstand 10, og derpå vil en overgang finne sted fra tilstand 10 til tilstand 1 og så videre. Hvis etter start fra tilstand 0 og overgang til tilstand 6 som beskrevet ovenfor under henvisning til figur (4A), den nærmest påfølgende syklus er en skrivesyklus (som angitt i figur 4B), så vil alle driftstilstandsmaskiner forandre tilstand fra tilstand 6 til tilstand 9.

Figur 4C-4F kan tolkes på lignende måte som figurene 4A og 4B.

Figur 5 og 6 viser mer detaljert forskjellige deler av det logiske kodeutstyr 15 for feilretting som er vist i figur 1.

Figur 5 viser nærmere hvorledes adresseparitetsbit og kontrollbit frembringes i en generatorenhet 73. De 16 databit og de 6 kontrollbit overføres fra det logiske kodeutstyr 15 for feilretting til hukommelsesmodulene 21 over databuss 45 (se figur 1). Det bør bemerkes at skjønt det er angitt 16 databit og 6 kontrollbit i den spesielle utførelse som skal beskrives, kan anordningen i praksis finne anvendelse både ved flere og færre bit av hvert slag, i henhold til de nevnte prinsipper for Hamming-koder med korreksjon av enkeltstående datafeil og påvisning av dobbelte feil. 9-bits paritetstrær i kontrollbit-generatoren 86 som er vist i den nederste del av figur 5, er prinsipielt av samme utførelse og arbeidsoperasjon som de 8-bits paritetstrær i den kontrollbits-generator som er vist i figur 38 i det tidligere nevnte referansepatent, bortsett fra at en ekstra inngang er lagt til hvert paritetstre og inngår i de logiske ligninger. Den sannhetstabell for eksklusiv ELLER-funksjon som er vist i

166154

14

figur 5 gjelder både for utførelse med 8-bits og 9-bits paritetstrær.

De paritetsbit med høy og lav orden som frembringes på linjene 81 og 79 er basert på adressen. Den adresseparitetsbit-generator 84 som er vist i figur 5 omfatter et 10-bits paritetstre 75 for adressebit 1 til og med 10 samt et 13-bits-paritetstre 77 for adressebit fra 11 t.o.m. 23. Paritetstreet 75 frembringer adresseparitetsbit av lav orden på linjen 79 som fører til kontrollbit-generatorene 0, 1 og 3. Paritetstreet 77 med 13 bit frembringer adresseparitetsbit av høy orden på en linje 81, og denne linjen 71 overfører denne bit til kontrollbit-generatorene 2, 4 og 5.

Generatoren 86 frembringer 6 kontrollbit på 80, som utgjør en del av databuss 45, for lagring i hukommelses-datatabellen 55 i figur 2. Disse 6 kontrollbit anvendes i forbindelse med de 16 databit for å påvise alle enkeltstående og dobbelte bit-hukommelsesfeil, og for å påvise visse hukommelsesfeil på 3 eller flere bit. De 6 kontrollbit anvendes også sammen med de 16 databit for å korrigere enkeltstående databitfeil. Denne driftsmodus er den samme som er beskrevet under henvisning til figur 38 i referansepatentet.

De to linjer 79 og 81 omfatter adresseparitetsinformasjon som kodes inn i de 6 kontrollbit for en skriveoperasjon, slik som tidligere beskrevet. Under en påfølgende lese-operasjon omfatter linjene 79 og 81 adresseparitetsinformasjon basert på adressen for den pågående lese-operasjon. Disse linjer (79 og 81) kontrolleres mot den adresseparitetsinformasjon som er kodet inn i de 6 kontrollbit som er utlest fra hukommelsesmodulen, og hvis adresseparitetsinformasjon er funnet å avvike, avgis et feilsignal som betegner ikke-korrigerbar hukommelsesfeil.

En typisk adresseringsfeil som vil bli påvist i henhold til foreliggende oppfinnelse er en fastheftet adressebit på adressebuss 58 (se figur 2), eller en fastheftet adressebit

inne i selve hukommelsesmodulen. Et ord kan bli skrevet inn i lagerstedet 0 med adresseparitetsinformasjon for denne adresse 0. Hvis adressebuss 58 har den minst signifikante adressebuss fastheftet i 0, så vil en lese-operasjon for adresse 1 på databuss 33 overføre en adresse for 0 på adressebuss 58. De 6 utleste kontrollbit inneholder en kode for adresseparitet for 0. Det logiske utstyr 15 for feilretting (ECC) angir en adresseringsfeil.

Figur 6 viser mer detaljert kontrollbit-komparatoren 83 for det logiske kodeutstyr 15 for feilretting som er vist i figur 1.

Denne kontrollbit-komparator 83 har tre innganger, nemlig linjene 79 og 81 (se figur 5) og utlesningsdatabuss 47. Kontrollbit-komparatoren 83 har en utgang 85 som er en syndrombuss.

I kontrollbit-komparatoren 83 er de 16 databit på lese-databuss 43 forbundet med paritetstrærne på den måte som er vist, mens de 6 kontrollbit på lese-databuss 47 på lignende måte er forbundet med paritetstrærne slik som angitt.

Paritetstrærne 87 fungerer på samme måte som de paritetstrær 505 som er vist i figur 39 i referansepapiret, bortsett fra det forhold at paritetstrærne 87 er 10-bits-paritetstrær, mens paritetstrærne 505 er 9-bits paritetstrær.

Under en utlesningssyklus angir linjene 79 og 81 i henhold til oppfinnelsen pariteten av den adresse som leses ut. Hvis denne ikke er i samsvar med den adresseparitet som er innkodet i kontrollbit-enhetene, frembringes en kode på syndrombuss 85 for å angi en adresseringsfeil.

Den kontrollbit-komparator 83 som er vist i figur 3 anvendes bare under en utlesningssyklus. Adresseparitetsbit-generatoren 84 i figur 5 anvendes både under utlesnings- og innskrivningssykler. Kontrollbit-generatoren 86 som er vist i figur

5, anvendes bare under en skrive-syklus. Det logiske utstyr 15 for feilretting som er vist i figur 1 omfatter også en syndromdekoder som har mottatt signalet på syndrombuss 85 (se signalene på syndrombuss 85 i figur 6), og syndromdekoderen er den samme som den viste syndromdekoder i figur 40 i referansepapentet.

Det logiske kodeutstyr 15 for feilretting omfatter også en bit-komplementerer som ikke er vist på tegningene her, men som utfører samme funksjon som tilsvarende bit-komplementerer som er vist i figur 41 i referansepapentet.

Den syndromkode som overføres på syndrombuss 85 anvendes i henhold til foreliggende oppfinnelse til å identifisere adressefeil såvel som datafeil. To av de flerfeilsutganger som foreligger ved den syndromdekoder 485 som er vist i figur 40 i referansepapentet, anvendes nå i henhold til foreliggende oppfinnelse for å påvise sådanne feil.

Den følgende tabell 1 angir i nummerrekkefølge de 64 mulige verdier for den foreliggende syndromkode på 6 bit og angir tolkningen av hver mulig verdi slik den anvendes i henhold til foreliggende oppfinnelse.

TABELL 1
SYNDROM-KODER

S0	S1	S2	S3	S4	S5	Feil i	S0	S1	S2	S3	S4	S5	Feil i
0	0	0	0	0	0	Ingen feil	1	0	0	0	0	0	C0
0	0	0	0	0	1	C5		0	0	0	1		(Dobbel)
	0		0	1	0	C4		0	0	1	0		(Dobbel)
	0		0	1	1	(Dobbel)		0	0	1	1		D8
	0		1	0	0	C3		0	1	0	0		(Dobbel)
	0		1	0	1	(Dobbel)		0	1	0	1		D9
	0		1	1	0	(Dobbel)		0	1	1	0		D10
0	0	0	1	1	1	D0		0	1	1	1		(Dobbel)
0	0	1	0	0	0	C2	1	0	1	0	0	0	(Dobbel)
	0		0	0	1	(Dobbel)		0	0	0	1		D11
	0		0	1	0	(Dobbel)		0	0	1	0		(Flere-bare 0)
	0		0	1	1	(Adresse)		0	0	1	1		(Dobbel)
	0		1	0	0	(Dobbel)		0	1	0	0		D12
	0		1	0	1	D1		0	1	0	1		(Dobbel)
	0		1	1	0	D2		0	1	1	0		(Dobbel)
	0		1	1	1	(Dobbel)		0	1	1	1		(Flere)
0	1	0	0	0	0	C1	1	1	0	0	0	0	(Dobbel)
	1		0	0	0	(Dobbel)		1	0	0	1		D13
	1		0	1	0	(Dobbel)		1	0	1	0		D14
	1		0	1	1	D3		1	0	1	1		(Dobbel)
	1		1	0	0	(Dobbel)		1	1	0	0		(Adresse)
	1		1	0	1	(Flere-bare 1)		1	1	0	1		(Dobbel)
	1		1	1	0	D4		1	1	1	0		(Dobbel)
	1		1	1	1	(Dobbel)		1	1	1	1		(Flere)
0	1	1	0	0	0	(Dobbel)	1	1	1	0	0	0	D15
	1		0	0	1	D5		1	0	0	1		(Dobbel)
	1		0	1	0	D6		1	0	1	0		(Dobbel)
	1		0	1	1	(Dobbel)		1	0	1	1		(Flere)
	1		1	0	0	D7		1	1	0	0		(Dobbel)
	1		1	0	1	(Dobbel)		1	1	0	1		(Flere)
	1		1	1	0	(Dobbel)		1	1	1	0		(Flere)
	1		1	1	1	(Flere)		1	1	1	1		(Dobbel)

166154

18

(Antall enere i syndromet)

- 0 Bit - Ingen feil
- 1 Bit - Kontrollbitfeil
- 2 Bit - Dobbel
- 3 Bit - Databit, flere eller adresse
- 4 Bit - Dobbel
- 5 Bit - Flere
- 6 Bit - Dobbel

Et system for påvisning og retting av datafeil samt utført i samsvar med foreliggende oppfinnelse er i stand til å påvise og rette alle datafeil eller kontrollfeil som omfatter enkeltstående bit, og påvise alle data eller kontrollfeil som omfatter 2 bit, samt å påvise visse data- eller kontrollfeil som omfatter mer enn 2 bit. Foreliggende oppfinnelse kan også påvise alle adressefeil som omfatter enkeltstående bit, og i tillegg påvise visse adressefeil som omfatter flere bit, selv i nærvær av data- eller kontrollfeil på enkeltstående bit. Adressefeil korrigeres ikke. Driftsfeil, hvilket vil si tilstandsforskjeller mellom driftstilstandsmaskinen i hukommelsesmodul 21 og driftstilstandsmaskinen i det logiske utstyr 17 for driftskontroll, påvises også.

Ved påvisning og korreksjon av datafeil arbeider foreliggende hukommelsessystem 11 prinsipielt på samme måte som det tilsvarende apparat som er vist og beskrevet i referansepatentet. Se spalte 72, linje 53 til spalte 78, linje 52 i dette patentskrift. Den detaljerte beskrivelse av de deler av foreliggende oppfinnelsesgjenstand som tilsvarer de som er vist og beskrevet i nevnte del av referansepatentet, vil derfor ikke bli gjentatt i denne beskrivelse. Det bør bemerkes at i foreliggende oppfinnelsesgjenstand er det logiske kodeutstyr for feilretting plassert i prosessor-del-systemet, slik som vist i figur 1 ved det logiske kodeutstyr 15, i stedet for i hukommelsesmodulene slik som beskrevet i referansepatentet.

I en spesiell utførelse av foreliggende oppfinnelse finner kodingen sted i to trinn. I et første trinn, som er anskueliggjort i figur 5, kodes en 23-bits adresse inn i paritets-treet 77 på 13 bit og paritetstreet 75 på 10 bit for å frembringe to paritetsbit på hver sin linje 81 og 79. Disse to paritetsbit på linjene 81 og 79 kodes så i samsvar med koblingsmønstret for 9-bits paritetstrærne inn i databuss 80 for de 6 kontrollbit, og som utgjør en del av databuss 45 som er vist i figur 5. Den 23-bits adresse kodes som en del av de 6 kontrollbit inn i det 22-bits datakodeord som overføres på databuss 45 til halvleder-datatabellen 55 (se figur 2). I en påfølgende leseprosess utleses et datakodeord fra hukommelsesdatatabellen 55 (se figur 2) og overføres på lesedatabuss 47 (se figur 2 og 6) hvor det kombineres med de nettopp frembragte leseadresse-paritetsbit som overføres på linjene 79 og 81 til kontrollbit-komparatoren 83 som er vist i figur 6. I kontrollbit-komparatoren 83 kombineres disse to adresseparitetsbit med det datakodeord som er lest ut for å frembringe på syndrombuss 85 et syndrom som angir feiltypen, hvis det foreligger feil.

En adressefeil og en enkeltstående datafeil i kombinasjon vil alltid bli angitt som en dobbelt eller flerbits-feil.

Hvis en adressefeil påvises alene, vil den bli reflektert som en av to spesielle koder som angis på syndrombuss 85 (se tabell 1 ovenfor). Den påviste adressefeil signaleres på linje 35 (se fig. 1). Fra det logiske kodeutstyr for feilretting til hukommelsesanordningens feilkoder 37, som signalet passerer gjennom, frem til den sentrale prosessor-enhet 23 og inngangs/utgangs-kanalen 25. Den påviste adressefeil behandles i den sentrale prosessorenhet 23 som en feil i hukommelsessystemet. Prosessorenheten 23 benytter da informasjonen på syndrombuss 85 til å bestemme arten av den foreliggende feil i hukommelsessystemet, og hvis denne feil er en adressefeil, vil da den sentrale prosessorenhet 23 avvise de mottatte data. Enheten 23 avbryter da det pågående program og informerer operatøren.

166154

Driftstilstandsmaskinene 61 og 67, som er vist i figur 7 og 8, sikrer med en høy grad av feildekning at alle hukommelsesmoduler 21 samt hukommelsesstyringen 13 etter hver syklus av samvirke mellom hukommelses-delsystemet og prosessor-delsystemet mottar samme ordre og utfører samme arbeidsoperasjoner. Den logiske funksjonskrets 68 i kombinasjon med tilstandsregisteret 70 utgjør den tilstandsmaskin som er definert ved tilstandsdiagrammene 4A-4F. Tilstandsregisteret 70 omfatter 5 multivibratorer av vanlige, tidligere kjent type.

Det skal nå atter henvises til figurene 3 og 4A-4F. Da tilstandsbit på linje 71 og tilstandsbit på linje 52 i kodet form representerer tilstanden i sine respektive driftstilstandsmaskiner, koder de faktisk rekkefølgen av styrelinjetilstandene under alle tidligere arbeidssykler siden den nærmest forutgående tilbakestilling av systemet.

Status for tilstandsmaskinen 67 (se figur 3) angis på linje 71. Status for tilstandsmaskinen 61 (se figur 2) angis på linje 53. Sammenligningslogikken 69 (se figur 3) påviser enhver forskjell i de tilstander som er angitt på disse to linjer. Denne sammenligning utføres bare under lesesykler. Under en utlesning aktiverer den hukommelsesmodul som er utvalgt av den fysiske adresse på databuss 33 3-tilstandsporten 54 (se figur 2), men ellers er denne port passiv, hvilket vil si at den befinner seg i en tilstand med høy impedanse. En driftstilstandsbit påføres således linjen 53 av hukommelsesmodulen. Hvis en tilstandsforskjell påvises av sammenligningslogikken 69, vil denne logiske krets 69 frembringe et signal på driftskontrollinjen 41 og som overføres til hukommelsessystemets feilkoder 37 (se figur 1). Denne feilkode 37 i hukommelsessystemet sørger i sin tur for at et signal som angir ikke-korrigerbar feil frembringes på databuss 43. Når dette signal på databuss 43 mottas av den sentrale prosessorenhet 23, vil det frembringe en programavbrytelse for det program som pågår i systemet. Den sentrale prosessorenhet 23 avleser også syndromkoden på syndrombuss 85. Denne syndromkode vil angi at vedkommende feil ikke er

en hukommelsesdata- eller adressefeil, og antyder således at feilen er en operasjonskontroll i en spesiell utførelse av foreliggende oppfinnelse. Dette signal, nemlig signalet på linje 41 for driftskontroll, kunne også vært frembragt uavhengig. I dette tilfellet ville den overførte feil til den sentrale prosessorenhet 23 blitt klassifisert som en driftskontrollavbrytelse i stedet for tilhørende en alminnelig klasse av ikke-korrigerbare feil som fører til programavbrytelse, slik som beskrevet ovenfor.

PATENTKRAV

1. Fremgangsmåte for å overvåke arbeidsfunksjonen for et hukommelsessystem (21) som er innrettet for å arbeide i samsvar med styresignaler som mottas fra en prosessorenhet (23),

k a r a k t e r i s e r t v e d at det frembringes første og andre tilstandssignaler som er tilordnet henholdsvis prosessorenheten (23) og hukommelsessystemet (21), samt hver er bestemt ved (a) de styresignaler som frembringes av prosessorenheten og mottas av hukommelsessystemet, og (b) tidligere frembragte digitale tilstandssignaler, idet de første og andre digitale tilstandssignaler sammenlignes for derved eventuelt å utlede et feilsignal som angir feilaktig arbeidsfunksjon.

2. Anordning ved hukommelsessystem (21) for lagring av data i samsvar med styresignaler avgitt fra en prosessorenhet (23) som regulerer hukommelsessystemets arbeidsfunksjon, samt utstyr (17) for å påvise eventuell feilaktig hukommelsessfunksjon,

k a r a k t e r i s e r t v e d at anordningen omfatter:
- en første og en annen driftstilstandsmaskin (61, 67) som henholdsvis er tilordnet nevnte hukommelsessystem (21) og nevnte prosessorenhet (23) for i rekkefølge å anta en av flere forut bestemte digitaltilstander som reaksjon på styresignalene, idet hver antatt digitaltilstand i det minste

166154

22

delvis fastlegges av bestemmelsene i et styresignal under en umiddelbart forut antatt digitaltilstand, og hver av nevnte første og annen driftstilstandsmaskin omfatter utstyr (68, 70) for å avgi et driftstilstandssignal som tilkjenne gir en løpende antatt digitaltilstand, samt komparator kretser (69) anordnet for å motta nevnte driftstilstandssignaler og innrettet for eventuelt å frembringe et driftsprøvende feilsignal som angir feilaktig hukommelsesfunksjon.

3. Anordning som angitt i krav 2,
k a r a k t e r i s e r t v e d at styresignalene
tilsvarer et antall forskjellige typer arbeidsfunksjoner for
hukommelsessystemet.

4. Anordning som angitt i krav 2,
k a r a k t e r i s e r t v e d at første og annen
tilstandsmaskin hver omfatter en logisk funksjonskrets (68)
anordnet for å motta styresignalene for å utlede den løpende
digitaltilstand fra disse.

5. Anordning som angitt i krav 4,
k a r a k t e r i s e r t v e d at første og annen
tilstandsmaskin hver omfatter et tilstandsregister (70) for å
motta og fastholde den løpende digitaltilstand som er
frembragt av den logiske funksjonskrets.

6. Anordning som angitt i krav 5,
k a r a k t e r i s e r t v e d at den logiske funksjons-
krets (68) er tilsluttet tilstandsregisteret (70) for å motta
den forut antatte digitaltilstand for sammen med styresig-
nalene å utlede den løpende digitaltilstand.

7. Anordning som angitt i krav 5,
k a r a k t e r i s e r t v e d at den logiske funksjons-
krets (68) omfatter utstyr (74) for å motta den forut antatte
digitale tilstand for sammen med de mottatte styresignaler å
frembringe den løpende digitaltilstand.

FIG. 2 Halvleder-hukommelsesmodul

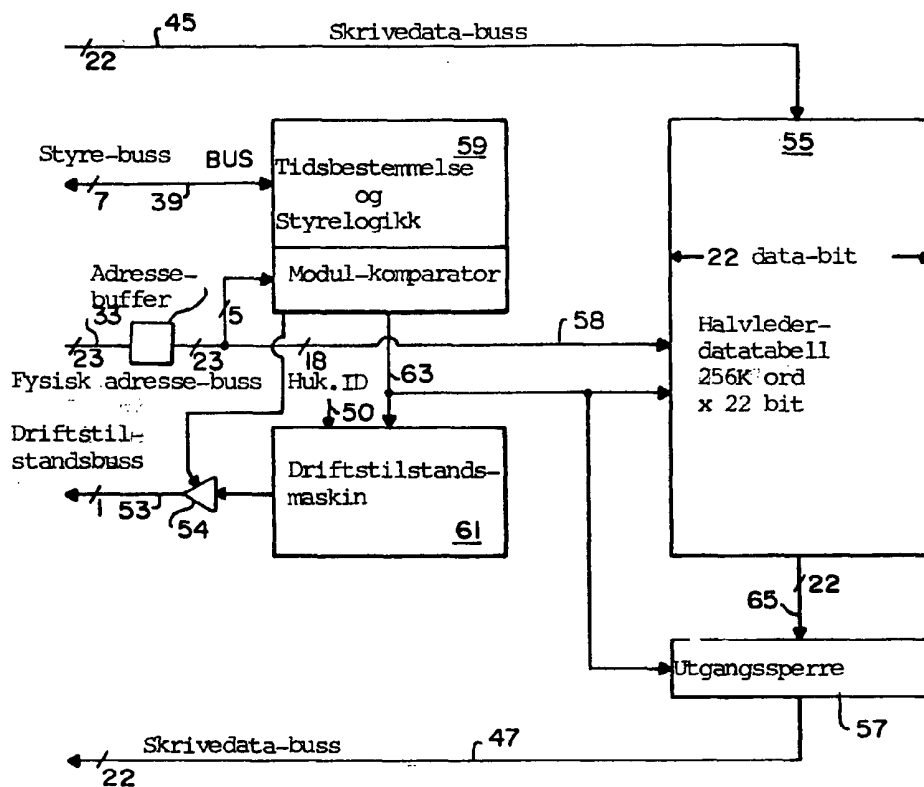
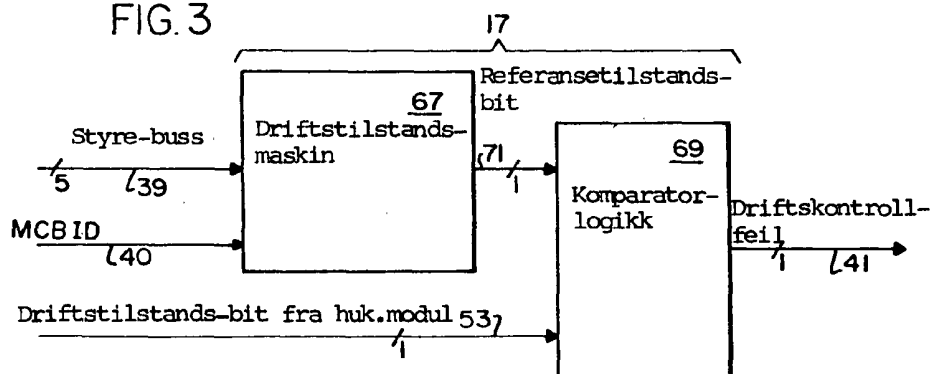


FIG. 3



166154

3/7

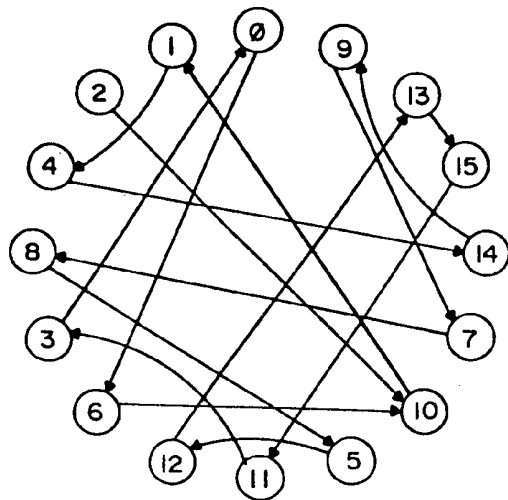


FIG. 4-A
OPPFRIKNING

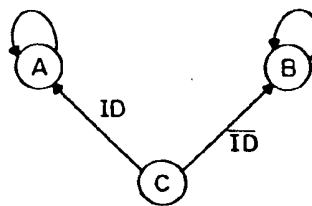


FIG. 4-B
SKRIVE

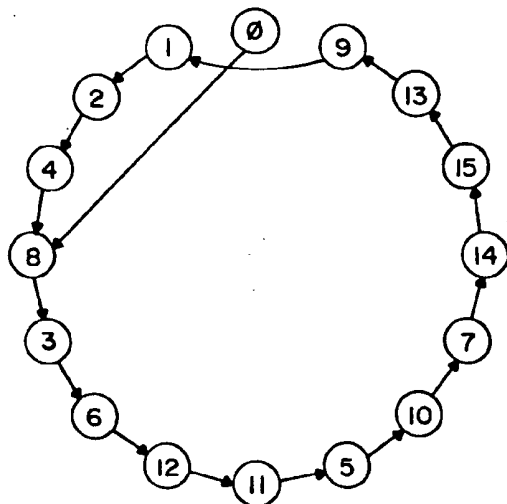
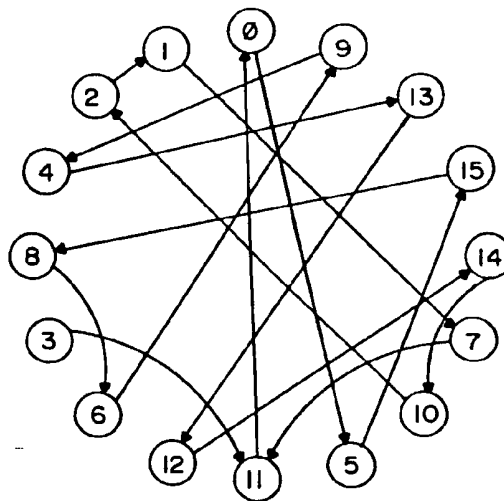
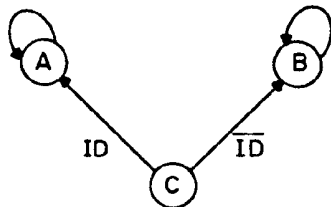
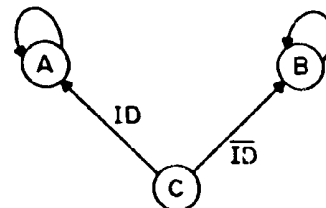


FIG. 4-C
LESE



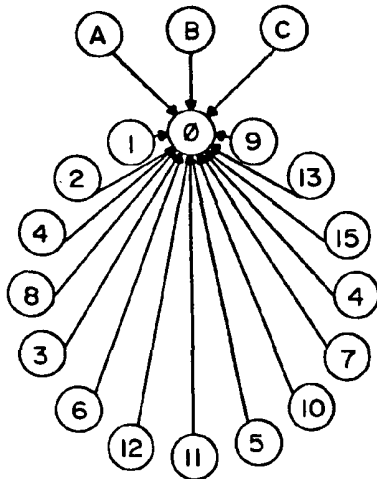


FIG. 4-D
TILBAKEFØRING

$$ID \left[\frac{(LES.OPPFRISK.SKIV + (LES.OPPFRISK) + (LES.SKIV) + (SKIV-OPPFRISK))}{2} \right]$$

FIG. 4-E

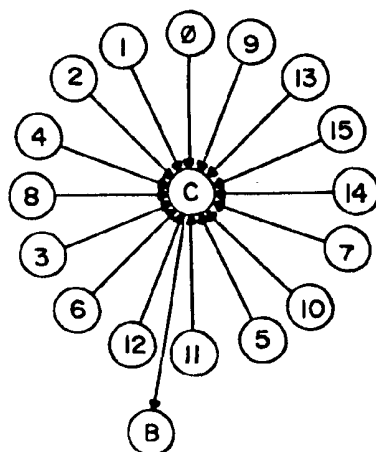
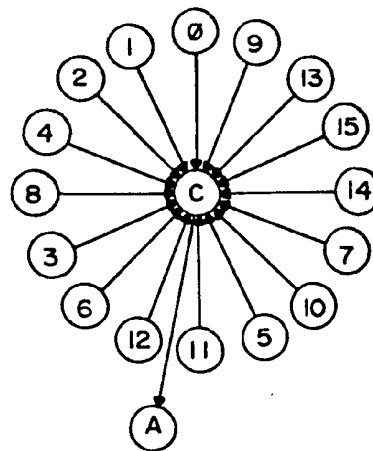


FIG. 4-F

$$ID \left[\frac{(LES.OPPFRISK.SKIV) + (LES.OPPFRISK) + (LES.SKIV) + (SKIV.OPPFRISK)}{2} \right]$$

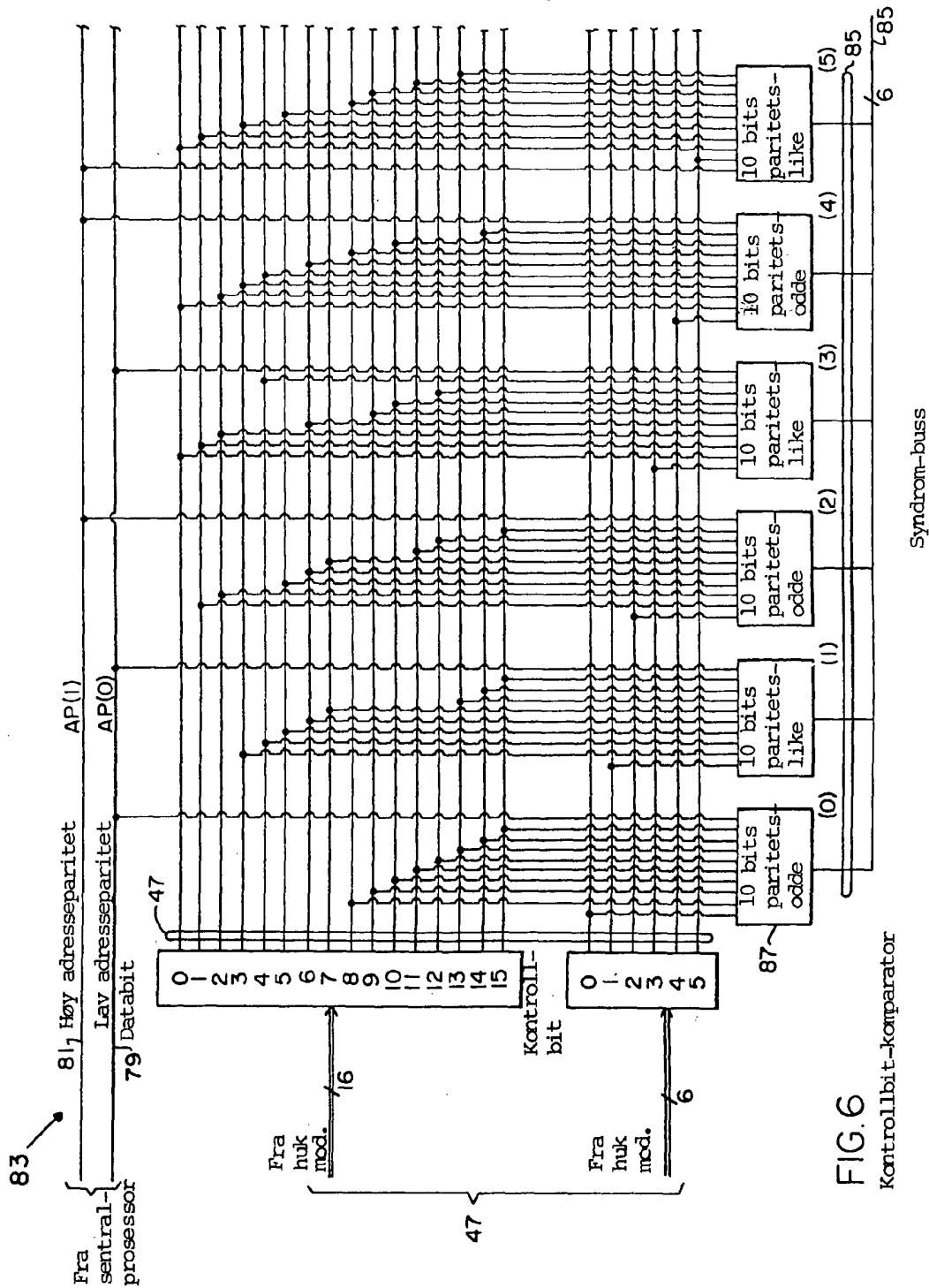


FIG.6
Kontrollbit-komparator

Syndrom-buss

FIG. 7

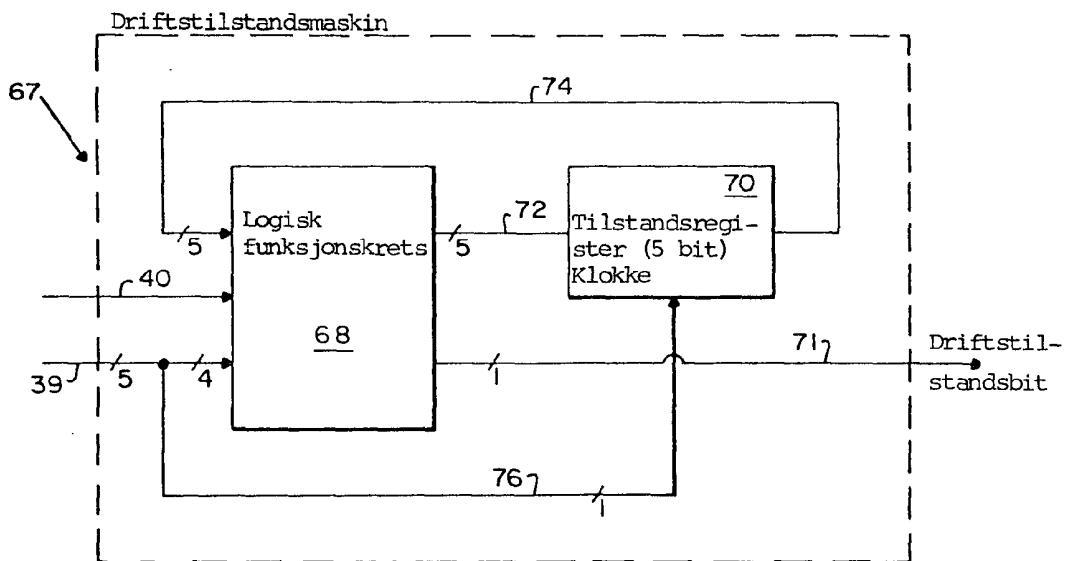


FIG. 8

