

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5969769号  
(P5969769)

(45) 発行日 平成28年8月17日(2016.8.17)

(24) 登録日 平成28年7月15日(2016.7.15)

(51) Int.Cl.

F 1

<b>H02M</b>	<b>3/07</b>	<b>(2006.01)</b>	<b>H02M</b>	<b>3/07</b>
<b>H01L</b>	<b>21/822</b>	<b>(2006.01)</b>	<b>H01L</b>	<b>27/04</b>
<b>H01L</b>	<b>27/04</b>	<b>(2006.01)</b>	<b>H01L</b>	<b>27/04</b>

G

H

請求項の数 5 (全 12 頁)

(21) 出願番号	特願2012-17650 (P2012-17650)
(22) 出願日	平成24年1月31日 (2012.1.31)
(65) 公開番号	特開2013-158164 (P2013-158164A)
(43) 公開日	平成25年8月15日 (2013.8.15)
審査請求日	平成27年1月30日 (2015.1.30)

(73) 特許権者	000116024 ローム株式会社 京都府京都市右京区西院溝崎町21番地
(74) 代理人	110001195 特許業務法人深見特許事務所
(72) 発明者	矢熊 宏司 京都府京都市右京区西院溝崎町21番地 ローム株式会社内
(72) 発明者	橋本 明 京都府京都市右京区西院溝崎町21番地 ローム株式会社内
(72) 発明者	草尾 康隆 京都府京都市右京区西院溝崎町21番地 ローム株式会社内

最終頁に続く

(54) 【発明の名称】チャージポンプ回路および電子機器

## (57) 【特許請求の範囲】

## 【請求項 1】

チャージポンプ回路であって、  
第1の導電型の第1の領域を有する半導体基板と、  
クロック信号に応じたスイッチングによって電荷を転送するトランジスタとを備え、  
前記トランジスタは、  
前記第1の領域に形成された、第2の導電型の第2の領域と、  
前記第2の領域に形成された、第1の導電型の第3の領域と、  
前記第2の領域に形成された、第1の導電型の第4の領域とを含み、  
前記チャージポンプ回路は、

前記第1の領域において前記第2の領域の外側に形成され、前記第1の領域の電圧をクランプするショットキーダイオードをさらに備え、

前記ショットキーダイオードは、前記第2の領域と、前記第2の導電型の第5の領域との間に配置され、

前記第5の領域には、前記第2の領域とは独立に電圧が印加され、

前記ショットキーダイオードは、

前記第1の領域に形成された、第2の導電型の第6の領域と、

前記第6の領域に形成された、第1の導電型の第7の領域とを含み、

前記第6の領域は、接地に電気的に接続され、

前記第7の領域は、前記第1の領域と同じ電位に接続される、チャージポンプ回路。

10

20

**【請求項 2】**

前記第7の領域は、シリサイド電極を通じて前記第1の領域と同じ電位に接続される、請求項1に記載のチャージポンプ回路。

**【請求項 3】**

前記半導体基板を平面視した場合、前記ショットキーダイオードは、前記第2の領域の少なくとも一部の輪郭に沿って形成される、請求項1または請求項2に記載のチャージポンプ回路。

**【請求項 4】**

前記ショットキーダイオードは、複数の素子に分割されている、請求項1から請求項3のいずれか1項に記載のチャージポンプ回路。

10

**【請求項 5】**

請求項1から請求項4のいずれか1項に記載のチャージポンプ回路と、

前記チャージポンプ回路の出力電圧を電源電圧に用いて動作する回路とを備える、電子機器。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、チャージポンプ回路およびそれを備える電子機器に関する。

**【背景技術】****【0002】**

チャージポンプ回路は、入力電圧を昇圧するための回路として周知である。さらに、チャージポンプ回路を含む半導体集積回路も知られている。半導体基板に形成されたチャージポンプ回路の場合、寄生トランジスタが動作することにより、ラッチアップが起こる可能性がある。

20

**【0003】**

たとえば特開2008-277832号公報（特許文献1）は、寄生トランジスタの動作に起因するラッチアップを防止するためのチャージポンプ回路の構成を開示する。このチャージポンプ回路は、第1の電圧発生部、第2の電圧発生部、第3の電圧発生部、およびラッチアップ防止部を備える。ラッチアップ防止部は、第3の電圧発生部から出力される信号が所定の電圧レベルに達するまで、寄生トランジスタによるラッチアップ動作を防止する。

30

**【先行技術文献】****【特許文献】****【0004】****【特許文献1】特開2008-277832号公報****【発明の概要】****【発明が解決しようとする課題】****【0005】**

特開2008-277832号公報（特許文献1）に開示されたチャージポンプ回路は、外付けのショットキーダイオードを用いることなく寄生トランジスタによるラッチアップ動作を防止するよう構成される。外付けのショットキーダイオードを用いないことにより、コストの上昇を抑えることができる。しかしながら、チャージポンプ回路の構成が複雑になるだけでなく、その回路の制御も複雑になるという課題が発生する。

40

**【0006】**

本発明の目的は、チャージポンプ回路のコストの上昇を抑えつつ、寄生トランジスタによるラッチアップ動作を抑えることを可能にすることである。

**【課題を解決するための手段】****【0007】**

本発明のある局面において、チャージポンプ回路は、第1の導電型の第1の領域を有する半導体基板と、クロック信号に応じたスイッチングによって電荷を転送するトランジス

50

タとを備える。トランジスタは、第1の領域に形成された、第2の導電型の第2の領域と、第2の領域に形成された、第1の導電型の第3の領域と、第2の領域に形成された、第1の導電型の第4の領域とを含む。チャージポンプ回路は、第1の領域において第2の領域の外側に形成され、第1の領域の電圧をクランプするショットキーダイオードをさらに備える。

#### 【0008】

好ましくは、ショットキーダイオードは、第2の領域と、第2の導電型の第5の領域との間に配置される。第5の領域には、第2の領域とは独立に電圧が印加される。

#### 【0009】

好ましくは、半導体基板を平面視した場合、ショットキーダイオードは、第2の領域の少なくとも一部の輪郭に沿って形成される。

#### 【0010】

好ましくは、ショットキーダイオードは、複数の素子に分割されている。

本発明の別の局面において、電子機器は、チャージポンプ回路と、チャージポンプ回路の出力電圧を電源電圧に用いて動作する回路とを備える。チャージポンプ回路は、第1の導電型の第1の領域を有する半導体基板と、クロック信号に応じたスイッチングによって電荷を転送するトランジスタとを含む。トランジスタは、第1の領域に形成された、第2の導電型の第2の領域と、第2の領域に形成された、第1の導電型の第3の領域と、第2の領域に形成され、第2の領域と電気的に接続された、第1の導電型の第4の領域とを含む。チャージポンプ回路は、第1の領域において第2の領域の外側に形成され、第1の領域の電圧をクランプするショットキーダイオードをさらに含む。

#### 【発明の効果】

#### 【0011】

本発明によれば、チャージポンプ回路のコストの上昇を抑えつつ、寄生トランジスタによるラッチアップ動作を抑えることができる。

#### 【図面の簡単な説明】

#### 【0012】

【図1】この発明の一実施形態によるチャージポンプ回路を備えた例示的な電子機器のブロック図である。

【図2】図1に示したチャージポンプ回路1の概略的な構成を示した回路図である。

30

【図3】図1および図2に示したチャージポンプ回路の動作を説明する波形図である。

【図4】図2に示された回路が形成された半導体チップの概略的な断面図である。

【図5】本発明の実施の形態に係るチャージポンプ回路による、ラッチアップを防止するための構成を示した図である。

【図6】図5に示した回路の一構成例を説明するための半導体基板の概略断面図である。

【図7】ショットキーダイオードD1とともに形成される素子の一例を示した概略断面図である。

【図8】図6に示したショットキーダイオードの概略的な平面レイアウトの例を示した図である。

【図9】図8に示した領域A1の平面レイアウトの概略を示した図である。

40

【図10】図6に示したショットキーダイオードの概略的な平面レイアウトの他の例を示した図である。

【図11】図6に示したショットキーダイオードの概略的な平面レイアウトのさらに別の例を示した図である。

【図12】図6に示したショットキーダイオードの概略的な平面レイアウトのさらに別の例を示した図である。

#### 【発明を実施するための形態】

#### 【0013】

以下、この発明の実施の形態について、図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰り返さない。

50

## 【0014】

図1は、この発明の一実施形態によるチャージポンプ回路を備えた例示的な電子機器のブロック図である。図1を参照して、電子機器101は、ディスプレイ102と、回路基板103とを備える。チャージポンプ回路1と、ドライバ104とは回路基板103に実装される。

## 【0015】

電子機器101は、たとえば携帯電話（スマートフォンを含む）、タブレット、ゲーム機、PDA、カーオーディオ等であるが、これらに限定されるものではない。ディスプレイ102は、たとえば液晶ディスプレイである。回路基板103は、たとえばフレキシブルプリント基板である。チャージポンプ回路1は、ドライバ104の電源回路である。チャージポンプ回路1は、電源電圧VDDを昇圧して、その昇圧された電圧（電圧VGH）をドライバ104に供給する。ドライバ104は、チャージポンプ回路1から供給された電圧VGHを用いてディスプレイ102を駆動する。

## 【0016】

図2は、図1に示したチャージポンプ回路1の概略的な構成を示した回路図である。図2を参照して、チャージポンプ回路1は、PチャネルMOS（Metal Oxide Semiconductor）トランジスタMP1, MP2と、制御回路3と、インバータ5と、コンデンサC1, C2とを備える。PチャネルMOSトランジスタMP1, MP2と、制御回路3と、インバータ5とは、半導体チップ2に形成される。

## 【0017】

PチャネルMOSトランジスタMP1, MP2は、電荷転送用のトランジスタである。PチャネルMOSトランジスタMP1, MP2は、直列に接続される。PチャネルMOSトランジスタMP1のソースは、電源電圧VDDを受ける。PチャネルMOSトランジスタMP1のドレインは、PチャネルMOSトランジスタMP2のソースに接続される。PチャネルMOSトランジスタMP2のドレインは端子T1に接続される。各々のPチャネルMOSトランジスタのバックゲートは、そのPチャネルMOSトランジスタのドレインに接続される。

## 【0018】

端子T1にはコンデンサC1が接続される。コンデンサC1は、端子T1に接続される一方端と、接地される他方端とを有する。電圧VGHが端子T1から出力される。

## 【0019】

制御回路3は、所定の周期を有するクロックCLKを発生させる。インバータ5は、クロックCLKを反転させて、クロック/CLKを出力する。さらに制御回路3は、PチャネルMOSトランジスタMP1, MP2の各々のスイッチングを制御する。

## 【0020】

PチャネルMOSトランジスタMP1, MP2の接続点は、端子T2を介してコンデンサC2の一方端に接続される。クロック/CLKは、端子T3を介してコンデンサC2の他方端に結合される。

## 【0021】

図3は、図1および図2に示したチャージポンプ回路の動作を説明する波形図である。図2および図3を参照して、クロック/CLKの電圧がVDDである場合、クロック/CLKのレベルはH（ハイ）レベルである。一方、クロック/CLKの電圧がVSである場合、クロック/CLKのレベルはL（ロー）レベルである。たとえば電圧VSは、接地電圧である。

## 【0022】

クロック/CLKがLレベルである場合には、PチャネルMOSトランジスタMP1はオン状態であり、PチャネルMOSトランジスタMP2はオフ状態である。この場合、コンデンサC1が充電されるため、PチャネルMOSトランジスタMP1, MP2の接続点の電圧V1はVDDに等しい。

## 【0023】

10

20

30

40

50

一方、クロック / C L K が H レベルである場合には、P チャネルMOS トランジスタ M P 1 はオフ状態であり、P チャネルMOS トランジスタ M P 2 はオン状態である。この場合、端子 T 3 の電圧が接地電圧から V D D に変化するため、電圧 V 1 は V D D から 2 V D D に変化する。電圧 V 1 は、P チャネルMOS トランジスタ M P 2 および端子 T 1 を通じて出力される。上記の動作が繰り返されることにより、2 V D D に等しい電圧 V G H が端子 T 1 から出力される。

#### 【 0 0 2 4 】

図 4 は、図 2 に示された回路が形成された半導体チップの概略的な断面図である。図 4 を参照して、P チャネルMOS トランジスタ M P 1 , M P 2 は、P 型の半導体基板 1 0 に形成される。以下では、P チャネルMOS トランジスタ M P 1 の構成について代表的に説明する。

10

#### 【 0 0 2 5 】

P チャネルMOS トランジスタ M P 1 は、N 型ウェル 1 1 と、P + 領域 1 2 , 1 3 と、N + 領域 1 4 と、ゲート電極 1 5 とを有する。P + 領域 1 2 , 1 3 および N + 領域 1 4 は N 型ウェル 1 1 に形成される。P + 領域 1 2 , 1 3 は、それぞれ、P チャネルMOS トランジスタ M P 1 のソース電極 ( S ) およびドレイン電極 ( D ) に接続される。

#### 【 0 0 2 6 】

半導体基板 1 0 の表面には P + 領域 1 6 が形成される。P + 領域 1 6 および半導体基板 1 0 の電圧は基板電圧 ( 電圧 V s u b ) である。さらに、N 型ウェル 1 1 から分離した N 型ウェル 1 7 が半導体基板 1 0 に形成される。たとえば、N 型ウェル 1 7 は、図 2 に示された制御回路 3 あるいはインバータ 5 に含まれる P チャネルMOS トランジスタの一部である。N + 領域 1 8 は N 型ウェル 1 7 に形成される。N + 領域 1 8 には、電圧 V b が印加される。電圧 V b は、たとえば電源電圧 V D D あるいは接地電圧である。

20

#### 【 0 0 2 7 】

チャージポンプ回路の起動時には、P チャネルMOS トランジスタ M P 1 のドレイン ( P + 領域 1 3 ) の電圧がバックゲート ( N + 領域 1 4 ) の電圧よりも高くなる可能性がある。この場合、P + 領域 1 3 、N 型ウェル 1 1 および半導体基板 1 0 によって形成される寄生 P N P トランジスタ T r 1 がオンする。これにより、P + 領域 1 3 から N 型ウェル 1 1 を介して半導体基板 1 0 に電流 I s u b が流れる。

#### 【 0 0 2 8 】

30

一方、N 型ウェル 1 1 、半導体基板 1 0 ( および P + 領域 1 6 ) 、および N 型ウェル 1 7 によって寄生 N P N トランジスタ T r 2 が形成される。電流 I s u b が流れることによって、寄生 N P N トランジスタ T r 2 がオンする可能性がある。

#### 【 0 0 2 9 】

このように、図 3 に示したチャージポンプ回路では寄生 P N P トランジスタ T r 1 および寄生 N P N トランジスタ T r 2 の動作によってラッチアップが生じる可能性がある。なお、図 4 に示された構成によれば、N 型ウェル 1 7 は、P チャネルMOS トランジスタ M P 1 に隣接する。しかしながら P チャネルMOS トランジスタ M P 2 に N 型ウェル 1 7 が隣接する場合にも、上記したような寄生 P N P トランジスタおよび寄生 N P N トランジスタの動作によりラッチアップが起こる可能性がある。

40

#### 【 0 0 3 0 】

図 5 は、本発明の実施の形態に係るチャージポンプ回路による、ラッチアップを防止するための構成を示した図である。図 4 および図 5 を参照して、本発明の実施の形態によれば、ショットキーダイオード D 1 が寄生 N P N トランジスタ T r 2 のベースおよび寄生 P N P トランジスタ T r 1 のコレクタに接続される。後に詳細に説明するように、ショットキーダイオード D 1 のアノードは、P + 領域 1 6 に接続される。ショットキーダイオード D 1 のカソードは、接地される。寄生 N P N トランジスタ T r 2 のエミッタも接地されるものとする。

#### 【 0 0 3 1 】

寄生 N P N トランジスタ T r 2 のベースの電圧は、半導体基板 1 0 の基板電圧 ( V s u b )

50

b) にほぼ等しい。寄生PNPトランジスタTr1に電流 $I_{sub}$ が流れた場合、ショットキーダイオードD1によって、電圧 $V_{sub}$ は $V_f$ にクランプされる。 $V_f$ はショットキーダイオードの順方向電圧であり、約0.2Vである。寄生NPNトランジスタTr2のベースの電圧が約0.7Vに達しなければ、寄生NPNトランジスタTr2はオンしない。したがって図5に示された構成によれば、寄生NPNトランジスタTr2がオンすることを防ぐことができる。この結果、ラッチアップを防止することができる。

#### 【0032】

従来は、ショットキーダイオードは、チャージポンプ回路を含む半導体回路に外付けされていた。本発明の実施の形態によれば、ショットキーダイオードは半導体装置に含まれる。したがって、チャージポンプ回路のコストの上昇を抑えつつ、寄生トランジスタによるラッチアップ動作を抑えることができる。 10

#### 【0033】

図6は、図5に示した回路の一構成例を説明するための半導体基板の概略断面図である。図6を参照して、ショットキーダイオードD1は、N型ウェル11とN型ウェル17との間に配置される。N型ウェル11とN型ウェル17とは、互いに独立に電圧が印加される。たとえばチャージポンプ回路の起動時には、N型ウェル17は接地される。

#### 【0034】

ショットキーダイオードD1は、N型ウェル20と、N+領域21と、P型ウェル22と、P+領域23と、シリサイド電極24とによって構成される。N+領域21とP型ウェル22とはN型ウェル20に形成される。P+領域23はP型ウェル22に形成される。P型ウェル22、P+領域23、N型ウェル20はシリサイド電極24に接続される。 20

#### 【0035】

N+領域21は、接地される。P+領域16, 16Aの各々の電圧は $V_{sub}$ である。シリサイド電極24には、電圧 $V_{sub}$ が与えられる。

#### 【0036】

なお、ショットキーダイオードD1は、公知の半導体製造技術を用いて形成可能である。さらに、他の素子とともにショットキーダイオードD1を形成することができる。したがって、図4に示された構成にショットキーダイオードD1を追加した場合にも、製造工程数の増加を抑制することができる。したがって本発明の実施の形態によれば、チャージポンプ回路のコストの上昇を抑えることができる。 30

#### 【0037】

図7は、ショットキーダイオードD1とともに形成される素子の一例を示した概略断面図である。図7を参照して、NチャネルMOSトランジスタは、P型の半導体基板10に形成されたP型ウェル31と、N+領域32, 33と、P+領域34と、ゲート電極35とにより構成される。

#### 【0038】

N+領域32, 33はP型ウェル22に形成される。N+領域32は、ドレイン電極(D)に接続される。N+領域33はソース電極(S)に接続される。P型ウェル22(バックゲート)の電圧を設定するために、P+領域23がP型ウェル22に形成される。N+領域32, 33およびP+領域34の各々は、シリサイド電極36に接触する。 40

#### 【0039】

図6と図7とを参照して、P型ウェル31は、P型ウェル22が形成される工程により形成される。N+領域32, 33は、N+領域14, 18, 21が形成される工程により形成される。ゲート電極35は、ゲート電極15を形成する工程によって形成される。シリサイド電極36は、シリサイド電極24を形成する工程によって形成される。P領域34は、P+領域12, 13, 16, 16Aを形成する工程によって形成される。

#### 【0040】

以上のように、本発明の実施の形態によれば、チャージポンプ回路は、第1の導電型の第1の領域を有する半導体基板(10)と、クロック信号に応じたスイッチングによって電荷を転送するPチャネルMOSトランジスタ(MP1, MP2)とを備える。なお、「 50

第1の領域」とはこの実施の形態では、N型ウェルを形成するための領域すなわちP型の領域である。PチャネルMOSトランジスタ(MP1, MP2)は、その第1の領域に形成されたN型ウェル11と、N型ウェル11に形成された、P+領域12, 13とを含む。N型ウェル11、P+領域12, 13は、それぞれ「第2の領域」、「第3の領域」および「第4の領域」に対応する。N型ウェル17は「第5の領域」に対応する。

#### 【0041】

チャージポンプは、ショットキーダイオードD1をさらに備える。ショットキーダイオードは、半導体基板10の第1の領域においてN型ウェル11の外側に形成される。ショットキーダイオードD1は、第1の領域の電圧をクランプする。

#### 【0042】

図8は、図6に示したショットキーダイオードの概略的な平面レイアウトの例を示した図である。図8を参照して、PチャネルMOSトランジスタMP1がチップ端の近傍に配置される。

#### 【0043】

PチャネルMOSトランジスタMP1の周囲の領域のうち、チップ端側の領域にはP+領域41が形成されるものの、他の素子は形成されない。したがって、ショットキーダイオードD1は、PチャネルMOSトランジスタMP1が形成された領域の三方を囲むように形成される。言い換えると、ショットキーダイオードD1は、PチャネルMOSトランジスタMP1の周囲の領域のうち、チップ端側の領域を除く領域に形成される。

#### 【0044】

ショットキーダイオードD1とPチャネルMOSトランジスタMP1との間にP+領域16が形成される。さらにショットキーダイオードD1とN型ウェル17との間にP+領域16Aが形成される。N型ウェル17にはN+領域18が形成される。

#### 【0045】

ショットキーダイオードD1は、複数の領域A1～A7にそれぞれ形成された複数の素子によって構成される。領域の数は図8に示されるように限定されるものではない。ショットキーダイオードD1が複数の素子に分割されることにより、ショットキーダイオードD1の全体のリーク電流を少なくすることができます。

#### 【0046】

なお、図が煩雑になることを避けるために、図8では金属配線(シリサイド電極を含む)は示されていない。同様の理由によって、以後説明する図においても金属配線が省略される。

#### 【0047】

図9は、図8に示した領域A1の平面レイアウトの概略を示した図である。図9を参照して、領域A1には、N型ウェル20が形成される。N型ウェル20にはN+領域21が形成される。N+領域21によって囲まれた領域の内側にP型ウェル22が形成される。P型ウェル22にはP+領域23が形成される。領域A2～A7の各々も領域A1と同様の平面レイアウトを有する。

#### 【0048】

図10は、図6に示したショットキーダイオードの概略的な平面レイアウトの他の例を示した図である。図10は図8と対比される図である。図10を参照して、領域A11は、複数の領域A1～A7が互いにつながった領域に対応する。

#### 【0049】

図11は、図6に示したショットキーダイオードの概略的な平面レイアウトのさらに別の例を示した図である。図11は図8と対比される図である。図11を参照して、PチャネルMOSトランジスタMP1の周囲の領域に他の素子が形成される。図11では、PチャネルMOSトランジスタMP1は、N型ウェル17, 17Aに挟まれる。なお、N型ウェル17AにはN+領域18Aが形成される。

#### 【0050】

P+領域16は、PチャネルMOSトランジスタMP1の四方を囲むように形成される

10

20

30

40

50

。ショットキーダイオードD1は、P+領域16を囲むように形成される。したがって、ショットキーダイオードD1は、PチャネルMOSトランジスタMP1の四方を囲むように形成される。具体的には、ショットキーダイオードD1は、複数の領域A21～A30に分割して形成される。複数の領域A21～A30の各々の平面レイアウトは、図9に示されたレイアウトと同様であるので、以後の説明は繰り返さない。

#### 【0051】

図12は、図6に示したショットキーダイオードの概略的な平面レイアウトのさらに別の例を示した図である。図12は図11と対比される図である。図12を参照して、領域A31は、複数の領域A21～A30が互いにつながった領域に対応する。

#### 【0052】

なお、図8、図10～図12に示された平面レイアウトにおいて、PチャネルMOSトランジスタMP1をPチャネルMOSトランジスタMP2へと置き換えるてもよい。図8、図10～図12に示さるよう、ショットキーダイオードD1は、半導体基板を平面視した場合に、PチャネルMOSトランジスタMP1（またはMP2）が形成されるN型ウェルの領域の、少なくとも一部の輪郭に沿って形成される。

#### 【0053】

以上のように、この実施の形態によれば、チャージポンプ回路は、半導体基板10の電圧をクランプするショットキーダイオードを備える。ショットキーダイオードは、半導体基板10に形成される。これにより、チャージポンプ回路のコストの上昇を抑えつつ、寄生トランジスタによるラッチアップ動作を抑えることができる。

#### 【0054】

なお、電荷を移動するためのトランジスタがNチャネルMOSトランジスタであってもよい。この場合、図6に示された導電型は、その導電型と逆の導電型に置換される。このような構成であっても基板電圧をクランプするショットキーダイオードによって、チャージポンプ回路のラッチアップを防止することができる。

#### 【0055】

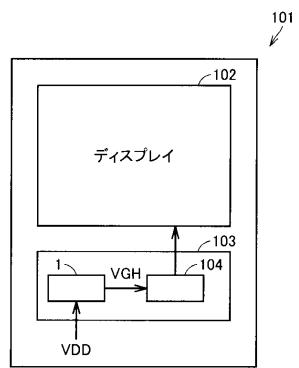
今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施の形態の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

#### 【符号の説明】

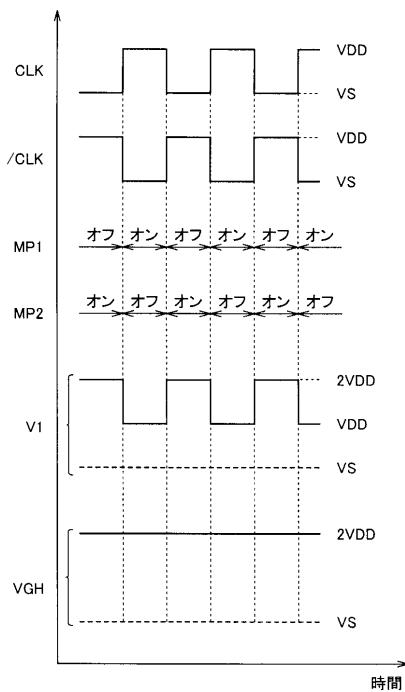
#### 【0056】

1 チャージポンプ回路、2 半導体チップ、3 制御回路、5 インバータ、10 半導体基板、11, 17, 17A, 20 N型ウェル、12, 13, 16, 16A P+ 領域、15, 35 ゲート電極、14, 18, 18A, 21, 32, 33 N+領域、22, 31 P型ウェル、24, 36 シリサイド電極、101 電子機器、102 ディスプレイ、103 回路基板、104 ドライバ、A1～A7, A11, A21～A31 領域、D1 ショットキーダイオード、MP1, MP2 PチャネルMOSトランジスタ、Tr1, Tr2 寄生NPNトランジスタ、T1～T3 端子。

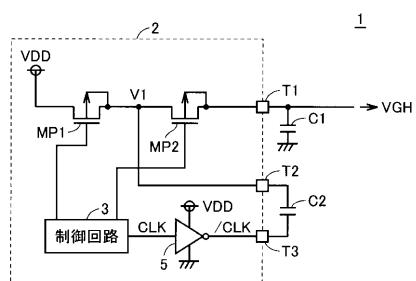
【図1】



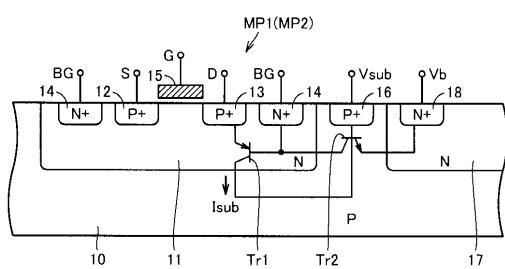
【図3】



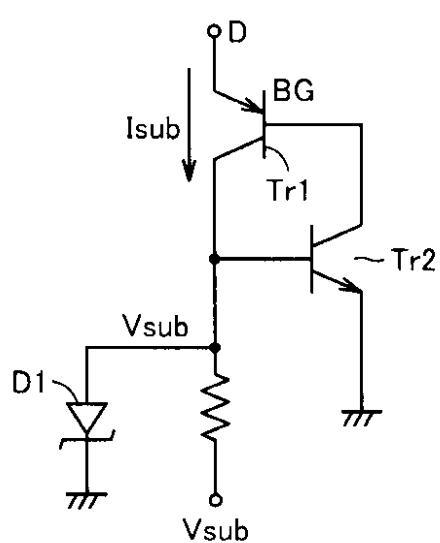
【図2】



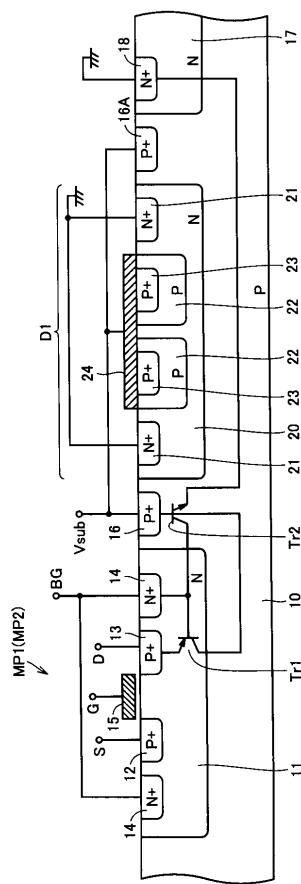
【図4】



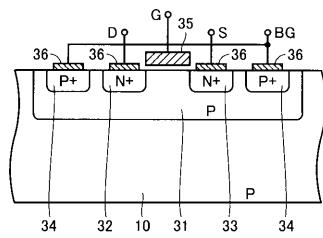
【図5】



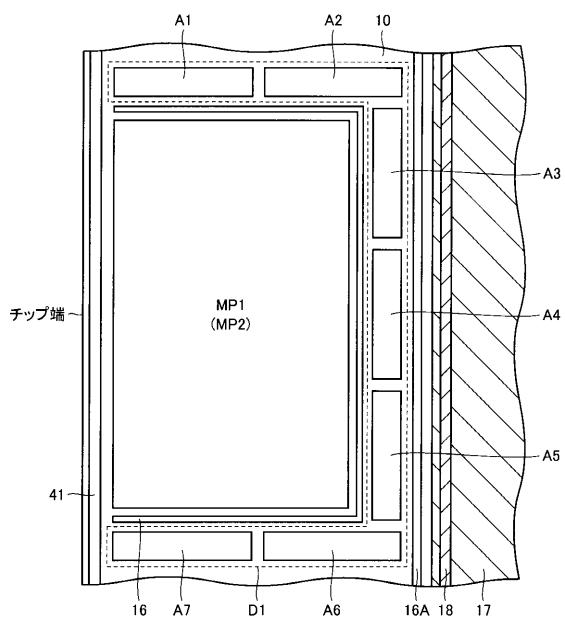
【図6】



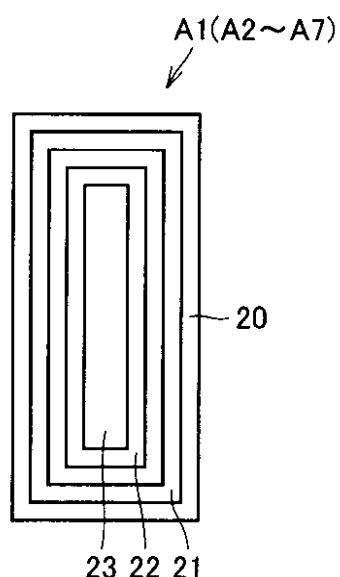
【図7】



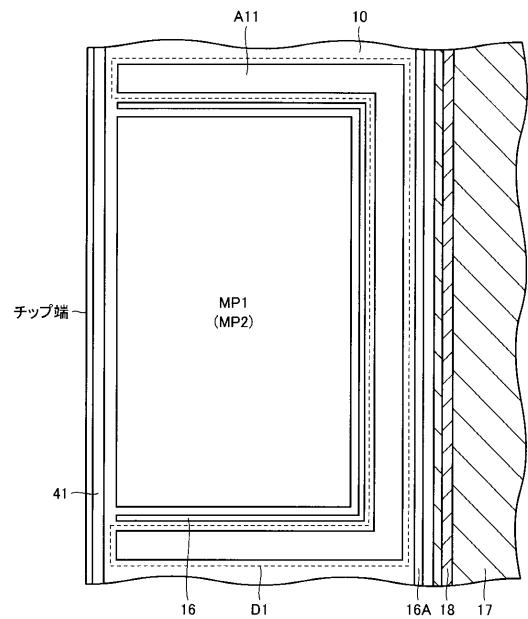
【図8】



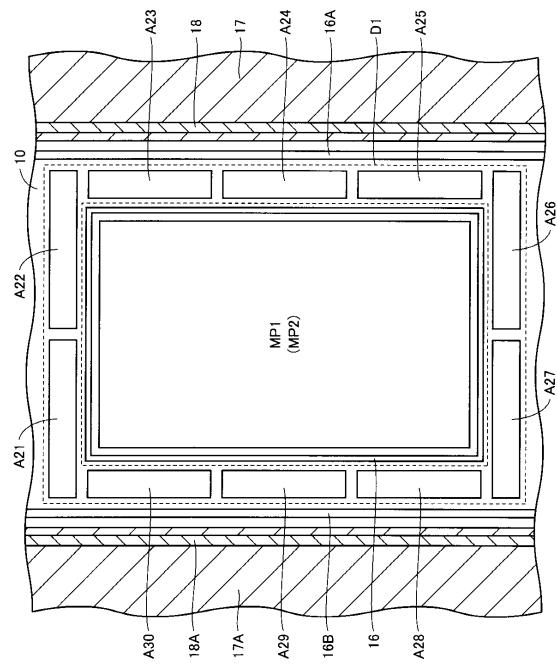
【図9】



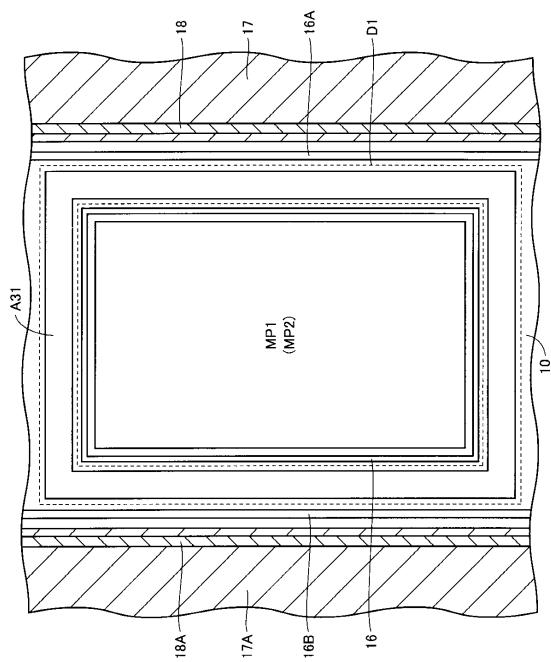
【図10】



【図11】



【図12】



---

フロントページの続き

審査官 三澤 哲也

(56)参考文献 米国特許出願公開第2005/0140426(US,A1)  
特開2009-105421(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 02 M 3 / 07

H 01 L 21 / 822

H 01 L 27 / 04