



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0079117
(43) 공개일자 2011년07월07일

(51) Int. Cl.

H01L 21/302 (2006.01) H01L 21/027 (2006.01)

(21) 출원번호 10-2009-0136086

(22) 출원일자 2009년12월31일

심사청구일자 2009년12월31일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

성태연

서울특별시 서초구 잠원동 63-34 한신로얄@ 1동 911호

정상용

경상북도 구미시 고아읍 원호리 455번지 원호점보 타운 107동 1105호

(뒷면에 계속)

(74) 대리인

특허법인이지

전체 청구항 수 : 총 16 항

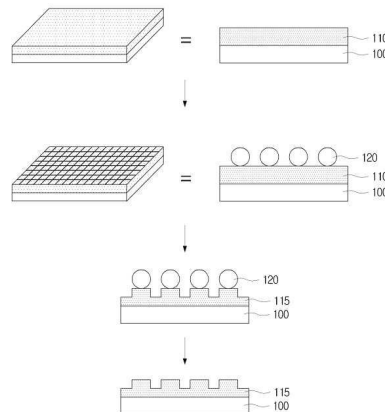
(54) 전기방사법을 이용한 기판의 패턴구조 형성방법

(57) 요약

본 발명은 전기방사법을 이용한 기판의 패턴구조 형성방법에 관한 것으로, 보다 구체적으로는 전기방사(electrospinning)법을 사용하여 형틀층을 만든 후 추가 에칭 또는 증착 방법을 사용함으로써 기판에 패턴구조를 형성하는 방법에 관한 것이다.

본 발명의 전기방사법을 이용한 기판의 패턴구조 형성방법에 따르면, 마스크 및 스탬프 제작 없이 전기방사만 실시하기 때문에 기존 방식에 비해 공정수를 감소시킬 수 있고, 공정비용도 줄일 수 있다. 또한, 비교적 표면상태가 거칠고 굴곡이 있는 물질층의 경우에도 손쉽게 패턴 구조를 형성할 수 있도록 하며, 기판 자체를 움직여주는 무빙 스테이지(moving stage)의 각 방향에 대한 속도 조절만으로 패턴 사이 간격을 쉽게 조절할 수 있고, 이를 매뉴얼화함으로써 더욱 복잡한 패턴의 형성도 가능하게 되는 효과가 있다.

대표도 - 도3



(72) 발명자

박성한

서울특별시 금천구 독산1동 독산동 군인 아파트 3
동 304호

윤주현

서울특별시 도봉구 방학동 713-31

이 발명을 지원한 국가연구개발사업

과제고유번호 2008EAPHMP1600002009/R33-2008-000-10025-0

부처명 한국에너지자원기술기획평가원/한국과학재단

연구관리전문기관

연구사업명 에너지자원인력양성사업/세계적수준의연구중심대학육성사업

연구과제명 에너지 소자 응용 연구
고효율 수직형 LED의 광출력 효율 향상을 위한 전극 구조 설계/나노구조 복합체 제어 및

기여율

주관기관 고려대학교 산학협력단/고려대학교 산학협력단

연구기간 2009년 08월 01일 ~ 2010년 07월 31일/2008년 12월 01일 ~ 2010년 01월 31일

특허청구의 범위

청구항 1

박막층이 상부에 증착된 기판을 준비하는 단계;

전기방사(electrospinning)법을 이용하여 상기 기판의 박막층 상에 나노파이버 형틀층을 형성하는 단계;

상기 나노파이버 형틀층이 형성되어 있지 않은 상기 박막층 표면 영역만을 선택적으로 식각(etching) 하는 단계;

상기 나노파이버 형틀층을 선택적으로 제거하는 단계를 포함하는 전기방사법을 이용한 기판의 패턴구조 형성방법.

청구항 2

제1항에 있어서,

상기 박막층은 금속, 산화물, 질화물 및 탄화물로 이루어진 군에서 선택되는 하나 이상인 것을 특징으로 하는 반도체 소자의 패턴 구조 형성방법.

청구항 3

제1항에 있어서,

상기 전기방사는 금속, 산화물, 질화물 및 고분자 성분으로 이루어지는 군 중에서 선택되는 하나 이상의 성분을 포함하는 용액을 사용하여 수행되는 것을 특징으로 하는 전기방사법을 이용한 기판의 패턴구조 형성방법.

청구항 4

제3항에 있어서,

상기 고분자 성분은 polyvinyl pyrrolidone (PVP), polyvinyl alcohol (PVA), polyacrylonitrile (PAN) 및 polyethylene oxide (PEO)으로 이루어지는 군에서 선택되는 하나 이상인 것을 특징으로 하는 전기방사법을 이용한 기판의 패턴구조 형성방법.

청구항 5

제1항에 있어서,

상기 패턴구조는 바둑판(mesh) 또는 쇠창살(grating) 형태인 것을 특징으로 하는 전기방사법을 이용한 기판의 패턴구조 형성방법.

청구항 6

제1항에 있어서,

상기 식각은 유도 결합 플라즈마 분광법 (inductively coupled plasma, ICP), Reactive ion etching (RIE) 또는 ICP - RIE 방법 중 어느 하나의 방법으로 수행하는 것을 특징으로 하는 전기방사법을 이용한 기판의 패턴구조 형성방법.

청구항 7

제1항에 있어서,

상기 나노파이버 형틀층을 선택적으로 제거하는 단계는 상기 나노파이버 형틀층이 고분자인 경우 아세톤, 에탄올, 메탄올, 및 N-Dimethylformamide(N-DMF) 용액으로 구성되는 군 중에서 선택된 어느 하나,

산화물인 경우 HCl(염산) 또는 Buffered oxide etchant (BOE) 용액,

질화물인 경우 H_2SO_4 (황산), HNO_3 (질산) 또는 KOH(수산화칼륨) 용액 중 어느 하나를 사용하여 수행되는 것을 특징으로 하는 전기방사법을 이용한 기판의 패턴구조 형성방법.

청구항 8

제 1 박막층이 상부에 증착된 기판을 준비하는 단계;

전기방사(electrospinning)법을 이용하여 상기 기판의 제 1 박막층 상에 나노파이버 형틀층을 형성하는 단계;

물리적 증착방법(physical vapor deposition)으로 상기 나노파이버 형틀층의 두께보다 작은 두께의 제 2 박막층을 상기 제 1 박막층 위에 증착시키는 단계;

상기 나노파이버 형틀층을 선택적으로 제거하는 단계를 포함하는 전기방사법을 이용한 기판의 패턴구조 형성방법.

청구항 9

제8항에 있어서,

상기 제 1 박막층 및 제 2 박막층은 금속, 산화물, 질화물 및 탄화물로 이루어진 군에서 선택되는 하나 이상인 것을 특징으로 하는 반도체 소자의 패턴 구조 형성방법.

청구항 10

제9항에 있어서,

상기 제 2 박막층은 Zinc Oxide (ZnO) 또는 Titanium Oxide (TiO_2)인 것을 특징으로 하는 반도체 소자의 나노 아일랜드 정렬 구조 형성방법.

청구항 11

제8항에 있어서,

상기 전기방사는 금속, 산화물, 질화물 및 고분자 성분으로 이루어지는 군 중에서 선택되는 하나 이상의 성분을 포함하는 용액을 사용하여 수행되는 것을 특징으로 하는 전기방사법을 이용한 기판의 패턴구조 형성방법.

청구항 12

제11항에 있어서,

상기 고분자 성분은 polyvinyl pyrrolidone (PVP), polyvinyl alcohol (PVA), polyacrylonitrile (PAN) 및 polyethylene oxide (PEO)으로 이루어지는 군에서 선택되는 하나 이상인 것을 특징으로 하는 전기방사법을 이용한 기판의 패턴구조 형성방법.

청구항 13

제8항에 있어서,

상기 패턴구조는 나노-아일랜드 정렬구조인 것을 특징으로 하는 전기방사법을 이용한 기판의 패턴구조 형성방법.

청구항 14

제8항에 있어서,

상기 물리적 증착은 Sputter, E-beam evaporator 또는 Pulsed laser deposition (PLD) 중 어느 하나를 사용하는 것을 특징으로 하는 전기방사법을 이용한 기판의 패턴구조 형성방법.

청구항 15

제8항에 있어서,

상기 나노파이버 형틀층을 선택적으로 제거하는 단계는 상기 나노파이버 형틀층이 고분자인 경우 아세톤, 에탄올, 메탄올, 및 N-Dimethylformamide(N-DMF) 용액으로 구성되는 군 중에서 선택된 어느 하나,

산화물인 경우 HCl(염산) 또는 Buffered oxide etchant (BOE) 용액,

질화물인 경우 H_2SO_4 (황산), HNO_3 (질산) 또는 KOH(수산화칼륨) 용액 중 어느 하나를 사용하여 수행되는 것을 특징으로 하는 전기방사법을 이용한 기판의 패턴구조 형성방법.

청구항 16

제1항 내지 제15항 중 어느 한 항에 따른 방법에 의해 형성된 패턴구조를 가지는 기판을 포함하는 반도체 소자.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 전기방사법을 이용한 기판의 패턴구조 형성방법에 관한 것으로, 보다 구체적으로는 전기방사(electrospinning)법을 사용하여 형틀층을 만든 후 추가 에칭 또는 증착 방법을 사용함으로써 기판에 패턴구조를 형성하는 방법에 관한 것이다.

배경기술

[0002] 반도체 소자 상에 나노 스케일의 패턴을 형성하는 기존의 방법들 즉, 광학-리소그래피(Photo-lithography) 방법 및 나노임프린트-리소그래피(Nanoimprint lithography) 방법의 경우 여러 가지 문제점을 가지고 있었다.

[0003] 우선, 광학-리소그래피 방식의 경우 좀 더 미세화된 패턴을 형성하기 위해 분해능을 높이는 방법으로서 UV exposure 파장이 짧아지는 것이 요구되어 왔다. 이를 위해 광학-리소그래피 장비 자체의 복잡한 광학 정렬 구조가 필요해지고, 장비에 첨부되는 특수 물질들 때문에 UV exposure 장비의 가격이 크게 증가할 수 밖에 없는 문제점이 있었다. 그리고, UV exposure 장비의 파장이 짧아질수록 이러한 단파장의 빛을 투과시키는 물질을 획득하기가 어렵기 때문에 이런 물질들로 구성된 광학 마스크의 제작이 어려워지고 있는 실정이었다. 또한, 광학마스크(photomask, 주로 크롬 마스크가 사용됨)의 모양이 최종 형성되는 패턴을 결정하기 때문에 원하는 패턴마다 각각 그에 따른 미세패턴을 가지는 광학마스크를 제작해야 하는 문제점이 존재하였다. 아울러, 공정에 사용되는

최초 시편의 표면이 매끈하지 않으면 감광용 고분자의 스핀 코팅이나 추후 공정이 대면적으로 균일하게 잘 이루어지지기가 어렵다는 단점도 존재하는 실정이었다.

[0004] 한편, 기존의 나노임프린트-리소그래피(Nanoimprint-lithography) 방식의 경우도 패턴의 형태를 결정하는 몰드(mould) 또는 스탬프(stamp)의 제작에 어려움이 있고, 제작 단가도 매우 비싼 편이다. 또한, 원하는 패턴마다 각각 그에 따른 미세 패턴을 가지는 몰드(스탬프)를 제작해야 하는 문제점이 있었다. 아울러, 사용되는 최초 시편의 표면이 매끈하지 않으면 감광용 고분자의 스핀 코팅이나 추후 공정이 대면적으로 균일하게 잘 이뤄지기 어렵게 되는 단점도 존재하는 실정이었다. 따라서 이러한 기존의 상기 패턴 공정들의 여러 문제점들을 인식하고 이들을 개선하기 위해서 기존 공정들을 대체할 수 있는 새로운 기술 개발이 매우 중요한 실정이었다.

발명의 내용

해결 하고자하는 과제

[0005] 이에 본 발명자들은 이러한 종래기술 상의 문제점을 해결할 수 있는 전기방사법을 이용한 기관의 패턴구조 형성 방법을 개발하고자 예의 노력한 결과 본 발명을 완성하기에 이르렀다.

[0006] 결국 본 발명의 목적은 전기방사법을 이용한 기관의 패턴구조를 형성하기 위한 방법을 제공함으로써 기존의 광학-리소그래피나 나노임프린트-리소그래피 방식이 아닌, 간단한 전기방사 방법으로 만든 형틀층을 이용하여 손쉽게 상기 구조를 형성시키는 방법을 제공하는데 있다.

과제 해결수단

[0007] 상기 목적을 달성하기 위하여 본 발명에서는, 박막층이 상부에 증착된 기관을 준비하는 단계; 전기방사(electrospinning)법을 이용하여 상기 기관의 박막층 상에 나노파이버 형틀층을 형성하는 단계; 상기 나노파이버 형틀층이 형성되어 있지 않은 상기 박막층 표면 영역만을 선택적으로 식각(etching) 하는 단계; 상기 나노파이버 형틀층을 선택적으로 제거하는 단계를 포함하는 전기방사법을 이용한 기관의 패턴구조 형성방법이 제공된다.

[0008] 본 발명의 일실시예에 의하면 상기 박막층은 금속, 산화물, 질화물 및 탄화물로 이루어진 군에서 선택되는 하나 이상일 수 있다.

[0009] 본 발명의 일실시예에 의하면 상기 전기방사는 금속, 산화물, 질화물 및 고분자 성분으로 이루어지는 군 중에서 선택되는 하나 이상의 성분을 포함하는 용액을 사용하여 수행될 수 있다.

[0010] 본 발명의 일실시예에 의하면 상기 고분자 성분은 polyvinyl pyrrolidone (PVP), polyvinyl alcohol (PVA), polyacrylonitrile (PAN) 및 polyethylene oxide (PEO)으로 이루어지는 군에서 선택되는 하나 이상일 수 있다.

[0011] 본 발명의 일실시예에 의하면 상기 패턴구조는 바둑판(mesh) 또는 쇠창살(grating) 형태일 수 있다.

[0012] 본 발명의 일실시예에 의하면 상기 식각은 유도 결합 플라즈마 분광법 (inductively coupled plasma, ICP), Reactive ion etching (RIE) 또는 ICP - RIE 방법 중 어느 하나의 방법으로 수행할 수 있다.

[0013] 본 발명의 일실시예에 의하면 상기 나노파이버 형틀층을 선택적으로 제거하는 단계는 상기 나노파이버 형틀층이 고분자인 경우 아세톤, 에탄올, 메탄올, 및 N-Dimethylformamide(N-DMF) 용액으로 구성되는 군 중에서 선택된 어느 하나, 산화물인 경우 HCl(염산) 또는 Buffered oxide etchant (BOE) 용액, 질화물인 경우 H₂SO₄(황산), HNO₃(질산) 또는 KOH(수산화칼륨) 용액 중 어느 하나를 사용하여 수행할 수 있다.

[0014] 본 발명의 일 측면에 의하면, 제 1 박막층이 상부에 증착된 기관을 준비하는 단계; 전기방사(electrospinning)법을 이용하여 상기 기관의 제 1 박막층 상에 나노파이버 형틀층을 형성하는 단계; 물리적 증착방법(physical vapor deposition)으로 상기 나노파이버 형틀층의 두께보다 작은 두께의 제 2 박막층을 상기 제 1 박막층 위에 증착시키는 단계; 상기 나노파이버 형틀층을 선택적으로 제거하는 단계를 포함하는 전기방사법을 이용한 기관의 패턴구조 형성방법이 제공된다.

[0015] 본 발명의 일실시예에 의하면 상기 제 1 박막층 및 제 2 박막층은 금속, 산화물, 질화물 및 탄화물로 이루어진

군에서 선택되는 하나 이상일 수 있다.

- [0016] 본 발명의 일실시예에 의하면 상기 제 2 박막층은 Zinc Oxide (ZnO) 또는 Titanium Oxide (TiO₂)일 수 있다.
- [0017] 본 발명의 일실시예에 의하면 상기 전기방사는 금속, 산화물, 질화물 및 고분자 성분으로 이루어지는 군 중에서 선택되는 하나 이상의 성분을 포함하는 용액을 사용하여 수행될 수 있다.
- [0018] 본 발명의 일실시예에 의하면 상기 고분자 성분은 polyvinyl pyrrolidone (PVP), polyvinyl alcohol (PVA), polyacrylonitrile (PAN) 및 polyethylene oxide (PEO)으로 이루어지는 군에서 선택될 수 있다.
- [0019] 본 발명의 일실시예에 의하면 상기 패턴구조는 나노-아일랜드 정렬구조일 수 있다.
- [0020] 본 발명의 일실시예에 의하면 상기 물리적 증착은 Sputter, E-beam evaporator 또는 Pulsed laser deposition (PLD) 중 어느 하나를 사용할 수 있다.
- [0021] 본 발명의 일실시예에 의하면 상기 나노파이버 형틀층을 선택적으로 제거하는 단계는 상기 나노파이버 형틀층이 고분자인 경우 아세톤, 에탄올, 메탄올, 및 N-Dimethylformamide(N-DMF) 용액으로 구성되는 군 중에서 선택된 어느 하나, 산화물인 경우 HCl(염산) 또는 Buffered oxide etchant (BOE) 용액, 질화물인 경우 H₂SO₄(황산), HNO₃(질산) 또는 KOH(수산화칼륨) 용액 중 어느 하나를 사용하여 수행될 수 있다.
- [0022] 본 발명의 일측면에 따르면 상기 방법에 의해 형성된 패턴구조를 가지는 기판을 포함하는 반도체 소자가 제공된다.

효 과

- [0023] 본 발명의 전기방사방법을 이용한 기판의 패턴구조 형성방법에 따르면, 마스크 및 스탬프 제작 없이 전기방사만 실시하기 때문에 기존 방식에 비해 공정수를 감소시킬 수 있고, 공정비용도 줄일 수 있다. 또한, 비교적 표면상태가 거칠고 굴곡이 있는 물질층의 경우에도 손쉽게 패턴 구조를 형성할 수 있도록 하며, 기판 자체를 움직여주는 무빙 스테이지(moving stage)의 각 방향에 대한 속도 조절만으로 패턴 사이 간격을 쉽게 조절할 수 있고, 이를 매뉴얼화함으로써 더욱 복잡한 패턴의 형성도 가능하게 되는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- [0024] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0025] 본 발명이 적용될 수 있는 반도체 소자는 특정층의 표면에 바둑판(mesh) 또는 쇠창살(grating) 형태로 패턴 구조가 형성되었을 때 또는 유사한 크기와 균일한 배열을 가지는 나노 아일랜드 구조물이 정렬되었을 때, 소자의 성능 및 물성 향상에 도움이 될 수 있는 모든 구조와 물질층을 포함한다.
- [0026] 본 발명에서는 목적을 달성하기 위한 수단으로 주사 노즐과 기판과의 거리가 마이크로미터(μm) 내지 mm 단위까지의 범위로 매우 근접한 상태에서 전기방사를 실시하는 근접장 전기방사(near-field electrospinning) 방식을 사용하고, 최초 기판을 위치 및 고정 시키는 counter 전극의 경우 정확히 x, y 좌표축으로 움직임을 제어할 수 있고 매뉴얼로 지정해두면 원하는 방향과 위치로 정확히 일정한 속도로 직선방향으로 이동시켜주는 장치가 사용된다(근접장 전기방사 장비 및 기판의 움직임을 제어하는 moving stage). 현재 수십 마이크로 간격을 가지는 수준까지 만족시킬만한 기능을 하는 장비가 실제로 사용되고 있다. 도 1은 본 발명에서 형틀(template)층을 형성시킬 수 있는 전기방사 장비에 대한 간략한 구조를 나타내고, 도 2a 및 2b는 각각 전기방사 후 만들어진 일반적인 쇠창살 및 바둑판 형태의 패턴을 나타낸 사진이다.
- [0027] 한편, 본 발명을 이용하여 만든 반도체 소자의 구조는 소자의 여러 층들 중 가장 상부층의 표면에 패턴 또는 나노 아일랜드가 정렬된 구조를 가지는 것으로만 국한되지는 않는다. 바람직하게는 패턴된 층 또는 나노 아일랜드가 정렬된 구조를 가지는 층 위에 추가의 물질 층이 한 개 이상 올라가서 본 발명을 이용하여 만들어진 패턴된

구조 또는 나노 아일랜드가 정렬된 구조가 여러 개의 층들 사이의 어느 부분에 매장되어 있는 상태(buried pattern or buried nano-islands array)의 반도체 소자 구조 또한 포함한다.

[0028] 본 명세서에 첨부된 도면에서 층과 막 또는 영역들의 크기 두께는 명세서의 명확성을 위하여 과장되어 기술된 것이며, 어떤 막 또는 층이 다른 막 또는 층의 “위에 형성된다”라고 기재된 경우, 상기 어떤 막 또는 층이 상기 다른 막 또는 층의 위에 직접 존재할 수도 있고, 그 사이에 제3의 다른 막 또는 층이 개재될 수도 있다.

[0029] 도 3, 4에서는 구체적인 소자 종류에 따른 구조는 생략하고, 간단히 아래쪽 층을 기판으로 하고 위에 올라가 있는 층을 특정 박막으로 하여 본 발명의 방법을 설명한다. 상기 반도체 소자는 주요 반도체 물질층 뿐 만 아니라 추가적인 금속 전극 층 및 기타 물질 층들이 함께 존재하여 전기적, 자기적, 광학적 등의 회로에서 외부에 긍정적인 성능을 발휘할 수 있는 모든 소자 구조들을 포함할 수 있다.

[0030] 도 3은 본 발명에 따른 패턴구조 형성방법을 사용하여, 최종적으로 기판의 표면에 바둑판(mesh) 또는 쇠창살(grating) 형태의 패턴 구조를 형성시키는 과정을 순서대로 나타낸 것이다. 기판(100)과 박막(110)층은 금속, 산화물, 질화물, 탄화물 등이나 또는 그것들의 화합물질 또는 혼합물질로 이루어져 있다. 먼저 바둑판(mesh) 또는 쇠창살(grating) 형태의 형틀(120)층을 형성시키되, 전기방사를 위한 용액을 고분자를 포함한 용액을 사용하여 합성한 후, 최종적으로 형틀의 구성물질이 고분자가 되도록 전기방사를 실시하여 바둑판(mesh) 또는 쇠창살(grating) 형태의 형틀(120) 층을 형성시킨다. 주로 전기방사에 사용되는 고분자들은 polyvinyl pyrrolidone(PVP), polyvinyl alcohol(PVA), polyacrylonitrile(PAN), polyethylene oxide(PEO) 등이 있으며, 용도에 맞는 특성을 가진 고분자를 사용할 수 있다. 전기방사 방식의 경우 실험조건을 통해서 전기방사 되어 나오는 고분자 나노파이버(nanofiber)들의 직경을 조절할 수 있는데, 최초 용액을 합성할 때의 합성 물질의 농도나 추가적인 효과를 줄 수 있는 물질들을 첨부하는 방법, 그리고 전기방사를 할 때의 전압의 세기, 용액을 주사기를 통해 진행시키는 속도 등의 여러 조건을 의도적으로 변화시키는 방식을 통해서, 최종적으로 형성되는 나노파이버의 직경을 조절할 수 있게 된다. 따라서, 실제로 형성되는 고분자 나노파이버의 직경을 수 나노미터(nm)에서 수십 마이크로미터(μm)까지 패턴 하고자 하는 목적에 맞게 조절할 수 있다. 또한, 각각의 나노파이버들 사이의 떨어진 간격의 정도를 조절하기 위해, 기판의 움직임을 좌표상 x, y 축 방향의 직선 방향으로 속도를 제어해주는 무빙 스테이지(moving stage)를 사용하여서, 원하는 간격을 가지는 고분자 형틀을 최종적으로 형성할 수 있게 된다. 한편, 고분자 나노파이버 뿐만 아니라 금속, 산화물, 질화물 나노파이버를 사용할 수 있다. 다음으로 상기 박막(110)층 위에 바둑판(mesh) 또는 쇠창살(grating)형태의 패턴을 가지는 고분자 형틀(120)층을 형성한 후에, 박막(110) 층의 표면에서 고분자 나노파이버가 형성되지 않은 표면 영역을 선택적으로 식각(etching)하는 공정을 수행한다. 이 때 식각방법은 형틀(120)층은 그대로 유지된 채, 형틀이 올라가 있지 않아서 표면이 드러난 곳만을 선택적으로 식각이 가능한 방법을 사용한다. 유도 결합 플라즈마 분광법(inductively coupled plasma, ICP), Reactive ion etching (RIE), ICP - RIE 방법 또는 습식 식각(wet etching) 방법 등으로 패턴을 형성한다. 원하는 깊이 정도만 식각되도록 시간 및 기타 조건을 조절하여 식각 공정을 실시한다. 아울러, 식각 방법을 상기의 방법으로 한정하는 것은 아니다. 패턴의 깊이, 패턴간의 간격은 수 나노미터(nm)에서 수십 마이크로미터(μm)로 특정 반도체 소자의 성능을 향상시킬 수 있는 최적의 조건으로 형성시키는 것이 가능하다. 식각 공정이 끝난 다음, 선택적으로 고분자 나노파이버 형틀(120)층만을 제거시킬 수 있는 용액, PVP 고분자 나노파이버의 경우 에탄올(ethanol) 용액,으로 쉽게 녹여내서 제거시킬 수 있다. 나노파이버 형틀층을 선택적으로 제거하는 단계는 상기 나노파이버 형틀층이 고분자인 경우 아세톤, 에탄올, 메탄올, 및 N-Dimethylformamide(N-DMF) 용액으로 구성되는 군 중에서 선택된 어느 하나, 산화물인 경우 HCl(염산) 또는 Buffered oxide etchant (BOE) 용액, 질화물인 경우 H_2SO_4 (황산), HNO_3 (질산) 또는 KOH(수산화칼륨) 용액 중 어느 하나를 사용하여 수행될 수 있다. 이렇게 박막(110) 층과 기판(100)의 기존에 소자를 구성하는 층들을 유지시킨 채 형틀(120)층만을 제거시킬 수 있는 용액을 시편에 가하여 형틀만을 선택적으로 제거시킨다. 최종적으로 기판(100) 위에 바둑판(mesh) 또는 쇠창살(grating)형태의 패턴구조(115)가 형성된다. 이러한 구조는 반도체 소자의 맨 위층에 위치할 수도 있고, 목적에 따라서는 패턴구조(115) 위에 추가로 다른 층들이 올라갈 수 있다. 결과적으로 이러한 패턴이 소자에 존재함으로써 여러 가지 성능의 향상을 기대할 수 있다.

[0031] 도 4는 본 발명에 따른 패턴구조 형성방법을 사용하여, 최종적으로 기판의 표면에 나노 아일랜드 정렬 구조를 형성시키는 과정을 순서대로 나타낸 것이다. 도 3에서 살펴본 바와 같이 전기방사를 통해 먼저 고분자 나노파이버로 바둑판(mesh) 또는 쇠창살(grating) 형태의 형틀(320)층을 제1박막(310)층 위에 형성시킨다. 그 후에 물리적 증착방법(physical vapor deposition), 예를 들어 Sputter, E-beam evaporator, Pulsed laser deposition (PLD) 등,으로 고분자 나노파이버의 두께보다 더 작은 두께의 박막, 즉 형틀(320)층 보다 작은 두께를 가지는 제 2 박막(330)층을 제1박막(310) 층 위에 증착한다. 이 때 제 2 박막(330) 층으로 특정 소자의 필요에 따라,

금속 또는 산화물 또는 질화물 또는 이들의 혼합 또는 화합물을 사용하여 증착한다. 그 후에 최종적으로 형틀 (320)층, 즉 고분자 나노파이버 형틀,만을 선택적으로 제거시킨다. 나노파이버 형틀층을 선택적으로 제거하는 단계는 상기 나노파이버 형틀층이 고분자인 경우 아세톤, 에탄올, 메탄올, 및 N-Dimethylformamide(N-DMF) 용액으로 구성되는 군 중에서 선택된 어느 하나, 산화물인 경우 HCl(염산) 또는 Buffered oxide etchant (BOE) 용액, 질화물인 경우 H_2SO_4 (황산), HNO_3 (질산) 또는 KOH(수산화칼륨) 용액 중 어느 하나를 사용하여 수행될 수 있다. 결과적으로 수 나노(nm)에서 수십 마이크로미터 (μm) 크기를 가지는 나노 아일랜드 정렬구조(335)가 규칙적으로 균일한 간격을 가지도록 정렬된 상태로 제1박막(310)층 위에 형성되게 된다.

[0032] 이하에서는 실시예를 통하여 본 발명을 더욱 상세히 설명하고자 한다. 다만, 이들 실시예는 오로지 본 발명을 예시하기 위한 것으로서, 본 발명의 범위가 이들 실시예에 의해 제한되는 것으로 해석되지는 않는다 할 것이다.

[0033] 실시예 1: 기관상에 바둑판 또는 쇠창살 형태의 패턴구조의 형성

[0034] 갈륨 질화물계 발광소자의 투명전극물질 ITO (Tin doped Indium oxide) 층 표면에 전기방사법을 사용하여, 고분자 나노파이버 형틀을 형성하고 난 후, Buffered oxide etchant (BOE) 용액을 사용하여 습식 식각(wet etching)을 하거나 ICP-RIE를 통해 형틀이 올라가 있지 않고 드러난 표면 영역을 식각하여, 최종적으로 패턴 구조를 형성시켰다. 그 결과, 소자의 내부에서 빛이 발생하여 외부로 빠져나올 경우 패턴 구조를 거치면서 빛이 산란되면서 더 강한 세기의 빛이 외부로 빠져나올 수 있었다.

[0035] 또 다른 실험에서는, 박막층을 GaN (질화갈륨)으로 하고 그 위에 ZnO 산화물 나노파이버 형틀층을 전기방사한 후, 건식식각 방법(dry etching)인 ICP-RIE 공정을 통해 형틀이 올라가 있지 않고 드러난 표면 영역을 선택적으로 식각하여 패턴 구조를 형성시켰다. 그 후, 남아있는 ZnO 산화물 나노파이버 형틀을 제거하기 위해, HCl(염산) 또는 Buffered oxide etchant(BOE) 용액을 사용하여 습식 식각(wet etching)을 하여, 최종적으로 GaN-110 층의 표면에 바둑판(mesh) 또는 쇠창살(grating)형태의 패턴 구조-GaN-115층이 형성되었다.

[0036] 실시예 2: 기관상에 나노 아일랜드 정렬 구조의 형성

[0037] 갈륨 질화물계 발광소자에서 ITO 투명전극물질 층 위에 실시예 1에서 수행한 방법을 사용하여 최초 PVP 고분자 나노파이버 형틀을 형성시킨 후, Zinc Oxide (ZnO) 또는 Titanium Oxide (TiO_2) 산화물을 PVD 방법으로 증착한 다음, ethanol 용액으로 고분자 나노파이버 만을 선택적으로 제거시켜서 최종적으로 ZnO 또는 TiO_2 산화물 나노-아일랜드 정렬 구조를 ITO 박막 표면에 형성시켰다.

[0038] 또한, 나노파이버 형틀층을 최초 ZnO 산화물인 나노파이버로 형성시켰을 경우, 그 후에 GaN(질화갈륨) 물질층을 CVD 또는 PVD 방법으로 증착한 다음, 최종적으로 산화물만 선택적으로 쉽게 화학적으로 습식식각 시킬 수 있는 HCl (염산)용액 또는 Buffered oxide etchant(BOE)로 ZnO만 선택적으로 제거시켜 최종적으로 GaN 나노 아일랜드 정렬 구조를 형성시킬 수 있었다. 그 결과 소자 내부에서 빛이 나올 때 산란 효과를 증대시켜서 발광 성능을 향상시킬 수 있었다.

[0039] 이상으로 본 발명 내용의 특정한 부분을 상세히 기술하였는바, 당업계의 통상의 지식을 가진 자에게 있어서, 이러한 구체적 기술은 단지 바람직한 실시 양태일 뿐이며, 이에 의해 본 발명의 범위가 제한되는 것이 아닌 점은 명백할 것이다. 따라서 본 발명의 실질적인 범위는 첨부된 청구항들과 그것들의 등가물에 의하여 정의된다고 할 것이다.

도면의 간단한 설명

[0040] 도 1은 형틀층을 형성시킬 수 있는 전기방사 장비의 간략한 구조를 나타낸 것이다.

[0041] 도 2a 및 2b는 각각 전기방사 후 만들어진 일반적인 쇠창살 및 바둑판 형태의 패턴을 나타낸 사진이다.

[0042] 도 3은 본 발명에 따른 패턴 구조 형성방법을 사용하여, 기관에 바둑판 또는 쇠창살 형태의 패턴 구조를 형성시키는 과정을 순서대로 나타낸 것이다.

[0043] 도 4는 본 발명에 따른 패턴 구조 형성방법을 사용하여, 기판에 나노 아일랜드 정렬 구조를 형성시키는 과정을 순서대로 나타낸 것이다.

[0044] * 도면의 부호에 대한 설명

[0045] 100 : 기관 110 : 박막층

[0046] 120 : 나노파이버 형틀층 115 : 패턴구조

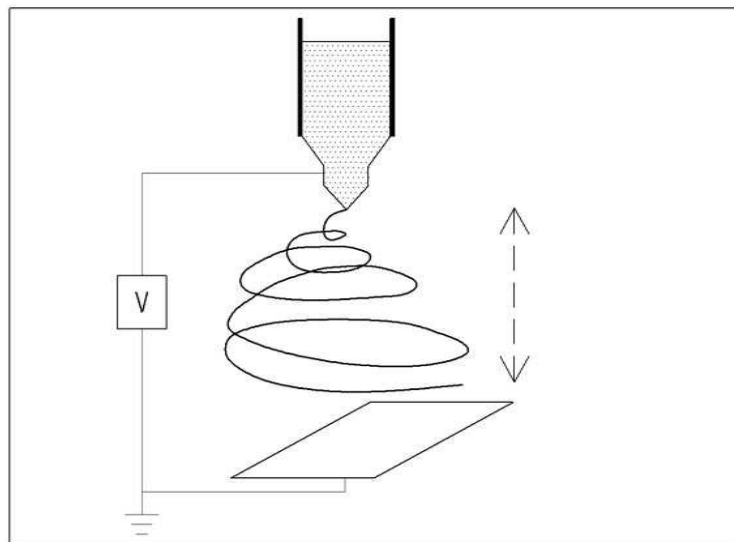
[0047] 300 : 기관 310 : 제 1 박막층

[0048] 320 : 나노파이버 형틀층 330 : 제 2 박막층

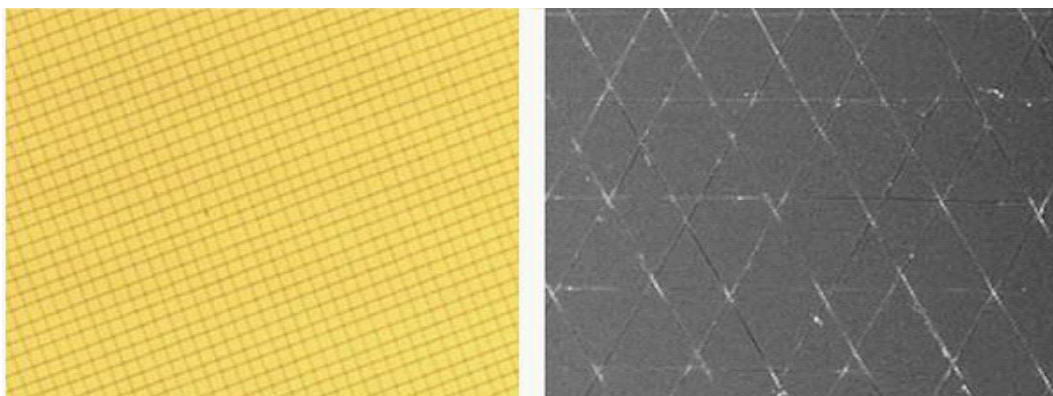
[0049] 335 : 나노-아일랜드 정렬구조

도면

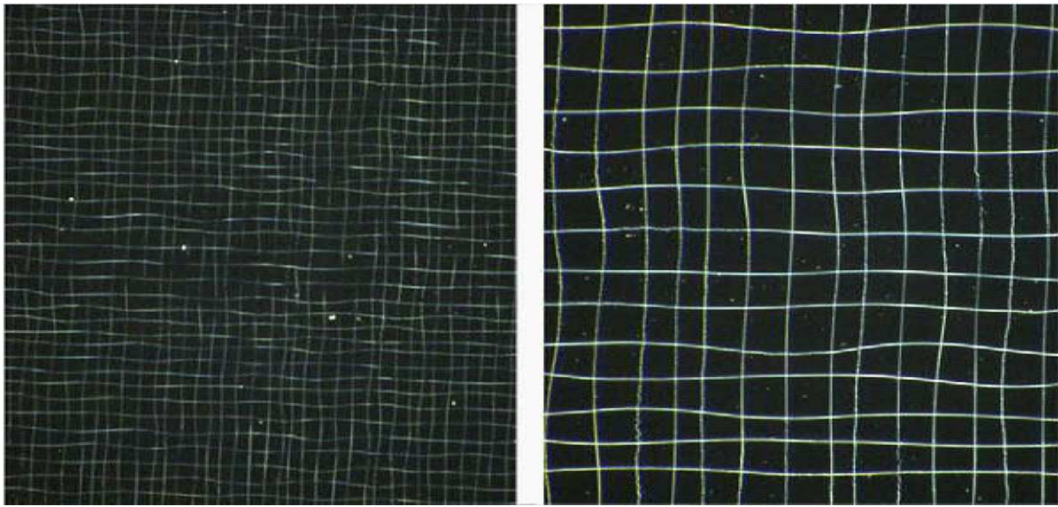
도면1



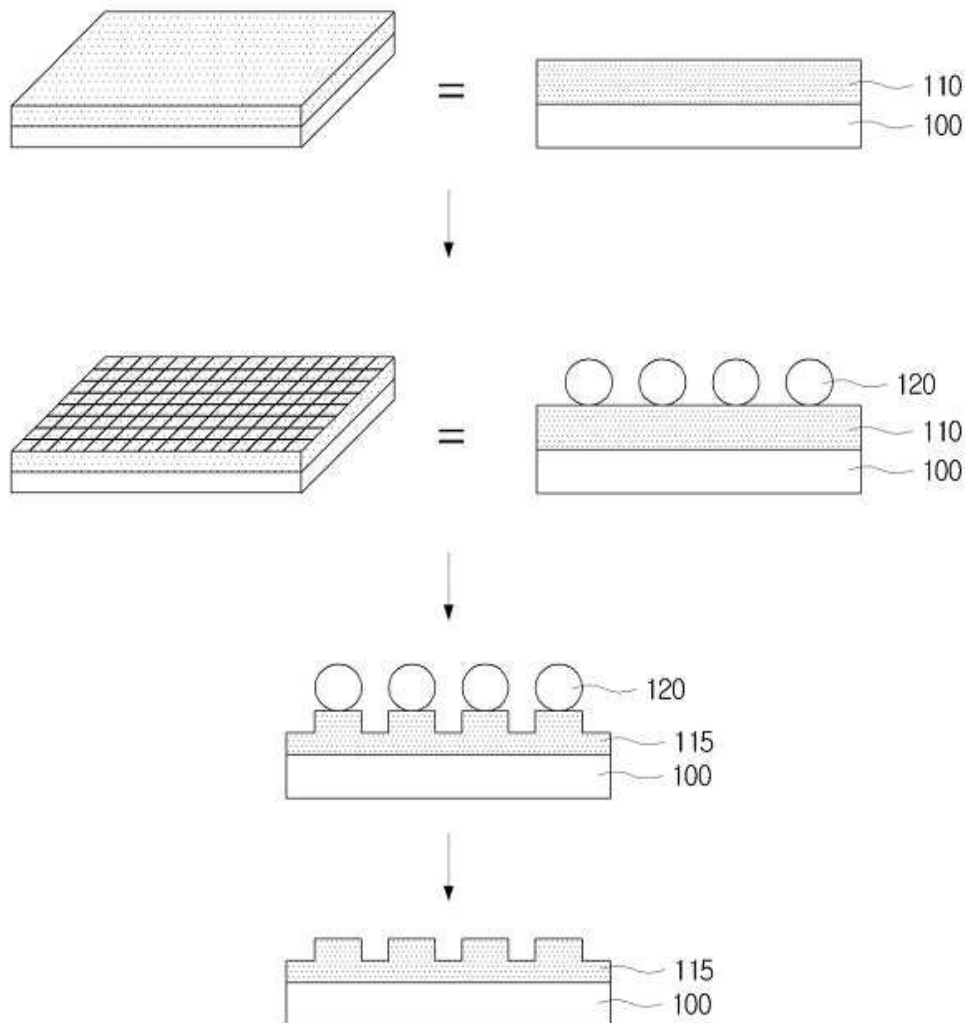
도면2a



도면2b



도면3



도면4

