



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201608690 A

(43)公開日：中華民國 105 (2016) 年 03 月 01 日

(21)申請案號：104114799

(22)申請日：中華民國 104 (2015) 年 05 月 08 日

(51)Int. Cl.：

*H01L23/528 (2006.01)**H01L23/532 (2006.01)**H01L27/06 (2006.01)**H01L49/02 (2006.01)*

(30)優先權：2014/06/04

日本

2014-116279

(71)申請人：瑞薩電子股份有限公司 (日本) RENESAS ELECTRONICS CORPORATION (JP)
日本

(72)發明人：古橋隆寿 FURUHASHI, TAKAHISA (JP)；松本雅弘 MATSUMOTO, MASAHIRO (JP)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：18 項 圖式數：45 共 94 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

(57)摘要

本發明之目的在於提高具有電容元件之半導體裝置之可靠性。

於半導體基板上之層間絕緣膜 L3 上形成有配線 M3 及電容元件 CP，於層間絕緣膜 L3 上，以覆蓋配線 M3 及電容元件 CP 之方式形成有層間絕緣膜 L4。電容元件 CP 包含：下部電極 LE，其形成於層間絕緣膜 L3 上；上部電極 UE，其以覆蓋下部電極 LE 之至少一部分之方式，形成於層間絕緣膜 L3 上；及電容絕緣膜 YZ，其介存於下部電極 LE 與上部電極 UE 之間；上部電極 UE 與配線 M3 係由同層之導電膜圖案形成。於下部電極 LE 之下方配置有插塞 P3a，且與下部電極 LE 電性連接；於俯視下未與下部電極 LE 重疊之部分之上部電極 UE 上，配置有插塞 P4a 且與上部電極 UE 電性連接；於配線 M3 上配置有插塞 P4c 且與配線 M3 電性連接。

A semiconductor device having a capacitor, which provides enhanced reliability. A wiring and a capacitor are formed over an interlayer insulating film overlying a semiconductor substrate and another interlayer insulating film is formed over the interlayer insulating film so as to cover the wiring and capacitor. The capacitor includes a lower electrode overlying the interlayer insulating film, an upper electrode overlying the interlayer insulating film to cover the lower electrode at least partially, and a capacitive insulating film interposed between the lower and upper electrodes. The upper electrode and the wiring are formed from a conductive film pattern in the same layer. A plug is located under, and electrically coupled to, the lower electrode and another plug is located over the upper electrode's portion not overlapping the lower electrode in plan view and electrically coupled to the upper electrode. Another plug is located over, and electrically coupled to, the wiring.

指定代表圖：

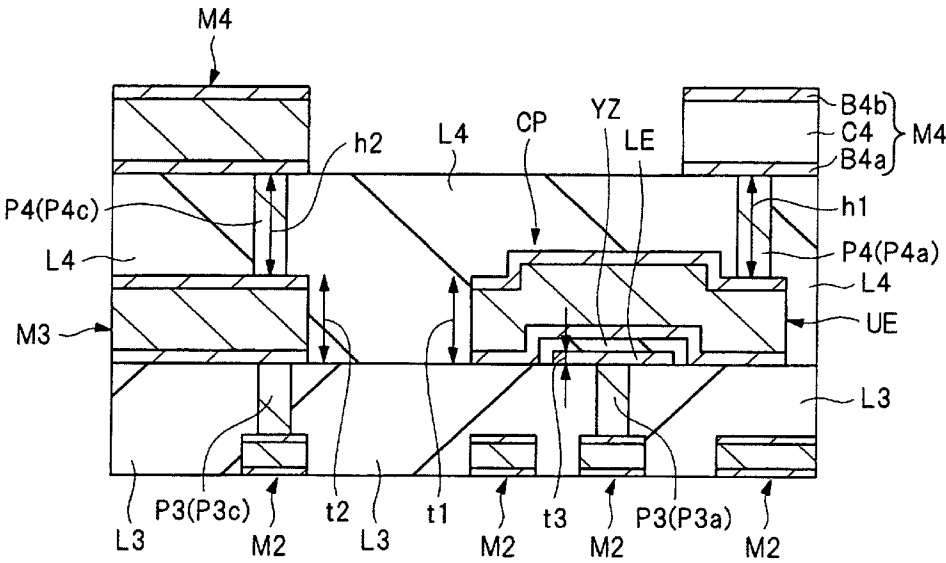


圖 24

- 符號簡單說明：
- B4a . . . 阻障導體膜
 - B4b . . . 阻障導體膜
 - C4 . . . 主導體膜
 - CP . . . 電容元件
 - L3 . . . 層間絕緣膜
 - L4 . . . 層間絕緣膜
 - LE . . . 下部電極
 - M2 . . . 配線
 - M3 . . . 配線
 - M4 . . . 配線
 - h1 . . . 高度
 - h2 . . . 高度
 - P3 . . . 插塞
 - P3a . . . 插塞
 - P3c . . . 插塞
 - P4 . . . 插塞
 - P4a . . . 插塞
 - P4c . . . 插塞
 - t1 . . . 厚度
 - t2 . . . 厚度
 - t3 . . . 厚度
 - UE . . . 上部電極
 - YZ . . . 電容絕緣膜

發明摘要

※ 申請案號：104114799

※ 申請日：104 5 8

※IPC 分類： H01L 23/528 (2006.1)
H01L 23/532 (2006.1)
H01L 27/06 (2006.1)
H01L 49/02 (2006.1)

【發明名稱】

半導體裝置

SEMICONDUCTOR DEVICE

【中文】

本發明之目的在於提高具有電容元件之半導體裝置之可靠性。

於半導體基板上之層間絕緣膜L3上形成有配線M3及電容元件CP，於層間絕緣膜L3上，以覆蓋配線M3及電容元件CP之方式形成有層間絕緣膜L4。電容元件CP包含：下部電極LE，其形成於層間絕緣膜L3上；上部電極UE，其以覆蓋下部電極LE之至少一部分之方式，形成於層間絕緣膜L3上；及電容絕緣膜YZ，其介存於下部電極LE與上部電極UE之間；上部電極UE與配線M3係由同層之導電膜圖案形成。於下部電極LE之下方配置有插塞P3a，且與下部電極LE電性連接；於俯視下未與下部電極LE重疊之部分之上部電極UE上，配置有插塞P4a且與上部電極UE電性連接；於配線M3上配置有插塞P4c且與配線M3電性連接。

【英文】

A semiconductor device having a capacitor, which provides enhanced reliability. A wiring and a capacitor are formed over an interlayer insulating film overlying a semiconductor substrate and another interlayer insulating film is formed over the interlayer insulating film so as to cover the wiring and capacitor. The capacitor includes a lower electrode overlying the interlayer insulating film, an upper electrode overlying the interlayer insulating film to cover the lower electrode at least partially, and a capacitive insulating film interposed between the lower and upper electrodes. The upper electrode and the wiring are formed from a conductive film pattern in the same layer. A plug is located under, and electrically coupled to, the lower electrode and another plug is located over the upper electrode's portion not overlapping the lower electrode in plan view and electrically coupled to the upper electrode. Another plug is located over, and electrically coupled to, the wiring.

【代表圖】

【本案指定代表圖】：第（24）圖。

【本代表圖之符號簡單說明】：

B4a	阻障導體膜
B4b	阻障導體膜
C4	主導體膜
CP	電容元件
L3	層間絕緣膜
L4	層間絕緣膜
LE	下部電極
M2	配線
M3	配線
M4	配線
h1	高度
h2	高度
P3	插塞
P3a	插塞
P3c	插塞
P4	插塞
P4a	插塞
P4c	插塞
t1	厚度
t2	厚度
t3	厚度
UE	上部電極
YZ	電容絕緣膜

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

半導體裝置

SEMICONDUCTOR DEVICE

【技術領域】

本發明係關於半導體裝置，例如為適合應用於包含電容元件之半導體裝置者。

【先前技術】

藉由於半導體基板上，形成MISFET或電容元件等，並以配線連接各元件間而製造各種半導體裝置。電容元件有MIM型電容元件等。

於日本特開2001-313370號公報(專利文獻1)、日本特開2004-119461號公報(專利文獻2)及日本特開2004-266005號公報(專利文獻3)中，記載有關於包含MIM型電容元件之半導體裝置之技術。

[先前技術文獻]

[專利文獻]

[專利文獻1]日本專利特開2001-313370號公報

[專利文獻2]日本特開2004-119461號公報

[專利文獻3]日本特開2004-266005號公報

【發明內容】

[發明所欲解決之問題]

即便包含電容元件之半導體裝置，亦期望盡可能地提高其可靠度。

其他課題與新穎之特徵可自本說明書之記述及附加圖式予以明瞭。

[解決問題之技術手段]

根據一實施形態，半導體裝置包含：第1配線及電容元件，其等形成於半導體基板上之第1層間絕緣膜上；及第2層間絕緣膜，其以覆蓋上述第1配線及上述電容元件之方式，形成於上述第1層間絕緣膜上。上述電容元件具有：下部電極，其形成於上述第1層間絕緣膜上；上部電極，其以覆蓋上述下部電極之至少一部分之方式，形成於上述第1層間絕緣膜上；及電容絕緣膜，其介存於上述下部電極與上述上部電極之間；上述第1配線與上述上部電極係由同層之導電膜圖案形成。半導體裝置更包含：第1接觸插塞，其配置於上述下部電極之下方，且與上述下部電極電性連接；第2接觸插塞，其配置於上述上部電極上或上述上部電極之下方，且與上述上部電極電性連接；及第3接觸插塞，其配置於上述第1配線上，且電性連接於上述第1配線。上述第2接觸插塞配置於俯視下未與上述下部電極俯重疊之部分之上述上部電極上，或配置於俯視下未與上述下部電極重疊之部分之上述上部電極之下方。

[發明之效果]

根據一實施形態，可提高半導體裝置之可靠度。

【圖式簡單說明】

圖1係一實施形態之半導體裝置之主要部分剖面圖。

圖2係一實施形態之半導體裝置之主要部分俯視圖。

圖3係一實施形態之半導體裝置之製造步驟中之主要部分剖面圖。

圖4係延續圖3之半導體裝置之製造步驟中之主要部分剖面圖。

圖5係延續圖4之半導體裝置之製造步驟中之主要部分剖面圖。

圖6係延續圖5之半導體裝置之製造步驟中之主要部分剖面圖。

圖7係延續圖6之半導體裝置之製造步驟中之主要部分剖面圖。

圖8係延續圖7之半導體裝置之製造步驟中之主要部分剖面圖。

圖9係延續圖8之半導體裝置之製造步驟中之主要部分剖面圖。

圖10係延續圖9之半導體裝置之製造步驟中之主要部分剖面圖。

圖11係與圖10相同之半導體裝置之製造步驟中之主要部分剖面圖。

圖12係延續圖11之半導體裝置之製造步驟中之主要部分剖面圖。

圖13係延續圖12之半導體裝置之製造步驟中之主要部分剖面圖。

圖14係延續圖13之半導體裝置之製造步驟中之主要部分剖面圖。

圖15係延續圖14之半導體裝置之製造步驟中之主要部分剖面圖。

圖16係延續圖15之半導體裝置之製造步驟中之主要部分剖面圖。

圖17係延續圖16之半導體裝置之製造步驟中之主要部分剖面圖。

圖18係延續圖17之半導體裝置之製造步驟中之主要部分剖面圖。

圖19係延續圖18之半導體裝置之製造步驟中之主要部分剖面圖。

圖20係延續圖19之半導體裝置之製造步驟中之主要部分剖面圖。

圖21係延續圖20之半導體裝置之製造步驟中之主要部分剖面圖。

圖22係延續圖21之半導體裝置之製造步驟中之主要部分剖面圖。

圖 23 係延續圖 22 之半導體裝置之製造步驟中之主要部分剖面圖。

圖 24 係延續圖 23 之半導體裝置之製造步驟中之主要部分剖面圖。

圖 25 係探討例之半導體裝置之主要部分剖面圖。

圖 26 係另一實施形態之半導體裝置之主要部分剖面圖。

圖 27 係另一實施形態之半導體裝置之主要部分俯視圖。

圖 28 係另一實施形態之半導體裝置之製造步驟中之主要部分剖面圖。

圖 29 係延續圖 28 之半導體裝置之製造步驟中之主要部分剖面圖。

圖 30 係另一實施形態之半導體裝置之主要部分剖面圖。

圖 31 係另一實施形態之半導體裝置之主要部分俯視圖。

圖 32 係另一實施形態之半導體裝置之製造步驟中之主要部分剖面圖。

圖 33 係延續圖 32 之半導體裝置之製造步驟中之主要部分剖面圖。

圖 34 係延續圖 33 之半導體裝置之製造步驟中之主要部分剖面圖。

圖 35 係延續圖 34 之半導體裝置之製造步驟中之主要部分剖面圖。

圖 36 係另一實施形態之半導體裝置之主要部分剖面圖。

圖 37 係另一實施形態之半導體裝置之主要部分俯視圖。

圖 38 係另一實施形態之半導體裝置之製造步驟中之主要部分剖面圖。

圖 39 係延續圖 38 之半導體裝置之製造步驟中之主要部分剖面

圖。

圖 40 係延續圖 39 之半導體裝置之製造步驟中之主要部分剖面

圖。

圖 41 係與圖 40 相同之半導體裝置之製造步驟中之主要部分剖面

圖。

圖 42 係延續圖 41 之半導體裝置之製造步驟中之主要部分剖面

圖。

圖 43 係延續圖 42 之半導體裝置之製造步驟中之主要部分剖面

圖。

圖 44 係延續圖 43 之半導體裝置之製造步驟中之主要部分剖面

圖。

圖 45 係延續圖 44 之半導體裝置之製造步驟中之主要部分剖面

圖。

【實施方式】

於以下之實施形態中，為方便起見，必要時分割成複數個部分或實施形態而進行說明，除了特別明示之情形，此等並非相互無關係者，而存在一者為另一者之一部分或全部之變化例、詳細、補充說明等之關係。又，於以下實施形態中，言及要件之數量等(包含個數、數值、量、範圍等)之情形，除了特別明示之情形、及原理上明確限定於特定之數量之情形等，則並非限定於該特定之數量，而亦可為特定之數量以上或以下。進而，毋庸贅言，於以下實施形態中，其構成要件(亦包含要件步驟等)，除了特別明示之情形，及認為原理上明確為必須之情形等，則並非一定為必須。同樣，於以下實施形態中，言及構成要件等之形狀、位置關係等時，除了特別明示之情形、及認為原理上明確並非如此之情形等，則包含實質上與該形狀等近似或類似者等。此情況對於上述數值及範圍亦相同。

以下，基於圖式詳細說明實施形態。另，用於說明實施形態之所有圖式中，對具有相同功能之構件，附加相同符號，而省略其重複說明。另，於以下實施形態中，除了特殊必要時以外，原則上不重複相同或同樣之部分之說明。

又，於實施形態中所使用之圖式中，亦存在雖為剖面圖但為易於觀圖而省略掉陰影線之情形。再者，亦存在雖為俯視圖但為易於觀圖而加上陰影線之情形。

(實施形態1) <關於半導體裝置之構造> 本實施形態之半導體裝置係包含MIM(Metal Insulator Metal：金屬-絕緣體-金屬)型之電容元件者。因MIM型之電容元件可形成於半導體基板上之層間絕緣膜上，故亦可於電容元件下方形成各種元件(例如電晶體等)，從而有助於謀求晶片面積之縮小。

參照圖1及圖2，對本實施形態之半導體裝置之構造進行說明。

圖1係本實施形態之半導體裝置之主要部分剖面圖。圖1中，作為一例，圖示有半導體裝置為CMOS影像感測器之例。因此，雖實際於半導體基板SB之主表面，以矩陣狀配置有複數個包含光電二極體DI與複數個電晶體之像素，但圖1中僅代表性地顯示關於其中1個像素之光電二極體DI、傳送電晶體TX、及像素電晶體Q1。

又，圖2係本實施形態之半導體裝置之主要部分俯視圖。圖2中顯示電容元件CP之俯視圖(俯視佈局圖)，顯示有構成電容元件CP之下部電極LE、電容絕緣膜YZ、及上部電極UE，但為便於觀圖，而以虛線示出下部電極LE，以兩點鏈線示出電容絕緣膜YZ，以實線示出上部電極UE。又，雖圖2中亦顯示有連接於下部電極LE之插塞P3a、及連接於上部電極UE之插塞P4a，但以虛線示出連接於下部電極LE之插塞P3a，以實線示出連接於上部電極UE之插塞P4a。圖1中亦顯示有電容元件CP之剖面，且圖1之電容元件CP之剖面係與圖2之A-A線之位

置之剖面大致對應。

另，此處，雖對於半導體基板SB之主表面形成有構成CMOS影像感測器之複數個像素之情形予以圖示及說明，但並非限定於此，而可對形成於半導體基板SB之主表面之元件或電路予以各種變更，可於半導體基板SB之主表面形成任意元件或電路。

如圖1所示，於半導體基板SB之主表面，於由元件分離區域ST規定之活性區域，形成有光電二極體DI、傳送電晶體TX、及像素電晶體Q1。光電二極體DI包含：形成於半導體基板SB之p型阱PW1、n型半導體區域(n型阱)NW、及p⁺型半導體區域PR。

傳送電晶體TX係傳送由光電二極體DI生成之電荷的傳送用電晶體。又，雖1個像素具有包含傳送電晶體TX之複數個電晶體，但以像素電晶體Q1作為構成像素之複數個電晶體中之除傳送電晶體TX以外之電晶體之代表而顯示。

半導體基板SB係包含例如被導入磷(P)或砷(As)等之n型雜質(供體)之n型單晶矽等之半導體基板(半導體晶圓)。作為另一實施形態，亦可將半導體基板SB設為所謂磊晶晶圓。

於半導體基板SB之主表面，為了規定活性區域，而形成有包含絕緣體之元件分離區域ST。

自半導體基板SB之主表面直至特定深度，形成有p型阱(p型半導體區域)PW1、PW2。p型阱PW1係跨及形成有光電二極體DI之區域及形成有傳送電晶體TX之區域而形成。p型阱PW2形成於形成有像素電晶體Q1之區域。

於半導體基板SB，以內包於p型阱PW1之方式，形成有n型半導體區域(n型阱)NW。n型半導體區域NW係用於形成光電二極體DI之n型半導體區域，而傳送電晶體TX之源極區域亦由n型半導體區域NW形成。

於n型半導體區域NW之表面之一部分，形成有 p^+ 型半導體區域PR。 p^+ 型半導體區域PR之雜質濃度(p型雜質濃度)高於p型阱PW1之雜質濃度(p型雜質濃度)。

p^+ 型半導體區域PR之底面之深度淺於n型半導體區域NW之底面之深度， p^+ 型半導體區域PR主要形成於n型半導體區域NW之表層部分。因此，若於半導體基板SB之厚度方向觀之，則成為於最上層之 p^+ 型半導體區域PR之下方，存在n型半導體區域NW，於n型半導體區域NW之下方，存在p型阱PW1之狀態。又，於未形成n型半導體區域NW之區域， p^+ 型半導體區域PR之一部分與p型阱PW1相接觸。

p型阱PW1與n型半導體區域NW之間形成PN接合。又， p^+ 型半導體區域PR與n型半導體區域NW之間形成PN接合。由p型阱PW1、n型半導體區域NW及 p^+ 型半導體區域PR，形成光電二極體(PN接合二極體)DI。

p^+ 型半導體區域PR係以基於半導體基板SB表面所形成之多個界面準位抑制電子產生之目的而形成之區域。藉由於將電子設為多數載流子之n型半導體區域NW之表面，形成將電洞設為多數載流子之 p^+ 型半導體區域PR，可抑制未進行光照射之狀態下之電子之產生，從而可抑制暗電流之增加。

光電二極體DI係受光元件(光電轉換元件)，其具有對所輸入之光進行光電轉換而生成電荷，並累積所生成之電荷之功能；傳送電晶體TX具有作為自光電二極體DI傳送光電二極體DI所累積之電荷時之開關的作用。

又，以俯視下與n型半導體區域NW之一部分重疊之方式，形成有傳送電晶體TX之閘極電極GT。閘極電極GT介隔閘極絕緣膜GI而形成於半導體基板SB上。於閘極電極GT之側壁上，形成有側壁間隔件(Side wall spacer)SW作為側壁絕緣膜。

於半導體基板SB之p型阱PW1，於閘極電極GT兩側中之一側，形成有上述n型半導體區域NW，於另一側，形成有n型半導體區域NR。n型半導體區域NR亦可具有LDD(Lightly Doped Drain：輕微摻雜的汲極)構造。

n型半導體區域NR係作為傳送電晶體TX之汲極區域發揮作用，亦可將其視為浮動擴散層(floating diffusion)。又，n型半導體區域NW雖為光電二極體DI之構成要件，但亦可作為傳送電晶體TX之源極用半導體區域而發揮作用。n型半導體區域NW與n型半導體區域NR形成為隔著傳送電晶體TX之通道形成區域而相互隔開。

於光電二極體DI之表面上，亦即n型半導體區域NW及p⁺型半導體區域PR之表面上，形成有保護絕緣膜CZ作為保護膜。保護絕緣膜CZ之一部分亦可載搭於閘極電極GT上。

另一方面，於半導體基板SB之p型阱PW2上，介隔閘極絕緣膜GI而形成有像素電晶體Q1之閘極電極GS，於閘極電極GS兩側之側壁上，形成有側壁間隔件SW作為側壁絕緣膜。又，於閘極電極GS兩側之p型阱PW2中，形成有像素電晶體Q1之源極・汲極區域SD。像素電晶體Q1之源極・汲極區域SD具有LDD構造。

又，亦可於n型半導體區域NR、源極・汲極區域SD、閘極電極GT及閘極電極GS之各上部等，藉由所謂自行對準金屬矽化物(Salicide：Self Aligned Silicide)製程而形成金屬矽化物層(未圖示)。

於半導體基板SB上，以覆蓋閘極電極GT、GS、保護絕緣膜CZ及側壁間隔件SW之方式，形成有層間絕緣膜L1作為絕緣膜。層間絕緣膜L1形成於半導體基板SB之主表面整面上。層間絕緣膜L1及後述之層間絕緣膜L2、L3、L4、L5包含氧化矽膜等，例如由以TEOS (Tetra Ethyl Ortho Silicate：原矽酸四乙酯)為原料之氧化矽膜形成，但亦可使用HDP氧化膜。另，所謂HDP氧化膜，係指以HDP(High Density

Plasma：高密度電漿)-CVD法形成之氧化矽膜。

於層間絕緣膜L1，形成有通孔(開口部、貫通孔)S1作為接觸孔，於通孔S1內，形成有導電性之插塞(plug)(接觸插塞)P1，作為連接用之導電體部。

通孔S1及埋入至其內之插塞P1例如形成於n型半導體區域NR、源極・汲極區域SD、閘極電極GT及閘極電極GS上等。

於層間絕緣膜L1上，形成有包含複數層配線層之多層配線構造，此處，形成有第1~第4配線層之合計4層之配線層，然而所形成之配線層之層數並非限定於4層，而可進行各種變更。最下層之配線層即第1配線層之配線係配線M1，較第1配線層更上方一層之配線層即第2配線層之配線係配線M2；較第2配線層更上方一層之配線層即第3配線層之配線係配線M3，較第3配線層更上方一層之配線層即第4配線層之配線係配線M4。圖1中，第4配線層成為最上層之配線層，但亦可形成較第4配線層更上層之配線層。

亦即，於埋入插塞P1之層間絕緣膜L1上，形成有第1配線層之配線M1。插塞P1藉由上表面接觸於配線M1之下表面，而與該配線M1電性連接。

於層間絕緣膜L1上，以覆蓋配線M1之方式，形成有層間絕緣膜L2作為絕緣膜。於層間絕緣膜L2，形成有通孔(開口部、貫通孔)S2，於通孔S2內，形成有導電性之插塞(接觸插塞)P2，作為連接用之導電體部。

於埋入插塞P2之層間絕緣膜L2上，形成有第2配線層之配線M2。

於層間絕緣膜L2上，以覆蓋配線M2之方式，形成有層間絕緣膜L3作為絕緣膜。於層間絕緣膜L3，形成有通孔(開口部、貫通孔)S3，於通孔S3內，形成有導電性之插塞(接觸插塞)P3，作為連接用之導電體部。

於埋入插塞P3之層間絕緣膜L3上，形成有第3配線層之配線M3。

於層間絕緣膜L3上，以覆蓋配線M3之方式，形成有層間絕緣膜L4作為絕緣膜。於層間絕緣膜L4，形成有通孔(開口部、貫通孔)S4，於通孔S4內，形成有導電性之插塞(接觸插塞)P4，作為連接用之導電體部。

於埋入插塞P4之層間絕緣膜L4上，形成有第4配線層之配線M4。

於層間絕緣膜L4上，以覆蓋配線M4之方式，形成有層間絕緣膜L5作為絕緣膜。於CMOS影像感測器時，亦可於層間絕緣膜L5上配置彩色濾光片(未圖示)或微透鏡(未圖示)等。又，亦可於層間絕緣膜L5上形成鈍化膜(未圖示)。又，亦可藉由於層間絕緣膜L5設置開口部，使配線M5之一部分自該開口部露出，而形成焊墊(焊接墊)。

第1配線層之配線M1包含經圖案化之導電膜(積層導電膜)，此處，其包含自下方開始依序為阻障導體膜B1a、主導體膜C1、及阻障導體膜B1b之積層膜。第2配線層之配線M2包含經圖案化之導電膜(積層導電膜)，此處，其包含自下方開始依序為阻障導體膜B2a、主導體膜C2、及阻障導體膜B2b之積層膜。第3配線層之配線M3包含經圖案化之導電膜(積層導電膜)，此處，其包含自下方開始依序為阻障導體膜B3a、主導體膜C3、及阻障導體膜B3b之積層膜。第4配線層之配線M4包含經圖案化之導電膜(積層導電膜)，此處，其包含自下方開始依序為阻障導體膜B4a、主導體膜C4、及阻障導體膜B4b之積層膜。

於各配線層，構成配線(M1~M4)下層側之阻障導體膜(B1a、B2a、B3a、B4a)較佳包含氮化鈦(TiN)膜，而作為其他形態，亦可使用鈦(Ti)膜，或鈦(Ti)膜與氮化鈦(TiN)膜之積層膜。該下層側之阻障導體膜(B1a、B2a、B3a、B4a)具有提高配線(M1、M2、M3、M4)與其底層之絕緣膜(L1、L2、L3、L4)之間之密著性之功能。

於各配線層，構成配線(M1、M2、M3、M4)之上層側之阻障導

體膜(B1b、B2b、B3b、B4b)較佳包含氮化鈦(TiN)膜，而作為其他形態，亦可使用鈦(Ti)膜，或鈦(Ti)膜與氮化鈦(TiN)膜之積層膜。該上層側之阻障導體膜(B1b、B2b、B3b、B4b)，亦具有提高配線(M1、M2、M3、M4)與覆蓋該配線(M1、M2、M3、M4)之絕緣膜(L2、L3、L4、L5)之間之密著性的功能，同時亦具有作為光微影步驟中之防反射膜之功能。

配線M1、M2、M3、M4均為以鋁(Al)為主要成分之鋁配線。因此，主導體膜C1、C2、C3、C4分別包含以鋁(Al)為主要成分之導電材料膜(為呈現金屬傳導之導電材料膜)。作為主導體膜C1、C2、C3、C4，可分別使用鋁膜，但並非限定於此，例如亦可適當使用Al(鋁)與Si(矽)之化合物膜或合金膜，或者Al(鋁)與Cu(銅)之化合物膜或合金膜，亦或Al(鋁)與Si(矽)及Cu(銅)之化合物膜或合金膜。雖主導體膜C1、C2、C3、C4各者之Al(鋁)之組成比例大於50原子%(亦即富含鋁)，但若為99原子%以上，則更佳。

於各配線M1~M4，主導體膜(C1~C4)之厚度大於下層側之阻障導體膜(B1a~B4a)之厚度，且小於上層側之阻障導體膜(B1b~B4b)之厚度。

插塞P1、P2、P3、P4均為接觸插塞。可將插塞P1、P2、P3、P4視為埋入至層間絕緣膜之連接用之導體部(埋入導體部)。插塞P1、P2、P3、P4各者係由形成於通孔(S1~S4)底部及側壁(側面)上之較薄之阻障導體膜，及為於該阻障導體膜上埋入通孔(S1~S4)而形成之主導體膜所形成，但為了圖式之簡略化，圖1中將構成各插塞P1、P2、P3、P4之阻障導體膜及主導體膜一體化而顯示。另，作為插塞P1、P2、P3、P4用之阻障導體膜，例如可使用鈦膜、氮化鈦膜、或其等之積層膜，而作為插塞P1、P2、P3、P4用之主導體膜，則可使用鎢膜。作為其他實施形態，亦可對插塞P1、P2、P3、P4中之任何一

個，使用除鎢插塞以外之插塞，例如銅插塞等。

插塞P2配置於配線M2與配線M1之間。藉由插塞P2之上表面與配線M2之下表面之接觸，插塞P2與配線M2電性連接，且，藉由插塞P2之下表面與配線M1之上表面之接觸，插塞P2與配線M1電性連接。因此，插塞P2使配置於插塞P2上之配線M2與配置於插塞P2下方之配線M1之間電性連接。

插塞P3配置於配線M3與配線M2之間，或下部電極LE與配線M2之間。藉由插塞P3之上表面與配線M3之下表面或下部電極LE之下表面之接觸，插塞P3與配線M3或下部電極LE電性連接，且，藉由插塞P3之下表面與配線M2之上表面之接觸，插塞P3與配線M2電性連接。因此，插塞P3使配置於插塞P3上之配線M3或下部電極LE，與配置於插塞P3下方之配線M2之間電性連接。

插塞P4配置於配線M4與配線M3之間，或配線M4與上部電極UE之間。藉由插塞P4之上表面與配線M4之下表面之接觸，插塞P4與配線M4電性連接，且，藉由插塞P4之下表面與配線M3之上表面或上部電極UE之上表面之接觸，插塞P4與配線M3或上部電極UE電性連接。因此，插塞P4使配置於插塞P4上之配線M4與配置於插塞P4下方之配線M3或上部電極UE之間電性連接。

於本實施形態中，於形成於半導體基板SB上之多層配線構造內之任一層之配線層，形成有MIM型電容元件(電容器)CP。於圖1時，於第3配線層形成有電容元件CP。

電容元件CP係由下部電極(第1電極)LE、上部電極(第2電極)UE、及介存於下部電極LE與上部電極UE之間之電容絕緣膜(介電質膜)YZ構成。

電容元件CP之下部電極LE形成於插塞P3所埋入之層間絕緣膜L3上。下部電極LE包含導電材料膜(為顯示金屬傳導之導電材料膜)，但₅

較佳包含具有較鋁(Al)之熔點更高之熔點之材料，可適當使用氮化鈦(TiN)膜、鈦(Ti)膜、氮化鉭(TaN)膜，或鉭(Ta)膜。此處，由氮化鈦(TiN)膜形成下部電極LE。

於下部電極LE之下方配置插塞P3，使其電性連接於下部電極LE。設定為對插塞P3中之配置於下部電極LE下方且電性連接於下部電極LE之插塞P3，附加符號P3a而稱為插塞P3a。藉由插塞P3a之上表面與下部電極LE之下表面之接觸，使插塞P3a與下部電極LE電性連接。又，設定為對插塞P3中之配置於配線M3下方且電性連接於配線M3之插塞P3，附加符號P3c而稱為插塞P3c。藉由插塞P3c之上表面與配線M3之下表面之接觸，使插塞P3c與配線M3電性連接。

再者，雖於下部電極LE下方配置有插塞P3a(連接於下部電極LE之插塞P3a)，但未於下部電極LE上配置插塞P4(連接於下部電極LE之插塞P4)。

另，配置於配線M3與配線M2之間之插塞P3c發揮使該配線M3與配線M2之間電性連接之功能。另一方面，配置於下部電極LE下方之插塞P3a發揮使下部電極LE與配置於插塞P3a下方之配線M2之間電性連接之功能。亦即，插塞P3a配置於下部電極LE與配線M2之間，藉由插塞P3a之上表面與下部電極LE下表面之接觸，使插塞P3a與下部電極LE電性連接。又，藉由插塞P3a下表面與配線M2上表面之接觸，使插塞P3a與配線M2電性連接。因此，插塞P3a係使配置於插塞P3a上之下部電極LE，與配置於插塞P3a下方之配線M2之間電性連接。

電容絕緣膜YZ於層間絕緣膜L3上，以覆蓋下部電極LE而形成。電容絕緣膜YZ例如包含氮化矽膜。如自圖2所明瞭般，俯視下，下部電極LE內包於電容絕緣膜YZ。因此，下部電極LE之上表面與側面被電容絕緣膜YZ覆蓋。因此，下部電極LE與上部電極UE之間介存電容絕緣膜YZ，故下部電極LE與上部電極UE並未接觸。下部電極LE之下

表面(底面)，除與插塞P3a之上表面對向之部分以外，剩餘部分與層間絕緣膜L3之上表面對向。因此，下部電極LE之下表面(底面)，除與插塞P3a之上表面接觸之部分以外，剩餘部分與層間絕緣膜L3之上表面相接觸。

上部電極UE於層間絕緣膜L3上，以覆蓋電容絕緣膜YZ(因而亦覆蓋下部電極LE)而形成。上部電極UE係與第3配線層之配線M3形成於同層。亦即，上部電極UE係由與第3配線層之配線M3同層之導電膜圖案形成。即，上部電極UE與配線M3係藉由將共用之導電膜(對應於後述之導電膜CD3)圖案化而形成者。上部電極UE與配線M3並未連接，而是相互分離。另，亦可使上部電極UE之一部分延伸至層間絕緣膜L3上而使其作為配線發揮作用。

因此，構成上部電極UE之材料與構成配線M3之材料相同。又，上部電極UE之厚度與配線M3之厚度實質上相同。亦即，上部電極UE之厚度與配線M3之厚度之差係在後述之導電膜CD3之成膜時之膜厚偏差之範圍內。又，上部電極UE之積層構成與配線M3之積層構成相同。

亦即，於配線M3包含阻障導體膜B3a、阻障導體膜B3a上之主導體膜C3、及主導體膜C3上之阻障導體膜B3b之積層膜時，上部電極UE亦包含阻障導體膜B3a、阻障導體膜B3a上之主導體膜C3、及主導體膜C3上之阻障導體膜B3b之積層膜。構成上部電極UE之阻障導體膜B3a與構成配線M3之阻障導體膜B3a，包含相同材料，且具有實質相同之厚度。又，構成上部電極UE之主導體膜C3與構成配線M3之主導體膜C3，包含相同材料，且具有實質相同之厚度。又，構成上部電極UE之阻障導體膜B3b與構成配線M3之阻障導體膜B3b，包含相同材料，且具有實質相同之厚度。

如自圖2所明瞭般，俯視下，上部電極UE內包電容絕緣膜YZ及

下部電極LE。因此，俯視下，成為下部電極LE內包於電容絕緣膜YZ，電容絕緣膜YZ內包於上部電極UE之狀態。即，俯視下，電容絕緣膜YZ具有與下部電極LE重疊之部分與未重疊之部分；電容絕緣膜YZ之外周部未與下部電極LE重疊，而上部電極UE具有與電容絕緣膜YZ重疊之部分與未重疊之部分；上部電極UE之外周部未與電容絕緣膜YZ重疊。因此，電容絕緣膜YZ之平面尺寸(平面積)大於下部電極LE之平面尺寸(平面積)，上部電極UE之平面尺寸(平面積)大於電容絕緣膜YZ之平面尺寸(平面積)。

另，當言及[俯視下]或[以俯視觀察]等時，係指以平行於半導體基板SB之主表面之平面來看時之情形。

於上部電極UE上配置插塞P4，且使其電性連接於上部電極UE。設定為對插塞P4中之配置於上部電極UE上且電性連接於上部電極UE之插塞P4，附加符號P4a而稱為插塞P4a。藉由插塞P4a之下表面(底面)與上部電極UE之上表面之接觸，使插塞P4a與上部電極UE電性連接。又，設定為對插塞P4中之配置於配線M3上且電性連接於配線M3之插塞P4，附加符號P4c而稱為插塞P4c。藉由插塞P4c之下表面(底面)與配線M3之上表面之接觸，使插塞P4c與配線M3電性連接。

配置於上部電極UE上且與上部電極UE電性連接之插塞P4a，於俯視下未與下部電極LE重疊。亦即，俯視下，於與上部電極UE重疊但未與下部電極LE重疊之位置，配置有插塞P4a。即，俯視下，上部電極UE具有與於下部電極LE重疊之部分與未重疊之部分，而於未與下部電極LE重疊之部分之上部電極UE上配置有插塞P4a。

又，配置於上部電極UE上且與上部電極UE電性連接之插塞P4a，於俯視下未與電容絕緣膜YZ重疊。亦即，俯視下，於與上部電極UE重疊但未與電容絕緣膜YZ重疊之位置配置有插塞P4a。即，俯視下，上部電極UE具有與電容絕緣膜YZ重疊之部分與未重疊之部分，

於未與電容絕緣膜YZ重疊之部分之上部電極UE上配置有插塞P4a。

因此，俯視下，插塞P4a未與下部電極LE或電容絕緣膜YZ之任何一者重疊。

又，俯視下，於未與下部電極LE重疊之部分之上部電極UE上，配置有插塞P4a(連接於上部電極UE之插塞P4a)，而於與下部電極LE重疊之部分之上部電極UE上，未配置插塞P4(連接於上部電極UE之插塞P4)。

另，配置於配線M4與配線M3之間之插塞P4c發揮將該配線M4與配線M3之間電性連接之功能。另一方面，配置於上部電極UE上之插塞P4c發揮將上部電極UE與配置於插塞P4a上之配線M4之間電性連接之功能。亦即，插塞P4a配置於配線M4與上部電極UE之間，藉由插塞P4a之上表面與配線M4之下表面之接觸，將插塞P4a與配線M4電性連接。又，藉由插塞P4a之下表面與上部電極UE上表面之接觸，使插塞P4a與上部電極UE電性連接。因此，插塞P4a使配置於插塞P4a下方之上部電極UE與配置於插塞P4a上之配線M4之間電性連接。

配置於配線M4與配線M3之間之插塞P4c之高度(h2)，與配置於配線M4與上部電極UE之間之插塞P4a之高度(h1)大致相同($h1=h2$)。若自另一角度來看，形成(配置)於配線M3上且埋入插塞P4c之通孔S4之深度(d2)，與形成(配置)於上部電極UE上且埋入插塞P4a之通孔S4之深度(d1)大致相同($d1=d2$)。此係緣於上部電極UE與配線M3係由同層之導電膜圖案形成，上部電極UE之厚度與配線M3之厚度實質相同，於俯視下未與下部電極LE及電容絕緣膜YZ重疊之部分之上部電極UE上形成(配置)有插塞P4a之故。

另，插塞P4a之高度h1與插塞P4c之高度h2顯示於後述之圖24，埋入插塞P4a之通孔S4之深度d1與埋入插塞P4c之通孔S4之深度d2顯示於後述之圖21。插塞P4a之高度h1與埋入該插塞P4a之通孔S4之深度d1

大體一致，插塞P4c之高度h2與埋入該插塞P4c之通孔S4之深度d4大體一致。

又，反映於上部電極UE之一部分之下方存在下部電極LE及電容絕緣膜YZ，而於上部電極UE之上表面，形成凸部TB。另，凸部TB對應於後述之圖19中之附加符號TB所表示之區域。凸部TB係藉由位於下部電極LE及電容絕緣膜YZ上之部分之上部電極UE之上表面，僅隆起下部電極LE及電容絕緣膜YZ之厚度量而形成。於上部電極UE之上表面，凸部TB之高度僅比凸部TB之周邊區域高出下部電極LE及電容絕緣膜YZ之厚度量。形成有該凸部TB之區域，俯視下與形成有下部電極LE及電容絕緣膜YZ之區域大體一致。於本實施形態及後述之實施形態2至5中，於反映下部電極LE及電容絕緣膜YZ而形成之上部電極UE之上表面之凸部TB上，未配置連接於上部電極UE之插塞P4。

而且，於本實施形態及後述之實施形態3中，於上部電極UE上表面中之凸部TB之周圍區域上，亦即，較凸部TB更低之區域上，配置有連接於上部電極UE之插塞P4a。於上部電極UE上表面中之凸部TB之周圍區域，亦即，較凸部TB更低之區域，因上部電極UE之上表面之高度與配線M3之上表面之高度位置大致相同，故而配置於配線M3上之插塞P4c之高度(h2)，與配置於上部電極UE上之插塞P4a之高度(h1)亦大致相同(h1=h2)。

<關於半導體裝置之製造步驟>其次，參照圖式說明本實施形態之半導體裝置之製造步驟。圖3至圖24係本實施形態之半導體裝置之製造步驟中之主要部分剖面圖。

於製造本實施形態之半導體裝置時，首先，如圖3所示，準備(prepare)半導體基板(半導體晶圓)SB。

半導體基板SB係包含例如被導入磷(P)或砷(As)等之n型雜質之n型單晶矽等之半導體基板(半導體晶圓)。作為另一實施形態，亦可將

半導體基板SB設為所謂磊晶晶圓。

其次，於半導體基板SB，形成包含受光元件(此處為光電二極體DI)之半導體元件。

首先，如圖3所示，於半導體基板SB之主表面，以例如STI(Shallow Trench Isolation：淺溝隔離)法等，形成包含絕緣體(埋入至槽內之絕緣體)之元件分離區域ST。作為其他形態，亦可使用LOCOS(Local oxidation of silicon：矽局部氧化)法形成元件分離區域ST。由元件分離區域ST規定半導體基板SB之活性區域。

其次，於半導體基板SB，以離子注入法，分別形成p型阱PW1、p型阱PW2、n型半導體區域NR、及p⁺型半導體區域PR。由p型阱PW1、n型半導體區域NR、及p⁺型半導體區域PR，形成光電二極體(PN接合二極體)DI。

其次，於半導體基板SB上，介隔閘極絕緣膜GI而分別形成傳送電晶體TX用之閘極電極GT、與像素電晶體Q1用之閘極電極GS。

其次，於半導體基板SB，藉由離子注入，分別形成n型半導體區域NR、及源極・汲極區域SD。此時，於藉由離子注入形成低雜質濃度之延伸區域後，形成側壁間隔件SW，其後，藉由以離子注入形成高雜質濃度區域，而可將n型半導體區域NR或源極・汲極區域SD，分別設為具有低雜質濃度之延伸區域與高雜質濃度區域之LDD構造。

接著，進行用於將藉由至此之離子注入而導入之雜質活性化之退火處理(熱處理)。

如此般，於半導體基板SB，形成光電二極體DI、傳送電晶體TX、及像素電晶體Q1。

其次，於在半導體基板SB之主表面上形成絕緣膜後，藉由利用光微影法及乾蝕刻法將該絕緣膜圖案化，而形成保護絕緣膜(保護膜)CZ。保護絕緣膜CZ例如可由氧化矽膜等形成。

其次，亦可利用自行對準矽化物技術，於n型半導體區域NR、源極・汲極區域SD、閘極電極GT、及閘極電極GS之各上部等，形成低電阻之金屬自行對準矽化物層(未圖示)。

藉由至此之步驟，如圖3所示，於半導體基板SB，形成有包含受光元件(此處為光電二極體DI)之半導體元件。另，本實施形態中，雖已對於半導體基板SB形成包含受光元件之半導體元件之情形進行說明，但並非限定於此，而可對形成於半導體基板SB之元件進行各種變更，且可能有於半導體基板SB形成不包含受光元件之半導體元件之情形。

接著，如圖4所示，於半導體基板SB之主表面上，形成層間絕緣膜L1作為絕緣膜。層間絕緣膜L1係以覆蓋閘極電極GT、GS、側壁間隔件SW及保護絕緣膜CZ之方式，形成於半導體基板SB上。

層間絕緣膜L1例如包含氧化矽膜。作為該氧化矽膜，例如可使用以TEOS為原料之氧化矽膜，可藉由例如CVD法等而形成，亦可使用HDP氧化膜。

於成膜層間絕緣膜L1後，藉由CMP(Chemical Mechanical Polishing：化學機械研磨)法，對層間絕緣膜L1之表面(上表面)加以研磨等，而將層間絕緣膜L1之上表面平坦化。於已成膜層間絕緣膜L1之階段，即便因底層之階差而於層間絕緣膜L1之表面形成有凹凸形狀，藉由於成膜後以CPM法對層間絕緣膜L1之表面加以研磨，仍可獲得其表面經過平坦化後之層間絕緣膜L1。

接著，將利用光微影技術而形成於層間絕緣膜L1上之光阻劑圖案(未圖示)作為蝕刻遮罩而蝕刻(較佳為乾蝕刻)層間絕緣膜L1，從而於層間絕緣膜L1形成通孔S1。通孔S1係以貫通層間絕緣膜L1之方式形成。

接著，於通孔S1內形成插塞P1。插塞P1例如可如下形成。

亦即，首先，於包含通孔S1之內部(底部及側壁上)之層間絕緣膜L1上，以濺鍍法或電漿CVD法等，形成阻障導體膜(例如鈦膜、氮化鈦膜、或其等之積層膜)。接著，以CVD法等，以於阻障導體膜上埋入通孔S1之方式，形成包含鎢膜等之主導體膜。其後，以CMP法或蝕刻法等，去除通孔S1外部之不需要之主導體膜及阻障導體膜。藉此露出層間絕緣膜L1之上表面，而由因被埋入至層間絕緣膜L1之通孔S1內而殘留之阻障導體膜及主導體膜，形成插塞P1。圖4中，為了圖式之簡略化，將插塞P1與主導體膜及阻障導體膜一體化而顯示。

其次，於埋入插塞P1之層間絕緣膜L1上，形成第1配線層之配線M1。配線M1例如可如下形成。

亦即，首先，如圖5所示，於埋入插塞P1之層間絕緣膜L1上，形成第1配線層用之導電膜CD1。導電膜CD1包含阻障導體膜B1a、阻障導體膜B1a上之主導體膜C1、及主導體膜C1上之阻障導體膜B1b之積層膜，且可利用濺鍍法等形式。關於各膜之材料，則如上述。接著，藉由利用光微影技術及蝕刻技術將導電膜CD1圖案化，可如圖6所示般形成包含經圖案化之導體膜CD1之配線M1。

接著，如圖7所示，於半導體基板SB之主表面(主表面整面)上，亦即層間絕緣膜L1上，以覆蓋配線M1之方式，形成層間絕緣膜L2作為絕緣膜。層間絕緣膜L2例如包含氧化矽膜。作為該氧化矽膜，例如可使用以TEOS為原料之氧化矽膜，可藉由例如CVD法等而形成，亦可使用HDP氧化膜。於成膜層間絕緣膜L2後，亦可根據需要，以CMP法，對層間絕緣膜L2之上表面加以研磨等，以提高層間絕緣膜L2之上表面之平坦性。

接著，藉由將利用光微影技術而形成於層間絕緣膜L2上之光阻劑圖案(未圖示)用作蝕刻遮罩而蝕刻(較為乾蝕刻)層間絕緣膜L2，而於層間絕緣膜L2形成通孔S2。通孔S2貫通層間絕緣膜L2，於通孔S

S2之底部，露出配線M1之上表面。

接著，藉由於通孔S2內埋入導電膜，而於通孔S2內形成插塞P2。插塞P2可藉由與上述插塞P1相同之方法形成。

接著，於埋入插塞P2之層間絕緣膜L2上，形成第2配線層之配線M2。配線M2例如可如下形成。

亦即，首先，如圖8所示，於埋入插塞P2之層間絕緣膜L2上，形成第2配線層用之導電膜CD2。導電膜CD2包含阻障導體膜B2a、阻障導體膜B2a上之主導體膜C2、及主導體膜C2上之阻障導體膜B2b之積層膜，且可利用濺鍍法等形式。關於各膜之材料，則如上述。接著，藉由利用光微影技術及蝕刻技術將導電膜CD2圖案化，可如圖9所示般，形成包含經圖案化之導體膜CD2之配線M2。

接著，如圖10所示，於半導體基板SB之主表面(主表面整面)上，亦即層間絕緣膜L2上，以覆蓋配線M2之方式，形成層間絕緣膜L3作為絕緣膜。層間絕緣膜L3例如包含氧化矽膜。作為該氧化矽膜，例如可使用以TEOS為原料之氧化矽膜，且可藉由例如CVD法等而形成，但亦可使用HDP氧化膜。於成膜層間絕緣膜L3後，亦可根據需要，以CMP法，對層間絕緣膜L3之上表面加以研磨等，以提高層間絕緣膜L3之上表面之平坦性。如此，可獲得圖10之構造。

雖圖11顯示有與圖10相同之步驟階段，但為了圖式之簡略化，圖11至圖24中省略對層間絕緣膜L2及其下層之構造的圖示。又，圖11中，為了圖式之簡略化，對於圖10所繪之配線M2之間隔略作改變。

其次，如圖12所示，藉由將利用光微影技術形成於層間絕緣膜L3上之光阻劑圖案(未圖示)用作蝕刻遮罩而蝕刻(較佳為乾蝕刻)層間絕緣膜L3，而於層間絕緣膜L3形成通孔S3。通孔S3貫通層間絕緣膜L3，於通孔S3之底部，露出配線M2之上表面。

接著，藉由於通孔S3內埋入導電膜，而於通孔S3內形成插塞

P3。插塞P3可藉由與上述插塞P1相同之方法形成。

接著，於埋入插塞P3之層間絕緣膜L3上，形成電容元件CP之下部電極LE。下部電極LE例如可如下形成。

亦即，首先，如圖13所示，於半導體基板SB之主表面(主表面整面)上，亦即埋入插塞P3之層間絕緣膜L3上，形成下部電極LE形成用之導電膜CDLE。導電膜CDLE例如包含氮化鈦(TiN)膜，且可利用濺鍍法等形成。接著，於導電膜CDLE上，利用光微影技術形成光阻劑圖案RP1。然後，藉由將光阻劑圖案RP1用作蝕刻遮罩而蝕刻導電膜CDLE，並將其圖案化，而如圖14所示般形成下部電極LE。下部電極LE包含經圖案化之導電膜CDLE。其後，去除光阻劑圖案RP1。圖14顯示該階段。

其次，形成電容元件CP之電容絕緣膜YZ。電容絕緣膜YZ例如可如下形成。

亦即，首先，如圖15所示，於半導體基板SB之主表面(主表面整面)上，亦即層間絕緣膜L3上，以覆蓋下部電極LE之方式，形成電容絕緣膜YZ形成用之絕緣膜LYZ。絕緣膜LYZ例如包含氮化矽膜，可利用電漿CVD法等形成。作為絕緣膜LYZ雖氮化矽膜較理想，然除此以外，例如亦可使用氧化矽膜，氧化鋁膜，或氧化鈦膜等。接著，於絕緣膜LYZ上，利用光微影技術而形成光阻劑圖案RP2。然後，藉由將光阻劑圖案RP2用作蝕刻遮罩而蝕刻絕緣膜LYZ，並將其圖案化，而如圖16所示般形成電容絕緣膜YZ。電容絕緣膜YZ包含經圖案化之絕緣膜LYZ。其後，去除光阻劑圖案RP2。圖16顯示該階段。

因俯視下下部電極LE內包於電容絕緣膜YZ，故而當形成電容絕緣膜YZ時，則成為下部電極LE被電容絕緣膜YZ覆蓋之狀態，因而成為下部電極LE未露出之狀態。

接著，於層間絕緣膜L3上，形成第3配線層之配線M3與上部電極s

UE。配線M3及上部電極UE例如可如下形成。

亦即，首先，如圖17所示，於半導體基板SB之主表面(主表面整面)上，亦即層間絕緣膜L3上，以覆蓋電容絕緣膜YZ之方式，形成導電膜CD3。導電膜CD3兼作配線M3形成用之導電膜與上部電極UE形成用之導電膜。導電膜CD3包含阻障導體膜B3a、阻障導體膜B3a上之主導體膜C3、及主導體膜C3上之阻障導體膜B3b之積層膜，可利用濺鍍法等形成。關於各膜之材料，則如上述。接著，如圖18所示，於導電膜CD3上，形成防反射用之絕緣膜ARF。絕緣膜ARF例如包含氮氧化矽膜，可利用CVD法等形成。若無需絕緣膜ARF，則可省略其形成。接著，於絕緣膜ARF上(於未形成絕緣膜ARF時，則於導電膜CD3上)，利用光微影技術而形成光阻劑圖案RP3。然後，將光阻劑圖案RP3用作蝕刻遮罩而依序蝕刻絕緣膜ARF及導電膜CD3。藉此，將導電膜CD3與導電膜CD3上之絕緣膜ARF之積層膜圖案化。其後，於去除光阻劑圖案RP3後，藉由蝕刻(較佳為濕式蝕刻)而選擇性地去除絕緣膜ARF。如此，可如圖19所示般，形成包含經圖案化之導電膜CD3之配線M3與上部電極UE。另，亦可能存在未去除絕緣膜ARF，而使絕緣膜ARF殘留於配線M3上與上部電極UE上之情形。

如此，於本實施形態中，藉由利用光微影技術及蝕刻技術，將兼作配線M3形成用與上部電極UE形成用之共用之導電膜CD3圖案化，而形成配線M3與上部電極UE。因此，配線M3與上部電極UE均由經圖案化之導電膜CD3形成。又，配線M3與上部電極UE係以同一步驟形成。

其次，如圖20所示，於半導體基板SB之主表面(主表面整面)上，亦即層間絕緣膜L3上，以覆蓋配線M3及上部電極UE之方式，形成層間絕緣膜L4作為絕緣膜。層間絕緣膜L4例如包含氧化矽膜。作為該氧化矽膜，例如可使用以TEOS為原料之氧化矽膜，且可藉由例如

CVD法等形成，但亦可使用HDP氧化膜。於成膜層間絕緣膜L4後，亦可根據需要，以CMP法等對層間絕緣膜L4之上表面予以研磨等，以提高層間絕緣膜L4之上表面之平坦性。

其次，如圖21所示，藉由將利用光微影技術而形成於層間絕緣膜L4上之光阻劑圖案(未圖示)用作蝕刻遮罩而蝕刻(較佳為乾蝕刻)層間絕緣膜L4，而於層間絕緣膜L4形成通孔S4。通孔S4貫通層間絕緣膜L4，於通孔S4之底部，露出配線M3或上部電極UE之上表面。亦即，用於埋入與上部電極UE連接之插塞P4a之通孔S4中，露出上部電極UE之上表面；用於埋入與配線M3連接之插塞P4c之通孔S4中，露出配線M3之上表面。

其次，如圖22所示，藉由於通孔S4內埋入導電膜，而於通孔S4內形成插塞P4。插塞P4可藉由與上述插塞P1相同之方法形成。

其次，於埋入插塞P4之層間絕緣膜L4上，形成第4配線層之配線M4。配線M4例如可如下形成。

亦即，首先，如圖23所示，於埋入插塞P4之層間絕緣膜L4上，形成第4配線層用之導電膜CD4。導電膜CD4包含阻障導體膜B4a、阻障導體膜B4a上之主導體膜C4、及主導體膜C4上之阻障導體膜B4b之積層膜，且可利用濺鍍法等形成。關於各膜之材料，則如上述。接著，藉由利用光微影技術及蝕刻技術將該導電膜CD4圖案化，可如圖24所示般，形成包含經圖案化之導電膜CD4之配線M4。

其次，如上述圖1所示，於半導體基板SB之主表面(主表面整面)上，亦即層間絕緣膜L4上，以覆蓋配線M4之方式，形成層間絕緣膜L5作為絕緣膜。層間絕緣膜L5例如包含氧化矽膜。作為該氧化矽膜，例如可使用以TEOS為原料之氧化矽膜，且可藉由例如CVD法等形成，但亦可使用HDP氧化膜。於成膜層間絕緣膜L5後，亦可根據需要，以CMP法對層間絕緣膜L5之上表面予以研磨等，以提高層間絕

緣膜L5之上表面之平坦性。

關於後續之製造步驟，此處省略相關說明。又，配線層之層數並非限定於4層；亦可於層間絕緣膜L5上，進而形成第5配線層之配線。

<關於探討例>圖25係本發明人所探討之探討例之半導體裝置之主要部分剖面圖，且顯示相當於上述圖24之剖面圖。為了圖式之簡略化，圖25中省略對上述層間絕緣膜L2及其下層之構造的圖示，而對於上述層間絕緣膜L5，亦同樣省略圖示。

圖25所示之探討例之半導體裝置亦為包含MIM型電容元件CP101之半導體裝置，於形成於半導體基板上之多層配線構造內，形成有電容元件CP101。具體而言，電容元件CP101構成為包含：下部電極LE101、上部電極UE101、及介存於下部電極LE101與上部電極UE101之間之電容絕緣膜YZ101。

於圖25所示之探討例中，電容元件CP101之下部電極LE101，係由與第3配線層之配線M3同層之導電膜圖案形成。亦即，於圖25所示之探討例中，下部電極LE101與配線M3，係藉由將共用之導電膜(相當於上述導電膜CD3者)圖案化而形成者。因此，於圖25所示之探討例中，下部電極LE101之積層構成與配線M3之積層構成相同；下部電極LE101與配線M3均包含阻障導體膜B3a、阻障導體膜B3a上之以鋁為主要成分之主導體膜C3、及主導體膜C3上之阻障導體膜B3b之積層膜。又，於下部電極LE101上，介隔電容絕緣膜YZ101而形成有上部電極UE101。下部電極LE101係由與配線M3不同之導電膜圖案形成，且例如包含氮化鈦(TiN)膜。電容絕緣膜YZ101例如包含氮化矽膜。

根據本發明人之探討而明瞭的是，圖25所示之探討例之半導體裝置產生如下問題。

亦即，於圖25所示之探討例中，於形成兼作下部電極LE101用與

配線M3用之導電膜(相當於上述導電膜CD3者)後，成膜電容絕緣膜YZ101用之絕緣膜。於該情形時，當成膜電容絕緣膜YZ101用之絕緣膜時，對成為底層之導電膜(兼作下部電極LE101用與配線M3用之導電膜)產生熱應力，而有導致配線M3之表面產生丘狀突起(hillock)(半球狀突起物)之虞。亦即，因以鋁為主體之導電膜之熔點相對較低，故而存在因成膜電容絕緣膜YZ101用之絕緣膜時之熱應力，而於鋁配線即配線M3產生丘狀突起之虞。丘狀突起之產生與配線M3之可靠度降低有關。例如，丘狀突起之產生會導致配線M3之平坦性劣化(形態劣化)等，而有使配線間產生洩漏電流之虞。若能以兼顧儘可能地抑制丘狀突起產生之方式成膜電容絕緣膜YZ101用之絕緣膜，例如，若降低電容絕緣膜YZ101用之絕緣膜之成膜溫度，則會使電容絕緣膜YZ101之材料之選擇範圍變小，且亦有造成電容絕緣膜YZ101之膜質下降之虞。而電容絕緣膜YZ101膜質之下降，將導致電容元件CP101之可靠度之降低。

又，於圖25所示之探討例之情況，於下部電極LE101上形成電容絕緣膜YZ101及上部電極UE101，但配線M3上並未殘留電容絕緣膜YZ101用之絕緣膜與上部電極UE101用之導電膜。因此，藉由蝕刻上部電極UE101用之導電膜與電容絕緣膜YZ101用之絕緣膜將其圖案化，而形成上部電極UE101及電容絕緣膜YZ101，但於該蝕刻時，因配線M3之上表面露出，而導致配線M3之上表面亦被蝕刻。該蝕刻對配線M3帶來損傷，而有配線M3之可靠度降低之虞。

又，以覆蓋配線M3及電容元件CP101之方式形成層間絕緣膜L4，於形成於該層間絕緣膜L4之通孔S4內，埋入插塞P4。於圖25所示之探討例之情況，插塞P4包含如下插塞：插塞P4(P104c)，其配置於配線M3上，且連接於該配線M3；插塞P4(P104a)，其配置於上部電極UE101上，且連接於該上部電極UE101；及插塞P4(P104b)，其配置於

於未被上部電極UE101覆蓋之部分之下部電極LE101上，且連接於該下部電極LE101。

此處，於圖25所示之探討例之情況，係設為將配置於未被上部電極UE101覆蓋之部分之下部電極LE101上且連接於該下部電極LE101之插塞P4，稱為插塞P104b。又，於圖25所示之探討例之情況，係設為將配置於介隔電容絕緣膜YZ101而形成於下部電極LE101上之上部電極UE101上且連接於該上部電極UE101之插塞P4，稱為插塞P104a。又，於圖25所示之探討例之情況，係設為將配置於配線M3上且連接於該配線M3之插塞P4，稱為插塞P104c。

因配線M3與下部電極LE101係藉由將共用之導電膜圖案化而形成，故具有大致相同之厚度。因此，配置於配線M3上之插塞P104c、與配置於未被上部電極UE101覆蓋之部分之下部電極LE101上之插塞P104b，具有大致相同之高度。然而，配置於上部電極UE101上之插塞P104a之高度，僅比配置於配線M3上之插塞P104c之高度低了電容絕緣膜YZ101與上部電極UE101之合計厚度之量。因此，用於埋入插塞P104a之通孔S4之深度，僅比用於埋入插塞P104c之通孔S4之深度，淺了電容絕緣膜YZ101與上部電極UE101之合計厚度之量。因此，於對層間絕緣膜L4形成通孔S4之蝕刻步驟中，若欲形成到達至配線M3之通孔S4(用於埋入插塞P104c之通孔S4)，則會使形成於上部電極UE101上之通孔S4(用於埋入插塞P104a之通孔S4)之底部之上部電極UE101被過蝕刻。於通孔S4底部之上部電極UE101被過蝕刻，則有導致與具備上部電極UE101之電容元件CP101之可靠度降低之虞，以及有導致與包含電容元件CP101之半導體裝置之可靠度降低之虞。

<關於主要特徵與效果> 本實施形態之半導體裝置包含：半導體基板SB；層間絕緣膜L3(第1層間絕緣膜)，其形成於半導體基板SB上；配線M3(第1配線)及下部電極LE，其等相互隔開地形成於層間絕

緣膜L3上；上部電極UE，其以覆蓋下部電極LE之方式形成於層間絕緣膜L3上；及電容絕緣膜YZ，其介存於下部電極LE與上部電極UE之間。下部電極LE係電容元件CP用之下部電極；上部電極UE係電容元件CP用之上部電極；電容絕緣膜YZ係電容元件CP用之電容絕緣膜。進而，本實施形態之半導體裝置包含：層間絕緣膜L4(第2層間絕緣膜)，其於層間絕緣膜L3上，以覆蓋配線M3、下部電極LE、電容絕緣膜YZ及上部電極UE之方式形成；及插塞P4c(第3接觸插塞)，其被埋入至層間絕緣膜L4，且配置於配線M3上，並電性連接於配線M3。

另，於本實施形態及後述之實施形態2中，上部電極UE係以覆蓋下部電極LE全體之方式，形成於層間絕緣膜L3上；另一方面，於後述之實施形態3、4中，上部電極UE係以覆蓋下部電極LE之一部分之方式，形成於層間絕緣膜L3上。因此，若總結實施形態1至4，則上部電極UE係以覆蓋下部電極LE之至少一部分之方式，形成於層間絕緣膜L3上。

本實施形態之半導體裝置之主要特徵中之一特徵為配線M3與上部電極UE係由同層之導電膜圖案形成。以下，將其稱為第1特徵。若自另一角度描述該第1特徵，則上部電極UE與配線M3係藉由將共用之導電膜(對應於導電膜CD3)圖案化而形成。

本實施形態之半導體裝置之主要特徵中之另一特徵為包含插塞P4a(第2接觸插塞)，其被埋入至層間絕緣膜L4(第2層間絕緣膜)，且配置於上部電極UE上，並與上部電極UE電性連接；且插塞P4a配置於俯視下未與下部電極LE重疊之部分之上部電極UE上。以下，將其稱為第2特徵。若自另一角度描述該第2特徵，則上部電極UE之上表面中之反映下部電極LE及電容絕緣膜YZ而形成之凸部TB之周圍區域上(亦即較凸部TB更低之區域上)，配置有插塞P4a。

本實施形態之半導體裝置之主要特徵之又另一特徵為包含插塞s

P3a(第1接觸插塞)，其被埋入至層間絕緣膜L3，且配置於下部電極LE下方，並與下部電極LE電性連接。以下，將其稱為第3特徵。

於本實施形態中，作為第1特徵，配線M3與上部電極UE係由同層之導電膜圖案形成。藉由以同層之導電膜圖案形成配線M3與電容元件之電極(此處為上部電極UE)，因可控制電容元件CP之製造步驟數，故而可降低半導體裝置之製造成本。又，亦可縮短半導體裝置之製造時間，而可提高產能率(throughput)。

然而，如上述圖25所示之探討例，於配線M3與電容元件之下部電極LE101係由同層之導電膜圖案形成時，如上所述，於成膜電容絕緣膜YZ101用之絕緣膜時，因對成為底層之導電膜(兼作下部電極LE101用與配線M3用之導電膜)產生熱應力，而有於配線M3之表面產生丘狀突起之虞。

相對於此，於本實施形態中，作為第1特徵，由與配線M3同層之導電膜圖案形成上部電極UE，而非形成下部電極LE。因此，因配線M3用之導電膜CD3係於成膜電容絕緣膜YZ用之絕緣膜LYZ後形成，故而可避免因電容絕緣膜YZ用之絕緣膜LYZ之成膜步驟而導致於配線M3之表面產生丘狀突起(半球狀突起物)之顧慮。

尤其於對配線M3使用以鋁(Al)為主要成分之鋁配線時，因鋁之熔點相對較低，故而於配線M3表面產生丘狀突起(半球狀突起物)之可能性亦變高。相對於此，於本實施形態中，即便使用鋁配線作為配線M3，因係於成膜電容絕緣膜YZ用之絕緣膜LYZ後形成配線M3用之導電膜CD3，故而可避免因電容絕緣膜YZ用之絕緣膜LYZ之成膜步驟而導致於配線M3之表面產生丘狀突起之顧慮。

於本實施形態中，因可抑制或防止配線M3之表面之丘狀突起之產生，故而可提高配線M3之可靠度，進而可提高半導體裝置之可靠度。例如，若於配線產生丘狀突起，會導致配線之平坦性劣化(形態

劣化)等，而有使配線間產生洩漏電流之虞，然而於本實施形態中，因可抑制或防止配線M3之丘狀突起之產生，故而可防止此種不良狀況。

因此，本實施形態尤其對與上部電極UE同層形成之配線(此處為配線M3)係以鋁為主要成分之鋁配線時，效果更大。

又，於本實施形態中，藉由採用第1特徵，因可避免因電容絕緣膜YZ用之絕緣膜LYZ之成膜步驟所導致之配線M3上產生丘狀突起，故而電容絕緣膜YZ之材料之選擇範圍亦較大。因此，可將作為電容元件之電容絕緣膜相應之材料使用作為電容絕緣膜YZ之材料，而且易於製造包含電容元件之半導體裝置。又，因不需顧慮丘狀突起之產生，即可以與所選定材料相應之成膜溫度成膜電容絕緣膜YZ用之絕緣膜LYZ，故而可提高電容絕緣膜YZ之膜質。因此，可提高包含電容元件之半導體裝置之可靠度。

雖亦根據作為電容元件CP而要求之電容值而定，作為電容絕緣膜YZ之材料(因而亦為電容絕緣膜YZ用之絕緣膜LYZ之材料)，以氮化矽較理想，然而除此以外，例如亦可使用氧化矽(代表性為 SiO_2)、氧化鉭(代表性為 TaO)，或氧化鈦(代表性為 TiO_2)等。因此，作為電容絕緣膜，雖氮化矽膜較理想，但除此以外，亦可使用氧化矽膜、氧化鉭膜或氧化鈦膜等。

又，若降低層間絕緣膜L4之成膜溫度，則更容易抑制或防止因層間絕緣膜L4之成膜步驟所致之配線M3上之丘狀突起之產生。因電容絕緣膜YZ之厚度遠遠薄於層間絕緣膜L4，而且，為了防止下部電極LE與上部電極UE之間之洩漏電流，亦重要的是提高電容絕緣膜YZ之膜質。若考慮電容絕緣膜YZ之膜質，則期望電容絕緣膜YZ用之絕緣膜LYZ之成膜溫度採用與被選為層間絕緣膜LYZ之材料相應之成膜溫度。另一方面，若與電容絕緣膜YZ相比，層間絕緣膜L4對膜質之s

要求標準並不高。因此，若與電容絕緣膜YZ用之絕緣膜LYZ之成膜溫度相比，層間絕緣膜L4之成膜溫度之自由度更高。

因此，若將本實施形態應用於層間絕緣膜L4之成膜溫度低於電容絕緣膜YZ用之絕緣膜LYZ之成膜溫度之場合，效果較大。換言之，若將本實施形態應用於電容絕緣膜YZ用之絕緣膜LYZ之成膜溫度高於層間絕緣膜L4之成膜溫度之場合，效果較大。其原因在於：本實施形態中，即便電容絕緣膜YZ用之絕緣膜LYZ之成膜溫度較高，亦可消除因電容絕緣膜YZ用之絕緣膜LYZ之成膜步驟所致之配線M3上之丘狀突起之產生，而若層間絕緣膜L4之成膜溫度較低，則可抑制或防止因層間絕緣膜L4之成膜步驟所致之配線M3上之丘狀突起之產生。

又，於本實施形態中，配線M3較好使用以鋁(Al)為主要成分之鋁配線，且下部電極LE包含具有較鋁(Al)之熔點更高之熔點之材料。藉此，可防止或抑制因電容絕緣膜YZ用之絕緣膜LYZ之成膜步驟所致之於下部電極LE產生丘狀突起。其原因在於，因熔點高而不易產生丘狀突起，故而若對下部電極LE使用具有較鋁(Al)之熔點更高之熔點之材料，則與使用鋁配線作為下部電極時(對應於圖25之探討例)相比，可抑制或防止電容絕緣膜之成膜步驟所致之下部電極之丘狀突起。因此，可進一步提高電容元件CP之可靠度。又，可進一步提高包含電容元件之半導體裝置之可靠度。

作為下部電極LE，尤其可較好地使用氮化鈦(TiN)膜、鈦(Ti)膜、氮化鉭(TaN)膜，或鉭(Ta)膜。氮化鈦(TiN)之熔點(2950℃)、鈦(Ti)之熔點(1668℃)、氮化鉭(TaN)之熔點(3360℃)、及鉭(Ta)之熔點(3020℃)，皆高於鋁(Al)之熔點(660℃)。其中，因氮化鈦(TiN)、氮化鉭(TaN)及鉭(Ta)之熔點特別高，故亦最適合作為下部電極LE之材料。

又，作為鋁配線(M1、M2、M3、M4)下層側之阻障導體膜

(B1a、B2a、B3a、B4a)、與上層側之阻障導體膜(B1b、B2b、B3b、B4b)，均以氮化鈦(TiN)膜為特佳。因此，若分別於構成配線M3及上部電極UE之障壁導體膜B3a、障壁導體膜B3b，使用氮化鈦(TiN)膜，進而使用氮化鈦(TiN)膜作為下部電極LE，則尤佳，藉此，因導電膜CDLE、障壁導體膜B3a及障壁導體膜B3b係由同種材料形成，故半導體裝置之製造步驟更容易進行。而且，亦有利於降低半導體裝置之製造成本。

又，如上述圖25所示之探討例，於配線M3與電容元件之下部電極LE101係由同層之導電膜圖案形成時，如上所述，藉由蝕刻上部電極UE101用之導電膜與電容絕緣膜YZ101用之絕緣膜，並將其圖案化，而形成上部電極UE101及電容絕緣膜YZ101。於該蝕刻時，因配線M3之上表面露出而導致配線M3之上表面被蝕刻。於該情形下，因該蝕刻對配線M3帶來損傷，而有配線M3之可靠度降低之虞。

相對於此，於本實施形態中，作為第1特徵，由與配線M3同層之導電膜圖案形成上部電極UE，而非形成下部電極LE。因此，因於形成下部電極LE與電容絕緣膜YZ後形成配線M3，故而於形成下部電極LE之蝕刻步驟，或形成電容絕緣膜YZ之蝕刻步驟中，不蝕刻配線M3即可完成蝕刻步驟。藉此，可抑制或防止蝕刻對配線M3造成之損傷，從而可提高配線M3之可靠度。因而，可提高半導體裝置之可靠度。

又，於上述圖25所示之探討例中，連接於上部電極UE101之插塞P104a之高度，僅比連接於配線M3之插塞P104c之高度，低了電容絕緣膜YZ101與上部電極UE101之合計厚度之量。因此，用於埋入插塞P104a之通孔S4之深度，僅比用於埋入插塞P104c之通孔S4之深度，淺了電容絕緣膜YZ101與上部電極UE101之合計厚度之量。因此，於對層間絕緣膜L4形成通孔S4之蝕刻步驟中，若欲形成到達至配線M3之通孔S4(用於埋入插塞P104c之通孔S4)，則會於形成於上部電極UE101之

上之通孔S4(用於埋入插塞P104a之通孔S4)之底部之上部電極UE101被過蝕刻。於通孔S4之底部之上部電極UE101被過蝕刻，則有導致與包含上部電極UE101之電容元件CP101之可靠度降低之虞。

相對於此，於本實施形態中，作為第2特徵，將被埋入至層間絕緣膜L4之插塞P4a配置於俯視下未與下部電極LE重疊之部分之上部電極UE上，且使該插塞P4a與上部電極UE電性連接。藉此，可經由配置於上部電極UE上之插塞P4a，使上部電極UE電性連接於配線M4。又，於本實施形態中，作為第3特徵，將被埋入至層間絕緣膜L3之插塞P3a配置於下部電極LE之下方，並使該插塞P3a與下部電極LE電性連接。藉此，可經由配置於下部電極LE下方之插塞P3a，使下部電極LE電性連接於配線M2。

與本實施形態不同，假設將被埋入至層間絕緣膜L4之插塞P4配置於俯視下與下部電極LE重疊之部分之上部電極UE上，且使該插塞P4與上部電極UE電性連接之情形。於該情形時，配置於俯視下與下部電極LE重疊之部分之上部電極UE上之插塞P4之高度，僅比配置於配線M3上之插塞P4c之高度，低了電容絕緣膜YZ與下部電極LE之合計厚度之量。於該情形時，於對層間絕緣膜L4形成通孔S4之蝕刻步驟中，若欲形成到達至配線M3之通孔S4(用於埋入插塞P4c之通孔S4)，則會於形成於上部電極UE上之通孔S4之底部之上部電極UE被過蝕刻。

相對於此，於本實施形態中，作為第1特徵，因上部電極UE與配線M3係由同層之導電膜圖案形成，故而上部電極UE之厚度 t_1 與配線M3之厚度 t_2 大致相同(亦即 $t_1=t_2$)。另，厚度 t_1 、 t_2 顯示於圖24。又，作為第2特徵，於俯視下未與下部電極LE重疊之部分之上部電極UE上配置插塞P4a，且使該插塞P4a與上部電極UE電性連接。若自另一角度而言，則於上部電極UE之上表面中之反映下部電極LE及電容絕緣

膜YZ而形成之凸部TB之周圍區域上(亦即，較凸部TB更低之區域上)，配置有插塞P4a。因此，配置於上部電極UE上之插塞P4a之高度 h_1 ，與配置於配線M3上之插塞P4c之高度 h_2 ，實質上相同(亦即， $h_1=h_2$)。另，高度 h_1 、 h_2 顯示於圖24。因此，用於埋入插塞P4a之通孔S4之深度 d_1 ，與用於埋入插塞P4c之通孔S4之深度 d_2 ，實質上相同(亦即， $d_1=d_2$)。另，深度 d_1 、 d_2 顯示於圖21。

因而，於本實施形態中，於對層間絕緣膜L4形成通孔S4之蝕刻步驟中，於形成到達至配線M3之通孔S4(用於埋入插塞P4c之通孔S4)時，可抑制或防止於上部電極UE上所形成之通孔S4(用於埋入插塞P4a之通孔S4)之底部之上部電極UE被過蝕刻。又，於對層間絕緣膜L4形成通孔S4之蝕刻步驟中，於形成到達至上部電極UE之通孔S4(用於埋入插塞P4a之通孔S4)時，可抑制或防止於配線M3上所形成之通孔S4(用於埋入插塞P4c之通孔S4)之底部之配線M3被過蝕刻。藉此，於對層間絕緣膜L4形成通孔S4之蝕刻步驟中，因可抑制或防止配線M3及上部電極UE之過蝕刻，故而可提高電容元件CP及配線M3之可靠度。因而，可提高半導體裝置之可靠度。

如此，於本實施形態中，為使連接於上部電極UE之插塞P4a之高度 h_1 與連接於配線M3之插塞P4c之高度 h_2 一致，並非將連接於上部電極UE之插塞P4a配置於俯視下與下部電極LE重疊之部分之上部電極UE上，而是配置於俯視下未與下部電極LE重疊之部分之上部電極UE上。若自另一角度而言，則避開上部電極UE之上表面中之反映下部電極LE及電容絕緣膜YZ而形成之凸部TB，而將插塞P4a配置於凸部TB之周圍區域上(亦即，較凸部TB更低之區域上)。若更特定而言，係於位於俯視下未與下部電極LE及電容絕緣膜YZ之任何一者重疊之層間絕緣膜L3上之部分之上部電極UE，且為具有位於與配線M3之上表面大致相同高度位置之上表面之部分之上部電極UE上，配置有插s

塞P4a。因此，插塞P4a俯視下重疊於上部電極UE，但未與下部電極LE或電容絕緣膜YZ之任何一者重疊，配置有插塞P4a之部分之上部電極UE之上表面位於與配置有插塞P4c之配線M3之上表面大致相同之高度位置，藉此，插塞P4a之高度h1與插塞P4c之高度h2變得大致相同(h1=h2)。

於本實施形態中，藉由俯視下未與下部電極LE重疊(更特定而言，未與下部電極LE或電容絕緣膜YZ之任何一者重疊)，而於具有位於與配線M3之上表面大致相同高度位置之上表面之部分之上部電極UE上配置有插塞P4a。藉此，於對層間絕緣膜L4形成通孔S4之蝕刻時，可抑制或防止配線M3與上部電極UE之過蝕刻。因此，可提高電容元件CP及配線M3之可靠度，從而可提高半導體裝置之可靠度。

又，於本實施形態中，較佳為於俯視下與下部電極LE(或電容絕緣膜YZ)重疊之部分之上部電極UE上，未形成被埋入至層間絕緣膜L4之通孔(S4)之插塞P4(因而亦為連接於上部電極UE之插塞P4)。若自另一角度而言，較佳為於上部電極UE之上表面中之反映下部電極LE及電容絕緣膜YZ而形成之凸部TB上，未形成插塞P4。藉此，於對層間絕緣膜L4形成通孔S4之蝕刻時，可確實獲得可抑制或防止上部電極UE之過蝕刻之效果。

又，與本實施形態不同，假設於下部電極LE上設置未形成上部電極UE及電容絕緣膜YZ之區域，且於未形成上部電極UE及電容絕緣膜YZ之區域之下部電極LE上，配置插塞P4，並使該插塞P4電性連接於下部電極LE之情形。於該情形時，因下部電極LE之厚度與配線M3之厚度不同等，導致配置於下部電極LE上之插塞P4之高度與配置於配線M3上之插塞P4之高度不同。於該情形時，因配置於下部電極LE上之通孔S4之深度，與形成於配線M3上之通孔S4之深度不同，導致於通孔S4之底部之配線M3或下部電極LE被過蝕刻。

相對於此，於本實施形態中，作為第3特徵，將被埋入至層間絕緣膜L3之插塞P3a配置於下部電極LE下方，並使該插塞P3a與下部電極LE電性連接。因將連接於下部電極LE之插塞(P3a)形成於下部電極LE之下方，故無須於下部電極LE上形成用於連接於下部電極LE之插塞(P4)。因此，於對層間絕緣膜L4形成通孔S4之蝕刻步驟中，因無須形成到達至下部電極LE之通孔S4即可完成，故而可避免因形成到達至下部電極LE之通孔S4所致之於通孔S4底部之配線M3或下部電極LE被過蝕刻。藉此，可提高電容元件CP及配線M3之可靠度。因而，可提高半導體裝置之可靠度。

如此，於本實施形態中，由同層之導電膜圖案形成配線M3與電容元件CP之上部電極UE，並且致力於連接於電容元件CP之上部電極UE之接觸插塞(此處為插塞P4a)、與連接於電容元件CP之下部電極LE之接觸插塞(此處為插塞P3a)。藉此，可提高包含電容元件與配線之半導體裝置之可靠度。

又，自減低配線電阻之觀點而言，期望為確保配線M3具有某程度之厚度。另一方面，若下部電極LE太厚，則會使下部電極LE、電容絕緣膜YZ及上部電極UE之整個積層構造之厚度變厚，而亦不得不加厚層間絕緣膜L4之厚度。又，下部電極LE並無如配線M3般需要注意電阻值。因此，較佳為下部電極LE之厚度 t_3 小於配線M3之厚度 t_2 ($t_3 < t_2$)。因上部電極UE之厚度 t_1 與配線M3之厚度 t_2 大致相同，故下部電極LE之厚度 t_3 較好小於上部電極UE之厚度 t_1 ($t_3 < t_1$)。另，厚度 t_1 、 t_2 、 t_3 顯示於圖24。

又，若下部電極LE之厚度 t_3 小於配線M3之厚度 t_2 ，則於與本實施形態不同，將連接於下部電極LE之插塞P4形成於下部電極LE上時，於形成到達至下部電極LE之通孔S4時，會造成於形成於配線M3上之通孔S4之底部，配線M3被過蝕刻。相對於此，於本實施形態

中，因並非於下部電極LE上形成與下部電極LE連接之插塞P4，而是於下部電極LE下方設置與下部電極LE連接之插塞P3a，故無須於下部電極LE上形成到達至下部電極LE之通孔S4。因此，即便下部電極LE之厚度t3小於配線M3之厚度t2，亦可避免於形成到達至下部電極LE之通孔S4時所產生之配線M3之過蝕刻。

又，於本實施形態及以下實施形態2至5中，將對與第3配線層之配線M3同層地形成電容元件CP之上部電極UE之情形(亦即，於第3配線層形成電容元件CP之情形)進行說明，但形成電容元件CP之配線層並非限定於第3配線層。例如，亦可於第2配線層形成電容元件CP，而此時，電容元件CP之上部電極UE係與第2配線層之配線M2形成於同層。

又，於本實施形態及以下之實施形態2至5中，形成於半導體基板SB上之多層配線構造所包含之配線層之層數，並非限定於4層，而可進行各種變更，且可於多層配線構造所包含之任意之配線層，形成電容元件CP。

又，於本實施形態及以下之實施形態2至5中，可將上部電極UE之一部分用作配線。亦即，亦可將俯視下未與下部電極LE重疊，且於層間絕緣膜L3上延伸之部分之上部電極UE用作配線。換言之，可使俯視下未與下部電極LE重疊且位於層間絕緣膜L3上之部分之上部電極UE，以配線狀於層間絕緣膜L3上延伸，且使於該層間絕緣膜L3上延伸之部分之上部電極UE，作為配線而發揮作用。

(實施形態2)圖26係本實施形態2之半導體裝置之主要部分剖面圖，且其係對應於上述實施形態1之上述圖1者。圖27係本實施形態2之半導體裝置之主要部分俯視圖，且其係對應於上述實施形態1之上述圖2者。

於上述實施形態1中，連接於上部電極UE之接觸插塞係被埋入至

層間絕緣膜L4之通孔S4之插塞P4a，於俯視下未與下部電極LE重疊之部分之上部電極UE上，配置有插塞P4a。

另一方面，於本實施形態2中，連接於上部電極UE之接觸插塞並非被埋入至層間絕緣膜L4之通孔S4之插塞P4，而是被埋入至層間絕緣膜L3之通孔S3之插塞P3(P3b)，且於俯視下未與下部電極LE重疊之部分之上部電極UE下方，配置有插塞P3(P3b)。因除此以外之本實施形態2與上述實施形態1基本相同，故此處省略相關重複說明，僅以與上述實施形態1之不同點為中心而進行說明。

於本實施形態2中，如自圖26及圖27所明瞭，將被埋入至層間絕緣膜L3之插塞P3(P3b)配置於上部電極UE之下方，並使其與上部電極UE電性連接。對插塞P3中之配置於上部電極UE下方且電性連接於上部電極UE之插塞P3，附加符號P3b而稱為插塞P3b。藉由插塞P3b之上表面與上部電極UE之下表面之接觸，使插塞P3b與上部電極UE電性連接。

即，上述實施形態1中，設置插塞P3b代替上述插塞P4a之情形與本實施形態2對應。

配置於上部電極UE下方之插塞P3b，發揮使上部電極UE與配置於插塞P3b下方之配線M2之間電性連接之作用。亦即，插塞P3b配置於上部電極UE與配線M2之間，藉由插塞P3b之上表面與上部電極UE之下表面之接觸，使插塞P3b與上部電極UE電性連接，而且，藉由插塞P3b之下表面與配線M2之上表面之接觸，使插塞P3b與配線M2電性連接。因此，插塞P3b使配置於插塞P3b上之上部電極UE與配置於插塞P3b下方之配線M2之間電性連接。

另，本實施形態2與上述實施形態1之另一相同之處在於：於下部電極LE下方配置插塞P3a，且將該插塞P3a與下部電極LE電性連接。配置於下部電極LE下方之插塞P3a，發揮使下部電極LE與配置於 s

插塞P3a下方之配線M2之間電性連接之作用。

插塞P3b配置於俯視下未與下部電極LE重疊之部分之上部電極UE之下方。更特定而言，配置於俯視下未與下部電極LE及電容絕緣膜YZ之任何一者重疊之部分之上部電極UE之下方。因此，可確保下部電極LE之形成區域，而且可於下部電極LE不造成妨礙之情形下，將插塞P3b連接於上部電極UE。

亦即，配置於上部電極UE下方且與上部電極UE電性連接之插塞P3b，於俯視下未與下部電極LE重疊。亦即，於俯視下與上部電極UE重疊但未與下部電極LE重疊之位置，配置有插塞P3b。即，俯視下，上部電極UE具有與下部電極LE重疊之部分與未重疊之部分，於未與下部電極LE重疊之部分之上部電極UE之下方，配置有插塞P3b。因此，俯視下，插塞P3b與上部電極UE重疊，但未與下部電極LE重疊。因而，插塞P3b與上部電極UE接觸而與該上部電極UE電性連接，但插塞P3b並未與下部電極LE接觸。

其次，對於本實施形態2之半導體裝置之製造步驟，說明其與上述實施形態1不同之處。圖28及圖29係本實施形態2之半導體裝置之製造步驟中之主要部分剖面圖，且圖28對應於上述實施形態1之上述圖12，圖29對應於上述實施形態1之上述圖19。

如圖28所示，於本實施形態2中，於對層間絕緣膜L3形成通孔S3時，亦形成用於埋入插塞P3b之通孔S3，於在通孔S3內形成插塞P3時，亦形成有插塞P3b。其後，藉由進行與上述實施形態1相同之步驟(上述圖13~圖19之步驟)，而如圖29所示般形成配線M3與電容元件CP。此時，藉由使插塞P3b位於未與下部電極LE重疊之部分之上部電極UE之下方，使插塞P3b與上部電極UE電性連接。

因除此以外之本實施形態之半導體裝置製造步驟與上述實施形態1相同，故此處省略相關重複說明。

本實施形態2與上述實施形態1之第1、第2及第3特徵中之上述第2特徵不同。於本實施形態2時，第2特徵在於包含插塞P3b(第2接觸插塞)，其被埋入至層間絕緣膜L3(第1層間絕緣膜)，且配置於上部電極UE下方而與上部電極UE電性連接，插塞P3b配置於俯視下未與下部電極LE重疊之部分之上部電極UE之下方。本實施形態2與上述實施形態1之另一相同之處在於：於與下部電極LE重疊之部分之上部電極UE上，未配置插塞P4(連接於上部電極UE之插塞P4)。

本實施形態2亦可獲得與上述實施形態1大致相同之效果。

然而，於上述實施形態1中，於俯視下未與下部電極LE重疊之部分之上部電極UE上，配置有與上部電極UE連接之插塞P4a，而另一方面，於本實施形態2中，於俯視下未與下部電極LE重疊之部分之上部電極UE之下方，配置有與上部電極UE連接之插塞P3b。

反映於此，於上述實施形態1中，藉由連接於上部電極UE之插塞P4a之高度與連接於配線M3之插塞P4c之高度大致相同，於對層間絕緣膜L4形成通孔S4之蝕刻步驟中，可防止上部電極UE被過蝕刻。另一方面，於本實施形態2中，藉由將連接於上部電極UE之插塞P3b設置於較上部電極UE更下側，於對層間絕緣膜L4形成通孔S4之蝕刻步驟中，可防止上部電極UE被過蝕刻。因此，可提高電容元件CP及配線M3之可靠度，從而可提高半導體裝置之可靠度。

另，於上述實施形態1時，連接於上部電極UE之插塞P4a與連接於下部電極LE之插塞P3a，形成於不同之層；連接於上部電極UE之插塞P4a與連接於下部電極LE之插塞P3a之間之寄生電容極小，幾乎可忽略不計。又，經由插塞P4a而電性連接於上部電極UE之配線M4與經由插塞P3a而電性連接於下部電極LE之配線M2，形成於不同之層，此等配線間之寄生電容極小，幾乎可忽略不計。因此，電容元件CP之電容值可由下部電極LE、上部電極UE及電容絕緣膜YZ決定，因可s

抑制寄生電容，故而可將電容元件CP之電容值設為與設計值大致相同之值。

另一方面，於本實施形態2時，因連接於上部電極UE之插塞P3b與連接於下部電極LE之插塞P3a形成於同層，故而可能存在連接於上部電極UE之插塞P3b與連接於下部電極LE之插塞P3b之間產生寄生電容之情形。又，因經由插塞P3b而電性連接於上部電極UE之配線M2，與經由插塞P3a而電性連接於下部電極LE之配線M2形成於同一配線層，故而可能存在此等配線間產生寄生電容之情形。

因此，自抑制寄生電容，從而將電容元件CP之電容值之實效值控制在與設計值相同之值之點而言，相較於本實施形態2，上述實施形態1更有利。因此，自電容元件之設計難易度之觀點而言，上述實施形態1較優異。

然而，從整個多層配線構造之配線佈局之設計而言，亦存在相較於將上部電極UE藉由插塞P4a而連接於較上部電極UE更上層之配線M4，將上部電極UE經由插塞P3b而連接於較上部電極UE更下層之配線M2更有利之情形。於此種情形下，只要應用本實施形態2，將下部電極LE與上部電極UE經由插塞P3a與插塞P3b而分別連接於同一配線層之配線即可。

(實施形態3)圖30係本實施形態3之半導體裝置之主要部分剖面圖，且其係對應於上述實施形態1之上述圖1者。圖31係本實施形態3之半導體裝置之主要部分俯視圖，且其係對應於上述實施形態1之上述圖2者。

於上述實施形態1中，俯視下，下部電極LE全體與上部電極UE重疊，且不具有未與上部電極UE重疊之部分。亦即，於上述實施形態1中，俯視下，下部電極LE內包於電容絕緣膜YZ，電容絕緣膜YZ內包於上部電極UE。

另一方面，於本實施形態3中，亦如圖31及圖32所示，俯視下，下部電極LE具有與上部電極UE重疊之部分與未重疊之部分。亦即，於本實施形態3中，俯視下，下部電極LE內包於電容絕緣膜YZ，上部電極UE並非與下部電極LE全體重疊，而是與下部電極LE之一部分重疊。即，下部電極LE全體被電容絕緣膜YZ覆蓋，但上部電極UE並未覆蓋電容絕緣膜YZ全體，下部電極LE具有介隔電容絕緣膜YZ與上部電極UE對向之部分、及未介隔電容絕緣膜YZ與上部電極UE對向之部分。

除此以外，本實施形態3與上述實施形態1基本相同。

另，本實施形態3與上述實施形態1之另一相同之處在於：於下部電極LE下方配置有插塞P3a，並使該插塞P3a與下部電極LE電性連接。配置於下部電極LE下方之插塞P3a發揮使下部電極LE與配置於插塞P3a下方之配線M3之間電性連接之作用。

又，本實施形態3與上述實施形態1之另一相同之處在於：於俯視下未與下部電極LE重疊之部分之上部電極UE上，配置有插塞P4a，且該插塞P3a與上部電極UE電性連接。亦即，本實施形態3與上述實施形態1之另一相同之處在於：於上部電極UE之上表面中之上述凸部TB之周圍區域上(亦即，較凸部TB更低之區域上)，配置有插塞P4a。插塞P4a發揮使上部電極UE與配置於插塞P4a上之配線M4之間電性連接之作用。

又，本實施形態3與上述實施形態1之另一相同之處在於：於俯視下未與下部電極LE重疊之部分之上部電極UE上未配置插塞P4(連接於上部電極UE之插塞P4)。亦即，本實施形態3與上述實施形態1之另一相同之處在於：於上部電極UE之上表面中之上部凸部TB上未配置插塞P4(連接於上部電極UE之插塞P4)。

又，本實施形態3與上述實施形態1之另一相同之處在於：於下s

部電極LE上，未形成插塞P4(連接於下部電極LE之插塞P4)。因而，於本實施形態3中，於俯視下未與上部電極UE重疊之部分之下部電極LE上，未形成被埋入至層間絕緣膜L4且連接於下部電極LE之插塞P4(接觸插塞)。

其次，對本實施形態3之半導體裝置之製造步驟，說明與上述實施形態1不同之處。圖32至圖35係本實施形態3之半導體裝置之製造步驟中之主要部分剖面圖；圖32對應於上述實施形態1之上述圖17，圖33對應於上述實施形態1之上述圖18，圖34對應於上述實施形態1之上述圖19，圖35對應於上述實施形態1之上述圖22。

將本實施形態3與上述實施形態1相同，獲得對應於上述圖17之圖32之構造。亦即，本實施形態3之導電膜CD3形成步驟之前之製造步驟與上述實施形態1相同。

接著，如圖33所示，於導電膜CD3上，形成防反射用之絕緣膜ARF後，於絕緣膜ARF上，利用光微影技術形成光阻劑圖案RP3。絕緣膜ARF其形成亦可省略。此處，於上述實施形態1時，俯視下，下部電極LE內包於光阻劑圖案RP3，但於本實施形態3時，俯視下下部電極LE具有與光阻劑圖案RP3重疊之部分與未重疊之部分。

接著，與上述實施形態1同樣，將光阻劑圖案RP3用作蝕刻遮罩而依序蝕刻絕緣膜ARF及導電膜CD3，其後，於去除光阻劑圖案RP3後，藉由蝕刻而選擇性地去除絕緣膜ARF。亦可能存在並未去除絕緣膜ARF，而使其殘留於配線M3上與上部電極UE上之情形。如此，如圖34所示，可形成包含經圖案化之導電膜CD3之配線M3與上部電極UE。

此處，於上述實施形態1時，俯視下，因下部電極LE內包於光阻劑圖案RP3，故而當形成上部電極UE時，俯視下成為下部電極LE內包於上部電極UE之情形。另一方面，於本實施形態3時，俯視下，因

下部電極LE具有與光阻劑圖案RP3重疊之部分與未重疊之部分，故而當形成上部電極UE時，俯視下成為下部電極LE具有與上部電極UE重疊之部分與未重疊之部分。

後續之步驟與上述實施形態1基本相同。亦即，藉由與上述實施形態1同樣，進行層間絕緣膜L4之形成步驟、通孔S4之形成步驟、及插塞P4之形成步驟，可獲得與上述圖22對應之圖35之構造。因後續步驟與上述實施形態1相同，故而此處省略相關圖示及說明。

本實施形態3亦滿足上述實施形態1中所說明之第1、第2及第3特徵。

本實施形態3亦可獲得與上述實施形態1大致相同之效果。

另外，於上述實施形態1中，因下部電極LE俯視下內包於上部電極UE，故下部電極LE全體介隔電容絕緣膜YZ而與上部電極UE對向。因此，因可使下部電極LE全體作為電容元件之實效電極發揮作用，故而易於增大電容元件CP之電容值。因此，於形成大容量之電容元件時，上述實施形態1較有利。又，為上述實施形態1時，因有可能縮小電容值較大之電容元件之形成所需之面積，故亦有利於半導體裝置之小型化(小面積化)。

另一方面，於無須將電容元件CP之電容值設得如此大時，如本實施形態3，設為俯視下下部電極LE具有與上部電極UE重疊之部分與未重疊之部分，藉由調整下部電極LE與上部電極UE所重疊之面積，可控制電容元件CP之電容值。因此，包含電容元件之半導體裝置之設計變得容易進行。例如，若以僅調整上部電極UE之佈局，調整下部電極LE與上部電極UE之重疊面積，因可將電容元件CP之電容值控制在所期望之值，故而包含電容元件之半導體裝置之設計變更亦變得容易。

又，於本實施形態3中，下部電極LE具有俯視下未與上部電極UE重

重疊之部分。因此，於下部電極LE具有俯視下未與上部電極UE重疊之部分時，亦可考慮於未與上部電極UE重疊之部分之下部電極LE上配置插塞P4，並使該插塞P4連接於下部電極LE。然而，若為該情形，則因下部電極LE之厚度與配線M3之厚度之不同等，而造成配置於下部電極LE上之插塞P4之高度與配置於配線M3上之插塞P4之高度不同。於該情形下，因形成於下部電極LE上之通孔S4之深度與形成於配線M3上之通孔S4之深度不同，故導致於通孔S4底部之配線M3或下部電極LE被過蝕刻。

相對於此，於本實施形態3中，下部電極LE具有俯視下未與上部電極UE重疊之部分時，並非將連接於下部電極LE之接觸插塞(此處為插塞P3a)設置於下部電極LE上，而是設置於下部電極LE之下方。亦即，即便於本實施形態3中，作為上述第3特徵，同樣將被埋入至層間絕緣膜L3之插塞P3a配置於下部電極LE下方，並使該插塞P3a與下部電極LE電性連接。因將連接於下部電極LE之插塞(P3a)形成於下部電極LE之下方，故無須於下部電極LE上形成用於連接於下部電極LE之插塞(P4)。因此，於對層間絕緣膜L4形成通孔S4之蝕刻步驟中，因無須形成到達至下部電極LE之通孔S4即可，故而可避免因形成到達至下部電極LE之通孔S4而使於通孔S4之底部之配線M3或下部電極LE被過蝕刻。藉此，可提高電容元件CP及配線M3之可靠度。因而，可提高半導體裝置之可靠度。

又，於本實施形態3中，因無需變更電容元件CP之電容值，亦即無需變更下部電極LE與上部電極UE之重疊面積，即可改變下部電極LE之尺寸或形狀，故可自由設定與下部電極LE連接之插塞P3a之位置，半導體裝置之電路設計之佈局自由度變高。

又，於本實施形態3中，亦可將連接於下部電極LE之插塞P3a配置於俯視下未與上部電極UE重疊之位置。藉此，因可使連接於下部

電極LE之插塞P3a遠離上部電極UE，故可進一步降低插塞P3a與上部電極UE之間所形成之寄生電容。因此，可使電容元件CP之實效電容值更接近設計值。

(實施形態4)圖36係本實施形態4之半導體裝置之主要部分剖面圖，且其係對應於上述實施形態1之上述圖1者。圖37係本實施形態4之半導體裝置之主要部分俯視圖，且其係對應於上述實施形態1之上述圖2者。

本實施形態4對應於將上述實施形態2與上述實施形態3組合而得者。亦即，本實施形態4與上述實施形態3之不同之處，與上述實施形態2與上述實施形態1之不同之處相同，又，本實施形態4與上述實施形態2之不同之處，與上述實施形態3與上述實施形態1之不同之處相同。

亦即，上述實施形態3與本實施形態4之對應之處在於：設置與上述實施形態2相同之上述插塞P3b代替上述插塞P4a。又，上述實施形態2與本實施形態4之對應之處在於：並非以俯視下內包下部電極LE之方式設置上部電極UE，而係俯視下下部電極LE具有與上部電極UE重疊之部分與未重疊之部分。

因而，亦如圖36及圖37所示，本實施形態4中，連接於上部電極UE之接觸插塞係被埋入至層間絕緣膜L3之通孔S3之插塞P3b，而非被埋入至層間絕緣膜L4之通孔S4之插塞P4，於與下部電極LE俯視下未重疊之部分之上部電極UE之下方，配置有插塞P3b。又，於本實施形態4中，亦如圖36及圖37所示，俯視下，下部電極LE具有與上部電極UE重疊之部分與未重疊之部分。亦即，於本實施形態4中，俯視下，下部電極LE內包於電容絕緣膜YZ，但上部電極UE並非與下部電極LE全體重疊，而是與下部電極LE之一部分重疊。即，雖下部電極LE全體被電容絕緣膜YZ覆蓋，但上部電極UE並未覆蓋電容絕緣膜YZ全s

體，下部電極LE具有介隔電容絕緣膜與上部電極UE對向之部分、與未介隔電容絕緣膜YZ與上部電極UE對向之部分。

除此以外，本實施形態4與上述實施形態1基本相同。

本實施形態4亦可獲得與上述實施形態2或上述實施形態3大致相同之效果，此處省略相關之重複說明。

(實施形態5)圖38至圖45係本實施形態5之半導體裝置之製造步驟中之主要部分剖面圖。圖38對應於與上述實施形態1之上圖12相同之步驟階段，圖39對應於與上述圖13相同之步驟階段，圖40對應於與上述圖14相同之步驟階段，圖41對應於與上述圖15相同之步驟階段。又，圖42對應於與上述實施形態1之上圖16相同之步驟階段，圖43對應於與上述圖17相同之步驟階段，圖44對應於與上述圖19相同之步驟階段，圖45對應於與上述圖24相同之步驟階段。

於本實施形態5中，由與下部電極同層之導電膜圖案形成電阻元件RST。以下，以半導體裝置之製造步驟為中心而進行具體說明。

與上述實施形態1同樣，進行截至插塞P4形成步驟之前之步驟，而獲得與上述實施形態1之上圖12對應之圖38之構造。另，本實施形態5中，如圖38所示，於對層間絕緣膜L3形成通孔S3時，亦形成用於埋入插塞P3d之通孔S3，於對通孔S3內形成插塞P3時，亦形成插塞P3d。

此處，對插塞P3中之配置於後述之電阻元件RST下方且電性連接於電阻元件RST之插塞P3，附加符號P3d而稱為插塞P3d。

其次，如對應於上述圖13之圖39所示，與上述實施形態1同樣，於埋入插塞P3之層間絕緣膜L3上，形成導電膜CDLE。於本實施形態5時，導電膜CDLE兼作下部電極LE形成用之導電膜與電阻元件RST形成用之導電膜。接著，於導電膜CDLE上，利用光微影技術形成光阻劑圖案RP1。於本實施形態5時，光阻劑圖案RP1不但包含下部電極LE

形成用之圖案，亦包含電阻元件RST形成用之圖案。接著，藉由將光阻劑圖案RP1用作蝕刻遮罩而蝕刻導電膜CDLE並圖案化，而如圖40所示般形成下部電極LE及電阻元件RST。下部電極LE及電阻元件RST均包含經圖案化之導電膜CDLE。因此，下部電極LE與電阻元件RST係由同層之導電膜圖案形成。下部電極LE與電阻元件RST相互分離。下部電極LE與電阻元件RST係以同步驟形成。其後，去除光阻劑圖案RP1。圖39顯示該階段。

其次，如對應於上述圖15之圖41所示，於半導體基板SB之主表面(主表面整面)上，亦即層間絕緣膜L3上，以覆蓋下部電極LE及電阻元件RST之方式，形成電容絕緣膜YZ形成用之絕緣膜LYZ。接著，於絕緣膜LYZ上，利用光微影技術形成光阻劑圖案RP2。於本實施形態5時，光阻劑圖案RP2不但包含電容絕緣膜YZ形成用之圖案，亦包含保護絕緣膜YZ2形成用之圖案。接著，藉由將光阻劑圖案RP2用作蝕刻遮罩，蝕刻絕緣膜LYZ並圖案化，而如圖42所示般形成電容絕緣膜YZ及保護絕緣膜YZ2。電容絕緣膜YZ及保護絕緣膜YZ2均包含經圖案化之絕緣膜LYZ。因此，電容絕緣膜YZ2與保護絕緣膜YZ2由同層之絕緣膜圖案形成。電容絕緣膜YZ與保護絕緣膜YZ2相互分離。其後，去除光阻劑圖案RP2。圖42顯示該階段。

因俯視下下部電極LE內包於電容絕緣膜YZ，故而當形成電容絕緣膜YZ時，成為下部電極LE被電容絕緣膜YZ覆蓋之狀態，因而成為下部電極LE未露出之狀態。又，因俯視下電阻元件RST內包於保護絕緣膜YZ2，故而當形成保護絕緣膜YZ2時，成為電阻元件RST被保護絕緣膜YZ2覆蓋之狀態，因而成為電阻元件RST未露出之狀態。

本實施形態5之後續步驟亦與上述實施形態1基本相同。

亦即，如對應於上述圖17之圖43所示，於半導體基板SB之主表面(主表面整面)上，亦即層間絕緣膜L3上，以覆蓋電容絕緣膜YZ及保

護絕緣膜YZ2之方式，形成導電膜CD3。導電膜CD3包含阻障導體膜B3a、阻障導體膜B3a上之主導體膜C3、及主導體膜C3上之阻障導體膜B3b之積層膜。接著，與上述實施形態1同樣，藉由將導體膜CD3圖案化，而如對應於上述圖19之圖44所示形成配線M3及上部電極UE。配線M3與上部電極UE均包含經圖案化之導電膜CD3。另，於用於將導電膜CD3圖案化之蝕刻步驟中，保護絕緣膜YZ2雖露出，但因電阻元件RST被保護絕緣膜YZ覆蓋，故可防止電阻元件RST被蝕刻。因此，保護絕緣膜YZ2可作為電阻元件RST之蝕刻保護膜而發揮作用。

其後，如對應於上述圖24之圖45所示，與上述實施形態1同樣，形成層間絕緣膜L4，於層間絕緣膜L4形成通孔S4，於通孔S4內形成插塞P4，於埋入插塞P4之層間絕緣膜L4上，形成第4配線層之配線M4。對於後續之製造步驟，此處省略相關圖示及說明。

如自圖45所明瞭般，於本實施形態5之半導體裝置中，於層間絕緣膜L3上形成有電容元件CP與電阻元件RST；電容元件CP之下部電極LE與電阻元件RST係由同層之導電膜圖案形成。亦即，下部電極LE與電阻元件RST係藉由將共用之導電膜(CD3)圖案化而形成者。下部電極LE與電阻元件RST並未連接，而是相互分離。構成下部電極LE之材料與構成電阻元件RST之材料相同。又，下部電極LE之厚度與電阻元件RST之厚度實質上相同。

除了設置電阻元件RST、保護絕緣膜YZ2及與電阻元件RST連接之插塞P3d以外，本實施形態5之半導體裝置與上述實施形態1至4之任一者相同。亦即，本實施形態5可對上述實施形態1至4之任一者加以應用。此處，雖已基於上述實施形態1而進行圖示及說明，但上述實施形態2至4中，亦可形成電阻元件RST，此情形下之電阻元件RST、保護絕緣膜YZ2、及連接於電阻元件RST之接觸插塞(插塞P3d)之構成及製法，與本實施形態5中所說明者相同。

本實施形態5除可獲得上述實施形態1至4所獲得之效果以外，亦可進而獲得如下效果。

本實施形態5中，藉由電阻元件RST與下部電極LE係由同層之導電膜圖案形成，因亦可於製造電容元件CP之步驟一起製造電阻元件RST，故而可控制製造步驟數，且可降低半導體裝置之製造成本。此外，亦可縮短半導體裝置之製造時間，從而可提高產能率。

又，本實施形態5中，被埋入至層間絕緣膜L4之插塞P3d(接觸插塞)係配置於電阻元件RST之下方而與電阻元件RST電性連接。另外，於電阻元件RST上，未形成被埋入至層間絕緣膜L4且連接於電阻元件RST之插塞P4(接觸插塞)。

亦即，連接於電阻元件RST之接觸插塞係被埋入至層間絕緣膜L3之通孔S3之插塞P3(P3d)，而非被埋入至層間絕緣膜L4之通孔S4之插塞P4。

於電阻元件RST之下方配置插塞P3d，於該插塞P3d之下方配置配線M2。插塞P3d配置於電阻元件RST與配線M2之間，藉由插塞P3d之上表面與電阻元件RST下表面接觸，使插塞P3d與電阻元件RST電性連接，又，藉由插塞P3d之下表面與配線M2之上表面接觸，使插塞P3d與配線M2電性連接。因此，插塞P3d發揮使電阻元件RST與配置於插塞P3d之下方之配線M2之間電性連接之作用。

與本實施形態5不同，假設於電阻元件RST上配置插塞P4，且使該插塞P4連接於電阻元件RST之情形。然而，於此情形下，因下部電極LE之厚度與配線M3之厚度不同等，而造成配置於電阻元件RST上之插塞P4之高度與配置於配線M3上之插塞P4之高度不同。於該情形時，因形成於電阻元件RST上之通孔S4之深度，與形成於配線M3上之通孔S4之深度不同，而造成於通孔S4之底部之配線M3或電阻元件RST被過蝕刻。

相對於此，本實施形態5中，並非將連接於電阻元件RST之接觸插塞(此處為插塞P3d)設置於電阻元件RST上，而是設置於電阻元件RST之下方。因此，無須於電阻元件RST上形成用於連接於電阻元件RST之插塞(P4)。因此，於對層間絕緣膜L4形成通孔S4之蝕刻步驟中，無須形成到達至電阻元件RST之通孔S4即可，從而可避免因形成到達至電阻元件RST之通孔S4所致之於通孔S4之底部之配線M3或電阻元件RST被過蝕刻。藉此，可提高電阻元件RST及配線M3之可靠度。因而可提高半導體之可靠度。

以上，已對本發明人所完成之發明，基於其實施形態而具體說明，無庸贅言，本發明並非限定於上述實施形態者，而可在不脫離其主要之範圍內，進行各種變更。

【符號說明】

ARF	絕緣膜
B1a	阻障導體膜
B2a	阻障導體膜
B3a	阻障導體膜
B4a	阻障導體膜
B1b	阻障導體膜
B2b	阻障導體膜
B3b	阻障導體膜
B4b	阻障導體膜
C1	主導體膜
C2	主導體膜
C3	主導體膜
C4	主導體膜
CD1	導體膜

CD2	導體膜
CD3	導體膜
CD4	導體膜
CDLE	導體膜
CP	電容元件
CP101	電容元件
CZ	保護絕緣膜
DI	光電二極體
d1	深度
d2	深度
h1	高度
h2	高度
GI	閘極絕緣膜
GS	閘極電極
GT	閘極電極
L1	絕緣膜
L2	絕緣膜
L3	絕緣膜
L4	絕緣膜
L5	絕緣膜
LE	下部電極
LE101	下部電極
LYZ	絕緣膜
M1	配線
M2	配線
M3	配線

M4	配線
NR	n型半導體區域
NW	n型半導體區域
P1	插塞
P2	插塞
P3	插塞
P3a	插塞
3b	插塞
P3c	插塞
P3d	插塞
P4	插塞
P4a	插塞
P4c	插塞
P104a	插塞
P104b	插塞
P104c	插塞
PR	p ⁺ 型半導體裝置
PW1	p型阱
PW2	p型阱
Q1	像素電晶體
PR	半導體區域
RP1	光阻劑圖案
RP2	光阻劑圖案
PR3	光阻劑圖案
RST	電阻元件
S1	通孔

S2	通孔
S3	通孔
S4	通孔
SB	半導體基板
SD	源極汲極區域
ST	元件分離區域
SW	側壁間隔件
TB	凸部
TX	傳送電晶體
t1	厚度
t2	厚度
t3	厚度
UE	上部電極
UE101	上部電極
YZ	電容絕緣膜
YZ101	電容絕緣膜
YZ2	保護絕緣

申請專利範圍

1. 一種半導體裝置，其包含：

半導體基板；第1層間絕緣膜，其形成於上述半導體基板上；第1配線及電容元件用之下部電極，其等於上述第1層間絕緣膜上相互隔開而形成；上述電容元件用之上部電極，其於上述第1層間絕緣膜上，以覆蓋上述下部電極之至少一部分之方式形成；上述電容元件用之電容絕緣膜，其介存於上述下部電極與上述上部電極之間；第2層間絕緣膜，其於上述第1層間絕緣膜上，以覆蓋上述第1配線、上述下部電極、上述電容絕緣膜、及上述上部電極之方式形成；第1接觸插塞，其被埋入至上述第1層間絕緣膜，且配置於上述下部電極下方而與上述下部電極電性連接；第2接觸插塞，其被埋入至上述第2層間絕緣膜，且配置於上述上部電極上而與上述上部電極電性連接；及第3接觸插塞，其被埋入至上述第2層間絕緣膜，且配置於上述第1配線上而與上述第1配線電性連接；上述第1配線與上述上部電極係由同層之導電膜圖案形成；上述第2接觸插塞配置於俯視下未與上述下部電極重疊之部分之上部電極上。

2. 如請求項1之半導體裝置，其中於俯視下與上述下部電極重疊之部分之上部電極上，未形成被埋入至上述第2層間絕緣膜且連接於上述上部電極之接觸插塞。

3. 如請求項2之半導體裝置，其中上述第1配線係以鋁為主要成分之鋁配線；上述下部電極包含具有較鋁之熔點更高之熔點的材料。

4. 如請求項3之半導體裝置，其中上述下部電極包含氮化鈦膜、鈦膜、氮化鉭膜、或鉭膜。

5. 如請求項1之半導體裝置，其中上述第1配線及上述上部電極分別包含第1氮化鈦膜、上述第1氮化鈦膜上之以鋁為主要成分之主導體膜、及上述主導體膜上之第2氮化鈦膜之積層膜；上述下部電極包含氮化鈦膜。
6. 如請求項1之半導體裝置，其中俯視下，上述下部電極內包於上述電容絕緣膜，上述電容絕緣膜內包於上述上部電極。
7. 如請求項1之半導體裝置，其中俯視下，上述下部電極具有與上述上部電極重疊之部分與未重疊之部分；於俯視下未與上述上部電極重疊之部分之上述下部電極上，未形成被埋入至上述第2層間絕緣膜且連接於上述下部電極之接觸插塞。
8. 如請求項1之半導體裝置，其中更包含形成於上述第2層間絕緣膜上之電阻元件；上述電阻元件與上述下部電極係由同層之導電膜圖案形成；被埋入至上述第1層間絕緣膜之第4接觸插塞配置於上述電阻元件之下方而與上述電阻元件電性連接；於上述電阻元件上未形成被埋入至上述第2層間絕緣膜且連接於上述電阻元件之接觸插塞。
9. 如請求項1之半導體裝置，其中上述下部電極之厚度小於上述第1配線之厚度。
10. 一種半導體裝置，其包含：

半導體基板；第1層間絕緣膜，其形成於上述半導體基板上；第1配線及電容元件用之下部電極，其等於上述第1層間絕緣膜上相互隔開而形成；上述電容元件用之上部電極，其於上述第1層間絕緣膜上，以覆蓋上述下部電極之至少一部分之方式形成；上述電容元件用之電容絕緣膜，其介存於上述下部電極與上述上部電極之間；第2層間絕緣膜，其於上述第1層間絕緣膜上，以覆蓋上述第1配線、上述下部電極、上述電容絕緣膜及上

述上部電極之方式形成；第1接觸插塞，其被埋入至上述第1層間絕緣膜，且配置於上述下部電極下方而與上述下部電極電性連接；第2接觸插塞，其被埋入至上述第1層間絕緣膜，且配置於上述上部電極下方而與上述上部電極電性連接；及第3接觸插塞，其被埋入至上述第2層間絕緣膜，且配置於上述第1配線上而與上述第1配線電性連接；上述第1配線與上述上部電極係由同層之導電膜圖案形成；上述第2接觸插塞配置於俯視下未與上述下部電極重疊之部分之上部電極之下方。

11. 如請求項10之半導體裝置，其中於俯視下與上述下部電極重疊之部分之上部電極上，未形成被埋入至上述第2層間絕緣膜且連接於上述上部電極之接觸插塞。
12. 如請求項11之半導體裝置，其中上述第1配線係以鋁為主要成分之鋁配線；上述下部電極包含具有較鋁之熔點更高熔點的材料。
13. 如請求項12之半導體裝置，其中上述下部電極包含氮化鈦膜、鈦膜、氮化鉭膜或鉭膜。
14. 如請求項10之半導體裝置，其中上述第1配線及上述上部電極分別包含第1氮化鈦膜、上述第1氮化鈦膜上之以鋁為主要成分之主導體膜、及上述主導體膜上之第2氮化鈦膜之積層膜；上述下部電極包含氮化鈦膜。
15. 如請求項10之半導體裝置，其中俯視下，上述下部電極內包於上述電容絕緣膜，上述電容絕緣膜內包於上述上部電極。
16. 如請求項10之半導體裝置，其中俯視下，上述下部電極具有與上述上部電極重疊之部分與未重疊之部分；於俯視下未與上述上部電極重疊之部分之上部電極上，未形成被埋入至上述第2層間絕緣膜且連接於上述下部電極之接觸插塞。

17. 如請求項10之半導體裝置，其中更包含形成於上述第2層間絕緣膜上之電阻元件；上述電阻元件與上述下部電極係由同層之導電膜圖案形成；被埋入至上述第1層間絕緣膜之第4接觸插塞配置於上述電阻元件之下方而與上述電阻元件電性連接；於上述電阻元件上，未形成被埋入至上述第2層間絕緣膜且連接於上述電阻元件之接觸插塞。
18. 如請求項10之半導體裝置，其中上述下部電極之厚度小於上述第1配線之厚度。

圖式

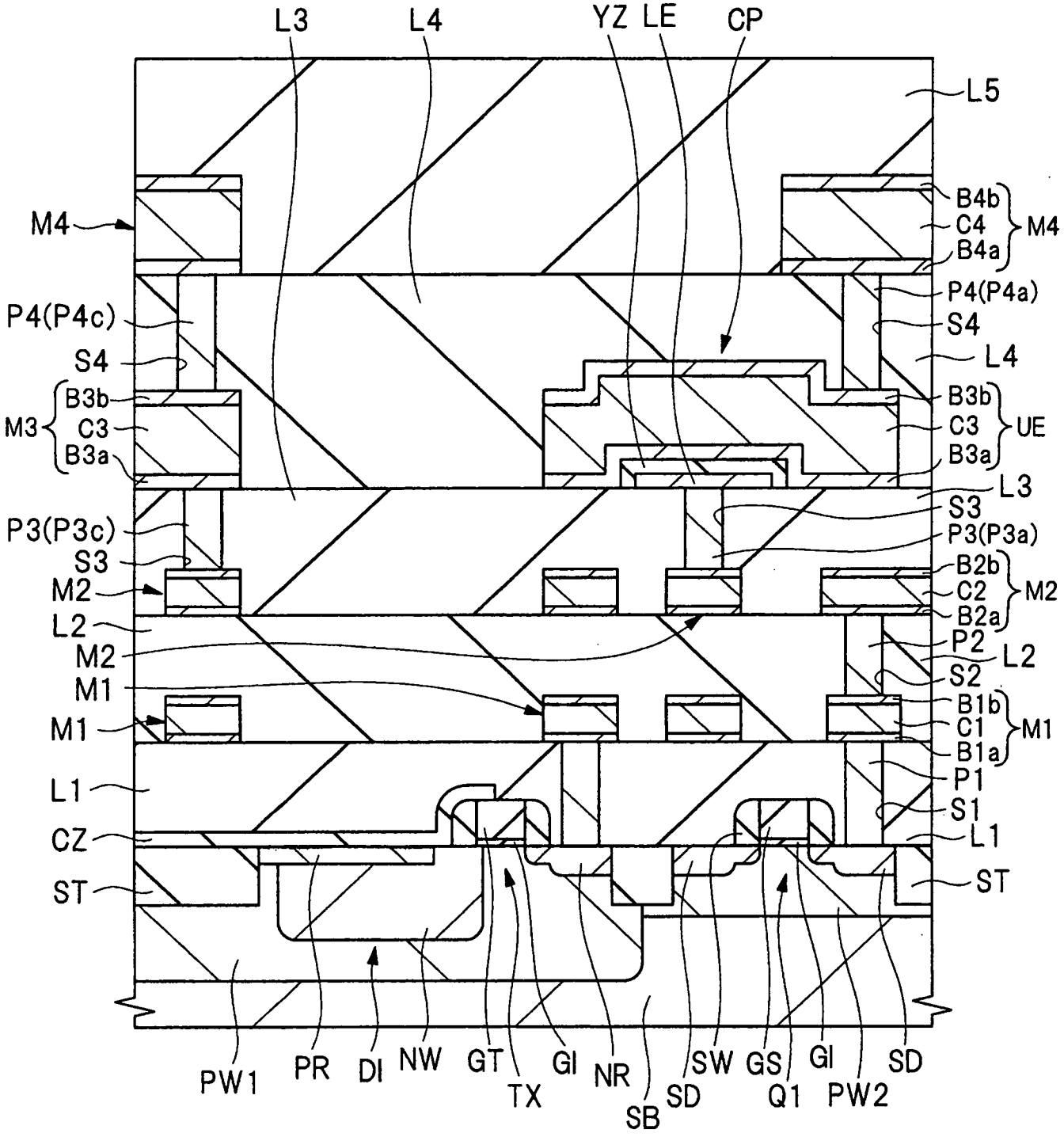


圖 1

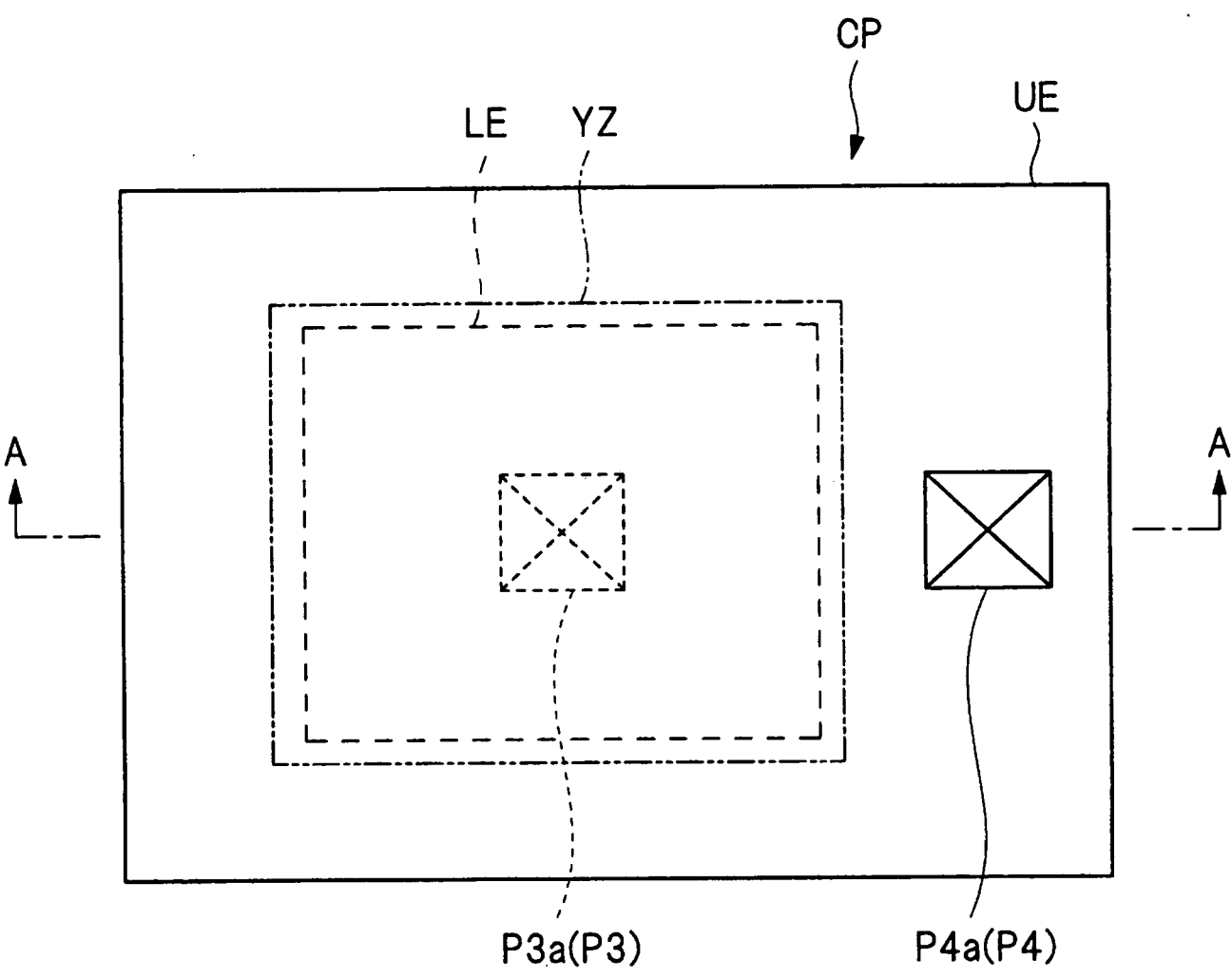


圖 2

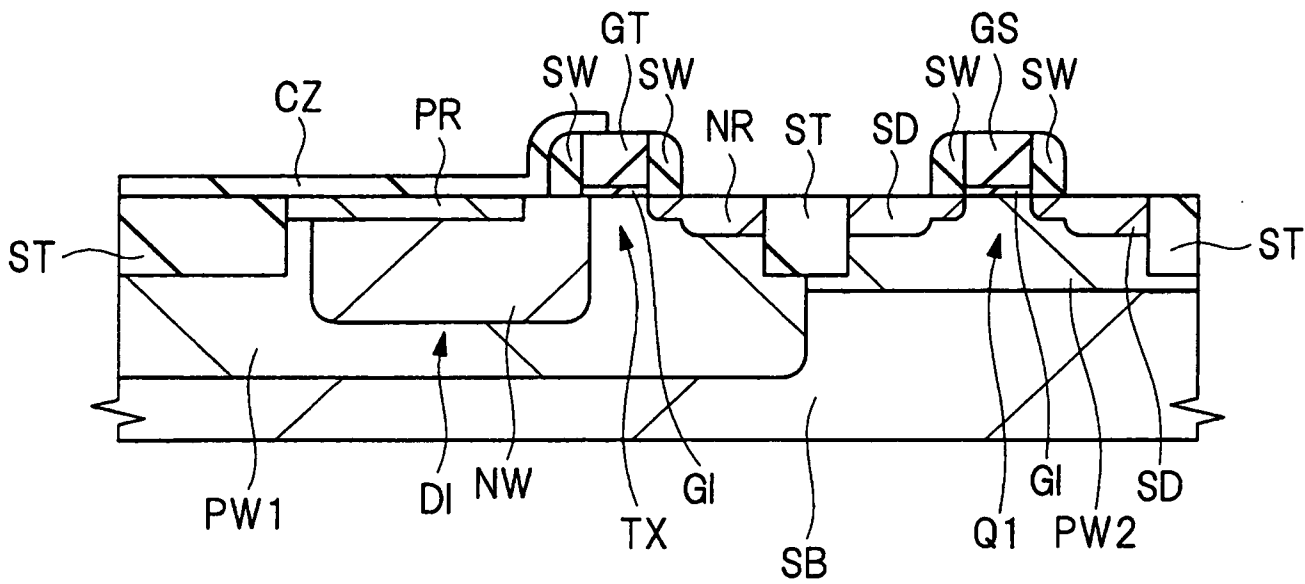


圖 3

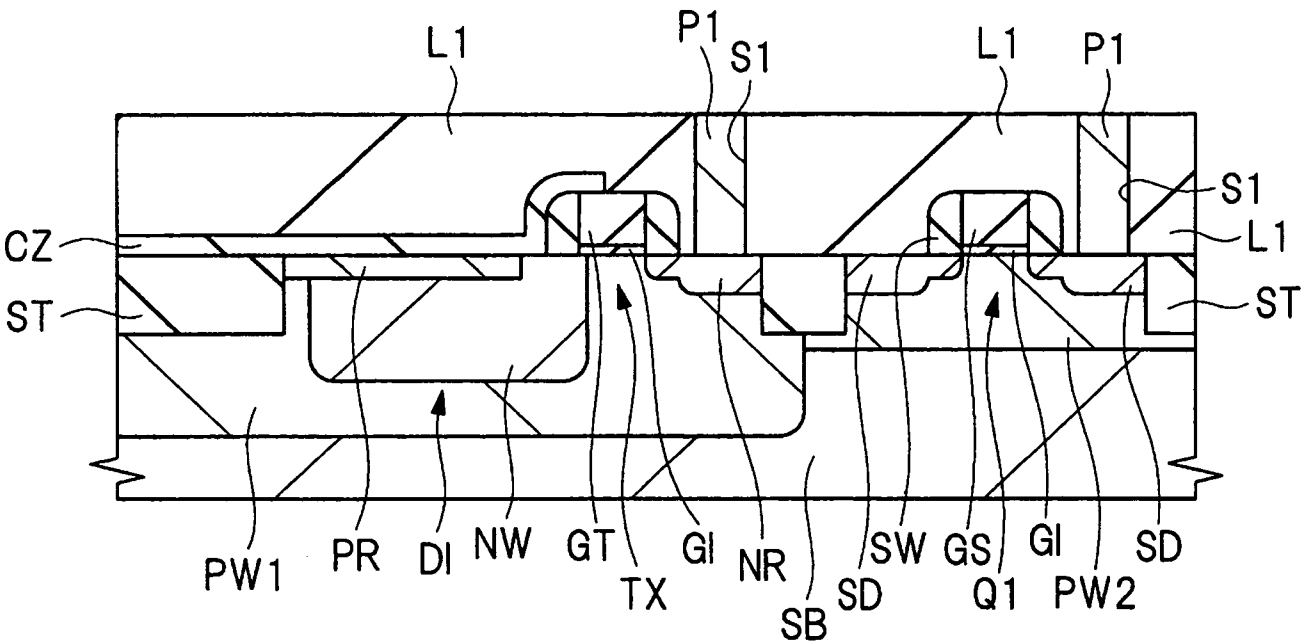


圖 4

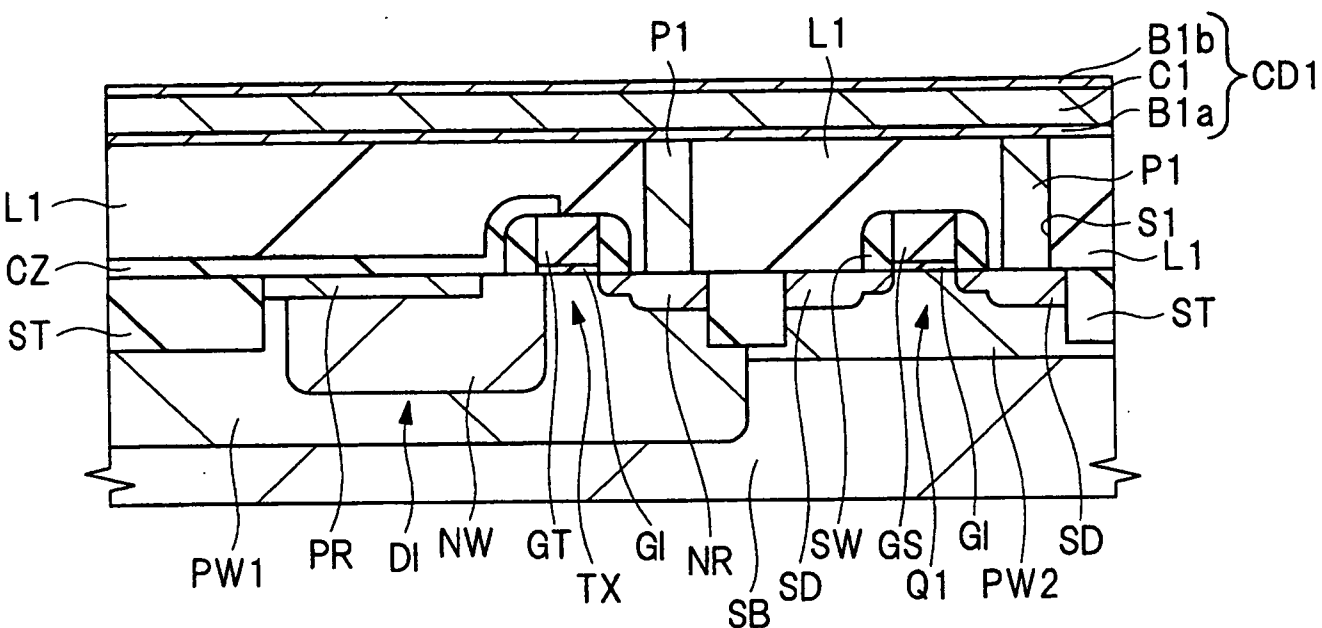


圖 5

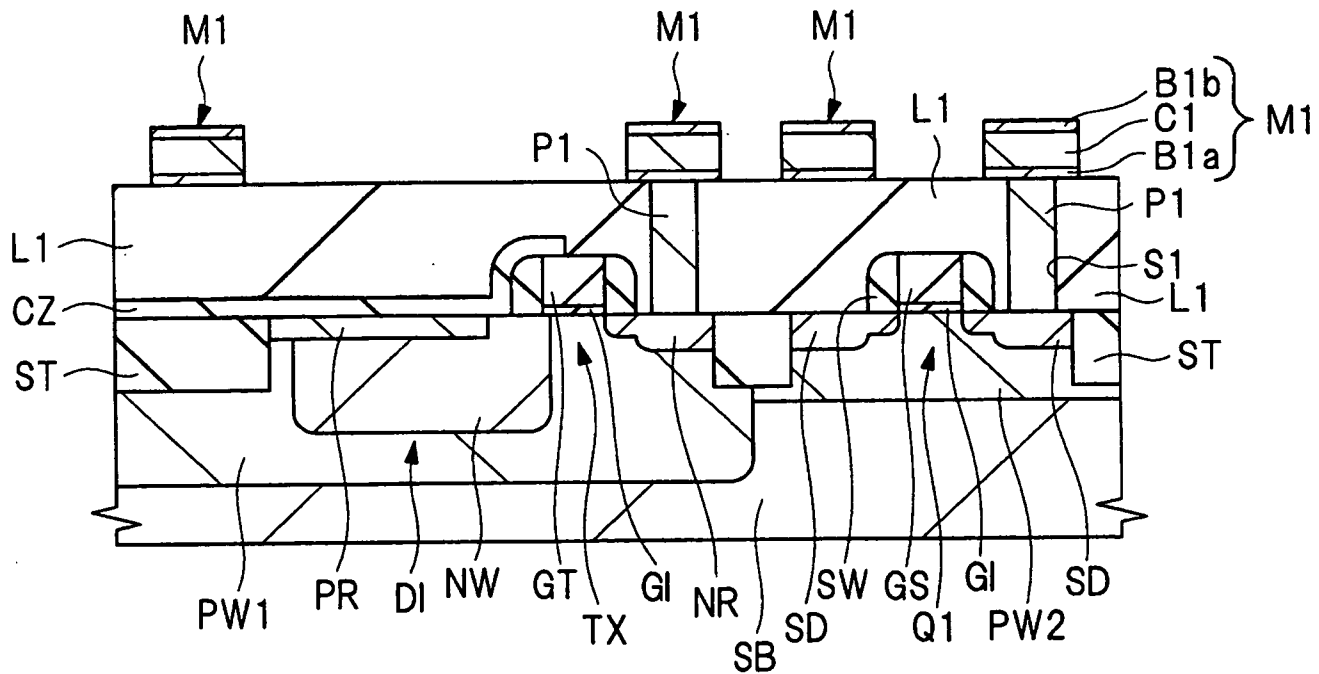


圖 6



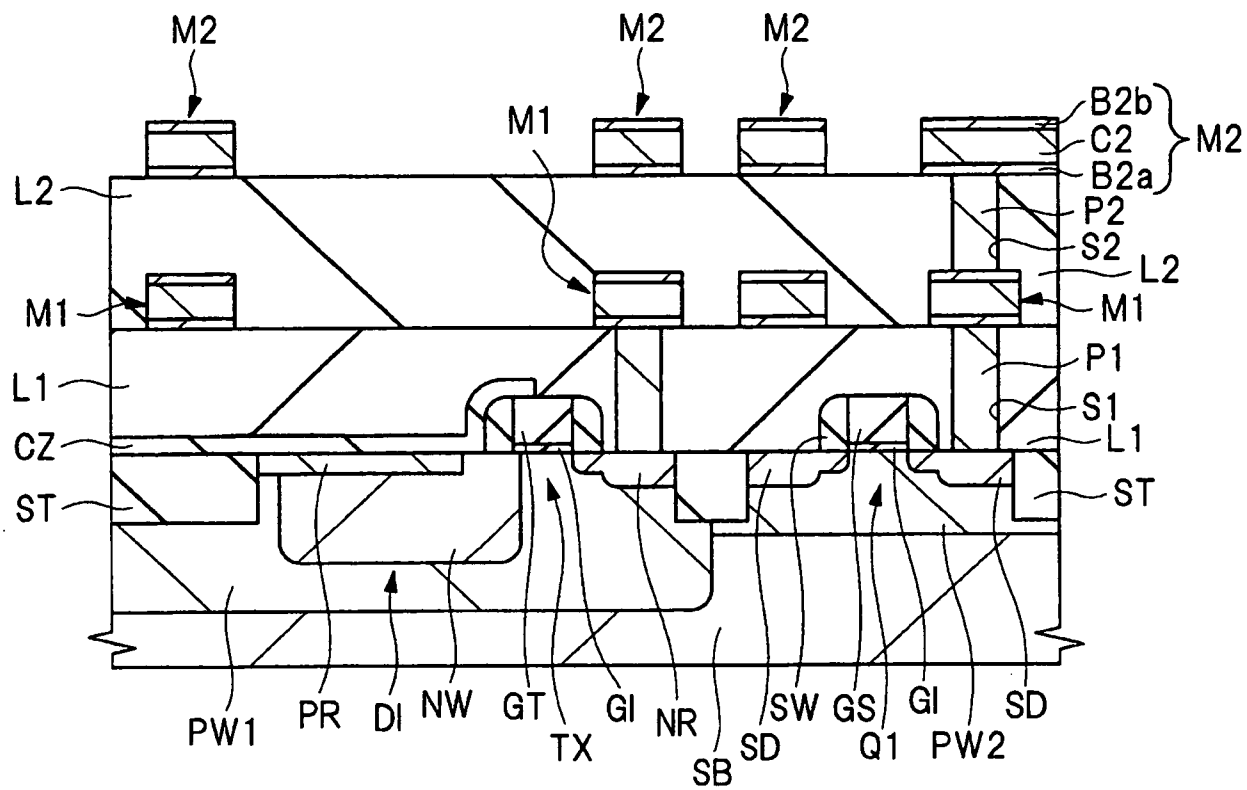


圖 9

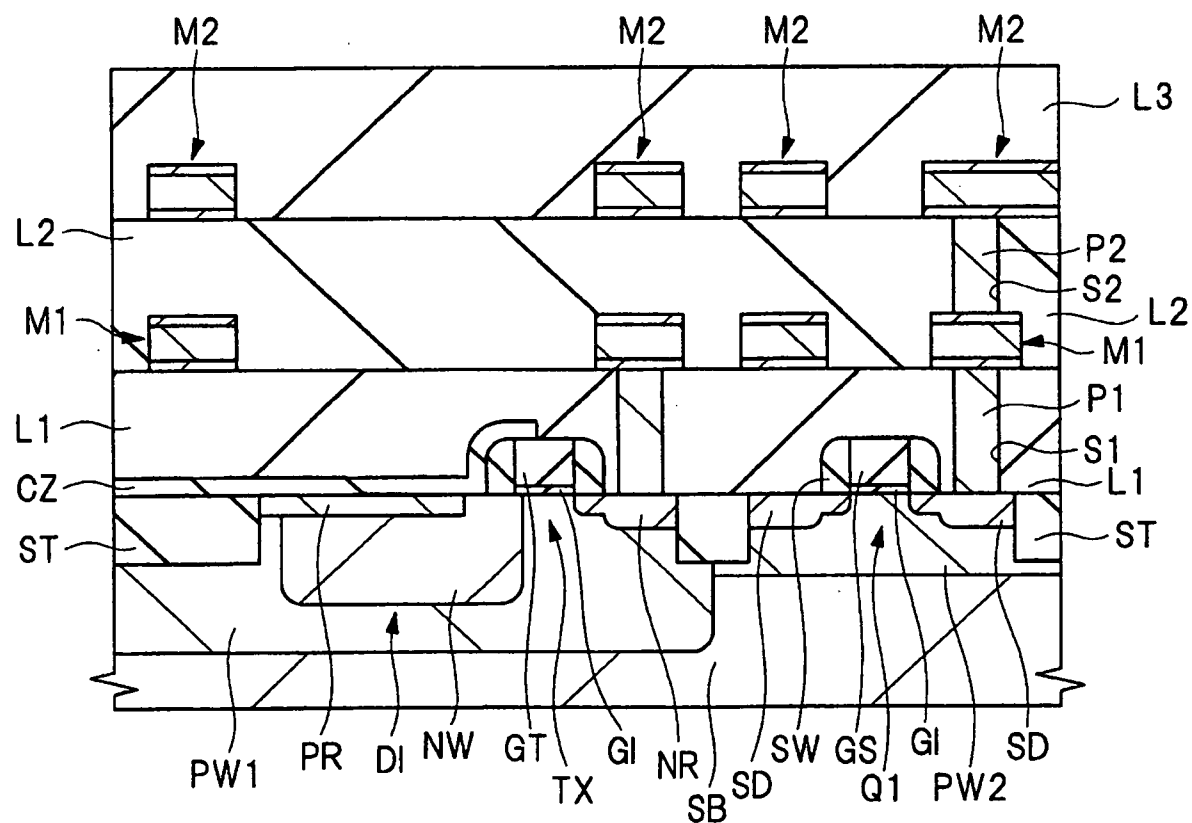


圖 10

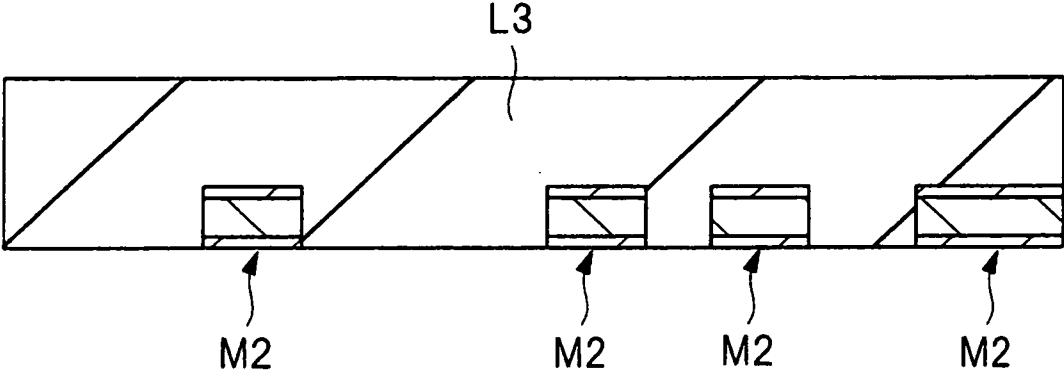


圖 11

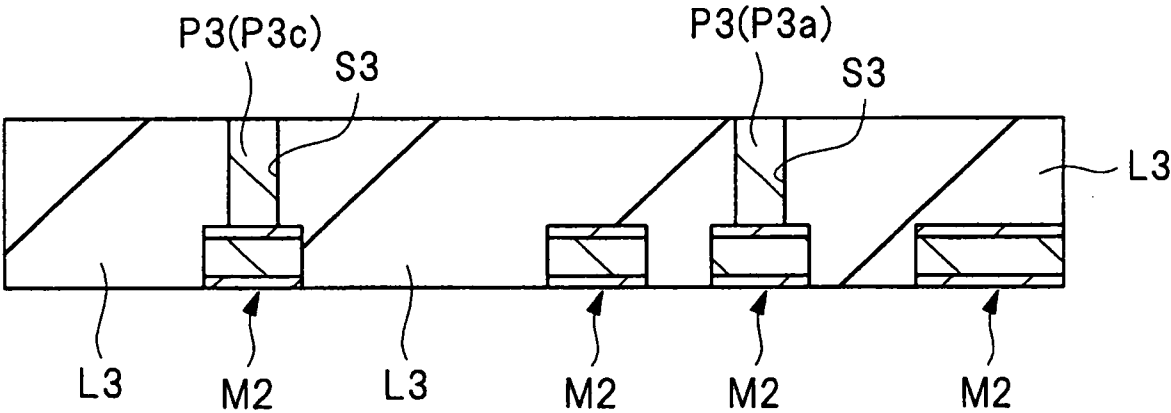


圖 12

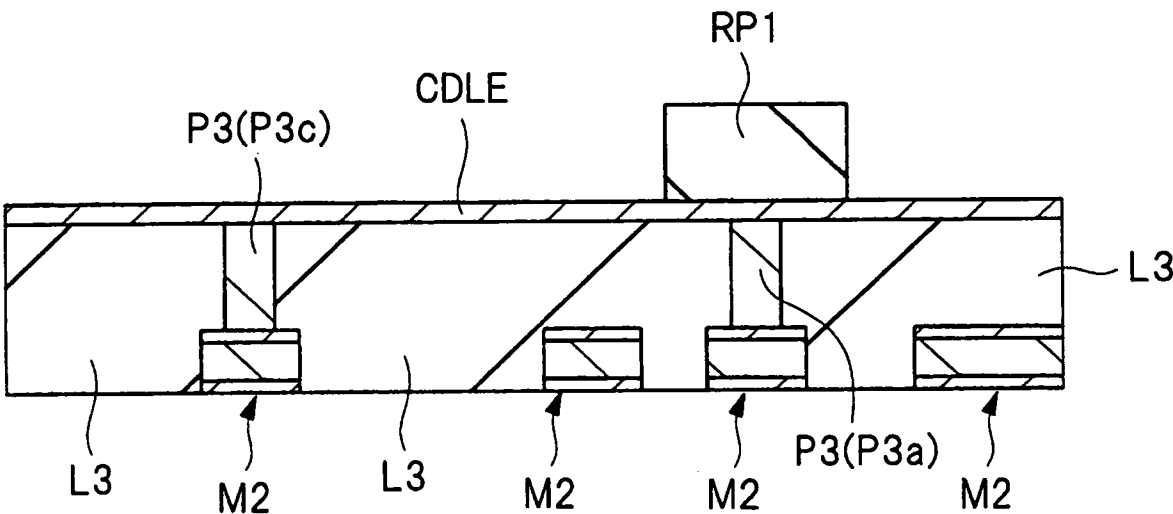


圖 13

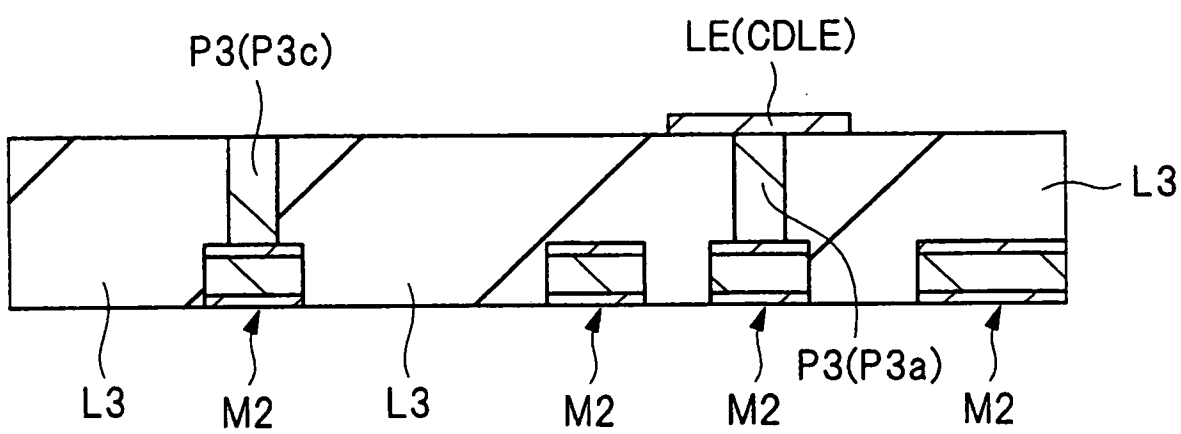


圖 14

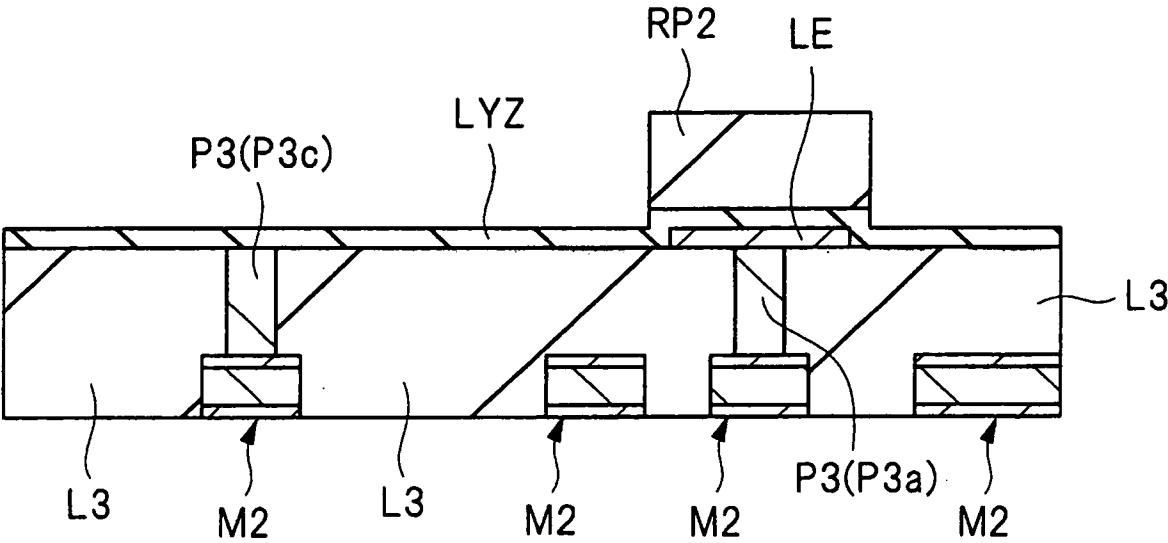


圖 15

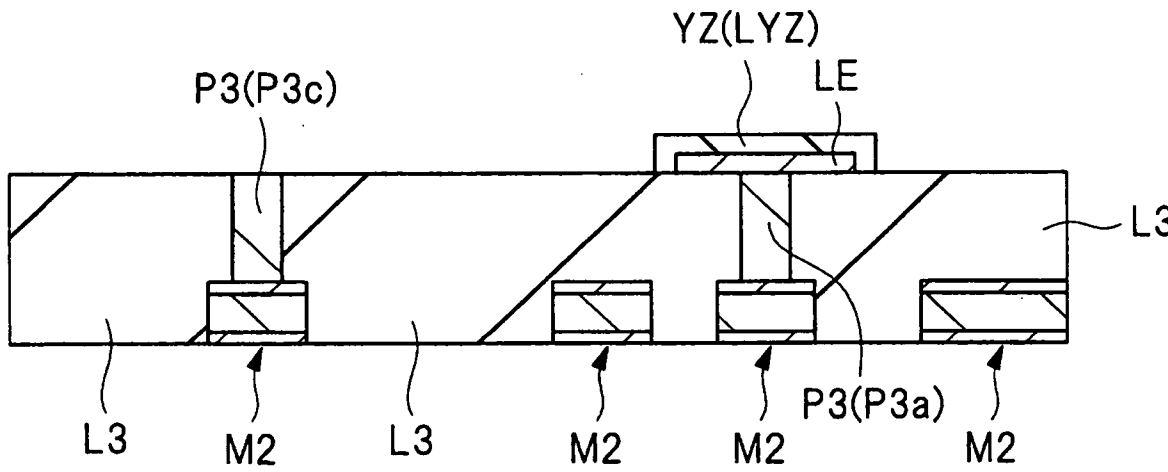


圖 16

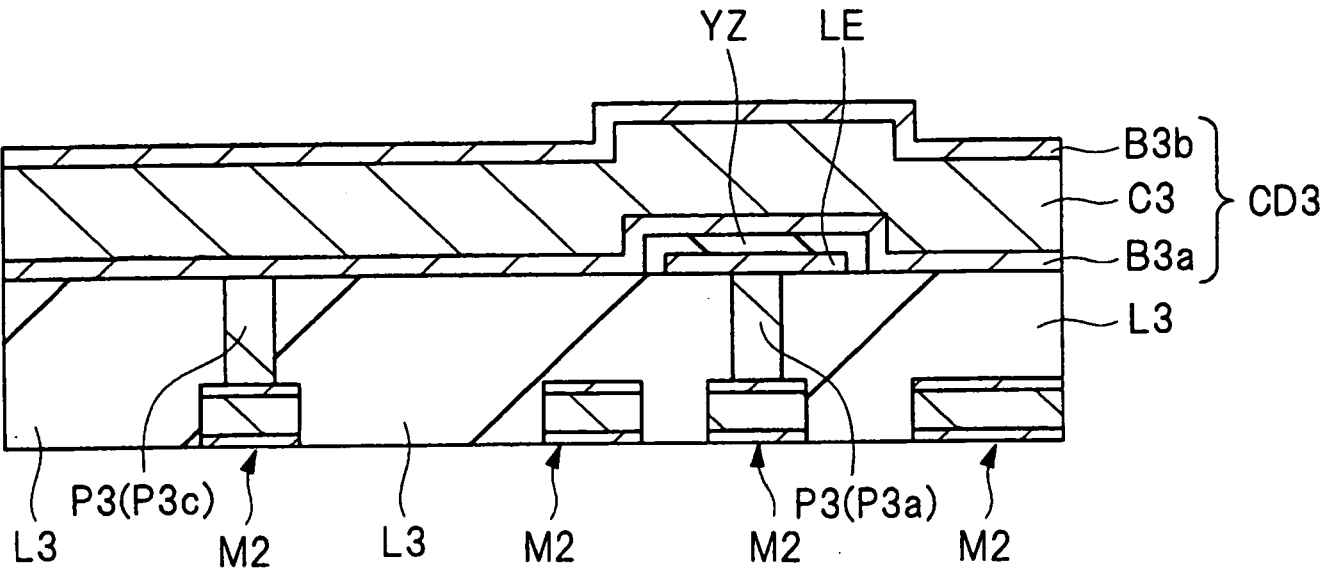


圖 17

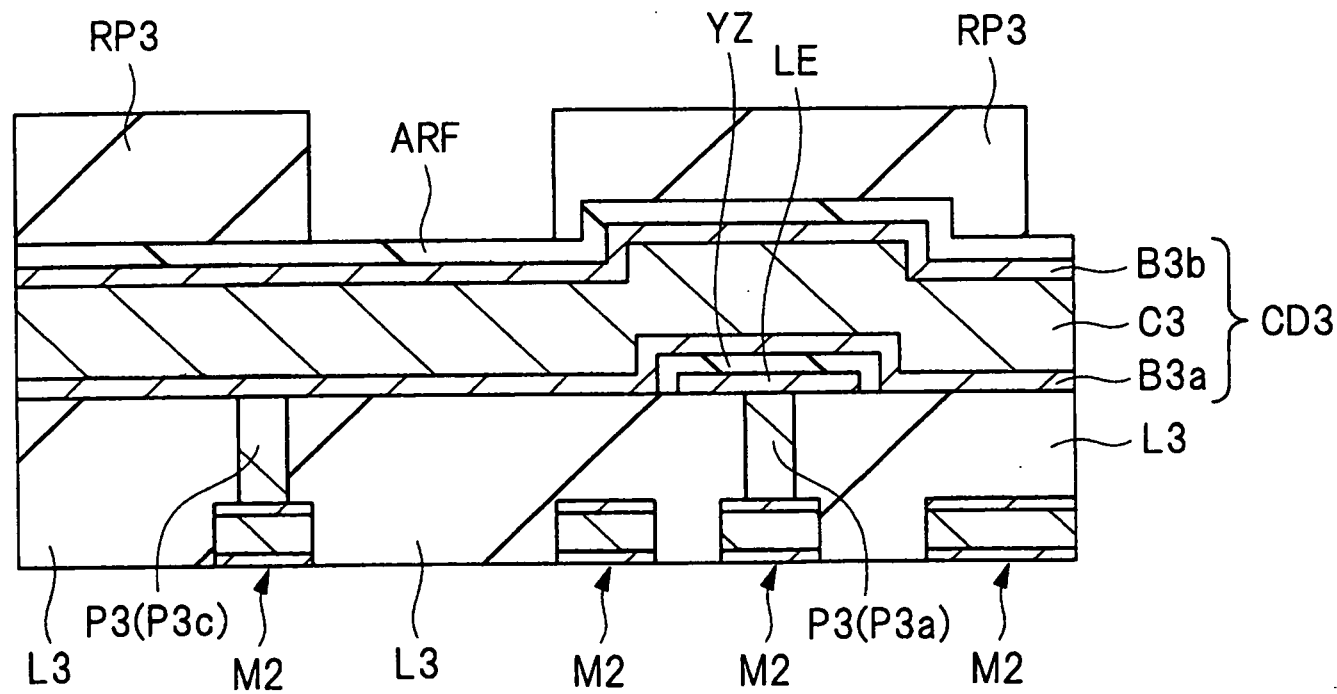


圖 18

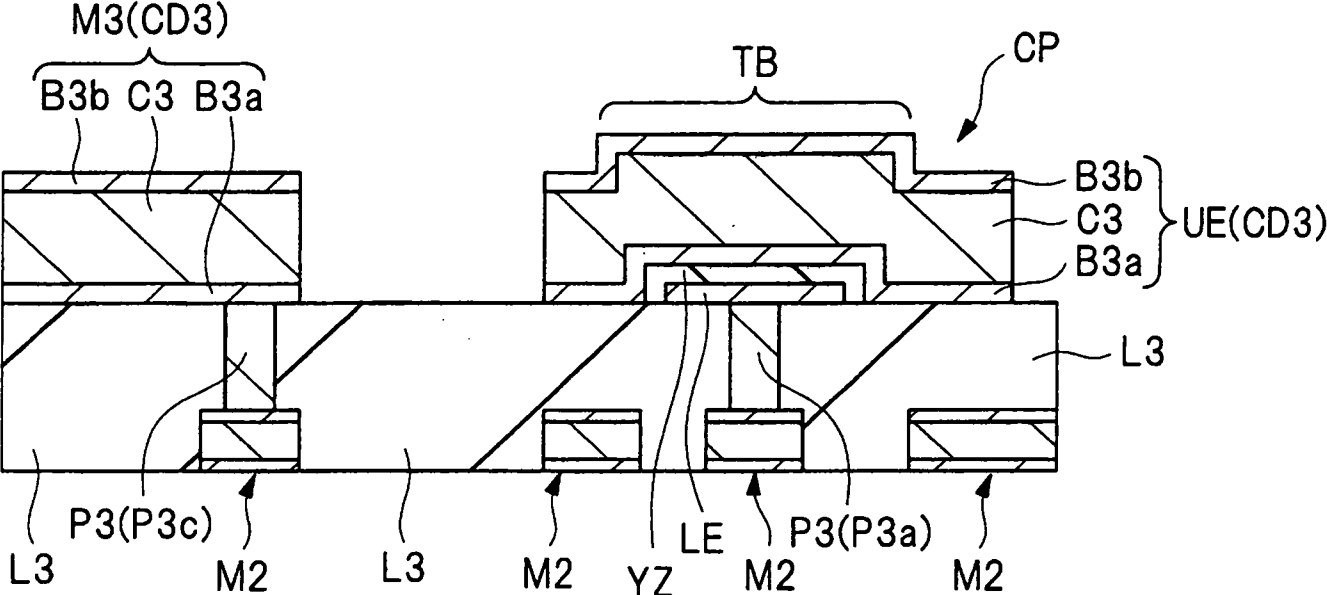


圖 19

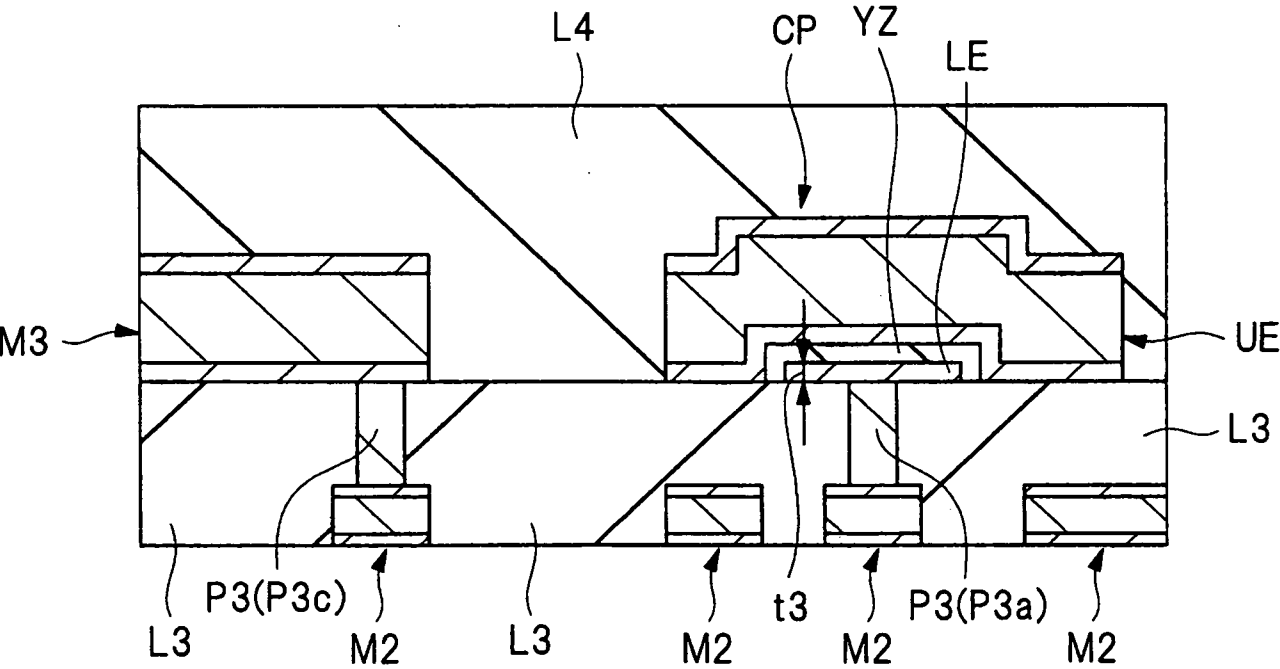


圖 20

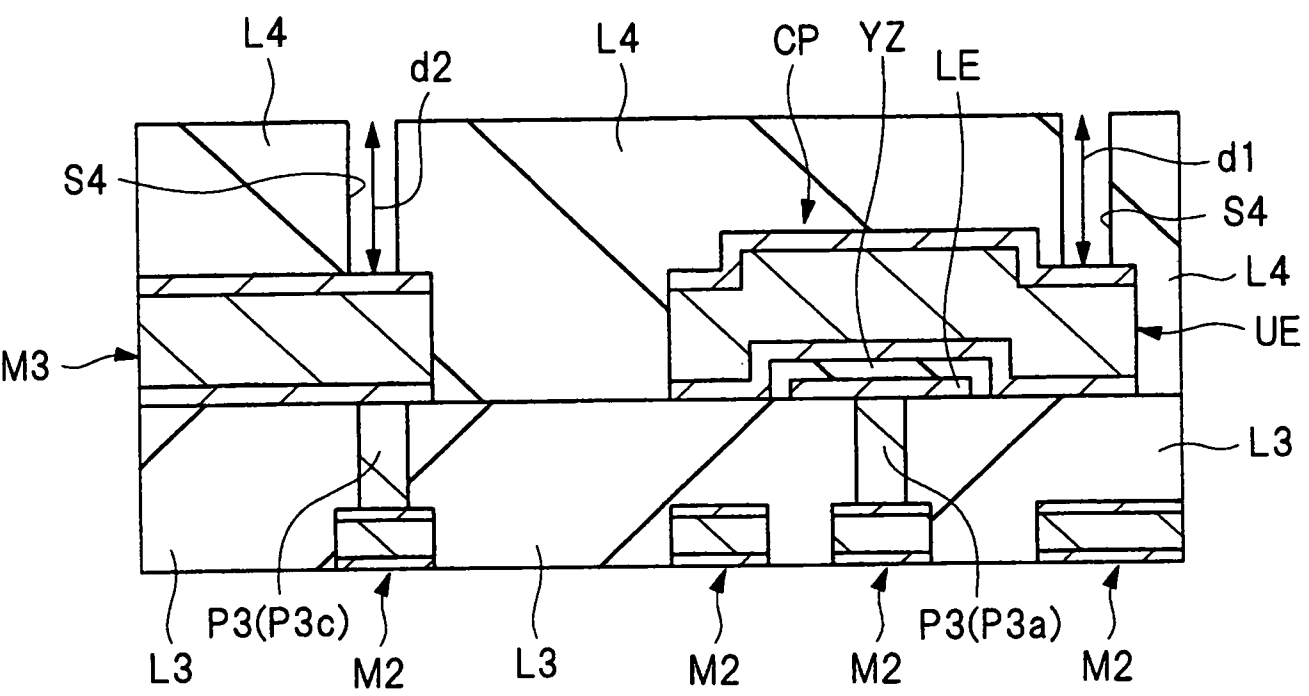


圖 21

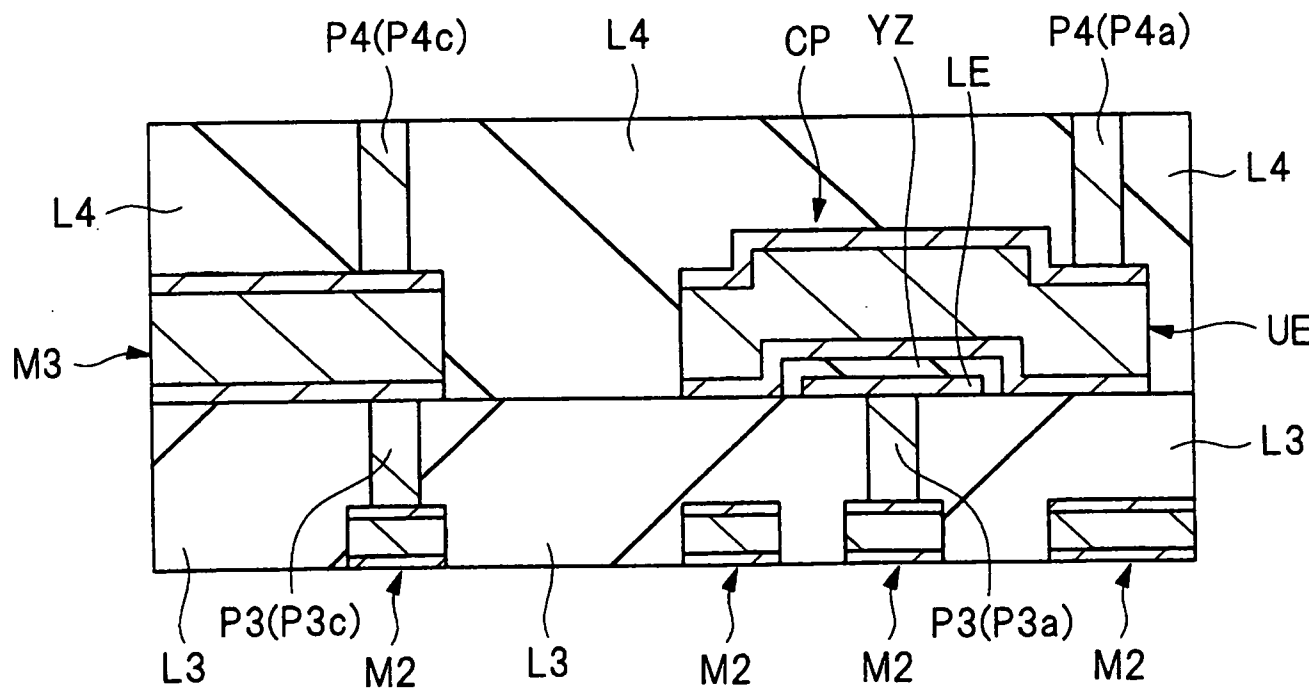


圖 22

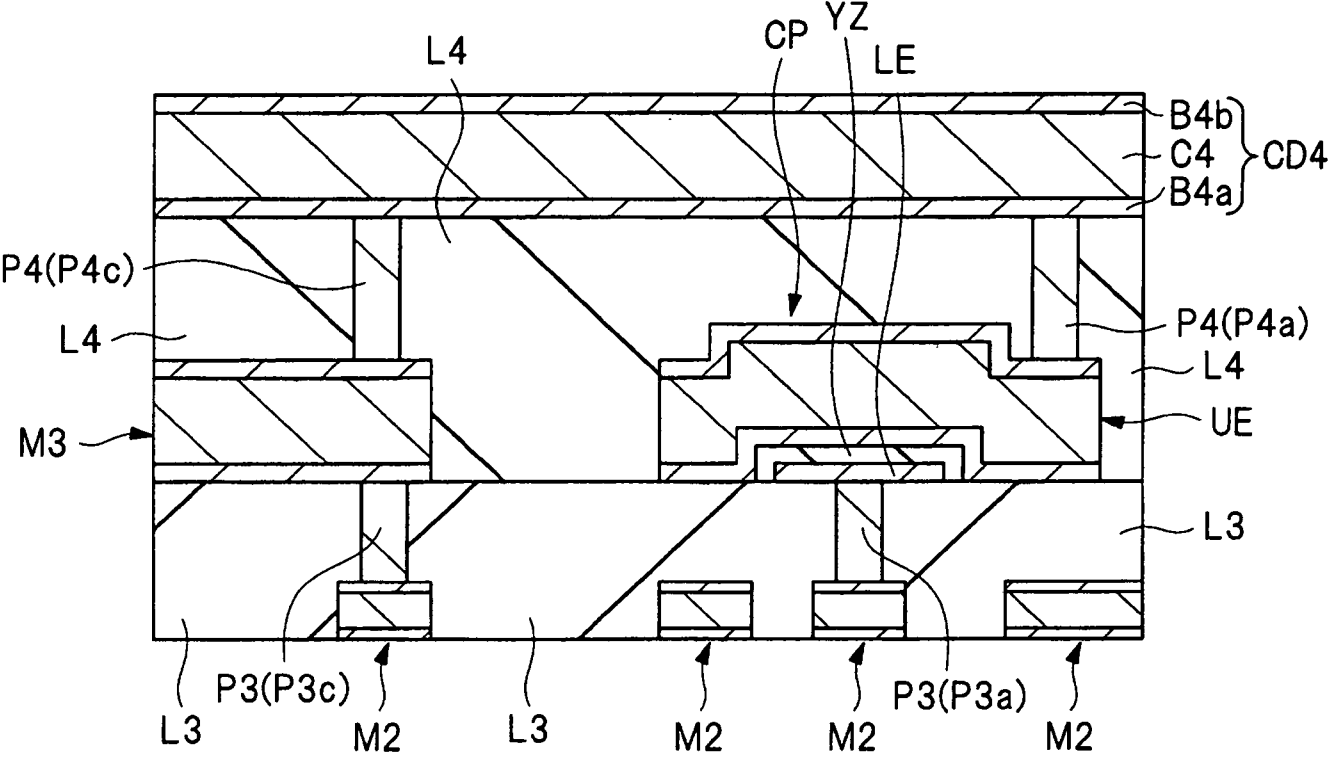


圖 23



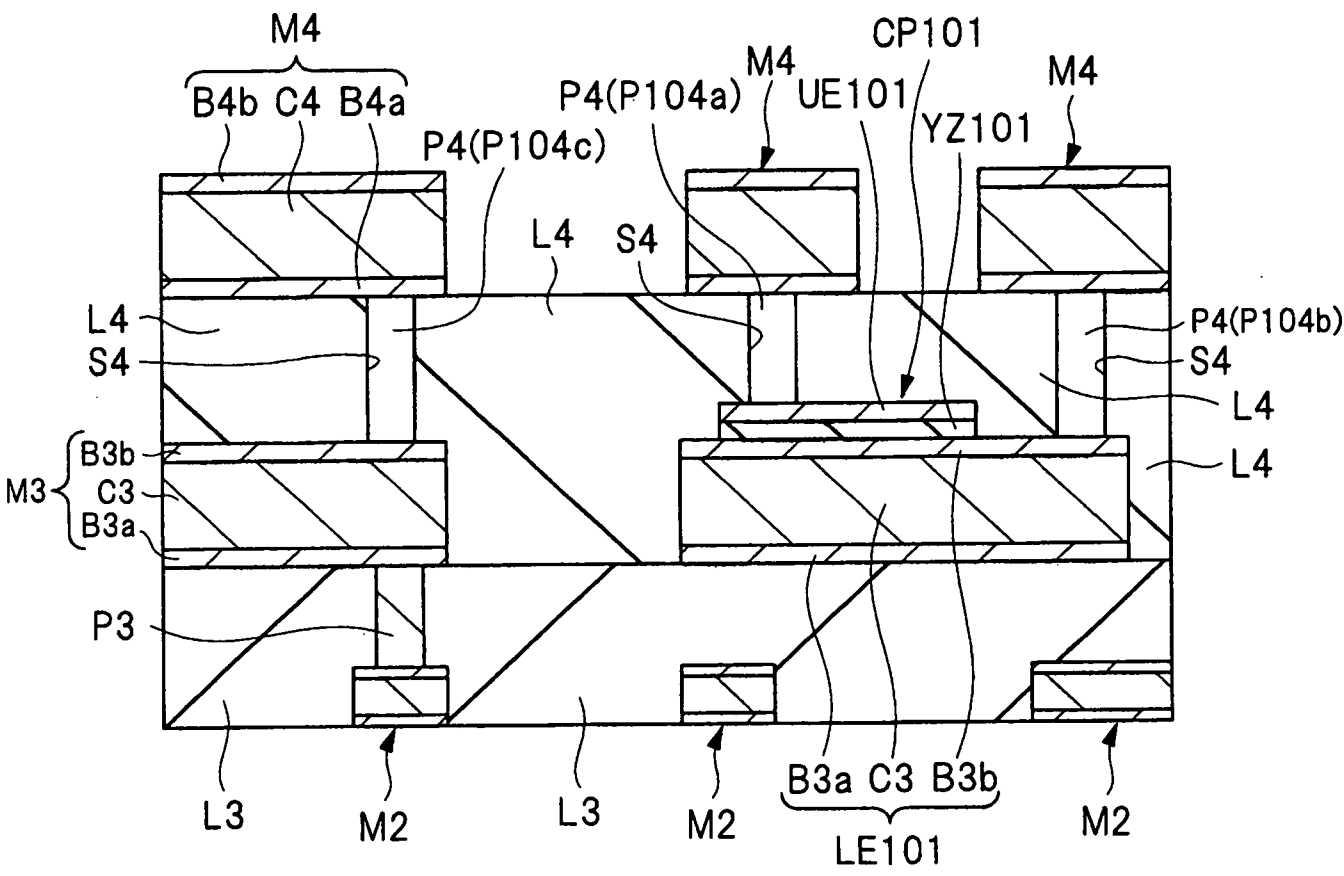


圖 25

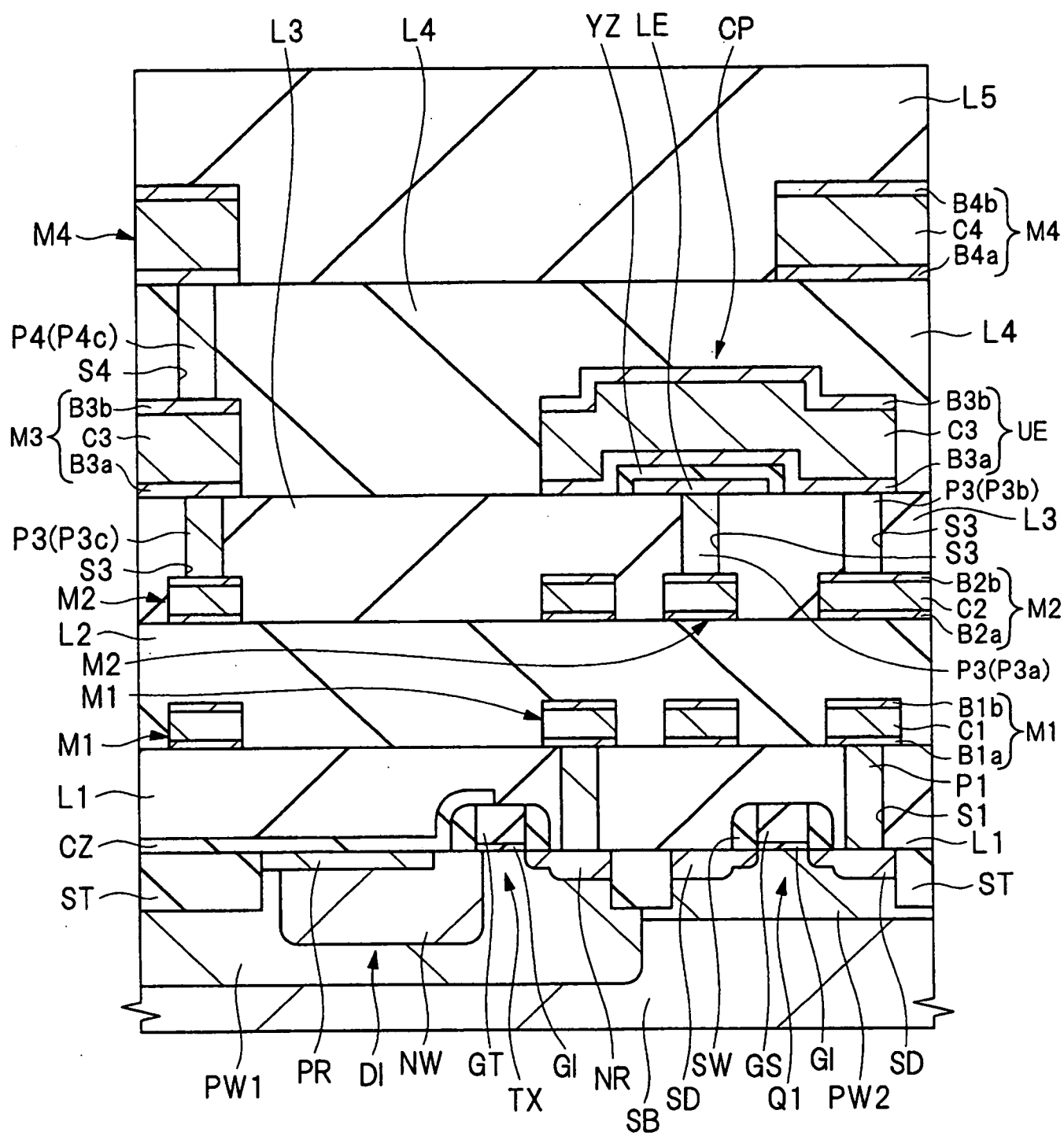


圖 26

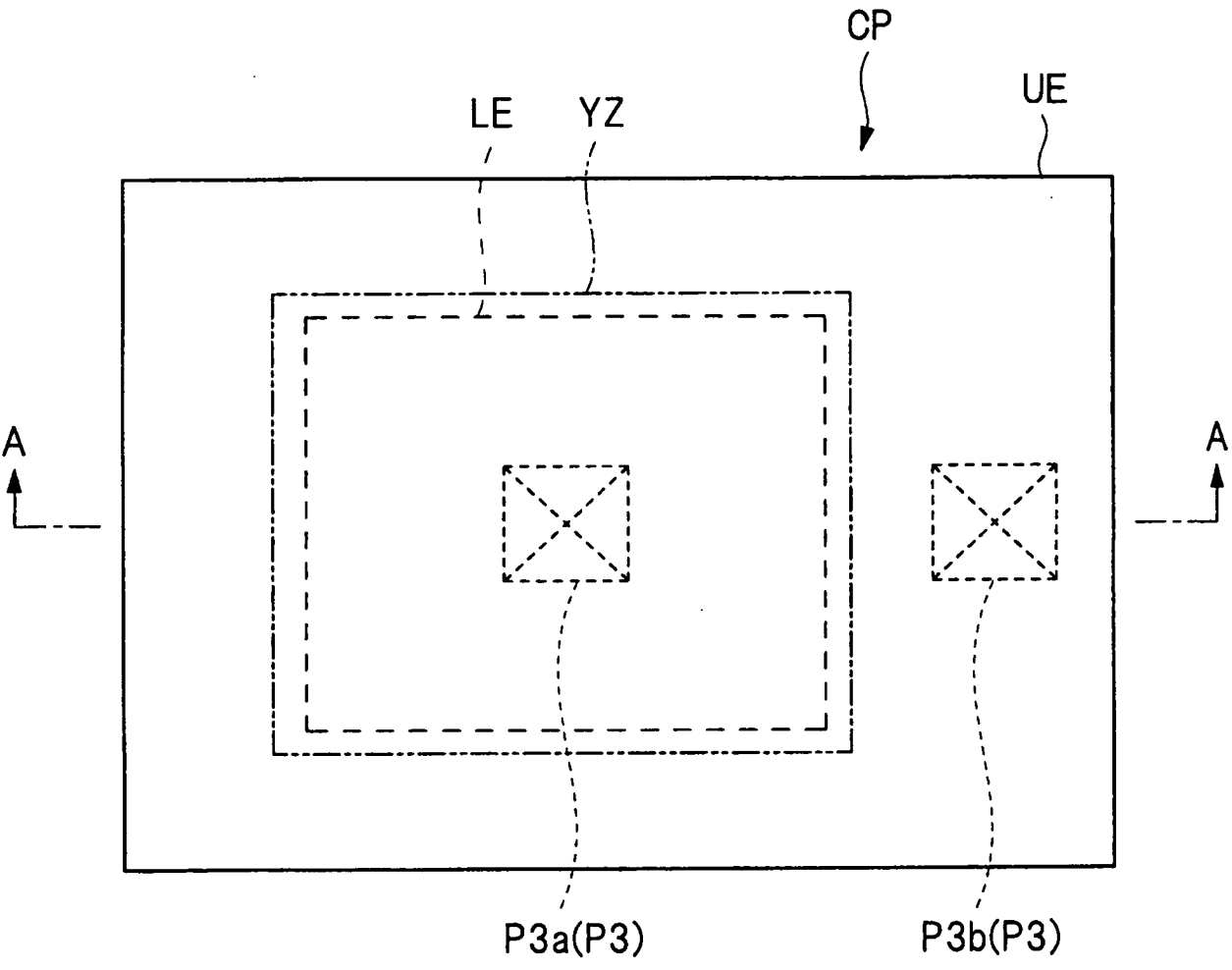


圖 27

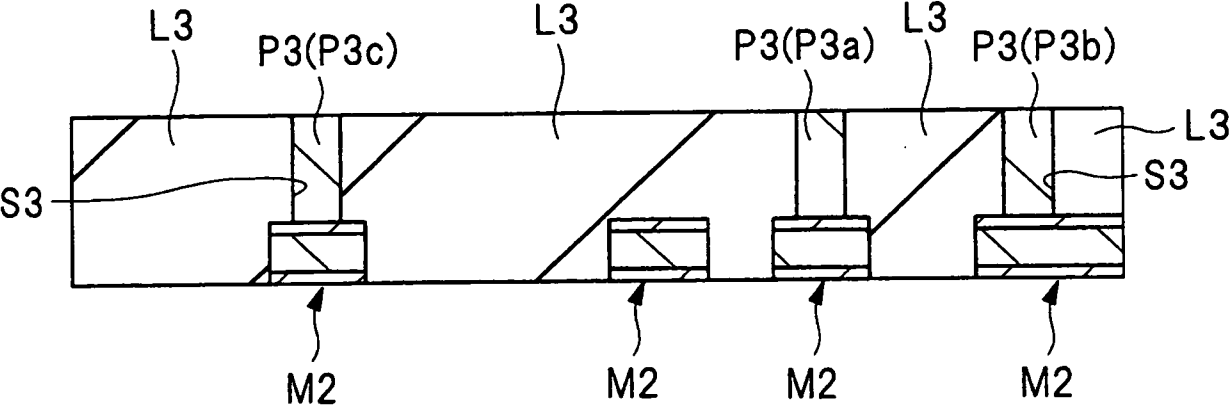


圖 28

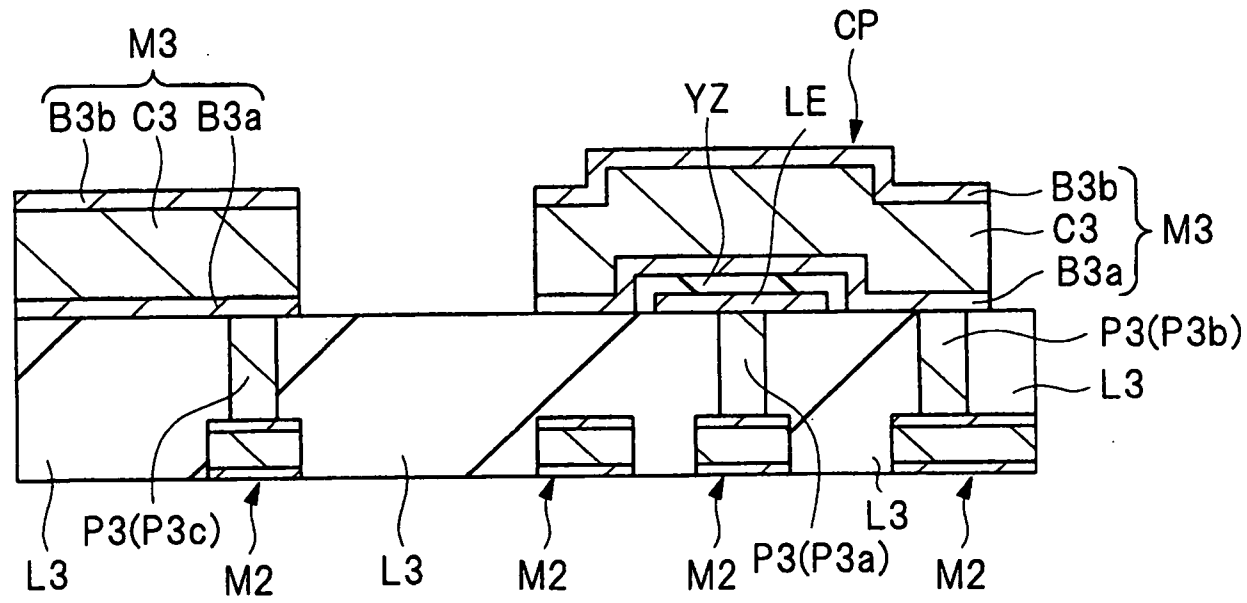


圖 29

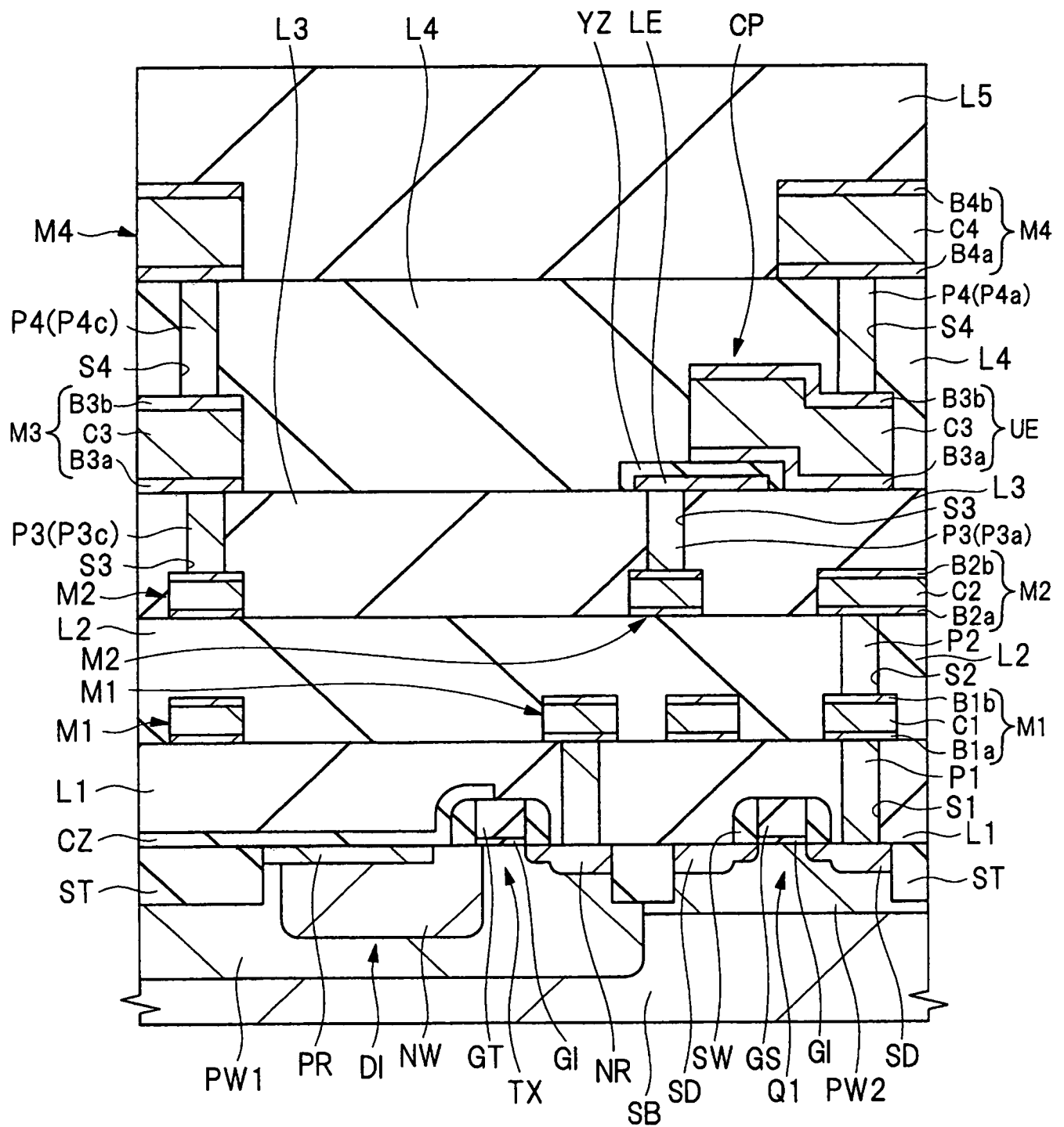


圖 30

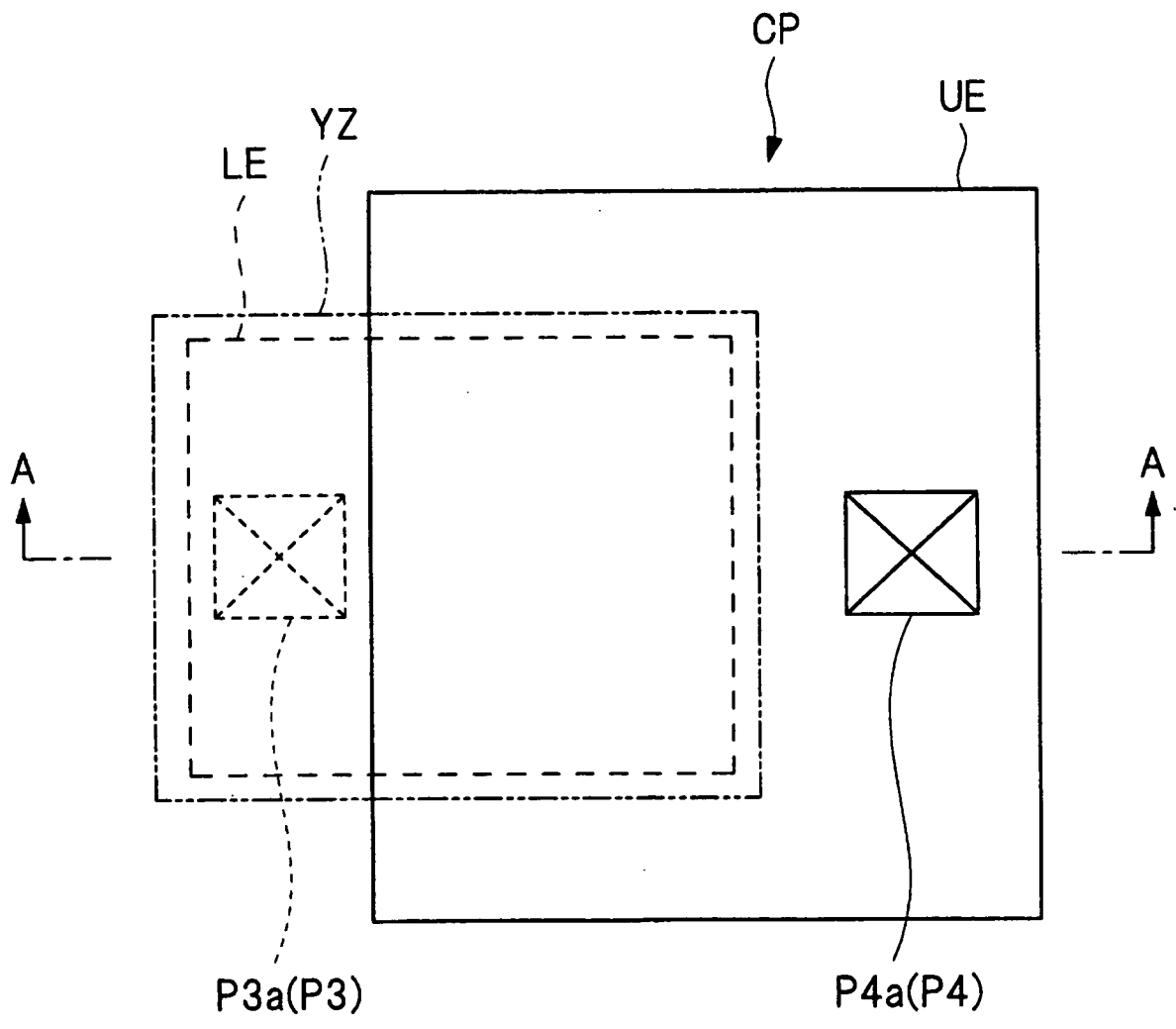


圖 31

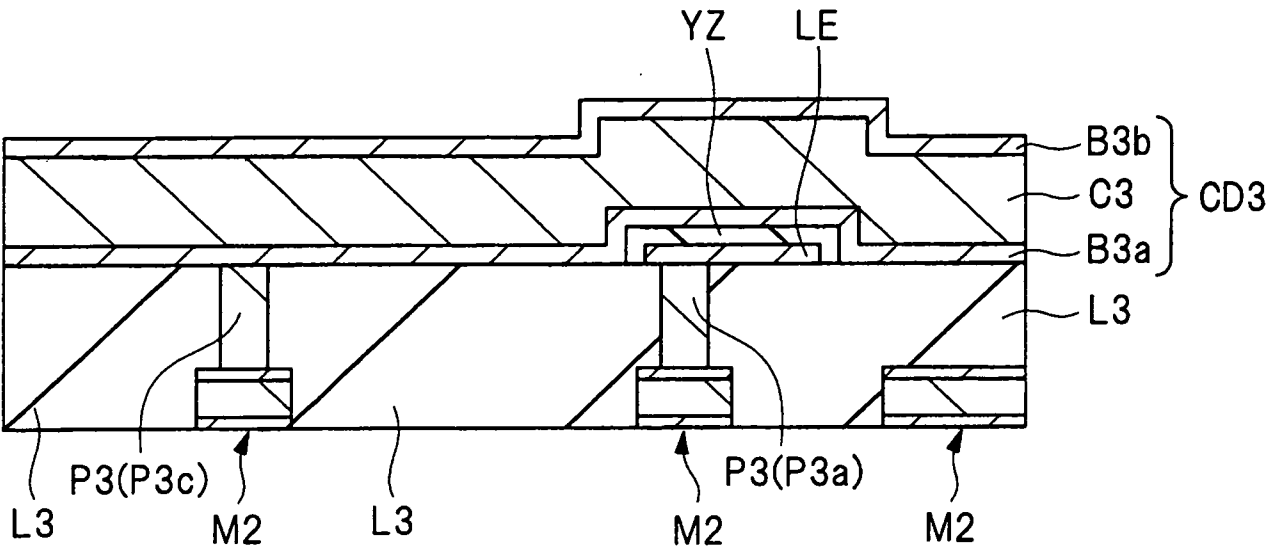


圖 32

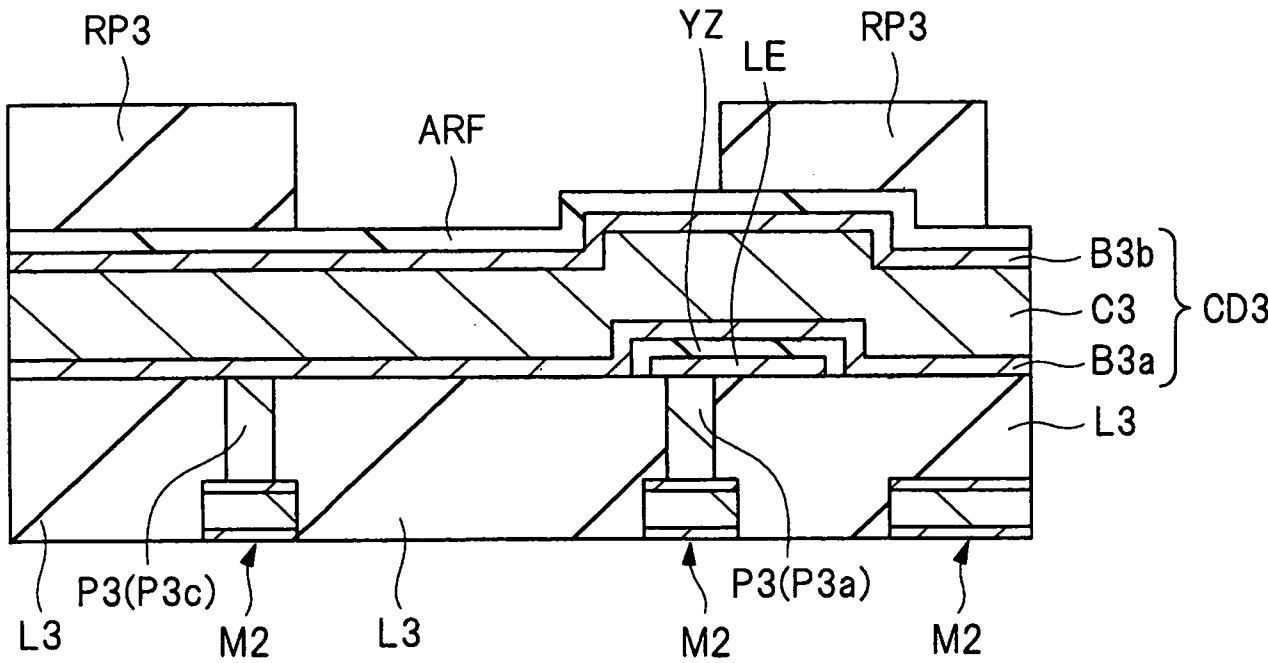


圖 33

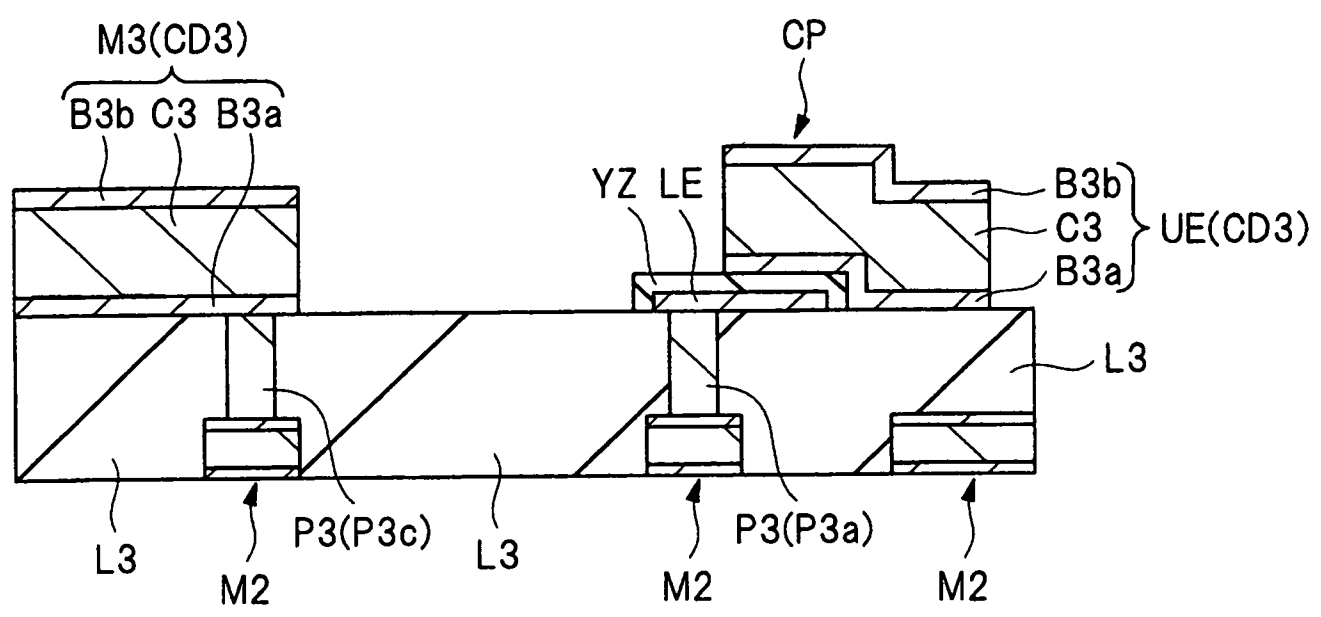


圖 34

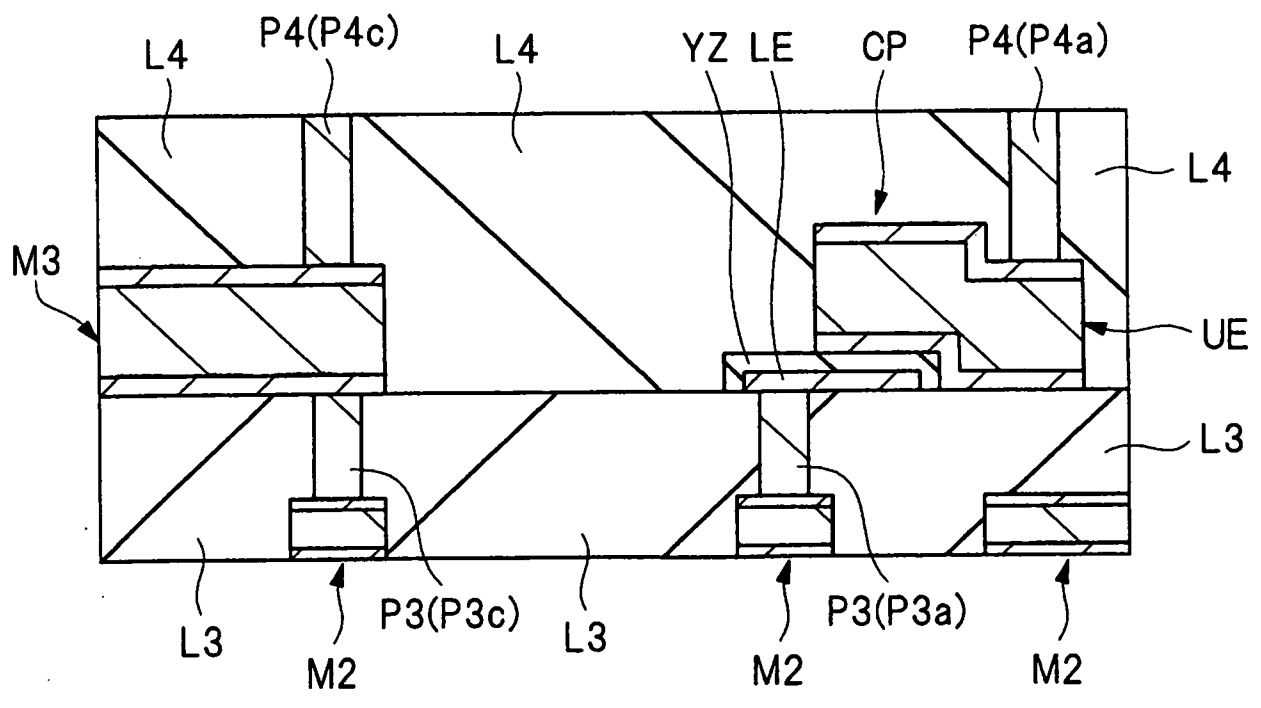


圖 35

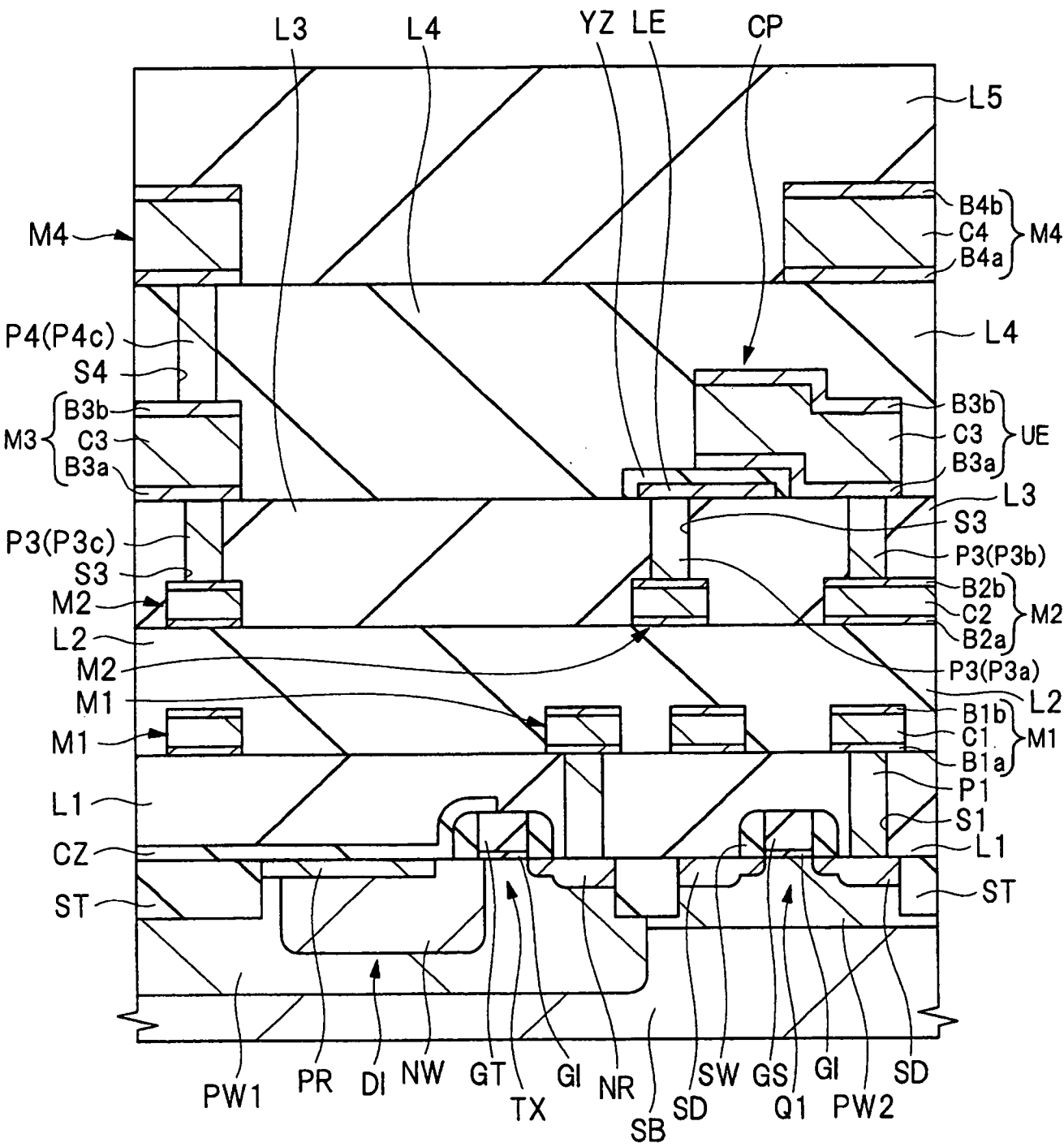


圖 36

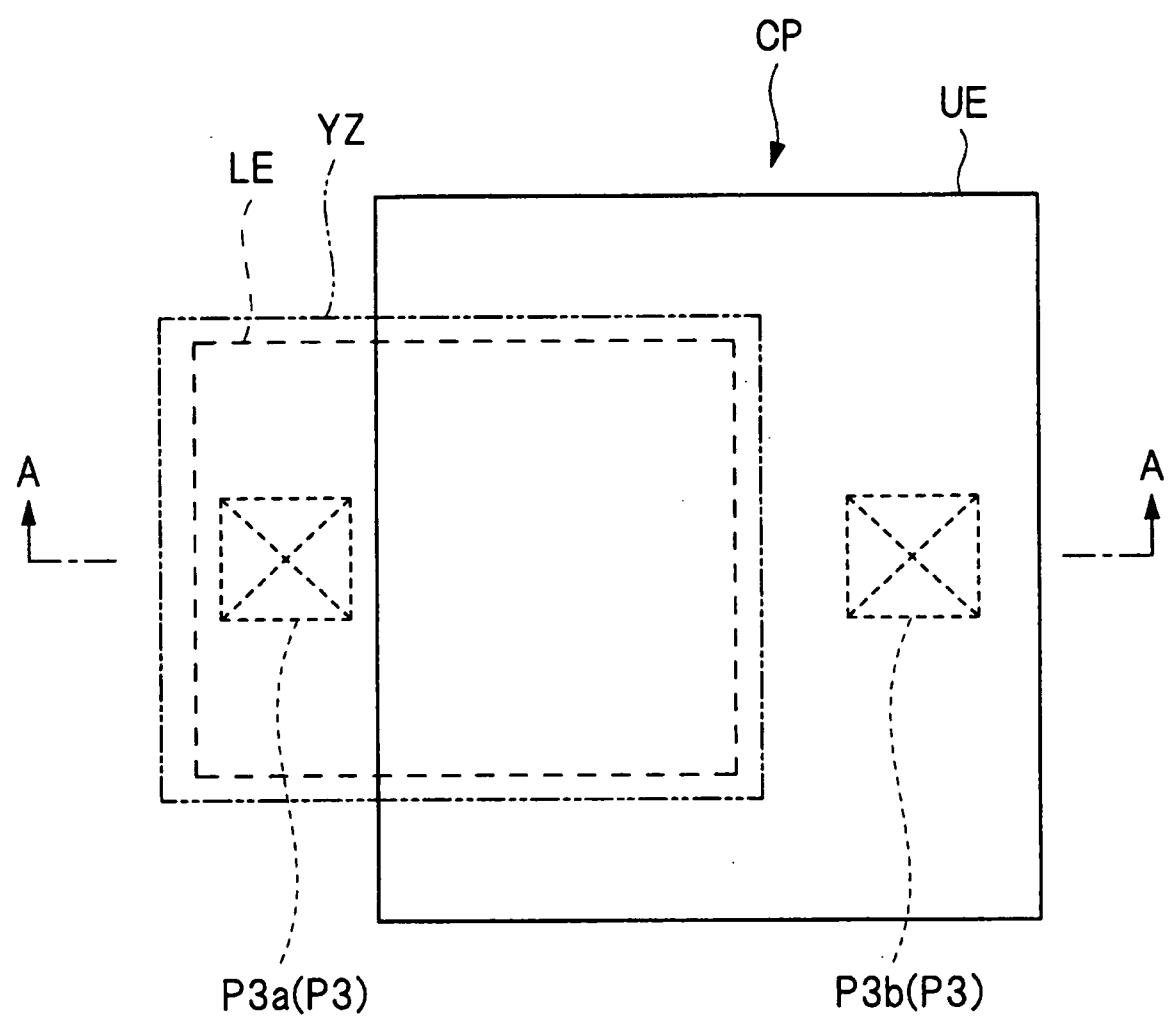


圖 37

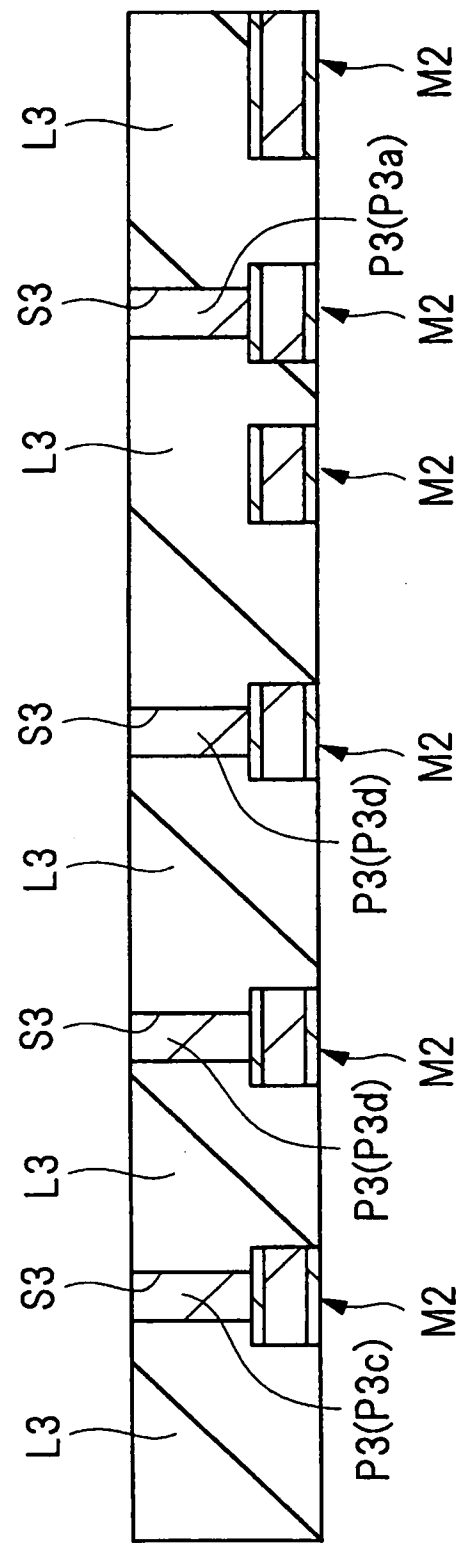


圖38

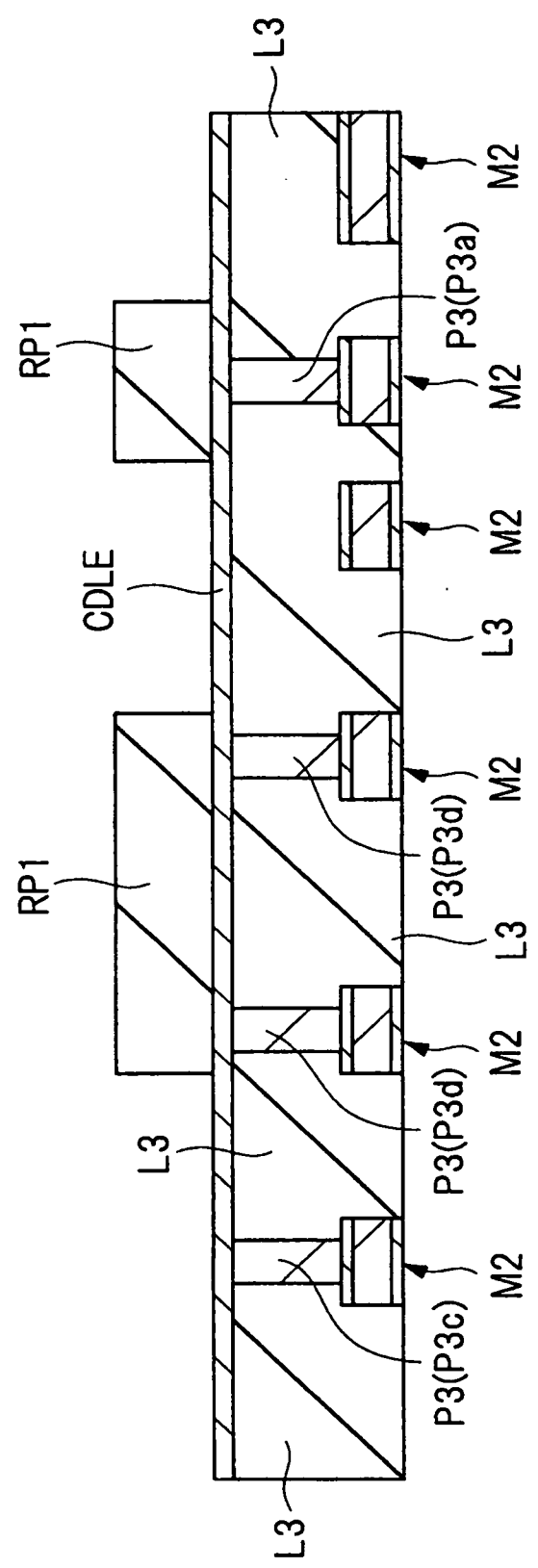


圖39

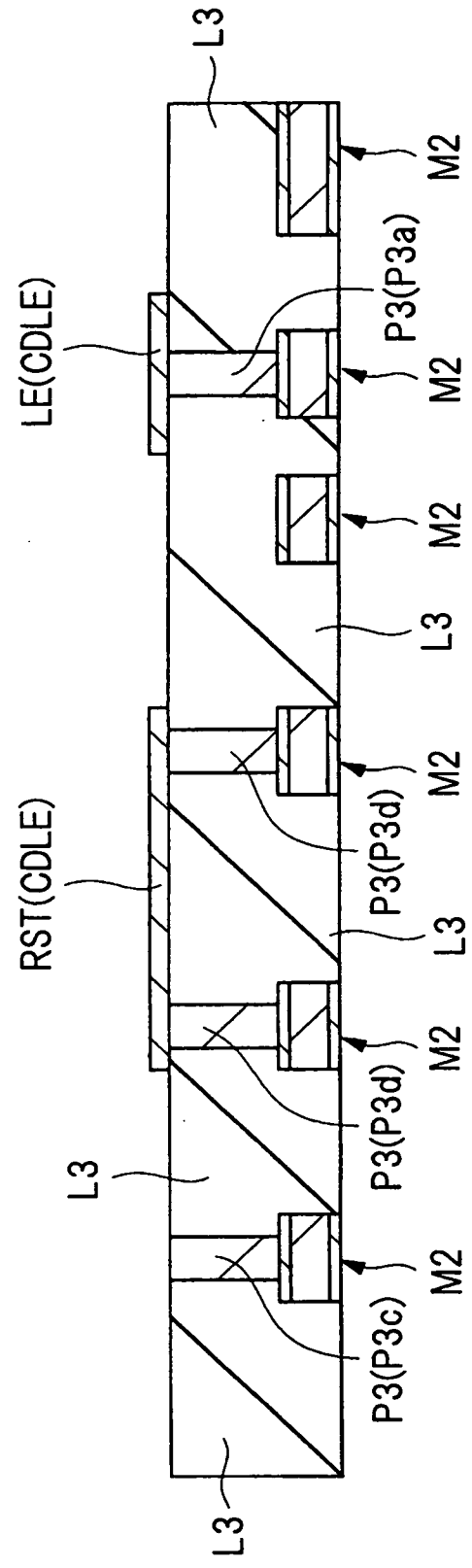


圖40

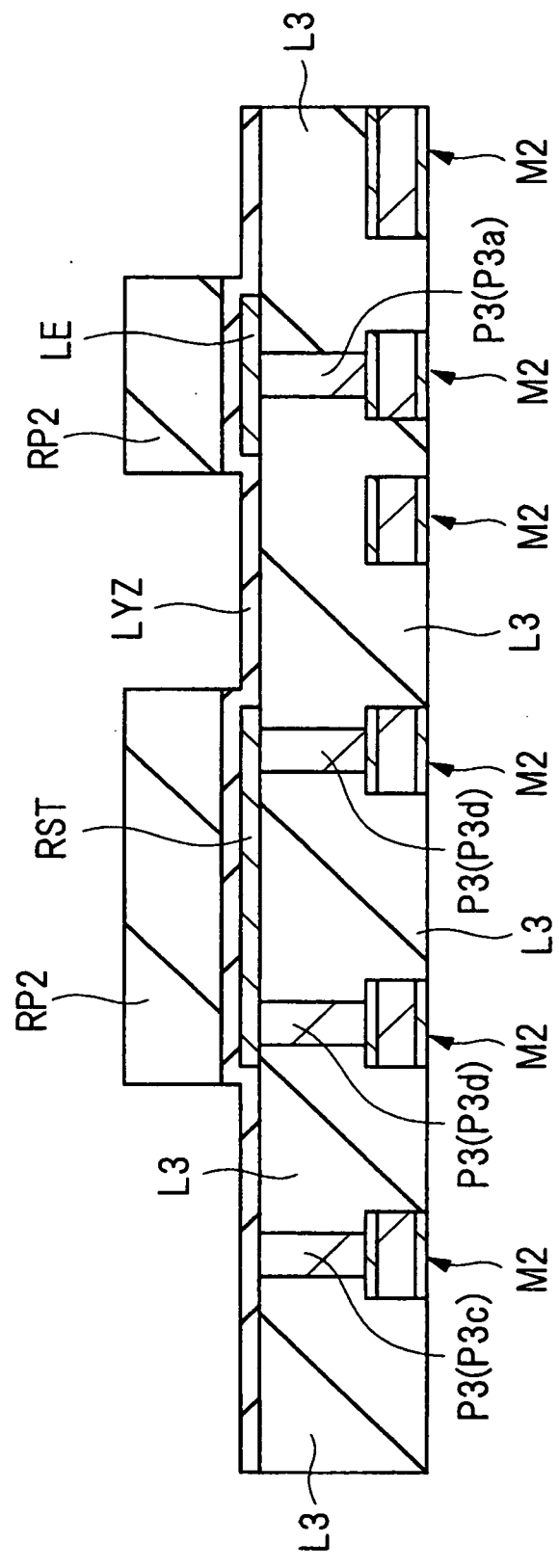


圖41

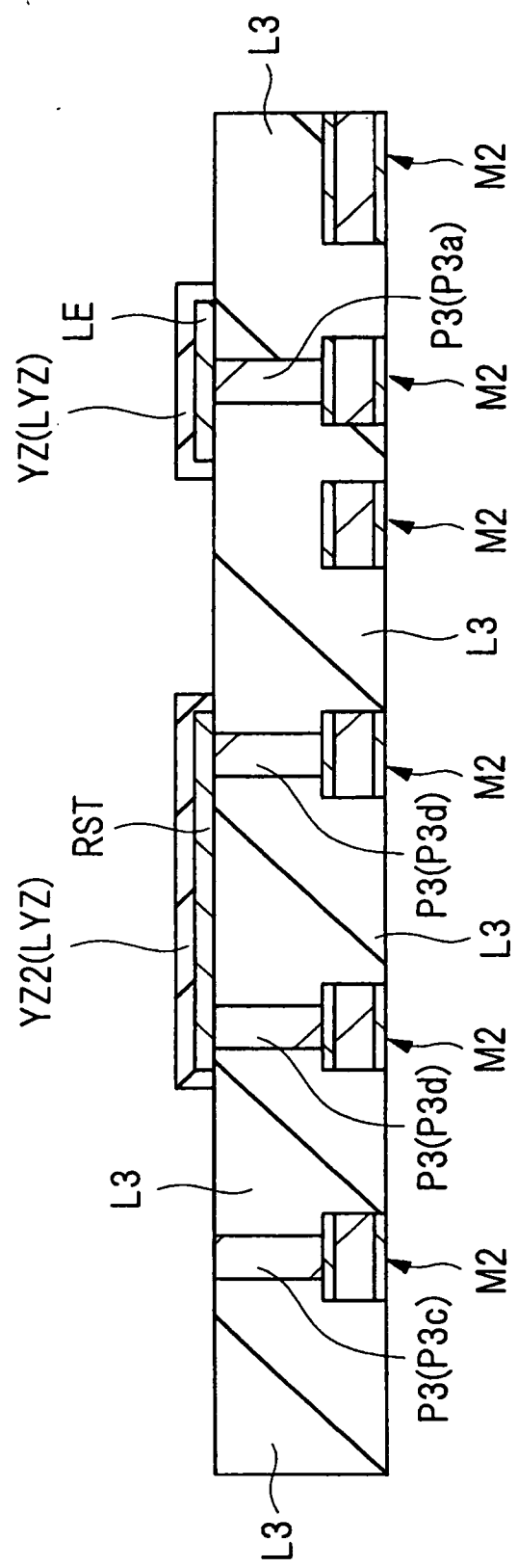


圖42

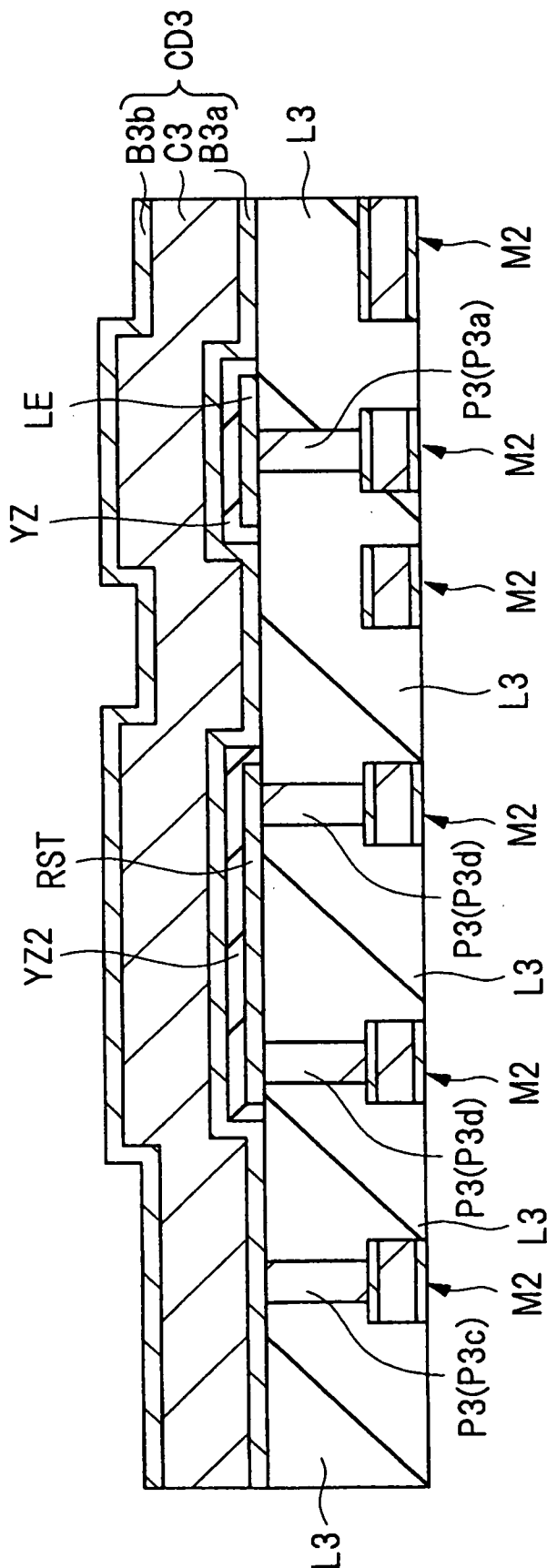


圖43

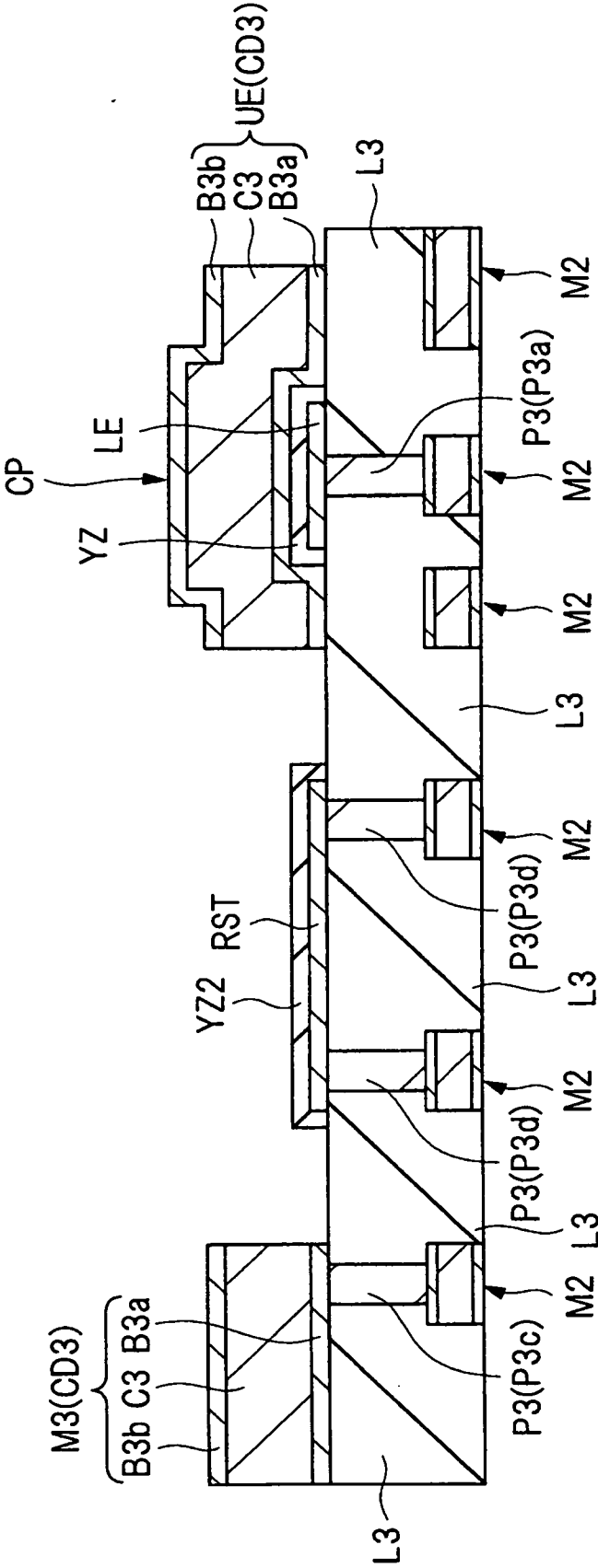


圖44

