

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
21. Juni 2001 (21.06.2001)

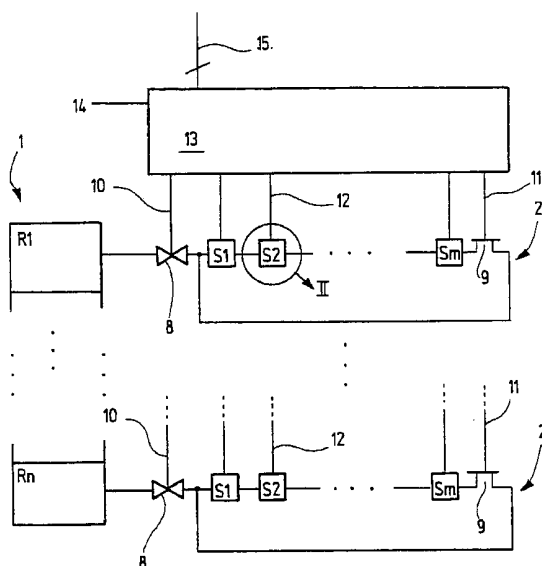
PCT

(10) Internationale Veröffentlichungsnummer
WO 01/44928 A1

- (51) Internationale Patentklassifikation⁷: G06F 9/30, (72) Erfinder; und
G11C 19/18 (75) Erfinder/Anmelder (nur für US): AUE, Axel [DE/DE];
Thomas-Mann-Strasse 28, 70825 Korntal-Muenchingen
(DE).
- (21) Internationales Aktenzeichen: PCT/DE00/03781
- (22) Internationales Anmeldedatum: (81) Bestimmungsstaaten (national): CN, JP, US.
26. Oktober 2000 (26.10.2000)
- (25) Einreichungssprache: Deutsch (84) Bestimmungsstaaten (regional): europäisches Patent (AT,
BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,
NL, PT, SE).
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität: Veröffentlicht:
199 60 716.8 15. Dezember 1999 (15.12.1999) DE — Mit internationalem Recherchenbericht.
- (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von Zur Erklärung der Zweibuchstaben-Codes, und der anderen
US): ROBERT BOSCH GMBH [DE/DE]; Postfach 30 02 Abkürzungen wird auf die Erklärungen ("Guidance Notes on
Codes and Abbreviations") am Anfang jeder regulären Ausgabe
20, 70442 Stuttgart (DE). der PCT-Gazette verwiesen.

(54) Title: REGISTER ARRANGEMENT FOR A MICROCOMPUTER WITH A REGISTER AND FURTHER STORAGE MEDIA

(54) Bezeichnung: REGISTERANORDNUNG EINES MIKROCOMPUTERS MIT EINEM REGISTER UND MIT WEITEREN SPEICHERMITTELN



(57) Abstract: The invention relates to a register arrangement, for a microcomputer, with a register (1), which comprises at least one register bit (R1 to Rn) and further storage media, dedicated to the register (1) and in which the data content of the register (1) may be temporarily stored. According to the invention, in order to reduce the processing time for recovery of the data content of the register (1) and to keep the silicon area necessary for the register arrangement to a minimum, the further storage media should be arranged as at least one shift register (2), with at least two shift register cells (S1 to Sm), whereby the content of any shift register cell (S1 to Sm) may be transferred to a register bit (R1 to Rn) and, vice versa, the content of a register bit (R1 to Rn) may be transferred to any shift register cell (S1 to Sm).

[Fortsetzung auf der nächsten Seite]

WO 01/44928 A1





(57) Zusammenfassung: Die Erfindung betrifft eine Registeranordnung eines Mikrocomputers, mit einem Register (1), das mindestens ein Registerbit (R1 bis Rn) aufweist, und mit weiteren Speichermitteln, die dem Register (1) zugeordnet sind und auf denen der Dateninhalt des Registers (1) zwischenspeicherbar ist. Um einerseits die Rechenzeit zum Retten des Dateninhalts des Registers (1) zu reduzieren und andererseits aber die für die Registeranordnung benötigte Siliziumfläche möglichst gering zu halten, wird vorgeschlagen, dass die weiteren Speichermittel als mindestens ein Schieberegister (2) mit mindestens zwei Schieberegisterzellen (S1 bis Sm) ausgebildet sind, wobei der Inhalt einer beliebigen Schieberegisterzelle (S1 bis Sm) in ein Registerbit (R1 bis Rn) und umgekehrt der Inhalt eines Registerbits (R1 bis Rn) in eine beliebige Schieberegisterzelle (S1 bis Sm) gebracht werden kann.

5

10 Registeranordnung eines Mikrocomputers mit einem Register
und mit weiteren Speichermitteln

Stand der Technik

15

Die vorliegende Erfindung betrifft eine Registeranordnung
eines Mikrocomputers, mit einem Register, das mindestens
ein Registerbit aufweist, und mit weiteren Speichermitteln,
die dem Register zugeordnet sind und auf denen der
20 Dateninhalt des Registers zwischenspeicherbar ist.

Ein Mikrocomputer weist eine Vielzahl unterschiedlicher
Register auf, um die Verarbeitungsgeschwindigkeit zu
erhöhen. So weist beispielsweise der Mikroprozessor eines
25 Mikrocomputers in seiner Ausführungs-Einheit ein Daten-
Register und ein Adress-Register auf. Zur Gleitkomma-
Rechnung weist der Prozessor in der Floating Point Unit
(FPU) und zum Rechnen mit ganzen Zahlen in der Integer Unit
(IU) mehrere Register auf (sog. Rechenregister). Darüber
30 hinaus verfügt ein Mikroprozessor auch über sog.
Befehlsregister.

In den Registern werden von auf dem Mikrocomputer
ablaufenden Anwendungen Daten abgelegt. Wenn eine
35 Anwendung, die ein Register beansprucht, von einer
höherpriorisierten Anwendung unterbrochen wird, die
dasselbe Register beanspruchen möchte, muss das Register

- 2 -

möglichst schnell und ohne Datenverlust für die
höherpriorisierte Anwendung freigemacht werden. Dazu werden
die in dem Register abgelegten Daten der
niederpriorisierten Anwendung in weiteren Speichermitteln
5 zwischengespeichert. Nach dem Stand der Technik sind die
weiteren Speichermittel bspw. als ein Stack ausgebildet,
auf den die Daten des Registers gerettet werden. Die
höherpriorisierte Anwendung kann ihre Daten dann in dem
Register ablegen. Nach Beendigung der höherpriorisierten
10 Anwendung werden die auf den Stack geretteten Daten zurück
in das Register geladen und die unterbrochene,
niederpriorisierte Anwendung wird fortgesetzt.

Es ist denkbar, dass mehrere verschieden priorisierte
15 Anwendungen ineinander verschachtelt ausgeführt werden, so
dass auf dem Stack zeitweilig die Daten mehrerer
unterbrochener Anwendungen abgelegt sind. Insbesondere bei
Mikrocomputern zur Echtzeitverarbeitung werden
niederpriorisierte Anwendungen von Zeit zu Zeit von
20 höherpriorisierten Anwendungen unterbrochen und müssen die
Daten von den niederpriorisierten Anwendungen aus dem
Register auf einen Stack gerettet werden. Zur Unterbrechung
der niederpriorisierten Anwendung werden in der Regel
Interrupts verwendet.

25 Das Retten des Inhalts eines Registers auf einem Stack
beansprucht jedoch relativ viele Takte des Rechnerkerns.
Dadurch kann es nach der Unterbrechung einer
niederpriorisierten Anwendung während der Rettung des
30 Dateninhalts des Registers auf einen Stack zu einer
Verzögerung kommen, bevor das Register frei ist, die
höherpriorisierte Anwendung abgearbeitet werden kann und
ihre eigentliche Aufgaben erledigen kann.

35 Eine Möglichkeit, diese Verzögerung einer
höherpriorisierten Anwendung zu verringern bzw. zu

- 3 -

vermeiden besteht darin, die weiteren Speichermittel als Registerbänke auszubilden, d. h. die Register des Mikrocomputers mehrfach auszuführen. Zwar lassen sich die Daten aus dem Register bei Bedarf in sehr kurzer Zeit mit relativ wenigen Takten auf die Registerbänke retten. Allerdings sind die Registerbänke als vollständige Register ausgebildet. Da die Flip-Flops relativ viel Fläche beanspruchen, benötigen die Registerbänke dementsprechend viel Siliziumfläche. Aus Platz- und aus Kostengründen ist es jedoch erstrebenswert, einen Mikroprozessor auf einer möglichst geringen Siliziumfläche zu realisieren bzw. auf derselben Fläche möglichst viele Register unterzubringen.

Aus den vorgenannten Nachteilen des Standes der Technik ergibt sich die Aufgabe der vorliegenden Erfindung, eine Registeranordnung der eingangs genannten Art dahingehend auszugestalten und weiterzubilden, dass einerseits die Rechenzeit zum Retten des Dateninhalts des Registers reduziert wird, andererseits aber die für die Registeranordnung benötigte Siliziumfläche möglichst gering ist.

Zur Lösung dieser Aufgabe schlägt die Erfindung ausgehend von der Registeranordnung der eingangs genannten Art vor, dass die weiteren Speichermittel als mindestens ein Schieberegister mit mindestens zwei Schieberegisterzellen ausgebildet sind, wobei der Inhalt einer beliebigen Schieberegisterzelle in ein Registerbit und umgekehrt der Inhalt eines Registerbits in eine beliebige Schieberegisterzelle übertragen werden kann.

In der DE 196 11 520 A1 ist des Weiteren ein IDDQ Test für einen Rechner beschrieben, wobei eine Steuereinheit Mittel enthält, die den Rechner in bestimmte Betriebszustände überführen können. Weiterhin sind Erfassungsmittel vorhanden, die den Strom oder die Spannung im

- 4 -

Spannungsversorgungskreis des Rechners erfassen, woraufhin
in Vergleichsmitteln der erfaßte Strom oder die erfaßte
Spannung mit wenigstens einem vorgegebenen Schwellwert
verglichen wird. Zur Betätigung der Anzeigevorrichtung
5 und/oder des Abschaltens gibt es Betätigungsmittel, die
abhängig von dem Vergleichsergebnis gegebenenfalls einen
Fehler zur Anzeige bringen oder in Reaktion auf einen
solchen Fehler die Abschaltung des gesamten Systems oder
Teilbereiche des Systems veranlassen.

10

Vorteile der Erfindung

Bei der erfindungsgemäßen Registeranordnung ist das
15 Register also nicht mehrfach ausgeführt, sondern zum Retten
des Dateninhalts des Registers lediglich mit mindestens
einem zusätzlichen Schieberegister versehen.
Schieberegister benötigen außerdem eine wesentlich kleiner
Siliziumfläche als bzgl. Speicherplatz gleichwertige
20 Registerbänke. Deshalb benötigt die erfindungsgemäße
Registeranordnung eine besonders kleine Siliziumfläche.

Gleichzeitig werden zum Retten des Dateninhalts des
Registers in das Schieberegister wesentlich weniger Takte
25 benötigt als beim Stand der Technik, wo der Inhalt des
Registers auf einen Stack gerettet wird.

Die erfindungsgemäße Registeranordnung beansprucht also
einerseits besonders wenige Takte des Rechnerkerns zum
30 Retten des Dateninhalts des Registers und andererseits aber
eine besonders kleine Siliziumfläche.

Werden schließlich vorteilhafterweise in der
erfindungsgemäßen Registeranordnung ausschließlich
35 statische Strukturen (CMOS-Architektur) verwendet, so kann
die Funktionsfähigkeit des Mikrocomputers auch mit Hilfe

- 5 -

des sog. IDDQ-Tests überprüft werden. Der IDDQ-Test beruht auf der physikalischen Tatsache, dass fehlerfreie CMOS-Schaltungen in einem Ruhezustand einen äußerst geringen Stromverbrauch aufweisen. Ein Fehler in der CMOS-Schaltung
5 kann zu einem signifikanten Anstieg des Stromverbrauchs führen. Der IDDQ-Test wird ausführlich beschrieben im Internet auf den Seiten http://www.cedcc.psu.edu/ee497f/rassp_43/sld072.htm bis http://www.cedcc.psu.edu/ee497f/rassp_43/sld080.htm (Stand 14.12.1999), auf die hier
10 ausdrücklich Bezug genommen wird.

Gemäß einer vorteilhaften Weiterbildung der vorliegenden Erfindung wird vorgeschlagen, dass jedem Registerbit des Registers ein Schieberegister zugeordnet ist. Gemäß dieser
15 Weiterbildung kann der Inhalt eines beliebigen Registerbits bei Bedarf in das dem Registerbit zugeordnete Schieberegister verschoben werden. Das Retten des Dateninhalts des Registers in die Schieberegister wird dadurch entscheidend vereinfacht und beschleunigt.

20
Gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung wird vorgeschlagen, dass jede Schieberegisterzelle nach Art eines Charged-Coupled-Device (CCD)-Elements ausgebildet ist. Es wird insbesondere vorgeschlagen, dass
25 jede Schieberegisterzelle einen Zellen-Transfer-Gate, einen Ladungsspeicher und einen Inverter aufweist. Eine derart ausgebildete Schieberegisterzelle stellt kein vollständiges Flip-Flop dar und benötigt dementsprechend weniger Siliziumfläche. Dennoch können die Speicherzellen des
30 erfindungsgemäßen Schieberegisters den Inhalt eines Registerbits schnell und zuverlässig empfangen, zumindest für die Dauer der Beanspruchung des Registers durch eine höherpriorisierte Anwendung zwischenspeichern und nach Beendigung der höherpriorisierten Anwendung schnell und
35 zuverlässig wieder in das Registerbit übertragen.

- 6 -

Der Inverter umfasst vorzugsweise zwei in Reihe geschaltete Transistoren. Der Zellen-Transfer-Gate umfasst vorteilhafterweise mindestens einen Transistor. Der Ladungsspeicher der erfindungsgemäßen Schieberegisterzelle ist vorzugsweise als eine Gatekapazität des Inverters ausgebildet. Alternativ kann der Ladungsspeicher auch als eine separate Kapazität ausgebildet sein. Die Schieberegisterzelle weist gemäß dieser bevorzugten Ausführungsform also lediglich drei Transistoren auf. Im Gegensatz dazu weist beispielsweise eine SRAM-Speicherzelle sechs oder vier Transistoren auf. Eine DRAM-Zelle hat zwar nur einen Transistor, benötigt aber eine umfangreiche Refresh-Logik.

Gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung wird vorgeschlagen, dass zwischen dem Register und der ersten Schieberegisterzelle ein Eingangs-Transfer-Gate angeordnet ist. Gemäß einer weiteren bevorzugten Ausführungsform der Erfindung wird vorgeschlagen, dass die letzte Schieberegisterzelle über einen Ausgangs-Transfer-Gate mit der ersten Schieberegisterzelle verbunden ist. Durch Öffnen des Ausgangs-Transfer-Gates kann der Inhalt der letzten Schieberegisterzelle in die erste Schieberegisterzelle verschoben werden, sofern deren Transfer-Gate geöffnet ist. Falls der Transfer-Gate der ersten Schieberegisterzelle geschlossen und der Eingangs-Transfer-Gate geöffnet ist, kann auch der Inhalt der letzten Schieberegisterzelle direkt in das Registerbit zu verschieben, dem das Schieberegister zugeordnet ist.

Die Zellen-Transfer-Gates sind mit einem Taktgeber verbunden, um die Dateninhalte der Schieberegisterzellen im Takt des Taktgebers von einer Schieberegisterzelle zu der nächsten zu verschieben. Ebenso sind der Eingangs-Transfer-Gate und der Ausgangs-Transfer-Gate vorteilhafterweise mit einem Taktgeber verbunden. Indem die verschiedenen

- 7 -

Transfer-Gates des Schieberegisters im Takt des Taktgebers angesteuert, d.h. geöffnet oder geschlossen, werden, können die Dateninhalte des Registers empfangen, innerhalb des Schieberegisters beliebig hin- und herverschoben und wieder an das Register übertragen werden. Der Taktgeber wird von dem Systemtakt des Mikrocomputers oder einem Vielfachen davon getaktet.

Zeichnungen

Ein bevorzugtes Ausführungsbeispiel der vorliegenden Erfindung wird im Folgenden anhand der Zeichnungen näher erläutert. Es zeigen:

Figur 1 eine erfindungsgemäße Registeranordnung gemäß einer bevorzugten Ausführungsform; und

Figur 2 eine Schieberegisterzelle eines Schieberegisters aus Figur 1 im Ausschnitt.

Ausführungsbeispiel

In Figur 1 ist eine erfindungsgemäße Registeranordnung dargestellt. Sie weist ein Register 1 mit mehreren Registerbits R1 bis Rn auf. Jedem Registerbit R1 bis Rn ist ein Schieberegister 2 mit mehreren Schieberegisterzellen S1, S2 bis Sm zugeordnet.

Der Aufbau einer Schieberegisterzelle S1 bis Sm wird nachfolgend unter Bezugnahme auf Figur 2 näher erläutert, wo die Schieberegisterzelle S2 des dem ersten Registerbit R1 zugeordneten Schieberegister 2 vergrößert dargestellt ist. Die übrigen Schieberegisterzellen sind entsprechend aufgebaut. Die Schieberegisterzelle S2 ist nach Art eines Charged-Coupled-Device (CCD)-Elements ausgebildet. Die Schieberegisterzelle S2 weist einen Zellen-Transfer-Gate 3,

- 8 -

einen Ladungsspeicher 4 und einen Inverter 5 auf. Der Zellen-Transfer-Gate 3 ist als ein Transistor ausgebildet. Der Inverter 5 umfasst zwei in Reihe geschaltete Transistoren 6, 7. Der Transistor 6 ist als ein pmos-
5 Transistor und der Transistor 7 als ein nmos-Transistor ausgebildet. Der Transistor 6 ist mit seiner Source an die Versorgungsspannung VDD und der Transistor 7 mit seinem Drain an Masse angeschlossen. Der Ladungsspeicher 4 ist als eine Gatekapazität des Inverters 5 ausgebildet. Alternativ
10 kann er auch als eine separate Kapazität ausgebildet sein.

Zwischen dem Register 1 und den ersten Schieberegisterzellen S1 der Schieberegister 2 ist jeweils ein Eingangs-Transfer-Gate 8 angeordnet. Die letzte
15 Schieberegisterzellen Sm der Schieberegister 2 sind jeweils über einen Ausgangs-Transfer-Gate 9 mit der ersten Schieberegisterzelle S1 des jeweiligen Schieberegisters 2 verbunden. Der Eingangs-Transfer-Gate 8 ist über eine Eingangs-Taktleitung 10, der Ausgangs-Transfer-Gate 9 über
20 eine Ausgangs-Taktleitung 11 und der Zellen-Transfer-Gate 3 der Schieberegisterzellen S1 bis Sm über eine Taktleitung 12 mit einem Taktgeber 13 verbunden. Der Taktgeber 13 erhält den Zeittakt von einer Systemuhr 14 des Mikrocomputers. Durch eine entsprechende Ansteuerung der
25 Transfer-Gates 3, 8, 9 über die Taktleitungen 10, 11, 12 können die Dateninhalte des Registers 1 in die Schieberegister 2 gerettet, die dort abgelegten Daten beliebig hin- und herverschoben und die Dateninhalte dann wieder aus den Schieberegistern 2 in das Register 1
30 übertragen werden. Der Inhalt der Registerbits R1 bis Rn kann somit in einer beliebigen Schieberegisterzelle S1 bis Sm des dem jeweiligen Registerbit R1 bis Rn zugeordneten Schieberegisters 2 abgelegt und umgekehrt aus einer beliebigen Schieberegisterzelle S1 bis Sm auch wieder
35 zurück in das Registerbit R1 bis Rn übertragen werden.

- 9 -

Bei einem Schieberegister 2 dauert das Verschieben des
Inhalts von einer Schieberegisterzelle S1 bis Sm in die
nächste bspw. 5 ns. Falls der Dateninhalt der
Schieberegisterzellen S1 bis Sm nur in eine Richtung
5 verschoben werden kann, ergibt sich bei einem
Schieberegister 2 mit zehn Schieberegisterzellen S1 bis Sm
eine maximale Zugriffszeit auf den Dateninhalt einer
Schieberegisterzelle S1 bis Sm von 50 ns. Welches der
Schieberegister 2 durch den Taktgeber 13 zu einem
10 bestimmten Zeittakt angesteuert werden soll, wird mittels
einer Register-File-Select-Leitung 15 festgelegt.

Jeweils die ersten Schieberegisterzellen S1 der
Schieberegister 2 bilden eine erste Registerbank. Ebenso
15 bilden die zweiten Schieberegisterzellen S2 der
Schieberegister 2 eine zweite Registerbank bis hin zu den
letzten Schieberegisterzellen Sm, die eine m-te
Registerbank bilden. Allerdings benötigen die aus den
Schieberegisterzellen S1 bis Sm aufgebauten Registerbänke
20 eine besonders kleine Siliziumfläche, da die einzelnen
Schieberegisterzellen S1 bis Sm nicht als vollständige
Flip-Flops ausgebildet sind und lediglich drei Transistoren
3, 6, 7 aufweisen. Dadurch kann der Platzbedarf der
erfindungsgemäßen Registeranordnung vermindert und die
25 Herstellungskosten können aufgrund der benötigten kleinen
Siliziumfläche gering gehalten werden.

5

Ansprüche

10

15

20

25

30

35

1. Registeranordnung eines Mikrocomputers, mit einem Register (1), das mindestens ein Registerbit (R1 bis Rn) aufweist, und mit weiteren Speichermitteln, die dem Register (1) zugeordnet sind und auf denen der Dateninhalt des Registers (1) zwischenspeicherbar ist, **dadurch gekennzeichnet**, dass die weiteren Speichermittel als mindestens ein Schieberegister (2) mit mindestens zwei Schieberegisterzellen (S1 bis Sm) ausgebildet sind, wobei der Inhalt einer beliebigen Schieberegisterzelle (S1 bis Sm) in ein Registerbit (R1 bis Rn) und umgekehrt der Inhalt eines Registerbits (R1 bis Rn) in eine beliebige Schieberegisterzelle (S1 bis Sm) gebracht werden kann.
2. Registeranordnung nach Anspruch 1, dadurch gekennzeichnet, dass jedem Registerbit (R1 bis Rn) des Registers (1) ein Schieberegister (2) zugeordnet ist.
3. Registeranordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass jede Schieberegisterzelle (S1 bis Sm) nach Art eines Charged-Coupled-Device (CCD)-Elements ausgebildet ist.
4. Registeranordnung nach Anspruch 3, dadurch gekennzeichnet, dass jede Schieberegisterzelle (S1 bis Sm) einen Zellen-Transfer-Gate (3), einen Ladungsspeicher (4)

- 11 -

und einen Inverter (5) aufweist.

5. Registeranordnung nach Anspruch 4, dadurch
gekennzeichnet, dass der Zellen-Transfer-Gate (3)
5 mindestens einen Transistor umfaßt.

6. Registeranordnung nach Anspruch 4 oder 5, dadurch
gekennzeichnet, dass der Ladungsspeicher (4) als eine
Gatekapazität des Inverters (5) oder als eine separate
10 Kapazität ausgebildet ist.

7. Registeranordnung nach einem der Ansprüche 1 bis 6,
dadurch gekennzeichnet, dass zwischen dem Register (1) und
der ersten Schieberegisterzelle (S1) ein Eingangs-Transfer-
15 Gate (8) angeordnet ist.

8. Registeranordnung nach Anspruch 7, dadurch
gekennzeichnet, dass die letzte Schieberegisterzelle (Sm)
über einen Ausgangs-Transfer-Gate (9) mit der ersten
20 Schieberegisterzelle (S1) verbunden ist.

9. Registeranordnung nach Anspruch 7 oder 8, dadurch
gekennzeichnet, dass der Eingangs-Transfer-Gate (8) und der
Ausgangs-Transfer-Gate (9) mit einem Taktgeber (13)
25 verbunden sind.

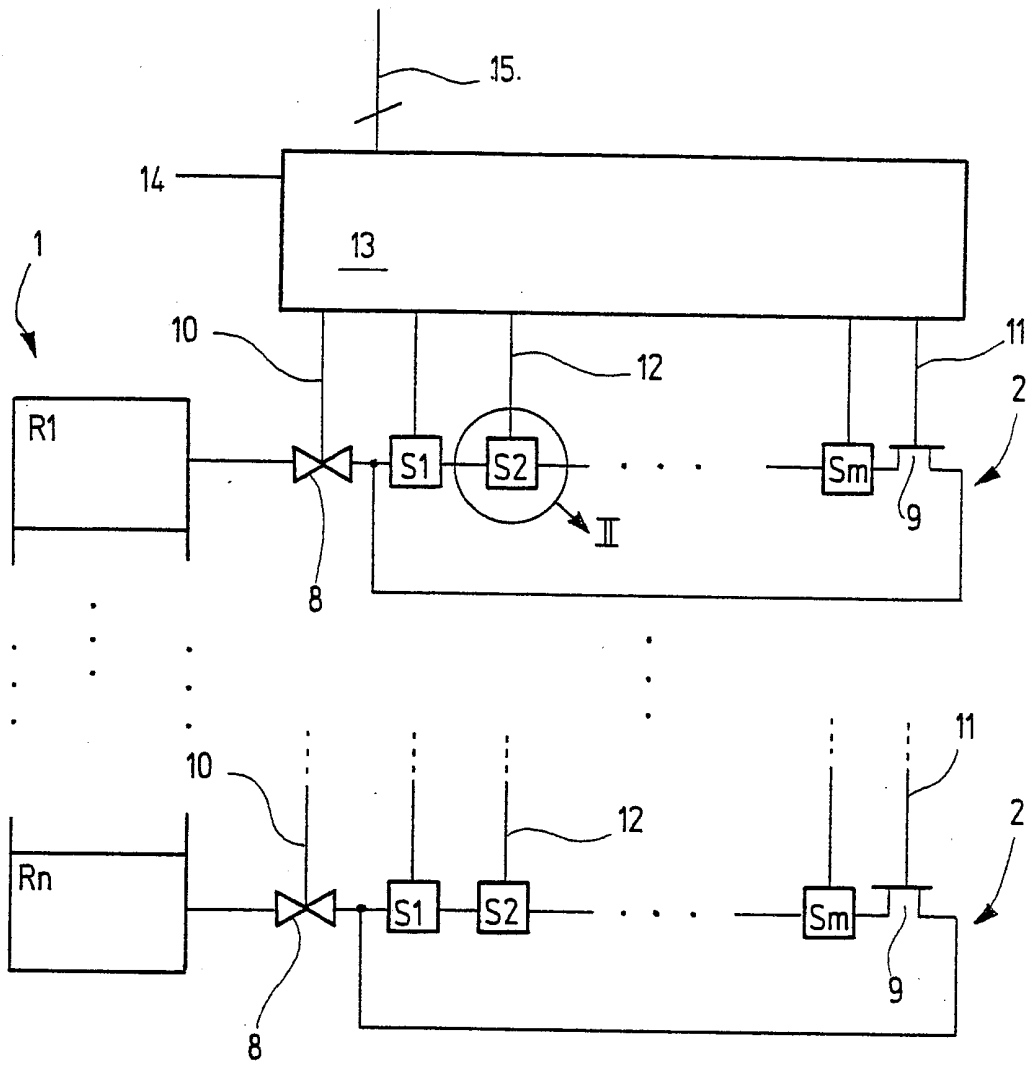


Fig.1

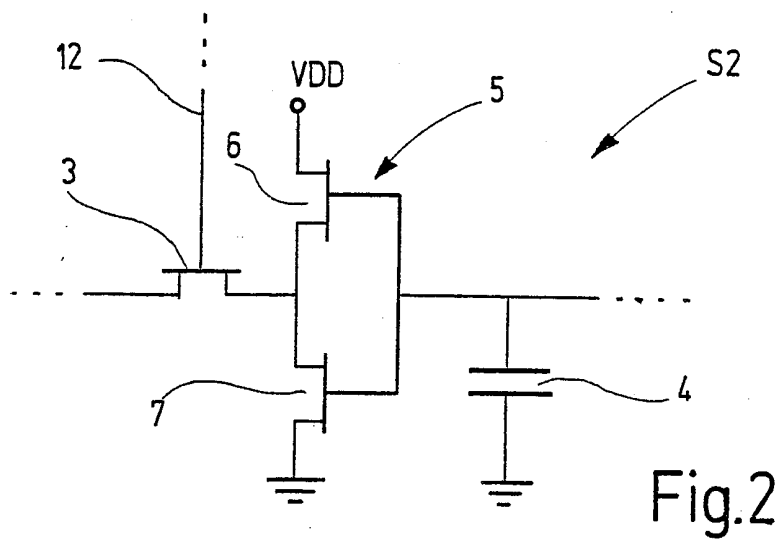


Fig.2

INTERNATIONAL SEARCH REPORT

International Application No

PC1/DE 00/03781

A. CLASSIFICATION OF SUBJECT MATTER
 IPC 7 G06F9/30 G11C19/18

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
 IPC 7 G06F G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	TREMBLAY M ET AL: "VLSI IMPLEMENTATION OF A SHIFT-REGISTER FILE" PROCEEDINGS OF THE ANNUAL HAWAII INTERNATIONAL CONFERENCE ON SYSTEM SCIENCES, 6 January 1987 (1987-01-06), XP000603211	1-3,7-9
Y	the whole document ---	4-6
Y	US 3 937 984 A (FRY PETER WILLIAM) 10 February 1976 (1976-02-10) the whole document ---	4-6
	-/--	

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *&* document member of the same patent family

Date of the actual completion of the international search

9 March 2001

Date of mailing of the international search report

19/03/2001

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
 Fax: (+31-70) 340-3016

Authorized officer

Daskalakis, T

INTERNATIONAL SEARCH REPORT

International Application No

PC1/DE 00/03781

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>ERCANLI E ET AL: "A REGISTER FILE AND SCHEDULING MODEL FOR APPLICATION SPECIFIC PROCESSOR SYNTHESIS" LAS VEGAS, JUNE 3 - 7, 1996, NEW YORK, IEEE, US, vol. CONF. 33, 3 June 1996 (1996-06-03), pages 35-40, XP000640319 ISBN: 0-7803-3294-6 -----</p>	

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 00/03781

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 3937984 A	10-02-1976	GB 1459951 A	31-12-1976

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PC1/DE 00/03781

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

IPK 7 G06F9/30 G11C19/18

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 G06F G11C

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie°	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	TREMBLAY M ET AL: "VLSI IMPLEMENTATION OF A SHIFT-REGISTER FILE" PROCEEDINGS OF THE ANNUAL HAWAII INTERNATIONAL CONFERENCE ON SYSTEM SCIENCES, 6. Januar 1987 (1987-01-06), XP000603211	1-3, 7-9
Y	das ganze Dokument	4-6
Y	US 3 937 984 A (FRY PETER WILLIAM) 10. Februar 1976 (1976-02-10) das ganze Dokument	4-6
	--- -/--	

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

Siehe Anhang Patentfamilie

° Besondere Kategorien von angegebenen Veröffentlichungen :

- *A* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
- *E* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
- *L* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
- *O* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
- *P* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

- *T* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
- *X* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden
- *Y* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
- *Z* Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche	Absenddatum des internationalen Recherchenberichts
9. März 2001	19/03/2001
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Bevollmächtigter Bediensteter Daskalakis, T

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	ERCANLI E ET AL: "A REGISTER FILE AND SCHEDULING MODEL FOR APPLICATION SPECIFIC PROCESSOR SYNTHESIS" LAS VEGAS, JUNE 3 - 7, 1996, NEW YORK, IEEE, US, Bd. CONF. 33, 3. Juni 1996 (1996-06-03), Seiten 35-40, XP000640319 ISBN: 0-7803-3294-6 -----	

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 00/03781

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 3937984 A	10-02-1976	GB 1459951 A	31-12-1976