

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4173970号
(P4173970)

(45) 発行日 平成20年10月29日(2008.10.29)

(24) 登録日 平成20年8月22日(2008.8.22)

(51) Int.Cl.	F I
G06F 13/16 (2006.01)	G06F 13/16 510A
G06F 12/00 (2006.01)	G06F 12/00 550K
	G06F 12/00 564D

請求項の数 6 (全 25 頁)

(21) 出願番号	特願2002-75369 (P2002-75369)	(73) 特許権者	503121103
(22) 出願日	平成14年3月19日(2002.3.19)		株式会社ルネサステクノロジ
(65) 公開番号	特開2003-271538 (P2003-271538A)		東京都千代田区大手町二丁目6番2号
(43) 公開日	平成15年9月26日(2003.9.26)	(74) 代理人	100080001
審査請求日	平成17年3月14日(2005.3.14)		弁理士 筒井 大和
		(74) 代理人	100075096
			弁理士 作田 康夫
		(72) 発明者	大坂 英樹
			神奈川県川崎市麻生区王禅寺1099番地
			株式会社日立製作所システム開発研究所
			内
		(72) 発明者	小松 豊彦
			神奈川県川崎市麻生区王禅寺1099番地
			株式会社日立製作所システム開発研究所
			内

最終頁に続く

(54) 【発明の名称】 メモリシステム及びメモリモジュール

(57) 【特許請求の範囲】

【請求項 1】

それぞれ横長のモジュール基板上に複数のメモリチップを長手方向に配列して搭載する複数のメモリモジュールと、該メモリモジュールを制御するメモリコントローラとをマザー基板上に搭載して構成されるメモリシステムであって、

前記メモリコントローラは前記マザー基板上で前記メモリモジュールの長手方向の延長方向に位置し、

前記メモリコントローラから各メモリモジュールには、該メモリモジュール内のメモリチップにアドレス・コマンド信号を供給する第1配線と、クロック信号を供給する第2配線が設けられ、更に前記メモリチップの各々と前記メモリコントローラの間で個別にデータ信号をそれぞれ授受するデータ信号配線が設けられ、

前記第1配線および第2配線はそれぞれ、前記メモリコントローラから遠端部で前記マザー基板上の配線から前記モジュール基板上の配線に接続され、かつ該モジュール基板上の配線は、それぞれ前記マザー基板上の配線からの接続部分から該モジュール基板上の各メモリチップに、前記メモリコントローラから遠いメモリチップの順に一筆書き状に接続する配線であり、

前記データ信号配線の各々は、各メモリチップから前記マザー基板上への接続部に至るモジュール基板上配線部分と、前記接続部から前記メモリコントローラに至るマザー基板上配線部分とを有し、各メモリチップからのデータ信号配線間で前記モジュール基板上配線部分は互いに等しい配線長であるのに対し、前記マザー基板上配線部分は各メモリチッ

10

20

ブから前記メモリコントローラへの距離差に相当する配線長の差を有し、

もって単一のメモリモジュール上に配列するメモリチップ同士で、前記メモリコントローラからの前記アドレス・コマンド信号の配線長と前記メモリコントローラへのデータ信号配線の配線長との和を均等化したことを特徴とするメモリシステム。

【請求項 2】

請求項 1 記載のメモリシステムにおいて、

前記メモリコントローラは、前記メモリチップへのライトデータを前記データ信号配線にそれぞれ出力するライトデータ出力部に、前記メモリモジュールの各メモリチップで生じるライトデータとクロック信号との到着時間差を各メモリチップへのデータ信号配線ごとに補償する遅延時間調整回路を有することを特徴とするメモリシステム。

10

【請求項 3】

請求項 1 記載のメモリシステムにおいて、

前記モジュール基板上の前記第 1 配線および第 2 配線は、それぞれ前記接続部から引き出されて遠端で終端抵抗により終端される一本の主結合線路と、前記主結合線路に順次近接して配置されてそれぞれ方向性結合器を構成し、各メモリチップにそれぞれ接続される副結合線路を含むことを特徴とするメモリシステム。

【請求項 4】

請求項 3 記載のメモリシステムにおいて、

前記副結合線路は、その両端にそれぞれ別のメモリチップの入力ピンが接続され、かつ前記主結合線路の信号伝搬方向に対して後方側はメモリチップに内蔵する抵抗で終端されることを特徴とするメモリシステム。

20

【請求項 5】

請求項 3 記載のメモリシステムにおいて、

前記第 1 配線および第 2 配線の終端抵抗はそれぞれ終端に位置するメモリチップに内蔵することを特徴とするメモリシステム。

【請求項 6】

メモリチップが x 方向又は y 方向に少なくとも複数個配置されたメモリシステムであり、x 方向又は y 方向の一方にメモリチップを複数個内蔵し、x 方向又は y 方向の他方に複数個配置された前記複数のメモリモジュールと、前記複数のメモリモジュールとアドレス / コマンド線、クロック線、データ線を介して接続されたメモリコントローラとを具備してなり、前記メモリコントローラと前記複数のメモリモジュールのそれぞれとは対応するアドレス / コマンド線と対応するクロック線とを介して接続され、前記複数のメモリモジュールのある列の複数のメモリチップは対応するデータ線を介して前記メモリコントローラと接続され、前記複数のメモリモジュールの他の列の複数のメモリチップは他の対応するデータ線を介して前記メモリコントローラと接続されたメモリシステムに用いられる前記複数のメモリモジュールであって、

30

前記複数のメモリモジュールのそれぞれが内蔵する複数のメモリチップには、該複数のメモリチップに共通の前記アドレス / コマンド線の主結合線路と、該複数のメモリチップ各々に接続する前記アドレス / コマンド線の副結合線路を介して前記メモリコントローラからアドレス信号が供給され、前記アドレス / コマンド線の主結合線路は前記メモリコントローラから最遠の点で終端抵抗に接続されてなり、

40

前記複数のメモリチップには、該複数のメモリチップに共通の前記クロック線の主結合線路と、該複数のメモリチップ各々に接続する前記クロック線の副結合線路を介して、前記メモリコントローラからクロック信号が供給され、前記クロック線の主結合線路は前記メモリコントローラから最遠の点で終端抵抗に接続されてなることを特徴とする複数のメモリモジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は情報処理装置においてマルチプロセッサやメモリ等の素子間（例えば CMOS 等

50

により構成されたデジタル回路間又はその機能ブロック間)での信号伝送のための技術に関し、特に、複数の素子が同一の伝送線に接続されデータ転送を行うバス伝送の高速化技術に関するものである。

【0002】

特に複数のメモリモジュールとメモリコントローラを接続するバスとこれを用いるシステムに関する。

【0003】

【従来の技術】

多数のノードが接続され高速にデータを転送するためには配線の伝搬遅延時間が無視できなくなっている。特にDDR-SDRAM(Double Data Rate Synchronous DRAM)ではデータの動作周波数がアドレスのそれに対して2倍となっており、バス配線上のノイズの影響で高速化が難しくなっている。これを解決する方法として特願平5-23807「非接触バス」、特願平10-306645「方向性結合式バスシステム」、特願平11-130957「方向性結合式バスシステム」、特願平2000-126234「方向性結合式バスシステム」、特願平2000-126234「方向性結合式バスシステム」があった。

【0004】

そして、バス配線長が長い場合、データ信号の伝搬にはメモリコントローラから近いモジュールと遠いモジュールでは伝搬遅延時間に差ができてしまう。このため、クロック信号を共通な位相で分配する方式では十分なタイミングマージンが取れなくなっており、更に情報処理装置においてメモリに対するアクセスはライトアクセスよりもリードアクセスが一般的には多いので、リードアクセスのレイテンシーを向上した方が情報処理性能が上がる。これを解決するメモリバス方式として特願2000-152667号「リード優先メモリシステム」があった。この基本方式の1形態を図14に示す。

【0005】

メモリコントローラ1とメモリモジュール20-1、20-2内のDRAM10との信号伝送において、リードアクセスを優先するようにクロック信号の伝搬方向をメモリコントローラ1からでなく、最遠端のモジュール20-4内のDRAM10からのデータ信号と同じ伝搬遅延時間になるようにクロック信号30を配線する。これによりメモリコントローラ1においてクロック信号30とリードデータ信号の信号配線31の伝搬遅延時間が同じとなるため、メモリコントローラ1でのリードデータの処理が待ち時間無しで出来る。そのためリードアクセス性能がシステムとして向上することが出来ていた。

【0006】

【発明が解決しようとする課題】

しかしながら、DRAMの速度が向上するに従いアドレス・コマンド信号の速度もデータ信号の半分とはいえ向上するので、アドレスの信号配線のノイズが顕著になってきている。例えば、DDR-SDRAMにおいて100Mbps(Mega bit per second)の場合、アドレスの転送速度は50Mbpsであるが、データ転送レートが1Gbpsに向上する場合は500Mbpsとなる。

【0007】

図15に従来技術であるDDR-SDRAMメモリシステムの配線を示している。1はメモリコントローラ(以下MC)、20-1~20-4はメモリ10を複数搭載するメモリモジュールである。この図では1つのメモリモジュールに4つのDRAM10が搭載されているが、システムの要求によりメモリ10の個数はこれよりも多いことも少ないこともある。MC1からメモリ10に対して送受信する信号にはデータ信号31とアドレス・コマンド信号32、チップセレクト33(以下CS信号33)およびクロック信号30がある。これらの配線は、データ信号31は、図15中の同一のY座標上にあるモジュール20-1~20-4内のメモリ10に対してそれぞれ配線されており、クロック信号30も同じである。しかしながらアドレス・コマンド信号32は全チップに分岐配線されている。他方チップセレクト信号33はモジュール単位に配線されている。

【 0 0 0 8 】

図 1 5 では M C 1 からのメモリアクセスは次のように行っている。M C 1 はクロック信号 3 0 に同期してアドレス・コマンド信号 3 2 と C S 信号 3 3 を送信する。C S 信号 3 3 により選択されたメモリモジュールのみ活性化し、このメモリモジュール内の D R A M 1 0 に入力されているアドレス・コマンド信号 3 2 に応じた D R A M 1 0 内のメモリセルに対してライト動作、リード動作を行う。このため、すべてのメモリ 1 0 に対して同じアドレス・コマンド信号 3 2 が入力されても、C S 信号 3 3 でメモリモジュールが選択されているためデータ信号 3 1 配線上では、2 つのメモリ 1 0 から同時に出力されるといういわゆるバスの衝突は起らない。

【 0 0 0 9 】

しかしながら、図 1 5 のような従来技術で用いられたアドレス・コマンド信号 3 2 ではアドレス・コマンド信号 3 2 が各モジュール 2 0 - 1 ~ 2 0 - 4 への配線が共有されかつ分岐されていた。このような分岐による配線方式では 2 0 0 M b p s を越えるような高速な動作をする場合、波形歪みが大きく、高速な信号転送が困難になるという課題があった。

【 0 0 1 0 】

またある設計では、アドレス・コマンド信号 3 2 の高速動作のため各モジュール 2 0 - 1 ~ 2 0 - 4 内にバッファを設けている場合があった。これにより、アドレス・コマンド信号 3 2 の配線は M C 1 から各モジュール 2 0 - 1 ~ 2 0 - 4 内のバッファ入力までとなり、バッファがない場合と比べて配線上の負荷の分散が図られた。

【 0 0 1 1 】

しかしながら、データ信号 3 1 とは異なりモジュール 2 0 - 1 ~ 2 0 - 4 内のバッファを介するためにアドレス・コマンド信号 3 2 の伝搬遅延時間がバッファを通過する分余分に長く掛かりアドレス・コマンド信号 3 2 のアクセスが遅くなり、システムがアドレス・コマンド信号のレイテンシで律速されるので、システム性能が出ないという課題があった。

【 0 0 1 2 】

また、他の課題として、アドレス・コマンド信号 3 2 を各メモリモジュール 2 0 - 1、2 0 - 2 へ分配する場合、アドレス・コマンド信号 3 2 はデータ信号 3 1、クロック信号 3 0 の配線方式、配線長が異なるため M C 1 から各モジュール 2 0 - 1 ~ 2 0 - 4 に対して伝搬遅延時間がさまざまに異なっていた。このため、M C 1 のアドレス出力ピンから離れれば離れるほどクロック信号 3 0 及びデータ信号 3 1 との位相差が大きくなっており、このことにより、メモリの位置により M C 1 からの配線遅延時間が異なり M C 1 内のタイミング制御が複雑になっていた。そのためタイミング設計を複雑にしていた。

【 0 0 1 3 】

尚、本発明は、前記課題のうちの少なくとも 1 つを解決するものである。

【 0 0 1 4 】

【課題を解決するための手段】

複数のメモリモジュールが接続されるメモリシステムにおいて、アドレスの高速化を図るため、メモリコントローラから各モジュール毎にアドレス信号が配線され、モジュール内にて方向性結合器を用いた。

【 0 0 1 5 】

つまり、アドレス・コマンド信号をモジュール毎に個別に分配する。これにより、アドレス・コマンド信号の分岐が無くなり、波形の歪みが極端に小さくなる。これにより、アドレス信号は高速動作に動作する。

【 0 0 1 6 】

また、モジュール内にバッファを用いなくても分岐が無く配線のみで信号伝搬することが可能となる。

【 0 0 1 7 】

更に、アドレス・コマンド信号をメモリモジュール内に方向性結合器を設けることでアドレスの伝搬遅延速度をさらに高めることができる。これはバス接続される L S I の入力容量が結合により小さく見えるためである。このため、データ信号とアドレス・コマンド信

10

20

30

40

50

号の伝搬遅延速度がほぼ等しくなり、基板配線込みのタイミング設計が容易になる。

【 0 0 1 8 】

【 発明の実施の形態 】

第 1 の実施例を図 1 を用いて説明する。99 はメモリバスであり、以下述べるメモリアクセスに掛かる部品を有する。100 はメモリシステムを構成する部品を搭載する基板（マザーボード）であり、図 1 はその鳥瞰図である。図 1 ではメモリバス 99 を構成する部品・配線のみ記してある。1 はメモリコントローラ制御機構を有する L S I チップ（以下 MC: Memory Controllor）であり、マザーボード 100 上に実装されている。20 - 1 ~ 20 - 4 はメモリチップ 10 - 1 ~ 10 - 8 を複数個搭載したメモリモジュールである。メモリチップは、例えば、D R A M 等である。モジュール 20 - 1 ~ 20 - 4 は電源・グランドピンとデータ信号用、アドレス・コマンド信号用、クロック信号用など信号ピンを持つ。図 1 では、4 個のメモリモジュールがマザーボード 100 に実装されている。モジュール 20 - 1 ~ 20 - 4 内にはメモリ 10 - 1 ~ 10 - 8 が 8 個搭載されている。このモジュールは 4 個以上でもこれ以下でも、またメモリの個数は 8 個以上でもこれ以下でも目的・効果は同じである。

10

【 0 0 1 9 】

31 は MC 1 とメモリ 10 - 1 ~ 10 - 8 間のデータを伝達するデータ信号であり、マザーボード 100 上に形成された方向性結合器（C 1）を用いて電気信号が伝搬することにより伝達される。以下、信号と信号用の配線は、特に示さない限り、信号と呼ぶことにする。

20

【 0 0 2 0 】

図 1 中に点線で示された C 1 は、マザーボード 100 に形成された方向性結合器の一つであり、この方向性結合線路は平行な有限の長さを持つ 2 線、すなわち主結合線路と副結合線路からなる。図 1 の方向性結合器 C 1 は MC 1 とメモリモジュール 20 - 1 内のメモリ 10 - 8 のデータ信号を接続する働きをするが、他のメモリモジュール、メモリのデータ信号に対しても同様な働きをする方向性結合器をマザーボード 100 は有する。これらは簡単のため図には示されていない。

【 0 0 2 1 】

ここで方向性結合器 C 1 の構成は、主結合線路が MC 1 からのデータ信号 31 であり、マザーボード 100 内に配線され配線の遠端を終端抵抗により整合終端されている。副結合線路は各モジュール 20 - 1 ~ 20 - 4 のデータ信号ピンにコネクタ 90 を介して接続され、他方の端は抵抗により終端されている。

30

【 0 0 2 2 】

この方向性結合線路は先に述べた従来技術の特願平 5 - 2 3 8 0 7 「非接触バス」、特願平 10 - 3 0 6 6 4 5 「方向性結合式バスシステム」、特願平 11 - 1 3 0 9 5 7 「方向性結合式バスシステム」、特願平 2000 - 1 2 6 2 3 4 「方向性結合式バスシステム」、特願平 2000 - 1 2 6 2 3 4 「方向性結合式バスシステム」に同じである。

【 0 0 2 3 】

32 はアドレス・コマンド信号である。アドレス・コマンド信号 32 はマザーボード 100 内を MC 1 から各モジュール 20 - 1 ~ 20 - 4 にそれぞれ配線される。この各モジュール 20 - 1 ~ 20 - 4 に配線されるそれぞれのアドレス・コマンド信号 32 の本数は、メモリモジュール 20 - 1 ~ 20 - 4 のアドレス・コマンド信号ピン数と同じである。各モジュール 20 - 1 ~ 20 - 4 に配線されるアドレス・コマンド信号 32 の本数は、モジュール 20 - 1 ~ 20 - 4 内のメモリ 10 が持つ記憶容量により異なり通常の場合 20 ~ 25 b i t 程度ある。図 1 ではこの約 20 b i t のアドレス・コマンド信号 32 がそれぞれ分岐無しで各モジュール 20 - 1 ~ 20 - 4 に配線されている。このアドレス・コマンド信号 32 はデータ信号 31 とは異なりマザーボード 100 内では方向性結合線路は構成しておらず、1 つの信号に対して 1 つの配線が MC 1 から各モジュール 20 - 1 ~ 20 - 4 用のコネクタ 90 まで配線されている。

40

【 0 0 2 4 】

50

図 1 では図示されていないが、クロック信号 30 も MC 1 から各モジュール 20 - 1 ~ 20 - 4 へ配線されている。この配線は各モジュール 20 - 1 ~ 20 - 4 に対するアドレス・コマンド信号 32 と同じ配線長を有している。このため、アドレス・コマンド信号 32 とクロック信号 30 は MC 1 から見て同じ伝搬遅延時間で各メモリモジュール 20 - 1 ~ 20 - 4 に到達する。モジュール 20 - 1 ~ 20 - 4 内のデータ信号は、モジュールのピンからメモリ 10 - 1 ~ 10 - 8 まで等長に配線されている。モジュール 20 - 1 ~ 20 - 4 内のアドレス・コマンド信号 32、クロック信号 30 はモジュール内にて方向性結合器を形成している。アドレス・コマンド信号 32 は図 1 の向かって右下から一旦上に上がり、向かって左側に配線されている。アドレス・コマンド信号 32 は図にはないが遠端を反射を無くすため抵抗により終端されている。このモジュール 20 - 1 ~ 20 - 4 内のアドレス・コマンド信号 32 の配線は方向性結合線路の主結合器を構成し、これに近接して平行に配線されている副結合器にメモリ 10 が接続されている。このような構成により、モジュール 20 - 1 ~ 20 - 4 内のアドレス・コマンド信号 32 は方向性結合器を用いて MC 1 から各メモリ 10 - 1 ~ 10 - 8 へデータが転送される。

10

【0025】

このようにモジュール 20 - 1 ~ 20 - 4 内のアドレス・コマンド信号 32 は方向性結合器を用いているので、分岐による信号歪みがきわめて小さい。このことはアドレス・コマンド信号 32 の高速化が容易であることを示している。

【0026】

次に MC 1 と各モジュール 20 - 1 ~ 20 - 4 内のメモリ 10 - 1 ~ 10 - 8 の配線長差によるスキュー（伝送時間のばらつき）がリードアクセスでは小さいことを説明する。

20

【0027】

図 1 において、MC 1 はモジュール 20 - 1 ~ 20 - 4 のおおよそ長辺方向（x 方向）に位置している。マザーボード 100 上のデータ信号 31 は MC 1 から x 方向に引き出され、y 方向に折り曲がってモジュール 20 - 1 ~ 20 - 4 へ配線されている。モジュール 20 - 1 ~ 20 - 4 内のアドレス・コマンド信号 32 も x 方向に配線されている。このため、MC 1 に対してモジュール 20 - 1 ~ 20 - 4 内のメモリ 10 - 1 ~ 10 - 8 には近遠が生じる。同じモジュール内に搭載されるメモリであってもデータ信号 31 は、MC 1 に近いメモリ 10 - 8 に対して短い伝搬遅延時間で、遠いメモリ 10 - 1 に対しては長い伝搬遅延時間となっている。このデータ信号 31 の MC 1 からのメモリ 10 - 1、10 - 8 までの伝搬遅延時間の差はマザーボード 100 内のデータ信号 31 の配線長差に比例し、この配線長差にマザーボード 100 の伝搬速度（V_p）を掛けた伝搬遅延時間差に等しい。

30

【0028】

同様にアドレス・コマンド信号 32 はモジュール 20 - 1 ~ 20 - 4 の右端から順にメモリ 10 - 1、10 - 2・・・、10 - 8 と接続されているので、MC 1 に対して近いメモリ 10 - 8 は最も長い伝搬遅延時間を持ち、MC 1 に対して最も遠い（右側）にあるメモリ 10 - 1 に対しては最も短い伝搬遅延時間を持つ。このメモリ 10 - 1 と 10 - 8 間の伝搬遅延時間差はモジュール 20 - 1 ~ 20 - 4 内のアドレス・コマンド信号 32 の配線長差に伝搬速度を掛けた伝搬遅延時間差に等しい。

40

【0029】

通常、マザーボード 100 とモジュール 20 - 1 ~ 20 - 4 の材料は同じガラスエポキシ樹脂系であり、同じ比誘電率すなわち同じ伝搬速度を持つ。しかし 1 つの配線に複数の LSI がバス接続されている場合、LSI の入力容量により伝搬速度が遅くなるが、本実施例の方向性結合器を用いたバス接続では LSI の入力容量が主結合線路に直接接続されていないので伝搬速度の遅れはほとんどない。このため、MC 1 に対する伝搬遅延時間差は、各メモリ 10 - 1 ~ 10 - 8 のモジュール内配線長差に比例することになる。すなわち、データ信号 31、アドレス・コマンド信号 32、クロック信号 30 とともに伝搬速度が同じであるので、メモリ 10 - 1 ~ 10 - 8 間の伝搬遅延時間差は配線長差に比例することになる。

50

【 0 0 3 0 】

図 1 の構成において、M C 1 から同一モジュール内の各メモリ 1 0 - 1 ~ 1 0 - 8 までの配線で、アドレス・コマンド信号 3 2 の配線長とデータ信号 3 1 の配線長の和はほぼ等しくなる。差は図 1 の y 方向のデータ信号 3 1 の配線長差だけである。このことにより、M C 1 からのリードアクセスでは、M C 1 からのリードアクセス要求時刻から各メモリ 1 0 からのデータ信号を M C 1 が受け取る時刻までの時間はほぼ等しい。このため、本実施例の構成ではリードアクセスに対してメモリ 1 0 間のスキュー調整の必要が無くタイミング設計が容易である。このため情報処理装置がライトアクセスよりもリードアクセスの方が大幅に多いシステムではそのシステム性能を大きく向上することができる。

【 0 0 3 1 】

図 1 に対応する回路図を図 2 に示す。図 1 に対して同じ機能の要素に対しては同じ記号を用い説明を省略する。以下の説明でも同じである。

【 0 0 3 2 】

図 2 においてメモリモジュール 2 0 - 1 ~ 2 0 - 4 は視認性を良くするため点線で示した。配線接続は図 1 に同じであるが、図 1 で明示していないところを中心に説明する。

【 0 0 3 3 】

データ信号 3 1 は M C 1 から引き出され最遠端で抵抗により終端されている。この終端部は白抜きの四角で示した。終端部は終端抵抗 (R t t) の一方の端が終端電源 (V T T) に接続され他方の端を配線に接続されている。マザーボード 1 0 0 内に構成された方向性結合器のうち副結合器は、M C 1 に対して前方側がすべて信号 3 1 で終端されている。ここで前方とは主結合配線を信号が流れる向きに対していう。なお、図 2 ではデータ信号 3 1 の方向性結合器と終端抵抗はマザーボード 1 0 0 内に構成・実装されている。

【 0 0 3 4 】

また、アドレス・コマンド信号 3 2 と、クロック信号 3 0 は M C 1 から図 2 の向かって右端まで引き出され、モジュール 2 0 - 1 ~ 2 0 - 4 に折り返し配線されている。アドレス・コマンド信号 3 2 とクロック信号 3 0 はモジュール 2 0 - 1 ~ 2 0 - 4 内にて方向性結合器を構成し、その主方向結合線路は遠端を抵抗により終端されている。また、各メモリ 1 0 - 1 ~ 1 0 - 8 に接続される副結合線路の他方の端も終端される。

【 0 0 3 5 】

図 2 において M C 1 のメモリアクセスにかかる信号は以下のように動作する。M C 1 には A 1、A 2、A 3、A 4 と書かれたアドレス・コマンド信号 3 2 の出力信号がある。それぞれのアドレス・コマンド信号 3 2 A 1 ~ A 4 がモジュール 2 0 - 1 ~ 2 0 - 4 へ配線されている。また、アドレス・コマンド信号 3 2 はそれぞれメモリモジュールに応じて 2 0 ~ 2 5 ビットの信号からなる。データ信号 3 1 に関しても M C 1 には D 1 ~ D 4 の入出力信号があり、クロック信号 3 0 も M C 1 には C 1 ~ C 4 の出力信号がある。

【 0 0 3 6 】

M C 1 はプロセッサバスや周辺回路を接続する I/O バスなどシステムバス 9 8 とメモリバス 9 9 を接続し、システムバス 9 8 のメモリアクセス要求に従いメモリバス 9 9 を読み書き制御する。メモリバス 9 9 はアドレス・コマンド信号 3 2、データ信号 3 1、クロック信号 3 0 からなり、メモリに対して読み書きを行う。クロック信号 3 0 は電源投入後 M C 1 から送信され続ける。勿論、スリープモードなどの省電力モードでは一時休止されうる。

【 0 0 3 7 】

M C 1 は要求アドレスに対応する M C 1 内のアドレス・コマンド信号 3 2 の A 1 ~ A 4 のうち一つを選択し、このアドレス・コマンド信号に接続されているモジュール 2 0 - 1 ~ 2 0 - 4 の一つが選択されることになる。すなわち、M C 1 に 4 つあるアドレス・コマンド信号 3 2 の A 1 ~ A 4 はモジュール毎の C S 信号を兼ねていることになる。つまり、C S 信号はこのメモリシステムでは不要であり、この信号のための回路、配線、ピンが不要となるので低価格化に寄与する。

【 0 0 3 8 】

10

20

30

40

50

アドレス・コマンド信号 32 は、アドレスモードとコマンドモードの 2 つの機能を有するが、コマンドモードではメモリ 10 - 1 ~ 10 - 8 にメモリ 10 を初期化したり、オートリフレッシュさせたりする命令信号である。メモリアクセスではアドレスモードとして振る舞う。リードアクセス時のアドレス・コマンド信号 32 はクロック信号 30 に同期して MC 1 からその他のコントロール信号と共に出力され、アクセス要求のある番地に対応するアドレスを CAS 信号、RAS 信号に分け各メモリ 10 に伝達される。データ信号 31 はメモリ 10 - 1 ~ 10 - 8 のメモリセルから要求のあったアドレスに対応するデータ出力する。このデータはデータ信号 31 の配線を通じて MC 1 に伝達される。

【0039】

ライトアクセスではアドレス・コマンド信号 32 はクロック信号 30 に同期して MC 1 からその他のコントロール信号と共に出力され、アクセス要求のある番地に対応するアドレスを CAS 信号、RAS 信号に分け各メモリ 10 - 1 ~ 10 - 4 に伝達される。ここで、ライトデータは各メモリ 10 - 1 ~ 10 - 8 のクロック信号 30 が到達する時刻に各メモリ 10 - 1 ~ 10 - 8 に到達するように時間調整されて MC 1 から出力される。MC 1 はここでは示されていないプロセッサなど他のデバイスからシステムバス 98 を介してメモリアクセス要求があった場合に各メモリ 10 - 1 ~ 10 - 8 に対してアクセスを行うがその単位はモジュール毎に行う。

【0040】

次にライトアクセス時のデータ信号 31 のタイミング制御を、MC 1 の内部構造を図 3 を用いて説明する。MC 1 にはシステムクロック 35 が入力されている。これは PLL (Phase Lock Loop) や DLL (Delay Lock Loop) などの位相調整回路 1A を介して MC 1 内の複数のブロックに分配される。メモリアクセスのための入出力回路 (I/O 回路) は MC 1 内の右側に示してあり、クロック信号 30 用の出力回路、アドレス・コマンド信号 32 用の出力回路、データ信号 31 用の入出力回路がある。データ信号 31 は図 3 では D1 ~ D4 にグループ分けされており、これは図 2 のような接続がなされている。

【0041】

すべてのメモリバス 99 の信号はコアロジック 1L と通信するためフリップフロップ (Flip Flop) 回路 1C でクロック に同期がとられている。このクロック信号 は、位相調整回路 1A の出力信号である。クロック信号 30 はクロック に同期して出力される。アドレス・コマンド信号 32 も同様にクロック に同期して出力される。

【0042】

データ信号 31 は入力と出力で回路構成が異なる。先に説明したような配線が基板になされている場合、データ用の入力回路 1D にはすべてのデータ信号 31 がほぼ同じタイミングで外部から信号が入力する。このためデータ用入力回路 1D は同じタイミングでラッチできる。このため、MC 1 内部クロック に再同期化のためのよけいなレイテンシーが必要ない。このため、データ入力用の回路構成が単純となり面積も小さく安く高精度に構成することができる。

【0043】

他方ライトデータに対してはデータ信号 31 毎に遅延時間差を持たせる必要がある。MC 1 内のデータ出力フリップフロップの 1C はクロック に同期して出力される。1B は調整可能な遅延回路 (遅延時間調整回路) でアクセス要求アドレスによりディレー量をライトアクセス毎に調整しており、遅延時間調整回路 1B は、図 2 のモジュール 20 - 1 ~ 20 - 4 内のメモリ 10 - 1 ~ 10 - 8 に対して分配されるクロック信号 30 と同時刻でライトデータが到達するように遅延時間が調整される。遅延量はモジュールに依っても異なるし、モジュール内のメモリ 10 の位置に対しても異なる。遅延時間を制御するのは制御回路 1F である。制御回路 1F には、データ 31 のビット毎にレジスタ 1G を持ち、このレジスタ値は遅延回路 1B の遅延時間に対応する。すなわち、制御回路 1F はレジスタ 1G のレジスタ値を変えることでビット毎の遅延時間を制御できる。このレジスタ 1G のレジスタ値はライトデータを出力する前に設定される。なお、遅延回路 1B は 2 つのインバータを 1 組として、これを多段用意し、所望の遅延時間に等しいないしは近い段数を選択

10

20

30

40

50

することで遅延時間を可変とできる。この遅延回路の段数選択を制御回路 1 F 内のレジスタ 1 G に設定することでなされる。

【 0 0 4 4 】

例として、図 2 のモジュール 2 0 - 1 に対してライトする場合であって M C 1 から見て最遠端のメモリ 1 0 - 1 に対してのライトデータを書き込む場合は、クロック信号 3 0 (C 1) とデータ信号 3 1 (D 1) の遅延時間差の小さい遅延量を遅延回路 1 B で生成してクロック信号 3 0 とほぼ同じタイミングでデータ信号 3 1 (D 1) を出力すればよい。ここで遅延回路 1 B で生成された遅延量は、M C 1 からメモリ 1 0 - 1 までのクロック信号 3 0 (C 1) 配線とデータ信号 3 1 配線を伝搬するときの伝搬遅延時間差に等しい。こうすることでメモリ 1 0 - 1 ではデータ信号 3 1 (D) がクロック信号 3 0 と同着し 2 つの信号の位相が等しくなる。

10

【 0 0 4 5 】

しかしながら、M C 1 に対して最近端のメモリ 1 0 - 8 に対しては、メモリ 1 0 - 1 からメモリ 1 0 - 8 のモジュール 2 0 - 1 内のクロック信号 3 0 の無視できない伝搬遅延時間がある。メモリ 1 0 - 8 においてクロック信号 3 0 とデータ信号 3 1 (D 8) との位相をそろえるためにはこの差分の時間だけ遅くデータ信号 3 1 (D 8) を出力すればよい。この遅延量をデータ信号 3 1 (D 8) 用のレジスタ 1 G に出力に先立ち設定することで、遅延回路 1 B が信号を遅延させる。

【 0 0 4 6 】

同様に D 2、D 3 に対してもモジュール 2 0 - 1 上のクロック信号 3 0 の配線遅延時間遅延を持たせる。このようにすることで、すべてのメモリ 1 0 - 1 ~ 1 0 - 8 においてクロック信号 3 0 とデータ信号 3 1 の位相が同程度となり書き込み動作のためのタイミングを正確に調整できることになる。

20

【 0 0 4 7 】

またモジュール 2 0 - 4 に対するデータ信号 3 1 の伝搬遅延時間は、モジュール 2 0 - 1 のそれに対してデータ信号 3 1 用の 4 つの方向性結合器を通過する時間分、データ信号 3 1 全体として遅れて到達する。このため、モジュール 2 0 - 4 に対してデータ信号 3 1 は該遅延時間分早くデータ信号 3 1 を出力することになる。この遅延時間はデータ信号 3 1 に対して D 1 ~ D 4 すべてに一定であるので、ある一定値をオフセットとして加えればよい。

30

【 0 0 4 8 】

M C 1 内のライトデータに掛かる遅延時間はモジュール 2 0 - 1 ~ 2 0 - 4 毎、メモリ 1 0 - 1 ~ 1 0 - 8 毎に異なるが、M C 1 は対象とするメモリ 1 0 毎にレジスタ値をテーブルの形で有しておれば良く、このレジスタ値をライトアクセスに先んじて設定すればよい。しかも、M C 1 はアドレスをライトデータ出力前に分かっているからこのレジスタ値の変換とそれに掛かる遅延時間調整回路 1 B の遅延量を変えることは簡単である。

【 0 0 4 9 】

レジスタ 1 G のレジスタ値と遅延時間の関係であるが、マザー基板 1 0 0 の誘電率は明らかなので設計の段階で固定値として持っておいても良いし、M C 1 に専用の配線と回路を持たせることで計測しても良い。当然後者の方が製造バラツキに対して精度が高い。また、本実施例では、遅延調整回路 1 B はフリップフロップ 1 C とドライバの間としたが、上記と同様の効果を奏する任意の位置に配置可能である。フリップフロップ例えば、フリップフロップ 1 C よりも M C 1 側に配置しても同じ効果を与える。この場合データ信号 3 2 のいくつかは遅延調整回路 1 B を共有できるので回路規模が小さくなるという効果がある。

40

【 0 0 5 0 】

このようにして、リードデータに対しては再同期化が必要でなくレイテンシが最短となる効果がある。又、ライトデータに対しても各メモリ 1 0 に対してクロック信号 3 0 にタイミングがあった位相でデータ信号 3 1 を出力することができる。

【 0 0 5 1 】

50

このようにして、図 1、図 2、図 3 を用いて説明したようにアドレス・コマンド信号 3 2 と、クロック信号 3 0 を MC 1 から併走して配線し、この信号の配線長とデータ信号 3 1 との配線長の和がどのメモリ 10 - 1 ~ 10 - 8 に対しても等しくなるようにすることで、リードアクセスにおけるデータを MC 1 において位相をそろえて入力することができるが、更にアドレス・コマンド信号 3 2 をモジュール 20 - 1 ~ 20 - 4 毎に配線することで、アドレス・コマンド信号 3 2 の伝搬遅延時間のモジュールバラツキが無くなる。また、アドレス・コマンド信号 3 2 をモジュール 20 - 1 ~ 20 - 4 内に方向結合器を設けて伝送させることでモジュール 20 - 1 ~ 20 - 4 内のアドレス・コマンド信号 3 2 の伝搬遅延時間とマザーボード 100 の伝搬遅延時間が等しくなり、モジュールが異なるリードアクセスにおけるデータ信号 3 1 を極めて小さいスキューで MC 1 は取り込むことが可能になった。

10

【 0 0 5 2 】

第 2 の実施例として、モジュールを 1 枚のみ持つシステム構成を図 4 を用いて説明する。本実施例では、ノート型パソコンのように搭載枚数が 1 枚あるいは 2 枚のような小型情報処理装置に向いている。図 4 ではモジュールが 1 枚で充分な機器用のメモリバス構成である。

【 0 0 5 3 】

クロック信号 3 0、アドレス・コマンド信号 3 2 は MC 1 から出力されモジュールの最遠端で折り返されモジュール 20 内で方向性結合器を用いて各メモリ 10 - 1 ~ 10 - 4 のアドレス信号ピンに入力される。データ信号 3 1 は MC 1 とメモリ 10 - 1 ~ 10 - 4 間を 1 対 1 接続されている。データ信号 3 1 は 3 つ以上の L S I を接続するバスではなく、1 対 1 接続なので方向性結合器は必要ない。

20

【 0 0 5 4 】

図 4 において、MC 1 は、メモリモジュール 20 のおおよそ長辺方向 (x 方向) に位置している。マザーボード 100 上のデータ信号 3 1 は MC 1 から x 方向に引き出され、y 方向に折り曲がってモジュール 20 へ配線されている。モジュール 20 内のアドレス・コマンド信号 3 2 も x 方向に配線されている。このため、MC 1 に対してモジュール 20 内のメモリ 10 の位置には近遠が生じる。同じモジュール内に搭載されるメモリであってもデータ信号 3 1 は、MC 1 に近いメモリ 10 - 4 に対して短い伝搬遅延時間で、遠いメモリ 10 - 1 に対しては長い伝搬遅延時間となっている。この 2 つのメモリへの伝搬遅延時間の差はマザーボード 100 内のデータ信号 3 1 の配線長差に比例し、この配線長差にマザーボード 100 の伝搬速度 (V p) を掛けた伝搬遅延時間差に等しい。

30

【 0 0 5 5 】

同様にアドレス・コマンド信号 3 2 はモジュール 20 の右端から順にメモリ 10 - 1 ~ 10 - 4 と接続されているので、MC 1 に対して近いメモリ 10 - 4 は最も長い伝搬遅延時間を持ち、MC 1 に対して最も遠い (右側) にあるメモリ 10 - 1 に対しては最も短い伝搬遅延時間を持つ。この 2 つの伝搬遅延時間差はモジュール 20 内のアドレス・コマンド信号 3 2 の配線長差に伝搬速度を掛けた伝搬遅延時間差に等しい。

【 0 0 5 6 】

通常、マザーボード 100 とモジュール 20 の材料は同じガラスエポキシ樹脂系であり、同じ比誘電率すなわち同じ伝搬速度を持つ。しかし 1 つの配線に複数の L S I がバス接続されている場合、L S I の入力容量により伝搬速度が遅くなるが、本実施例の方向性結合器を用いたバス接続では L S I の入力容量が主結合線路に直接接続されていないので伝搬速度の遅れはほとんどない。このため、MC 1 に対する伝搬遅延時間差は、各メモリ 10 - 1 ~ 10 - 4 のモジュール内配線長差に比例することになる。すなわち、データ信号 3 1、アドレス・コマンド信号 3 2、クロック信号 3 0 とともに伝搬速度が同じであるので、メモリ 10 - 1 ~ 10 - 4 間の伝搬遅延時間差は配線長差に比例することになる。

40

【 0 0 5 7 】

図 4 の構成において、MC 1 から同一モジュール内の各メモリ 10 - 1 ~ 10 - 4 までの配線で、アドレス・コマンド信号 3 2 の配線長とデータ信号 3 1 の配線長の和はほぼ等し

50

くなる。差は図4のy方向のデータ信号31の配線長差だけである。このことにより、MC1からのリードアクセスでは、MC1からのリードアクセス要求時刻から各メモリ10からのデータ信号をMC1が受け取る時刻までの時間はほぼ等しい。このため、本実施例の構成ではリードアクセスに対してメモリ10間のスキュー調整の必要が無くタイミング設計が容易である。このため情報処理装置がライトアクセスよりもリードアクセスの方が大幅に多いシステムではそのシステム性能を大きく向上することができる。

【0058】

モジュール20内のアドレス・コマンド信号32の伝搬遅延時間がシステム動作周波数によりタイミングマージンを持つ場合は勿論図5のようにアドレス・コマンド信号32を直接メモリ10-1~10-4に順に接続しても良い。図5のように直接接続する場合にはメモリ10-1~10-4の持つ入力静電容量により伝搬遅延時間の遅れが生じるが、その場合でもシステムのタイミングマージンがある場合はマージンの範囲内でアドレス・コマンド信号32の伝搬速度遅れを許容できる。このような場合でも、リードアクセスに対してはデータ信号31のMC1への到達時間がほぼそろうのでMC1内での再同期化ロスが少ない。

【0059】

このような構成をとることで、第一の実施例と同じ効果が生まれる。すなわち、アドレス・コマンド信号32と、クロック信号30をMC1から併走して配線し、この信号の配線長とデータ信号31との配線長の和がどのメモリ10-1~10-8に対しても等しくなるようにすることで、リードアクセスのデータ信号31がMC1において位相をそろえることができる。また、アドレス・コマンド信号32をモジュール20-1~20-4内に方向結合器を設けて伝送させることでリードアクセスにおけるデータ信号31を極めて小さいスキューでMC1は取り込むことが可能になった。なぜならばモジュール20-1~20-4内のアドレス・コマンド信号32の伝搬遅延時間は方向性結合器を用いているものの、主結合線路はいかなるデバイスも直接接続されていないのでその伝搬速度はマザーボード100の伝搬速度と同じであり両者の遅延時間は等しいからである。

【0060】

第3の実施例を図6を用いて説明する。本実施例は、モジュール内のアドレス・コマンド信号32の各メモリへの到達時刻をメモリの位置順にすることを目的としている。

【0061】

図6(A)はモジュール20a内の図5に対応するアドレス・コマンド信号32、クロック信号30、及びデータ信号31の配線を持つ。すなわち、アドレス・コマンド信号32とクロック信号30はモジュール20aのコネクタに接続されるエッジ電極(ピン)から引き出され、各メモリ10-1~10-8を順に直接配線されて遠端で終端されている。データ信号31はエッジ電極から各メモリ10-1~10-8まで等長に配線されている。このような配線の場合アドレス・コマンド信号32の配線本数は信号の数に等しく高密度化を簡単になすことができる。しかし、伝搬遅延時間が延びてしまうという副作用もある。これを用いられるかはシステムのタイミングマージンによる。

【0062】

図6(B)は、図2或いは図4に対応したモジュールである。図6(B)は図6(A)と同様に、モジュール20a内の図5に対応するアドレス・コマンド信号32、クロック信号30、及びデータ信号31の配線をもつ。データ信号31はエッジ電極(ピン)25から各メモリ10-1~10-8まで等長に配線されている。アドレス・コマンド信号32とクロック信号30はモジュール20aのコネクタに接続されるエッジ電極25から引き出され、各メモリ10-1~10-8を順に方向性結合器を介して配線されて遠端で終端される。方向性結合器のうち主結合配線はメモリ10-1~10-8で副結合配線が重ならないように共用されている。副結合配線は一方の端を各メモリ10-1~10-8の入力ピンに直接接続され、他方の端を終端抵抗により整合終端されている。この場合、メモリ10-1~10-8には後方クロストークが生じメモリ10-1~10-8の入力パッドで反射するので副結合配線に誘起されたおよそ2倍の信号が生成されるという特徴を

10

20

30

40

50

持つ。また、構成から明らかなようにアドレス・コマンド信号 32 はメモリ 10 - 1、10 - 2、10 - 3、．．．10 - 8 の順に伝達するので、第一の実施例と組み合わせでリードデータのスキューを最小にできる。

【0063】

図 6 (C) は図 6 (B) に対して終端抵抗を無くし高密度化を達成した実施例である。本実施例では副結合線路を 2 つのメモリで共有している。構成としては、アドレス・コマンド信号 32 が方向性結合器の主結合線路となっており遠端で終端されている。メモリ 10 - 1 に対してはこの主結合線路に対して片方の側に隣接して平行して有る距離 (30 mm 程度) 配線されている。この副結合線路の一方の端はメモリ 10 - 1 の入力ピンに接続されているが他方の端はメモリ 10 - 3 の入力ピンに接続されている。この 2 つのメモリ 10 - 1、10 - 3 の入力ピンはパッケージ上それぞれ同じ位置にある。

10

【0064】

更に、接続されたピンから見た入力インピーダンスはメモリ 10 - 1 とメモリ 10 - 3 で異なり、メモリ 10 - 1 は開放 (Hi-Z)、メモリ 10 - 3 は終端されている。同様にメモリ 10 - 2 とメモリ 10 - 4 は副結合線路を共有し、主結合線路上を流れる信号の信号源側に近い方 (メモリ 10 - 2) がその入力インピーダンスが高く、他方側が (メモリ 10 - 4) が終端されている。そして、このメモリ 10 - 2 と 10 - 4 で共有される副結合線路は、メモリ 10 - 1 と 10 - 3 で共有される副結合線路に対して主結合線路とは反対側に配線されている。このため、主結合線路は両側に同じ距離を保って平行配線である副結合配線が有ることになる。すなわち 3 線が並んでいることになる。同様にメモリ 10 - 5 ~ 10 - 8 に対しても同じ構成の配線構造を持つ。このため、方向性結合器はメモリがある間隔で並んでいる場合、その 2 つ分の間隔を結合長として持つことができる。信号振幅は結合長に依存するので長い方が信号をより確実にキャプチャすることができる。

20

【0065】

次に図 7 を用いて図 6 (C) のモジュール 20C を伝搬する信号の時間関係を説明する。横軸は時間であり、縦軸は電圧である。MC1 からアドレス信号が出力され (時刻 T0)、モジュール 20C 内の方向性結合器に到達すると (時刻 T1)、まず、メモリ 10 - 1 に誘導電圧が到達する (時刻 T1)。このメモリ 10 - 1 の入力インピーダンスは開放であるのでここで全反射が生じる。主結合線路上を図 6 (C) では向かって左側に伝搬していくが、この反射波が伝搬するスピードは主結合線路のそれと同じである。なぜならば、誘電率が同じ材料 (エポキシ樹脂) で囲まれているためである。さらに、副結合線路上を伝搬する反射波の波頭 (wave-front) と主結合線路を伝搬するアドレス信号の波頭はほぼ同じ位相で進行する。なぜならばメモリ 10 - 1 には副結合線路が直接入力ピンに接続されているため、結合器で誘導された後方クロストークがこの入力ピン部ですぐさま反射するためである。正確には、メモリ 10 - 1 のパッケージの往復遅延時間が反射波に遅延を起こさせるが、最近の DRAM では CSP (Chip Scale Package) など非常に小さいパッケージが用いられているのでほとんどこの往復時間は無視できる。

30

【0066】

なお、図 6 (C) で白角で示された終端はメモリ 10 - 3、10 - 4、10 - 7、10 - 8 に内蔵されている終端抵抗によりなされる。このため、外付けの終端抵抗がなくなるので、この抵抗の搭載のためのエリアが不要になる。図 6 (B) の方式と比べてみると実装面積を小さくすることができる。

40

【0067】

次に、主結合線路を進行する信号はメモリ 10 - 2 に到達し (時刻 T2)、先と同様にこの副結合線路でも後方クロストークが生成され反射する。さらに、主結合線路を進行する信号はメモリ 10 - 3 に到達し (時刻 T3)、この時刻に先のメモリ 10 - 1 に接続された副結合線路で生成された後方クロストークのうちメモリ 10 - 1 で反射された信号がメモリ 10 - 3 に到達する (時刻 T3)。そしてこの反射波はメモリ 10 - 3 に内蔵された終端抵抗で完全に吸収され再反射はない。同様に主結合線路を進行する信号はメモリ 10 - 4 に到達し (時刻 T4)、この時刻に先のメモリ 10 - 2 に接続された副結合線路で生

50

成された後方クロストークのうちメモリ 10 - 2 で反射された信号がメモリ 10 - 4 に到達する（時刻 T 4）。そしてこの反射波はメモリ 10 - 4 に内蔵された終端抵抗で完全に吸収され再反射はない。

【0068】

このようにして、メモリ 10 - 1、10 - 2、10 - 5、10 - 6 では結合器で誘起された信号が到達・反射し、メモリ 10 - 3、10 - 4、10 - 7、10 - 8 では先の反射波が信号として到達・吸収される。これにより、アドレス・コマンド信号 32 はメモリ 10 - 1 ~ 10 - 8 の配置順に信号を生成することができ、図 1 の実施例と組み合わせてもリードアクセスに対してデータ信号 31 が低スキューで MC 1 に到達させることができる。

【0069】

また、メモリ 10 - 1 ~ 10 - 8 でパッケージ上の同じ場所にアドレス・コマンド信号 32 が入力されるので、主結合線路を含むアドレス・コマンド信号 32 のエッジ電極 25 からの配線をメモリ 10 - 1 ~ 10 - 8 部で直線状に配線すると、この主結合配線に対して上方に副結合線路を持つメモリ 10 - 1、10 - 3、10 - 5、10 - 7 はこの主結合配線に対して入力ピンが上方に位置し、他方この主結合配線に対して下方に副結合線路を持つメモリ 10 - 2、10 - 4、10 - 6、10 - 8 はこの主結合配線に対して入力ピンが下方に位置する。逆に言えば、メモリ 10 - 1 ~ 10 - 8 のうち奇数番目と偶数番目のメモリの位置を少し上下にずらすことで主結合線路を直線用に配線できこの配線上を伝送する信号の伝搬遅延時間を最短にかつ正確に設計することができる。メモリの位置をずらしたことによりモジュール 20c のエッジからメモリ 10 - 1 ~ 10 - 8 までの距離が変わるが、この影響を受けるのはデータ信号 31 であり、このデータ信号 31 に対して等長配線することは配線を若干うねらす等容易である。

【0070】

図 6 (D) に図 6 (C) に対して、パリティビット用のメモリ 10 - 9 を追加した例を示す。図 6 (D) と図 6 (C) との差はメモリをパリティビット用に 9 つ設けたモジュールでのアドレス・コマンド信号 32 の配線にある。図 6 (C) ではアドレス・コマンド信号 32 は共有された副結合線路を使用しているため偶数のメモリが搭載されている場合に効果があった。図 6 (D) では 9 番目のメモリ 10 - 9 に対しては主結合線路を含むアドレス・コマンド信号 32 を直接メモリ 10 - 9 内蔵の終端抵抗で終端する。このため、アドレス・コマンド信号 32 のすべてで終端抵抗がいなくなり、パリティ用のメモリ 10 - 9 を追加しても、終端抵抗の部品代が削減され低コスト化できる。

【0071】

図 6 (E) について説明する。この実施例は、図 6 (B) に対して副結合線路に終端抵抗を無くし、その代わりにメモリ 10 - 1 ~ 10 - 8 に内蔵抵抗を持たせた。すなわち、図 6 (E) ではメモリ 10 - 1 ~ 10 - 8 内にその入力インピーダンスが該メモリに接続される副結合配線の持つ特性インピーダンスと同じ終端抵抗を内蔵している。そして、副結合線路には終端抵抗がなく開放になっている。また、図 6 (C)、図 6 (D) と同様に偶数番目のメモリと奇数番目のメモリが互いに主結合線路に対して上下に有るオフセットを持って方向性結合配線を有している。結合器の配線長はメモリの間隔のほぼ 2 倍になっているが、これは図 6 (C) と同じである。

【0072】

例えば、メモリ 10 - 1 ではこのメモリ 10 - 1 から副結合配線が接続されており、この副結合線路の他方の端にはいかなる素子も接続されていない開放状態である。そのため、この端で全反射する。また、副結合線路の配線方向は主結合線路を信号が伝搬するときの信号から見て前方側にメモリ 10 - 1 があるのが特徴で、主結合線路を信号が伝搬するときに後方側に信号が生成されるが、この生成信号が全反射してメモリ 10 - 1 側に伝送し、メモリ 10 - 1 内の終端抵抗により終端される。

【0073】

同じようにしてメモリ 10 - 2 ~ 10 - 8 に対しても同じ配線様式になっている。すなわち、各メモリ 10 - 1 ~ 10 - 8 は主結合線路であるアドレス・コマンド信号 32、クロ

10

20

30

40

50

ック信号 30 に対して両側に一定の間隔を保って平行に配置する副結合器を接続しメモリ 10 - 1 ~ 10 - 8 は線路の特性インピーダンスに等しい終端抵抗を内蔵している。

【0074】

次に、図 16 を用いてこの結線方式図 6 (E) での波形生成の時間順について述べる。方向性結合器 C1 は主結合線路 30 - 1 と副結合線路 30 - 2 からなり、それぞれ整合終端されている。図では主結合線路 30 - 1 を信号パルス 201 が右から左に伝搬している。信号パルス 201 は伝搬速度 V_p で左に進む。

【0075】

方向性結合器 C1 が構成された、すなわち、副結合線路 30 - 1 が隣接する位置に信号パルス 201 が到達した時刻を T_1 とする。時刻 T_1 直後から副結合線路 30 - 2 には後方クロストークが生成 301 され、その進行方向は右方向である。しかし副結合線路 30 - 2 の右端は開放なので全反射し、左方向へと向きを変える。このパルス 301 の伝搬速度はパルス 201 のそれと同じである。そして更にパルス 301 の波頭はパルス 201 の波頭と同じである。なぜならば、時刻 T_1 でパルス 201 が結合器 C1 に入射した瞬間にパルス 301 が生成されるが、これが副結合線路 30 - 2 ですぐさま全反射するためである。

【0076】

このようにしてクロストーク信号パルス 301 はパルス 201 と同位相で伝搬することになり、パルス 201 がメモリ 10 のピンに対応する位置に到達した時刻に後方クロストークパルス 301 もメモリ 10 のピンに到達する。そしてメモリ 10 内の終端抵抗により吸収され、再反射はなくノイズが多重反射することはない。

【0077】

このようにして主結合線路 30 - 1 を信号パルス 201 が伝搬するに従い後方クロストーク信号パルス 301 も同位相で副結合線路 30 - 2 を左方向 (前方側) に伝搬する。

【0078】

図 6 (E) に戻って、主結合線路上をパルスは前方側 (図 6 (E) では左側) に進行し、方向性結合器により接続されているメモリ 10 - 1 ~ 10 - 8 へ次々クロストーク信号パルスを生成していく。先に述べたようにこのクロストーク信号パルスの波頭は主結合線路を伝搬する信号パルスの波頭と同じであり、2 つの信号の位相がそろっている。

【0079】

このように、このメモリ 10 - 1 ~ 10 - 8 での到達時間は主結合線路を進行する信号の各メモリ 10 - 1 ~ 10 - 8 位置での到達時間に等しいので、リードアクセス時のアドレス・コマンド信号 32、クロック信号 30 がメモリ 10 - 1 ~ 10 - 8 のロケーション順に信号が到着することになる。このため、図 6 (E) のモジュール 20E を用いても、第一の実施例で説明した図 1 或いは図 2 のメモリバスを構成することができる。ここで、副結合線間にギャップがあってもメモリ 10 - 1 ~ 10 - 8 に到達する時間関係は変わらない。なぜならば、ギャップでは副結合線路がないので何も後方クロストーク信号を生成せず、信号伝達には寄与しない。

【0080】

第 4 の実施例として図 8 を用いて説明する。本実施例はライトアクセス時にデータ信号 31 が低スキューでメモリ 10 - 1 ~ 10 - 8 に書き込める実施例である。この実施例では図 2 と異なる点は、アドレス・コマンド信号 32、クロック信号 30 の配線方式にある。第一の実施例の図 2 では MC1 から引き出されたこれら配線が図面右側で折り返されてモジュール 20 - 1 ~ 20 - 4 に入力されていた。図 8 ではアドレス・コマンド信号 32、クロック信号 30 は MC1 から引き出されて直ぐにモジュール 20 - 1 ~ 20 - 4 に入力される。ここで、図 2 と図 8 で、データ信号 31 は同じ配線様式で、MC1 とモジュール 20 - 1 ~ 20 - 4 の位置関係も同じである。ただし、モジュール 20 - 1 ~ 20 - 4 の向きは図 2 と図 8 で反対である。このことから図 2 の配線方式でも図 8 の配線方式でも同じモジュールを使用することができるという効果がある。これはシステム構成の自由度を増す事ができる事を意味する。

【 0 0 8 1 】

動作であるが、M C 1 がライトアクセスする場合、M C 1 はライトアクセスに関するアドレス・コマンド信号 3 2 を出力する。これは、M C 1 に対して物理的に近いメモリ 1 0 - 1 に一番最初に到達し、最後は一番遠いメモリ 1 0 - 8 に到達する。この到達順はデータ信号 3 1 の D 1 ~ D 4 のそれに等しい。このため、ライトアクセス時に送出されるライトデータはアドレス・コマンド信号 3 2、クロック信号 3 0 と同じ伝搬遅延時間を持って各メモリ 1 0 - 1 ~ 1 0 - 8 に到達することになり、各メモリ 1 0 - 1 ~ 1 0 - 8 にとっては同期してアドレス・コマンド信号 3 2、クロック信号 3 0、データ信号 3 1 が入力されることになる。このため、ライトアクセスに関してはタイミング設計が非常に容易となる。

10

【 0 0 8 2 】

図 8 の構成で、M C 1 がリードアクセスする場合は図 2 の実施例とは異なって、リードデータはメモリ 1 0 - 1 ~ 1 0 - 8 の位置により M C 1 までの到達時間が大きく異なる。正確には M C 1 から見て各メモリ 1 0 - 1 ~ 1 0 - 8 までの往復の遅延時間分ずれることになる。このため、M C 1 内ではリードデータを確実に取り込めるようにこの往復遅延時間と等価な遅延調整回路を設けてタイミングを調整する。この方式は図 3 の遅延回路 1 B をデータ入力側に用いれば容易に達成できる。

【 0 0 8 3 】

このように構成することで、ライトアクセスに対して低いレイテンシで高速に書き込むことができる。システムではグラフィックメモリなど書き込みが多い処理に向く。

20

【 0 0 8 4 】

次に第一の実施例の図 1、図 2 或いは、第 3 の実施例の図 6、第 4 の実施例の図 8 の実装イメージを図 9 に示す。2 0 はメモリ 1 0 - 1 ~ 1 0 - 8 を搭載するモジュールであって、モジュール 2 0 内のアドレス・コマンド信号 3 2、クロック信号 3 0 はモジュール上の一方の側から上方に配線され、折り曲げられ方向性結合器を構成するため直線状に配線され更に他方の端が終端されている。そしてコネクタ 9 0 に搭載する場合、その向きを間違えないように位置合わせの切り欠きがモジュール 2 0 に設けられ、切り欠き位置に対応する誤挿入防止ピンがコネクタ 9 0 に設けられている。このため、モジュール 2 0 をコネクタ 9 0 に差し込む向きを間違えることはない。尚、本実施例では結合する方向を間違えないための方法として切り欠きを用いたが、モジュール側のピンとコネクタ側のピンを正確に結合させるための手段であれば他の手段も含むものとする。

30

【 0 0 8 5 】

次に第一の実施例の図 1 と図 2 の基板断面図を図 1 0 に示す。マザーボード 1 0 0 は M C 1、コネクタ 9 0 とモジュール 2 0 を搭載し、図 1 0 は M C 1 付近の x 軸方向断面である。多層の信号、電源層を有している。図 1 0 では M C 1 は表面実装部品であり、パッケージが B G A (Ball Grid Array) ならハンダボールで基板 1 0 0 に接続されている。コネクタ 9 0 も表面実装部品である。表面実装部品を用いることで部品下の配線密度を高めることができる。

【 0 0 8 6 】

M C 1 からはアドレス・コマンド信号 3 2、クロック信号 3 0、データ信号 3 1 が配線されモジュール 2 0 にコネクタ 9 0 を介して信号を伝送できるようになっている。データ信号 3 1 配線は M C 1 から信号層 1 層ないし 2 層用いて配線されている。図 1 0 では 2 層を用いた配線となっている。また、アドレス・コマンド信号 3 2、クロック信号 3 0 はデータ信号とは層を変えて配線されている。これらの配線は電源層に挟まれたいわゆるストリップライン構造になっている。このため、伝搬遅延時間が配線を取り囲んでいる材料の誘電率で決まる。このため、モジュール 2 0 とマザーボード 1 0 0 の材質をそろえることで両方の速度がそろえる。

40

【 0 0 8 7 】

また、図 1 0 ではアドレス・コマンド信号 3 2、クロック信号 3 0 とデータ信号 3 1 は同じ x 軸方向に配線されているが層を変えることで互いのクロストークノイズをさけること

50

ができる。このため、マザーボード100のアドレス・コマンド信号32、クロック信号30をデータ配線と重ねて配線でき配線長のチューニング、高密度化できる。

【0088】

次に第5の実施例としてアドレス・コマンド信号32用レシーバの構成を図11を用いて説明する。図6(C)、(D)で用いられるメモリではアドレス・コマンド信号、クロック信号を終端する構成と、開放(Hi-Z)する構成がある。2種類のメモリを用いて構成しても良いが、コストの観点からは同一チップで両方の機能を実現できる方がよい。その為、本実施例では図11(A)のように終端抵抗をトランジスタ50で構成させ、その終端用トランジスタ50をオン、オフすることで入力インピーダンスの制御を達成できる。勿論、終端抵抗値を可変にするように制御することもできる。例えばトランジスタ50をゲート幅の異なる複数のトランジスタを並列接続するように構成し、これらのトランジスタのそれぞれを抵抗値に応じてオン、オフすることで入力インピーダンスを調整することができる。このインピーダンスの調整を行うのが制御回路53である。

10

【0089】

また、図11(A)では入力端子からレシーバ52までの間には抵抗器51が接続されている。これはチップ上のメタル配線で構成できるが、この抵抗50(R1)と先のトランジスタ50の和によって所望の入力インピーダンスを生成することができる。この抵抗51(R1)はトランジスタ50の抵抗値を小さく抑えるために設けられ、結果としてトランジスタ50のサイズを小さくすることができる。図11(A)ではトランジスタは終端電圧V_{tt}に接続されている。この終端電圧V_{tt}は参照電圧V_{ref}と同じである。すなわち、結合器を介してた信号は終端電圧V_{tt}を中心に正極と負極のパルスが生成され、これがメモリのレシーバ52に入力される。入力された信号は参照電圧V_{ref}と比較されデータとして識別される。

20

【0090】

図11(B)はレシーバの内蔵終端用トランジスタ50のうち一方を信号入力ピンに他方をレシーバ52の参照電圧V_{ref}に接続したものである。方向性結合器により生成される信号振幅は小さくDC成分を持たないため図11(B)の参照電圧V_{ref}に終端トランジスタ50を通じて流れる電流は小さい。また、参照電圧V_{ref}はメモリが実装されるモジュールではグランド電位に対してデカップリングコンデンサにより低インピーダンスに接続されているため、参照電圧V_{ref}に終端電流を帰還させてもノイズとはなりにくい。このような構成とするためメモリのパッケージは終端電源用のV_{tt}ピンを持つ必要が無くなりパッケージのコストを下げることができる。

30

【0091】

次に第6の実施例としてアドレス・コマンド信号32、クロック信号30のMC1及びメモリ1の電圧と回路例を図12を用いて説明する。

【0092】

アドレス・コマンド信号32、クロック信号30はMC1からメモリ10への一方通行の信号である。そして、第1、第2の実施例で示したように図6(A)を除いて、これらの信号はモジュール20内にて方向性結合器を用いて伝送される。このため、MC1とメモリ10はDC接続されていない。信号はメモリ10側の終端電位に対して結合器により生成された信号が重畳される。図12ではMC1内に設けられたアドレス・コマンド信号32、クロック信号30用のドライバ回路を2で示す。ドライバ回路2はオープンドレインである。ドライバ2内のトランジスタ55は配線70と終端抵抗61を通じて終端電圧60(V_{dd})に接続されている。メモリ10内のレシーバ3は差動レシーバ52と終端トランジスタ50、インピーダンス調整回路53を持ち、これらは副結合線路71に接続されている。この副結合線路71と終端内蔵メモリ10の組合せは図6(E)を想定している。この図ではパッケージは書かれていないがこれによる寄生容量、寄生インダクタンスは当然ある。

40

【0093】

MC1内のドライバ55から信号が出力される場合、主結合線路70の電位はV_{dd}か、

50

V_{o1}の2つである。ここで、V_{o1}とはL出力時の電圧であり終端抵抗61とトランジスタ55の抵抗分圧比で決まる電圧である。

【0094】

メモリ10においてレシーバ52に入力される信号は副結合配線71の終端電位であるV_{t t}を中心に正極、負極のパルスである。これは方向性結合器がDC成分を通過させないためである。このため、主結合線路側70の終端電圧V_{d d}と副結合線路71側の終端電位V_{t t}は独立にとることができる。これはアドレス・コマンド信号32、クロック信号30はMC1からメモリ10への一方通行の信号であるためで双方向の信号伝送が行われる場合は両方の電位V_{d d}、V_{t t}は同じでなければならない。さもないとドライブ電圧が送信、受信で異なることになり非対象になり設計が複雑となる。

10

【0095】

このため、副結合線路71側の終端電圧V_{t t}を入力レシーバ52の最大感度となる電位に設定することができる。これはメモリはC-MOSトランジスタで構成されるが、電圧によっては不感帯となってしまうためである。一般のC-MOSトランジスタでは電源電圧を超える入力信号は取れない。

【0096】

例として、高速なDRAMは1.8Vで動作しているが、ドライバ55の終端電圧V_{d d}を1.8Vに設定できる。終端抵抗61を50、トランジスタ55のインピーダンスを15とするとV_{o1}は0.41Vとなり、信号振幅は約1.4Vとなる。方向性結合器の電圧結合度を20%で設計したとすると副結合器には280mVの電圧が誘起される。これがメモリ10のレシーバ52に伝送されるのであるが副結合線路71側の終端電位V_{t t}を0.9Vとするとレシーバ52に入力される電圧は0.9V±0.28Vとなる。この0.9VはC-MOSで回路を構成する場合N-MOSトランジスタもP-MOSトランジスタも感度を高く取れる電位である。

20

【0097】

このようにアドレス・コマンド信号32、クロック信号30に対してはドライブ信号にオープンドレインの2値の信号をとることができ、また、メモリ10側のレシーバ52にはレシーバ52が最大感度となる電圧を中心電圧にすることができるので、高速な回路を構成することができる。

【0098】

更に、ドライブ信号を2値にすることでアドレス信号から、I/Oデータを出力する前に必要なプリアンプル期間を削除できる効果がある。これはアドレス・コマンド信号にとっては重要なことである。なぜならばアドレスにプリアンプル期間があるとそれだけアクセスレイテンシーが増加しシステムパフォーマンスが落ちてしまうためである。

30

【0099】

ここで、プリアンプルとは以下述べるようなものである。データは送受信するI/O系であり、方向性結合器を用いた場合はCTT (Center Tapped Transceiver) のような3値の波形となる(図17)。すなわち、CTTでは信号振幅の半分の電位で終端させドライバこの終端電位に対して、H状態か、L状態を出力し、出力していない状態では開放(H_i-Z)状態となる。このため開放(H_i-Z)状態である中心電位から転送の第1のデータを出力する場合、その振幅が半分となり、方向性結合器により生成される信号も半分になってしまう。このため、この転送の第1部分での動作が不安定となるのでI/O系では転送の第1データを送信する前にプリアンプルと呼ばれる無効な期間を設けてL状態ないしはH状態を出力させ、フル振幅のデータ出力に先立つある期間、配線の電位を確定していた。

40

【0100】

次に図13を用いてレシーバの入力インピーダンスを調整するシーケンスを説明する。このシーケンスは、例えば図6(C)のように同じメモリチップを用いて搭載場所により内蔵終端をONにするのか開放(H_i-Z)にするのかを選択し、また終端抵抗の値を調整するシーケンスで、給電後の実際のデータの読み書きを行う前に行われる。この意味でメモ

50

リ初期化のシーケンスである。

【 0 1 0 1 】

シーケンスは、先ずメモリに給電される (4 0 - 1)。次にクロックが入力され、リセットシーケンスが実行される (4 0 - 2、4 0 - 3)。リセットシーケンス 4 0 - 3 ではメモリの各バンクの内部セルをクリアしたり、メモリ内のフリップフロップ (Flip Flop) を初期値に設定する。ここまでは通常の S D R A M のシーケンスに等しい。4 0 - 4 ではデータ系の出力インピーダンスを調整する。データ信号用のドライバは C T T のようなブッシュアップ回路であり、ドライバの最終段にはゲート幅の異なったインバータが並列に接続されている。

【 0 1 0 2 】

このドライバのインピーダンスの調整は次のような方法で行うことができる。ドライバの最終段のインバータのうち複数並列接続されている P - M O S トランジスタ、N - M O S トランジスタを独立に任意の組合せで選択することでドライバのインピーダンスを可変にできる。そして、このインピーダンスがメモリに接続された外付けの抵抗値により構成される。例えば、外付けの抵抗とドライバの P - M O S トランジスタのインピーダンスをブリッジ回路などで比較し、P - M O S トランジスタのゲート幅を段階的に可変する。このことで P - M O S トランジスタの出力インピーダンスを制御できる。同じように N - M O S トランジスタについても外付けの抵抗との比較で出力インピーダンスを調整できる。

【 0 1 0 3 】

次のシーケンスはアドレス・コマンド信号 3 2 の設定である (4 0 - 5)。このシーケンスでは先ずアドレスインピーダンス設定ピンの状態をモニタする。この実施例のメモリにはアドレスインピーダンス設定ピンが設けられこの状態をモニタすることで、アドレス・コマンド信号 3 2 を終端するかどうかを判断する。

【 0 1 0 4 】

このアドレスインピーダンス設定ピンの設定はこのメモリが搭載されるモジュール上で行われ、図 6 (C) ではモジュール 2 0 (D) の配線により H 状態もしくは L 状態にメモリ毎に設定される。4 0 - 6 でこのアドレスインピーダンス設定ピンの入力が H 状態か L 状態かを判断する。もしメモリの設定でこのピンが H ならば、すべてのアドレス・コマンド信号 3 2、クロック信号 3 0 の入力インピーダンスを配線のインピーダンスに合うように調整する。この方式として、シーケンス 4 0 - 4 で用いられた外付けの抵抗を用いて調整するのが簡単である。モジュールのアドレス・コマンド信号 3 2 の特性インピーダンスが Z_0 とし、抵抗の抵抗値が R とするとき、 Z_0 / R の比 が決められた値を持つようにで外付け抵抗を選んでおけば、ドライバのインピーダンスを調整する方法と同じくアドレス・コマンド信号 3 2 の入力インピーダンスを Z_0 と R の積になるように調整すればよい。

【 0 1 0 5 】

また、シーケンス 4 0 - 6 でアドレスインピーダンス設定ピンの値が L の場合、アドレス・コマンド・クロック信号の内蔵終端抵抗は開放 (H i - Z) とする (4 0 - 8)。このようなシーケンスを取ることでドライバのみならずアドレス・コマンド・クロックの入力インピーダンスを高精度に設定ができる。また、メモリが搭載されるモジュールの配線によりアドレス・コマンド・クロックの入力インピーダンスを終端状態にしたり開放 (H i - Z) に選択的にできるので図 6 (D) のようにメモリの実装位置による終端・非終端を選択できる。これによりシステムとして方向性結合器を用いたアドレス・コマンド信号 3 2 をモジュールに構成し、リードアクセス、或いはライトアクセスのデータ信号が配線長に依らず低スキューで実現できる。

【 0 1 0 6 】

アドレス・コマンド信号 3 2 の入力インピーダンスを開放 (ハイインピーダンス)、または該アドレス・コマンド信号 3 2 に接続される配線の特性インピーダンスにほぼ等しい値に調整するため別な手段として以下に述べるような方法もある。

【 0 1 0 7 】

モジュール 2 0 に不揮発メモリ (E E P R O M など) を搭載し、これに各メモリのインピ

10

20

30

40

50

ーダンス調整値を格納しておく。この格納された調整値を回路検証用のシリアル信号（バウンダリー・スキャン）を介して電源投入後に各メモリに設定すればよい。この調整値すなわち図 11 でアドレス・コマンド信号 32 用の入力回路である 3a ないし 3b はインピーダンス調整回路 53 を有している値であるが、その値に設計時に想定した値を用いたり、メモリ製造時に検査するプロセス検査或いは回路検査で実測された値を用いても良い。

【0108】

このように、モジュール製造時にモジュールに搭載する各メモリのプロファイル（情報）に応じてモジュール上の EEPROM に設定値を格納しておくことで、図 6（B）、図 6（C）、図 6（D）図 6（E）に単一のメモリで対応できる。この場合、インピーダンス調整用の外部ピンもメモリには必要ない。

10

尚、本願発明によれば、アドレス・コマンド信号をクロックと併走させ、これらを各モジュール毎に配線することで、アドレス・コマンド信号の分岐配線による波形歪みを無くすることができ、このため、アドレス・コマンド信号の高速化が可能となる。これにより、アドレスバッファを不要とし、アクセスレイテンシを低く抑えることができる。

【0109】

また、アドレス・コマンド信号、クロック信号をモジュールに形成された方向性結合器で伝送させ、図 1 のようにデータ信号配線とアドレス配線の配線長がどのメモリに対しても同じになるように構成することによりリードアクセスのデータスキューが小さく抑えることができる。これにより、リードアクセスの方がライトアクセスより大幅に多い情報処理装置に置いてリードアクセスのアクセスレイテンシが短くできシステム性能が向上する。

20

【0110】

また、主結合線路のメモリコントローラの遠い方が終端されていることで、メモリモジュール内の複数メモリチップのタイミングが順番を管理することができる。

【0111】

また、アドレス端子とデータ端子とが別端子であることから、低速でもアクセスデータレートを向上することが可能である。

【0112】

また、ひとつのメモリチップへのアドレスとクロックの供給タイミングが歩調することで、タイミングマージンが良好となり、また、耐ノイズ性能が向上する。

30

【0113】

本発明は、上述の実施の形態に限定されるものではなく、適用分野に関わらず、要旨を逸脱しない範囲で変更し実施し得ることは述べるまでもない。

【0114】

【発明の効果】

アドレス・コマンド信号をクロックと併走させ、これらを各モジュール毎に配線することで、アドレス・コマンド信号の分岐配線による波形歪みを無くすることができ、このため、アドレス・コマンド信号の高速化が可能となるという効果を有する。

【図面の簡単な説明】

【図 1】第 1 の実施例を説明する図

40

【図 2】第 1 の実施例の回路図

【図 3】第 1 の実施例のメモリコントローラの内部ブロック

【図 4】第 2 の実施例のモジュールを 1 枚有する場合の配線方式

【図 5】第 2 の実施例の別な配線方式

【図 6】第 3 の実施例のモジュール配線方式

【図 7】図 6（B）のアドレス信号のタイミング図

【図 8】ライトデータを優先する配線方式

【図 9】コネクタに誤挿入防止機構を設けた

【図 10】第 1 の実施例の基板構成

【図 11】インピーダンス調整可能なアドレス・コマンド入力回路

50

【図 1 2】方向性結合器を用いた一方向データ転送バス配線方式

【図 1 3】アドレス・コマンド信号のインピーダンス調整シーケンス

【図 1 4】従来例のリードアクセス優先方式配線

【図 1 5】従来例の回路接続図

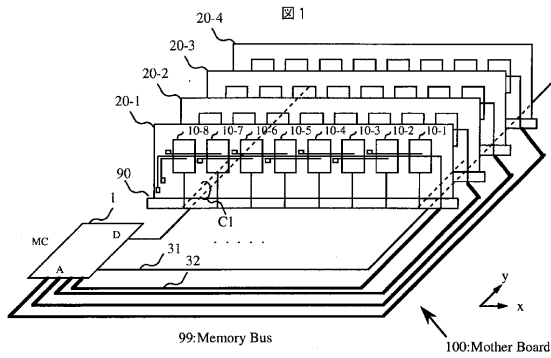
【図 1 6】 図 6 (E) の結合器で主結合線路を伝搬する信号パルスと副結合線路に誘起される後方クロストーク信号パルスの信号伝搬時間関係

【図 1 7】 C T T を説明する図

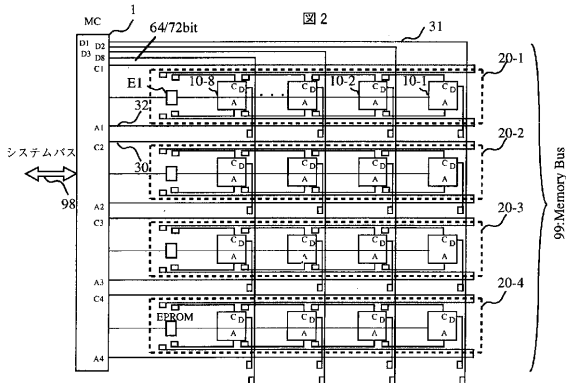
【符号の説明】

1 . . . メモリコントローラ	
1 A . . . 位相調整回路	10
1 B . . . 遅延調整回路	
1 C、1 D . . . フリップフロップ	
1 F . . . 遅延量制御回路	
1 G . . . レジスタ	
1 L . . . メモリコントローラコア論理	
2 . . . ドライバ	
3、3 a、3 b . . . レシーバ	
5 . . . 方向性結合器	
1 0、1 0 - 1 ~ 1 0 - 8 . . . DRAMチップ	
2 0、2 0 - 1 ~ 2 0 - 4、2 0 a ~ 2 0 e . . . DRAMモジュール	20
2 5 . . . モジュール接続端子	
3 0 . . . クロック信号配線	
3 1 . . . データ信号配線	
3 2 . . . アドレス・コマンド信号	
3 3 . . . チップセレクト信号	
3 5 . . . システムクロック	
4 0 - 1 ~ 4 0 - 8 . . . インピーダンス調整シーケンス	
5 0 . . . トランジスタ	
5 1 . . . 抵抗	
5 2 . . . 差動レシーバ	30
5 3 . . . インピーダンス調整	
5 5 . . . ドライバ内トランジスタ	
6 1 . . . 抵抗	
7 0 . . . 主結合線路	
7 1 . . . 副結合線路	
9 0 . . . コネクタ	
9 9 . . . メモリバス信号	
9 8 . . . システムバス信号	
1 0 0 . . . マザーボード	

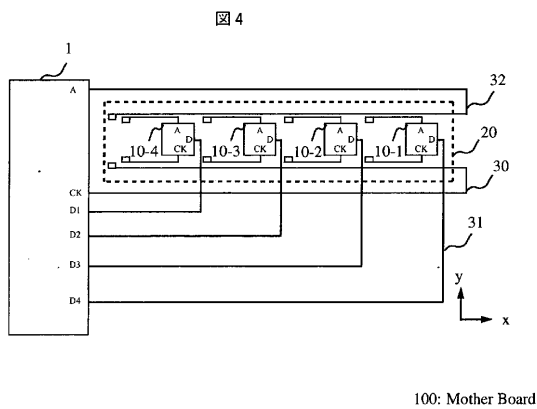
【図 1】



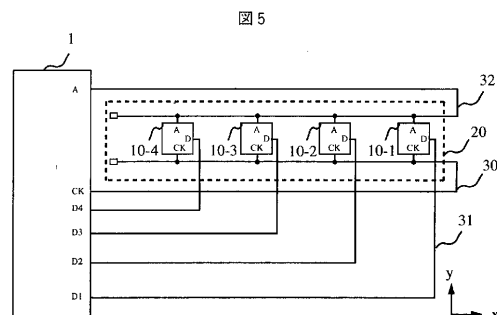
【図 2】



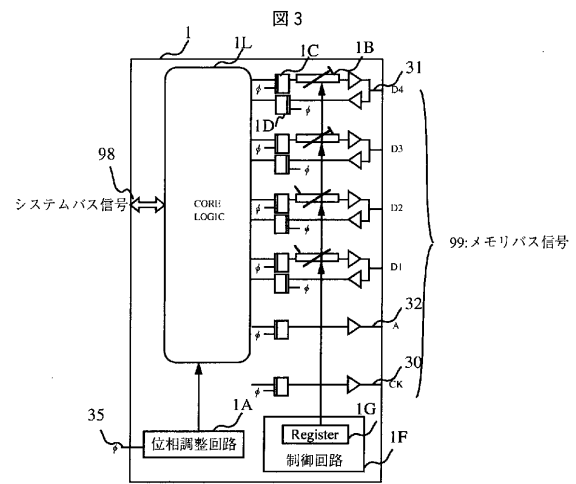
【図 4】



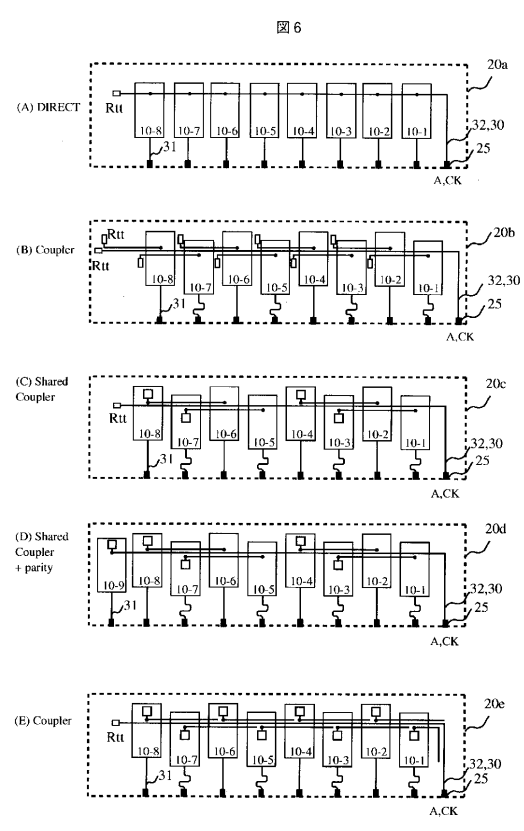
【図 5】



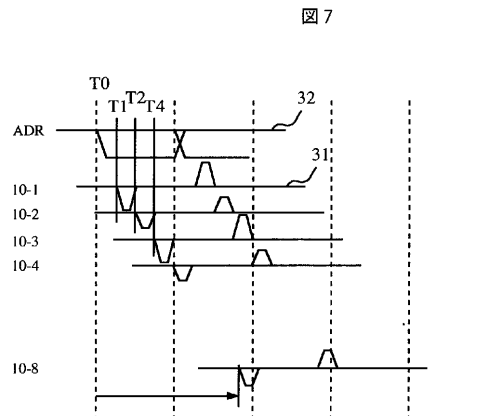
【図 3】



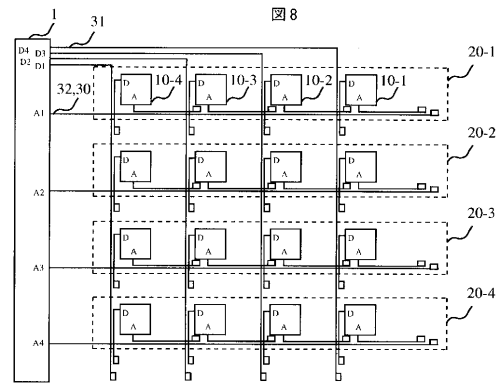
【図 6】



【図 7】

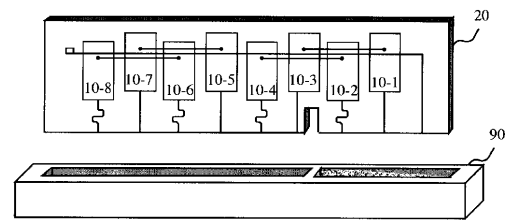


【図 8】



【図 9】

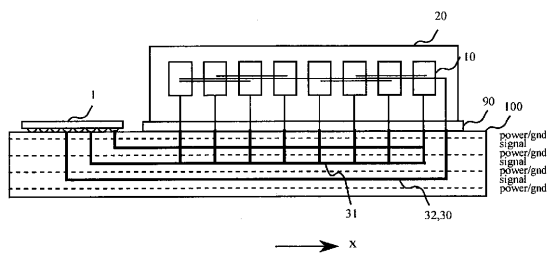
図 9



100

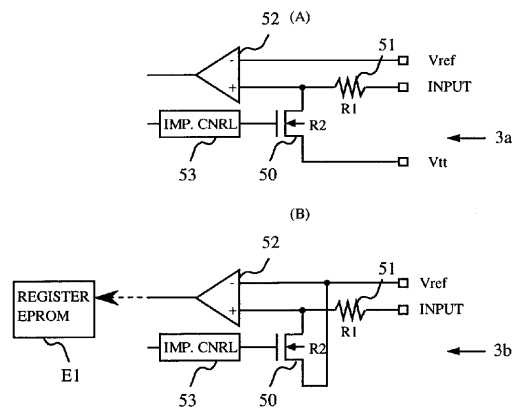
【図 10】

図 10

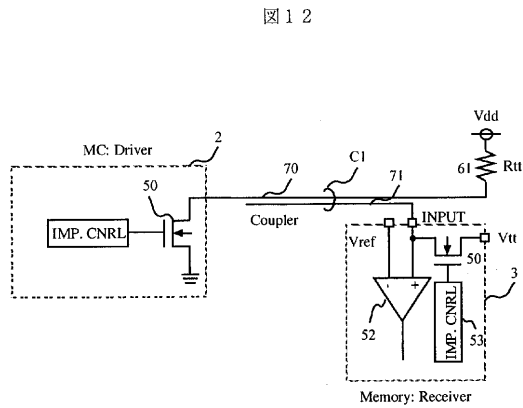


【図 11】

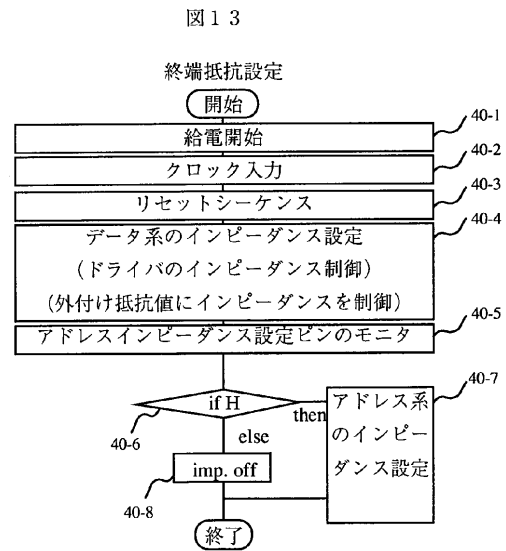
図 11



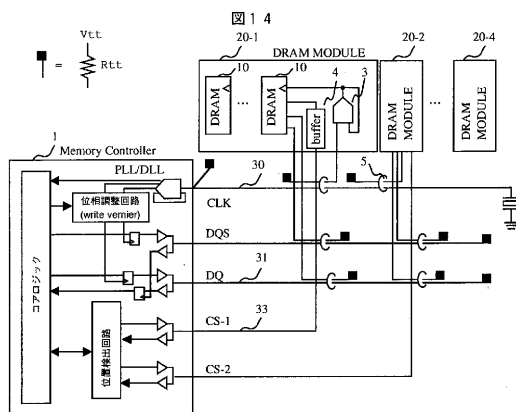
【図 12】



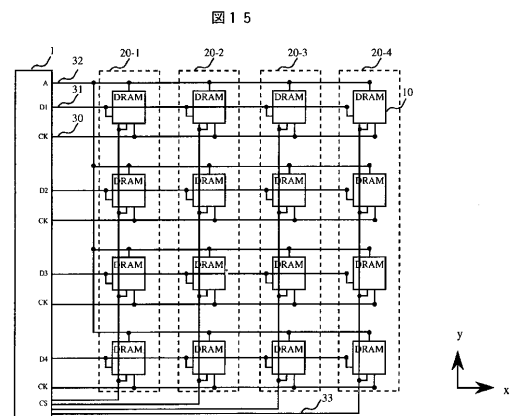
【図 13】



【図 14】

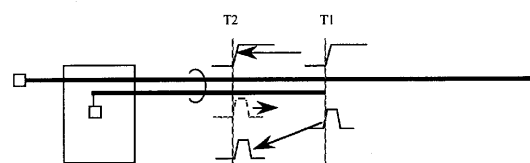


【図 15】

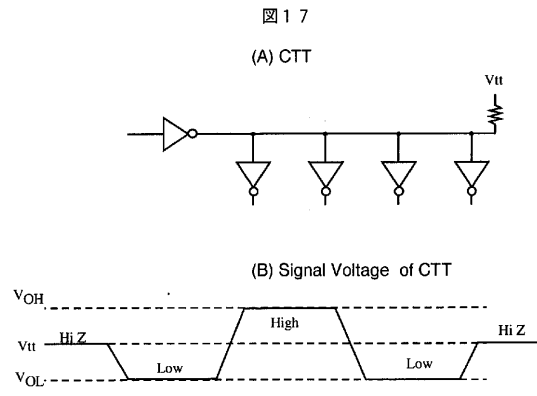


【図 16】

図 16



【図 17】



フロントページの続き

審査官 田中 秀人

(56)参考文献 特開 2 0 0 2 - 0 2 3 9 0 1 (J P , A)
特開 2 0 0 1 - 0 2 7 9 8 7 (J P , A)
特開平 0 8 - 3 3 5 8 7 1 (J P , A)
特開 2 0 0 2 - 0 4 1 4 4 4 (J P , A)
特開 2 0 0 1 - 3 3 1 4 3 9 (J P , A)
特開平 0 7 - 2 7 1 7 1 2 (J P , A)
特開平 1 0 - 2 4 2 4 1 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G06F 12/00 - 12/06

G06F 3/00

G06F 13/16