

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 10 月 4 日(04.10.2012)



(10) 国際公開番号
WO 2012/132219 A1

- (51) 国際特許分類:
H01L 27/08 (2006.01) *H01L 21/8238* (2006.01)
H01L 21/76 (2006.01) *H01L 27/088* (2006.01)
H01L 21/762 (2006.01) *H01L 27/092* (2006.01)
H01L 21/8234 (2006.01) *H01L 29/786* (2006.01)
- (21) 国際出願番号: PCT/JP2012/001285
- (22) 国際出願日: 2012 年 2 月 24 日(24.02.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-072699 2011 年 3 月 29 日(29.03.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): ルネサスエレクトロニクス株式会社(Renesas Electronics Corporation) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 田村 純 (TAMURA, Jun) [JP/JP]; 〒5208555 滋賀県大津市晴嵐二丁目 9 番 1 号 ルネサス関西セミコンダクタ株式会社内 Shiga (JP).
- (74) 代理人: 家入 健(IEIRI, Takeshi); 〒2210835 神奈川県横浜市神奈川区鶴屋町三丁目 3 3 番 8 ア

サヒビルディング 10 階 響国際特許事務所 Kanagawa (JP).

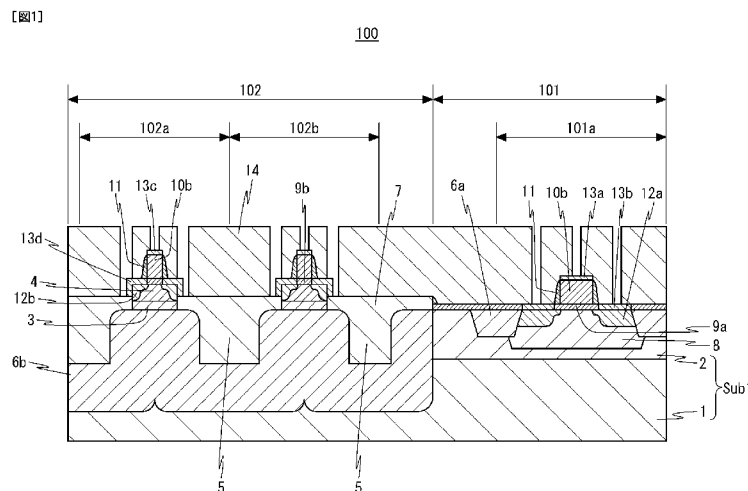
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD FOR SAME

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: Provided is a semiconductor device (100) in which a logic MOSFET (101a) and switching MOSFETs (102a, 102b) are formed on a high resistance substrate (1). The logic MOSFET (101a) has: an epitaxial layer (2) formed upon the high resistance substrate (1); and a well layer (8) formed in the upper section of the epitaxial layer (2). The switching MOSFETs (102a, 102b) each have: a LOCOS oxide film (6a), formed upon the high resistance substrate (1), with an upper part thereof interposed between trenches (5) to have a mesa shape; and an embedded oxide film (3) and an SOI layer (4) on the mesa shape of the LOCOS oxide film (6a). The top surface of the mesa shape of the LOCOS oxide film (6a) is at the same height as the top surface of the epitaxial layer (2).

(57) 要約:

[続葉有]

WO 2012/132219 A1



半導体装置（１００）は、高抵抗基板１上にロジック用ＭＯＳＦＥＴ（１０１ａ）及びスイッチ用ＭＯＳＦＥＴ（１０２ａ、１０２ｂ）が形成される。ロジック用ＭＯＳＦＥＴ（１０１ａ）は、高抵抗基板（１）上に形成されたエピタキシャル層（２）と、エピタキシャル層（２）の上部に形成されたウェル層（８）と、を有する。スイッチ用ＭＯＳＦＥＴ（１０２ａ、１０２ｂ）は、高抵抗基板上（１）に形成され、トレンチ（５）で挟まれることにより上部がメサ形状を有するＬＯＣＯＳ酸化膜（６ａ）と、ＬＯＣＯＳ酸化膜（６ａ）のメサ形状の上に埋め込み酸化膜（３）及びＳＯＩ層（４）と、を有する。ＬＯＣＯＳ酸化膜（６ａ）のメサ形状の上面は、エピタキシャル層（２）の上面と同じ高さである。

明 細 書

発明の名称：半導体装置及びその製造方法

技術分野

[0001] 本発明は、半導体装置及びその製造方法に関し、特に複数種の素子が混載される半導体装置及びその製造方法に関する。

背景技術

[0002] 携帯電話など携帯電子機器における送受信切り替えスイッチとして、これまで化合物半導体素子が使用されてきた。しかし、近年、シリコンMOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) をSOI (Silicon on Insulator) 基板上やSOS (Silicon on Sapphire) 基板上に形成することにより、シリコンMOSFETの高周波特性の改善が目覚しい。その結果、シリコンMOSFETが携帯電子機器の高周波スイッチとして応用される機会が拡大している。

[0003] 高周波スイッチの性能を示す重要な特性として、伝送損失（ロス）、高調波歪及び相互変調歪み（IMD：Inter-modulation Distortion）が挙げられる。これらの特性は、MOSFETの寄生容量Cとオン抵抗Rの積であるCR積を小さくするほど改善することができる。

[0004] そこで、MOSFETの素子サイズを縮小して短チャネル化することによる、寄生容量C及びオン抵抗Rの低減が試みられている。寄生容量Cを低減する方法として、薄膜SOI基板の採用によるソース・ドレイン拡散層の容量低減やゲート長の微細化などが知られている。このような用途に用いられる薄膜SOI基板は、例えばスマートカット法などで作製される。

[0005] SOI基板上にMOSFETを形成した一般的な半導体装置（特許文献1）について説明する。図5は、SOI基板上にMOSFETを形成した一般的な半導体装置300の構成を示す断面図である。半導体装置300では、SOI基板はp型のシリコン基板314を含む。シリコン基板314には、第1の領域310及び第2の領域312がある。第1の領域310には高耐

圧トランジスタ 313 が形成されている。第 1 の領域 310 に形成することができる半導体素子としては、他に縦型バイポーラ等がある。第 2 の領域 312 には SOI 構造の MOS 電界効果トランジスタ 315 が形成される。第 2 の領域 312 に形成することができる回路としては、例えば、高速化又は低消費電力化が必要な回路（例えば、携帯情報機器等に用いられる回路）がある。

[0006] 次に、第 1 の領域 310 の詳細を説明する。高耐圧トランジスタ 313 は、ゲート電極 340、ソース／ドレイン 334 a、336 a、ソース／ドレインのオフセット 334 b、336 b を備える。第 1 の領域 310 のシリコン基板 314 には p 型のウェル 316 が形成されている。ウェル 316 上にはゲート酸化膜 338 が形成されている。ゲート酸化膜 338 の厚さは例えば 40～100 nm である。ゲート酸化膜 338 を挟むようにウェル 316 上には、オフセット用 LOCOS 酸化膜 322、324 が形成されている。ゲート酸化膜 338 上にはゲート電極 340 が形成されている。ゲート電極 340 の一方の端部はオフセット用 LOCOS 酸化膜 322 上に位置している。ゲート電極 340 の他方の端部はオフセット用 LOCOS 酸化膜 324 上に位置している。

[0007] オフセット用 LOCOS 酸化膜 322 下のウェル 316 には n 型のソース／ドレインのオフセット 334 b が形成されている。ウェル 316 には n 型のソース／ドレイン 334 a が形成されている。n 型のソース／ドレイン 334 a はソース／ドレインのオフセット 334 b の隣に位置している。オフセット用 LOCOS 酸化膜 324 下のウェル 316 には n 型のソース／ドレインのオフセット 336 b が形成されている。ウェル 316 には n 型のソース／ドレイン 336 a が形成されている。n 型のソース／ドレイン 336 a はソース／ドレインのオフセット 336 b の隣に位置している。

[0008] ウェル 316 の一方の端部には素子分離用 LOCOS 酸化膜 326、ウェル 316 の他方の端部には素子分離用 LOCOS 酸化膜 320 がそれぞれ形成されている。素子分離用 LOCOS 酸化膜 326 下のウェル 316 には p

型のチャネルストップ領域 330 が形成されている。LOCOS 酸化膜 320 下のウェル 316 には p 型のチャネルストップ領域 332 が形成されている。ゲート電極 340 を覆うようにシリコン基板 314 上には層間絶縁膜 350 が形成されている。層間絶縁膜 350 にはソース／ドレイン 334a を露出させるスルーホール 342 が形成されている。層間絶縁膜 350 上にはアルミ配線 346 が形成されている。アルミ配線 346 はスルーホール 342 にも形成され、ソース／ドレイン 334a と電氣的に接続されている。層間絶縁膜 350 にはソース／ドレイン 336a を露出させるスルーホール 344 が形成されている。層間絶縁膜 350 上にはアルミ配線 348 が形成されている。アルミ配線 348 はスルーホール 344 にも形成され、ソース／ドレイン 336a と電氣的に接続されている。

[0009] 次に、第2の領域 312 の詳細を説明する。MOS 電界効果トランジスタ 315 は、ゲート電極 360、ソース／ドレイン 354、356 を備える。第2の領域 312 のシリコン基板 314 上には埋め込み酸化膜 318 が形成されている。埋め込み酸化膜 318 上にはシリコン単結晶層が形成されている。このシリコン単結晶層には p 型のボディ領域 352、n 型のソース／ドレイン 354、356 が形成されている。埋め込み酸化膜 318 上には素子分離用 LOCOS 酸化膜 326、328 が形成されている。素子分離用 LOCOS 酸化膜 326、328 によって MOS 電界効果トランジスタ 315 は他の素子と絶縁分離される。

[0010] ボディ領域 352 上にはゲート酸化膜 358 が形成されている。ゲート酸化膜 358 の厚みは、例えば、3～10 nm である。ゲート電極 360 を覆うようにシリコン基板 314 上には層間絶縁膜 350 が形成されている。層間絶縁膜 350 にはソース／ドレイン 354 を露出させるスルーホール 362 が形成されている。層間絶縁膜 350 上にはアルミ配線 366 が形成されている。アルミ配線 366 はスルーホール 362 にも形成され、ソース／ドレイン 354 と電氣的に接続されている。層間絶縁膜 350 にはソース／ドレイン 356 を露出させるスルーホール 364 が形成されている。層間絶縁

膜350上にはアルミ配線368が形成されている。アルミ配線368はスルーホール364にも形成され、ソース／ドレイン356と電氣的に接続されている。

[0011] すなわち、半導体装置300は、深い拡散層を必要とする高耐圧MOSFETとSOI構造のMOSFETとを、同一基板に形成することが可能である。

[0012] その他、回路サイズを抑制しつつ、スルーレートを容易に制御することができるドライブ回路が提案されている（特許文献2）。また、同種の半導体装置の例が提示されている（特許文献3及び4）。

先行技術文献

特許文献

[0013] 特許文献1：特開2001-7219号公報

特許文献2：特開平8-102498号公報

特許文献3：特開2008-227084号公報

特許文献4：特開2007-201240号公報

発明の概要

発明が解決しようとする課題

[0014] ところが、発明者は、上述の半導体装置には、以下のような問題点があることを見出した。一般に、SOI構造のMOSFETは、寄生容量の低減や、高周波用途に用いる場合には、支持基板の影響の抑制が求められる。そのため、埋め込み酸化膜（BOX）層を厚く形成する必要がある。厚い埋め込み酸化膜層を持ったMOSFETを作製するには、図5に示す半導体装置300のように、SOI基板及びBOX層と支持基板との間に高い段差が生じてしまう。その結果、リソグラフィ工程では、段差によるフォーカスずれが生じ、デバイスの寸法精度が悪化する。また、ドライエッチング工程における段差部の膜残りの発生やエッチング条件の複雑化を招いてしまう。従って、上述の半導体装置では、作製できるデバイスの制限や歩留まりの低下が避

けられない。

課題を解決するための手段

[0015] 本発明の一態様である半導体装置は、高抵抗基板上に形成された第1のMOSFETと、前記高抵抗基板上に前記第1のMOSFETとモノリシック集積された第2のMOSFETと、を備え、前記第1のMOSFETは、前記高抵抗基板上に形成された第1の半導体層と、前記第1の半導体層の上部に形成された、当該第1のMOSFETのウェル層である第2の半導体層と、を備え、前記第2のMOSFETは、前記高抵抗基板上に形成され、2つのトレンチで挟まれることにより上部がメサ形状を有し、前記メサ形状の上面が前記第1の半導体層と同じ高さである第1の絶縁層と、前記第1の絶縁層の前記メサ形状の上に形成された第2の絶縁層と、前記第2の絶縁層上に形成された、当該第2のMOSFETのウェル層である第3の半導体層と、を備えるものである。これにより、第1の絶縁層を形成しても、第1の絶縁層は、前記第2の半導体層よりも上部に突出することはなく、第1及び第2のMOSFET間に生じる段差を抑制することができる。

[0016] 本発明の一態様である半導体装置は、高抵抗基板上に形成された第1のMOSFETと、前記高抵抗基板上に前記第1のMOSFETとモノリシック集積された第2のMOSFETと、を備え、前記第1のMOSFETは、前記高抵抗基板上に形成された第1の半導体層と、前記第1の半導体層の上部に形成された、当該第1のMOSFETのウェル層である第2の半導体層と、を備え、前記第2のMOSFETは、前記高抵抗基板上に形成された前記第1の半導体層にトレンチが形成され、その後当該トレンチの側面及び底面から酸化処理されることにより上部が2つのトレンチに挟まれたメサ形状を有する第1の絶縁層と、前記第1の絶縁層の前記メサ形状の上に形成された第2の絶縁層と、前記第2の絶縁層上に形成された、当該第2のMOSFETのウェル層である第3の半導体層と、を備えるものである。これにより、第1の絶縁層を形成しても、第1の絶縁層は、前記第2の半導体層よりも上部に突出することはなく、第1及び第2のMOSFET間に生じる段差を抑

制することができる。

[0017] 本発明の一態様である半導体装置の製造方法は、前記高抵抗基板上に第 1 の半導体層を形成し、前記第 1 の半導体層上に第 2 の絶縁層を形成し、前記第 2 の絶縁層上に、第 2 の MOSFET のウェル層となる第 3 の半導体層を形成し、第 1 の領域の前記第 2 の絶縁層及び前記第 3 の半導体層を除去するとともに、第 2 の領域の前記第 2 の絶縁層及び第 3 の半導体層に開口部を形成し、前記第 2 の領域の前記第 2 の絶縁層及び前記第 3 の半導体層に形成された前記開口部の前記第 1 の半導体層をエッチングしてトレンチを形成することにより、2 つの前記トレンチに挟まれたメサ形状を前記第 2 の絶縁層及び前記第 3 の半導体層下方の前記第 1 の半導体層に形成し、前記トレンチの側面及び底面から酸化処理を行うことにより、2 つのトレンチで挟まれることにより上部がメサ形状を有する第 1 の絶縁層を形成し、前記第 1 の領域の前記第 1 の半導体層の上部に、第 1 の MOSFET のウェル層となる第 2 の半導体層を形成するものである。これにより、第 1 の絶縁層を形成しても、第 1 の絶縁層は、前記第 2 の半導体層よりも上部に突出することはなく、第 1 及び第 2 の MOSFET 間に生じる段差を抑制することができる。

発明の効果

[0018] 本発明によれば、絶縁層上に形成されるトランジスタを好適にモノリシック集積することができる半導体装置及びその製造方法を提供することができる。

図面の簡単な説明

[0019] [図1]実施の形態 1 にかかる半導体装置 100 の構成を模式的に示す断面図である。

[図2A]実施の形態 1 にかかる半導体装置 100 の製造方法を模式的に示す断面図である。

[図2B]実施の形態 1 にかかる半導体装置 100 の製造方法を模式的に示す断面図である。

[図2C]実施の形態 1 にかかる半導体装置 100 の製造方法を模式的に示す断

面図である。

[図2D]実施の形態1にかかる半導体装置100の製造方法を模式的に示す断面図である。

[図2E]実施の形態1にかかる半導体装置100の製造方法を模式的に示す断面図である。

[図2F]実施の形態1にかかる半導体装置100の製造方法を模式的に示す断面図である。

[図2G]実施の形態1にかかる半導体装置100の製造方法を模式的に示す断面図である。

[図2H]実施の形態1にかかる半導体装置100の製造方法を模式的に示す断面図である。

[図2I]実施の形態1にかかる半導体装置100の製造方法を模式的に示す断面図である。

[図2J]実施の形態1にかかる半導体装置100の製造方法を模式的に示す断面図である。

[図2K]実施の形態1にかかる半導体装置100の製造方法を模式的に示す断面図である。

[図2L]実施の形態1にかかる半導体装置100の製造方法を模式的に示す断面図である。

[図2M]実施の形態1にかかる半導体装置100の製造方法を模式的に示す断面図である。

[図2N]実施の形態1にかかる半導体装置100の製造方法を模式的に示す断面図である。

[図2O]実施の形態1にかかる半導体装置100の製造方法を模式的に示す断面図である。

[図2P]実施の形態1にかかる半導体装置100の製造方法を模式的に示す断面図である。

[図3]実施の形態2にかかる半導体装置200の製造方法を模式的に示す断面

図である。

[図4A]実施の形態2にかかる半導体装置200の基板Sub2の製造方法を模式的に示す断面図である。

[図4B]実施の形態2にかかる半導体装置200の基板Sub2の製造方法を模式的に示す断面図である。

[図5]半導体装置300の構成を模式的に示す断面図である。

発明を実施するための形態

[0020] 以下、図面を参照して本発明の実施の形態について説明する。各図面においては、同一要素には同一の符号が付されており、必要に応じて重複説明は省略される。

[0021] 実施の形態1

本発明の実施の形態1にかかる半導体装置100について説明する。図1は、実施の形態1にかかる半導体装置100の構成を模式的に示す断面図である。半導体装置100は、高抵抗基板1上にモノリシック集積されたロジック回路領域101及びスイッチ回路領域102を有する。ロジック回路領域101には、例えば図1のように、ロジック用MOSFET101aが形成される。スイッチ回路領域102には、スイッチ用MOSFET102a及び102bが形成される。

[0022] ロジック回路領域101では、高抵抗基板1上にエピタキシャル層2が形成されている。高抵抗基板1は、例えば抵抗率 $\rho_s = 10\text{ k}\Omega \cdot \text{cm}$ のシリコンからなる。エピタキシャル層は、例えば抵抗率 $\rho_e = 10 \sim 20\Omega \cdot \text{cm}$ のn型のシリコンからなる。エピタキシャル層2の上部には、絶縁層であるLOCOS酸化膜6aが形成される。2つのLOCOS酸化膜6aの間には、例えばp型シリコンからなるウェル層8が形成される。ロジック用MOSFET101aは、ウェル層8上に形成される。なお、ウェル層8が形成されていない部分のエピタキシャル層2及びLOCOS酸化膜6aは、ゲート酸化膜9aで覆われる。

[0023] ロジック用MOSFET101aの構成について説明する。ウェル層8の

上部には、例えばn型の2つの拡散層12aが形成される。2つの拡散層12aは、それぞれロジック用MOSFET101aのソース及びドレインである。2つの拡散層12aの間のウェル層8とゲート電極10aとの間には、絶縁層であるゲート酸化膜9aが形成される。なお、ゲート電極10aは例えばポリシリコンからなり、ゲート酸化膜9aは酸化シリコン膜からなる。ゲート電極10aの上には、シリサイド13aが形成されている。拡散層12a上には、シリサイド13bが形成されている。ゲート電極10aの側壁は、サイドウォール11で覆われている。そして、ロジック用MOSFET101aを覆う層間絶縁膜14が形成されている。シリサイド13a及び13b上の層間絶縁膜14には、コンタクトホールが形成されている。

[0024] スイッチ回路領域102では、高抵抗基板1上に、絶縁層であるLOCOS酸化膜6bが形成される。LOCOS酸化膜6bは、トレンチ5が設けられている。これにより、トレンチ5に挟まれるLOCOS酸化膜の上部は、メサ形状を有する。トレンチ5には、酸化膜7が充填されている。

[0025] スイッチ用MOSFET102aの構成について説明する。LOCOS酸化膜6b上には、埋め込み酸化膜3（厚み0.1～0.4 μ m）及びSOI層4（厚み0.1 μ m以下）が形成されている。絶縁層である埋め込み酸化膜3は例えば酸化シリコンからなり、SOI層4は例えばシリコンからなる。SOI層4の上部には、拡散層12bが形成される。2つの拡散層12bは、それぞれスイッチ用MOSFET102aのソース及びドレインである。SOI層4の上面とゲート電極10bとの間には、絶縁層であるゲート酸化膜9bが形成される。なお、ゲート電極10bは例えばポリシリコンからなり、ゲート酸化膜9bは酸化シリコンからなる。ゲート電極10bの上には、シリサイド13cが形成されている。拡散層12b上には、シリサイド13dが形成されている。ゲート電極10bの側壁は、サイドウォール11で覆われている。そして、スイッチ用MOSFET102aを覆う層間絶縁膜14が形成されている。シリサイド13c及び13d上の層間絶縁膜14には、コンタクトホールが形成されている。なお、スイッチ用MOSFET

102bの構成はスイッチ用MOSFET102aと同様であるので、説明を省略する。

[0026] なお、半導体装置100においては、ロジック回路領域101が第1の領域に相当し、スイッチ回路領域102が第2の領域に相当する。ロジック用MOSFET101aが第1のMOSFETに相当し、スイッチ用MOSFET102a及び102bが第2のMOSFETに相当する。エピタキシャル層2、ウェル層8、SOI層4及び界面キャリア抑制層15は、それぞれ第1～第4の半導体層に相当する。LOCOS酸化膜6b、埋め込み酸化膜3は、それぞれ第1及び第2の酸化膜に相当する。ゲート酸化膜9a及び9bは、それぞれ第1及び第2のゲート絶縁膜に相当する。拡散層12aは、第1及び第2の拡散層に相当する。拡散層12bは、第3及び第4の拡散層に相当する。LOCOS酸化膜6aは、第1及び第2の素子分離に相当する。上述の用語の相関関係は、以下においても同様である。

[0027] 続いて、半導体装置100の製造方法について説明する。図2A～図2Pは、半導体装置100の製造方法を模式的に示す断面図である。まず、高抵抗基板1に、例えばMOCVD(Metal Organic Chemical Vapor Deposition)などにより、エピタキシャル層2を形成する。そして、埋め込み酸化膜3及びSOI層4をスマートカット法によるウェーハ貼り合わせにて形成し、し、SOI基板を作製する(図2A)。

[0028] 次いで、フォトリソグラフィにより、フォトレジスト31を形成する。フォトレジスト31は、スイッチ回路領域102に開口を有する。また、フォトレジスト31は、ロジック回路領域101には形成されない(図2B)。そして、フォトレジスト31をマスクとしてドライエッチングを行い、埋め込み酸化膜3及びSOI層4を除去する。エッチング終了後、フォトレジスト31を除去する。この際、残存する埋め込み酸化膜3及びSOI層4の幅は、0.6μm以下である(図2C)。

[0029] 次いで、ロジック回路領域101及びスイッチ回路領域102に、後の工程でマスクとして使用する酸化膜21及び窒化膜22を形成する。例えば、

酸化膜 2 1 は酸化シリコンを用いることができ、窒化膜 2 2 には窒化シリコンを用いることができる。酸化膜 2 1 及び窒化膜 2 2 のそれぞれは、例えばプラズマ CVD 法などにより形成することが可能である（図 2 D）。

[0030] 次いで、LOCOS 酸化膜形成に用いるマスクパターンを形成する。具体的には、フォトリソグラフィにより、フォトレジスト 3 2 を形成する。フォトレジスト 3 2 は、スイッチ回路領域 1 0 2 に残存する埋め込み酸化膜 3 及び SOI 層 4 の上方に形成される。また、フォトレジスト 3 2 は、ロジック回路領域 1 0 1 の素子分離を設ける部分に開口が形成される。そして、フォトレジスト 3 2 をマスクとして窒化膜ドライエッチング及び酸化膜ドライエッチングを行い、フォトレジスト 3 2 の開口部の埋め込み酸化膜 3 及び SOI 層 4 を除去する。続いて、シリコンドライエッチングを行い、エピタキシャル層 2 にトレンチ 5 a を形成する。なお、この際、トレンチ 5 a がエピタキシャル層 2 を貫通しないようにエッチングを行う（図 2 E）。

[0031] 上述のエッチング終了後に、フォトレジスト 3 2 を除去する。フォトレジスト 3 2 の除去後、フォトリソグラフィによりフォトレジスト 3 3 を形成する。フォトレジスト 3 3 は、ロジック回路領域 1 0 1 を覆って形成される。なお、フォトレジスト 3 3 は、スイッチ回路領域 1 0 2 には形成されない。そして、フォトレジスト 3 3 及び窒化膜 2 2 をマスクとしてシリコンドライエッチングを行い、スイッチ回路領域 1 0 2 のトレンチ 5 b を、エピタキシャル層 2 を貫通して高抵抗基板 1 に到達するように形成する（図 2 F）。

[0032] 上述のエッチング終了後に、フォトレジスト 3 3 を除去する。フォトレジスト 3 3 の除去後、LOCOS 酸化を行い、LOCOS 酸化膜 6 a 及び 6 b を形成する。スイッチ回路領域 1 0 2 では、トレンチの底面（下方）及び側面（横方向）から酸化が広がる。すなわち、横方向に酸化が広がることにより、埋め込み酸化膜 3 及び SOI 層 4 下方のエピタキシャル層 2 は全て酸化される。下方に酸化が広がることにより、高抵抗基板 1 は底面方向に酸化される。その結果、LOCOS 酸化膜 6 b の底面から埋め込み酸化膜 3 までの厚みは、2.0 μm 以上の十分な厚さとなる。なお、LOCOS 酸化を行う

と、酸化前に比べて体積膨張が生じるため、埋め込み酸化膜 3 及び S O I 層 4 下方の L O C O S 酸化膜 6 b は、横方向に膨張する。また、ロジック回路領域 1 0 1 では、トレンチ部分の酸化が進み、L O C O S 酸化膜 6 a が形成される。なお、L O C O S 酸化膜 6 a は、体積膨張により、窒化膜 2 2 の上面から盛り上がって形成される（図 2 G）。

[0033] 次いで、酸化膜 7 を形成する。例えば、酸化膜は酸化シリコンであり、プラズマ C V D 法を用いて形成することが可能である（図 2 H）。そして、平坦化処理を行い、窒化膜 2 2 よりも上方の酸化膜 7 を除去する。この際、酸化膜 7 は、CMP（Chemical Mechanical Polishing）又はエッチバックにより平坦化される（図 2 I）。平坦化処理終了後、フォトリソグラフィによりフォトレジスト 3 4 を形成する。フォトレジスト 3 4 は、スイッチ回路領域 1 0 2 を覆って形成されるが、ロジック回路領域 1 0 1 には形成されない。そして、フォトレジスト 3 4 をマスクとして、例えばウェットエッチングを行い、ロジック回路領域 1 0 1 に残存する酸化膜 7 を除去する（図 2 J）。

[0034] 次いで、ロジック回路領域 1 0 1 のウェル層 8 を形成する。まず、ウェットエッチングにより、窒化膜 2 2 を除去する。この際、埋め込み酸化膜 3 及び S O I 層 4 の側面には、酸化膜 2 1 を介して若干の窒化膜 2 2 が残存するが、図面の簡略化のため、以降では省略する。続いて、フォトリソグラフィにより、フォトレジスト 3 5 を形成する。フォトレジスト 3 5 は、スイッチ回路領域 1 0 2 を覆い、ロジック回路領域 1 0 1 のウェル層 8 を形成する領域に開口が形成される。ウェル層 8 は素子分離として機能する L O C O S 酸化膜 6 a に挟まれた領域に形成されるので、開口は L O C O S 酸化膜 6 a に挟まれた領域に形成される。そして、フォトレジスト 3 5 をマスクとしてイオン注入を行い、ウェル層 8 を形成する（図 2 K）。

[0035] イオン注入終了後、フォトレジスト 3 5 を除去する。そして、例えばウェットエッチングにより、酸化膜 2 1 及びエピタキシャル層 2 上に突出した部分の L O C O S 酸化膜 6 a を除去する。この際、埋め込み酸化膜 3 及び S O I 層 4 の側面には、若干の酸化膜 2 1 が残存するが、図面の簡略化のため、

以降では省略する。その後、ゲート酸化を行い、ロジック回路領域 101 上にゲート酸化膜 9a を形成し、SOI 層 4 上にゲート酸化膜 9b を形成する (図 2L)。

[0036] 次いで、ゲート電極を形成する。まず、ロジック回路領域 101 及びスイッチ回路領域 102 にゲート電極の材料であるポリシリコン膜 10 を形成する。ポリシリコン膜 10 は、例えば LPCVD (Low Pressure Chemical Vapor Deposition) 法により形成することが可能である (図 2M)。そして、フォトリソグラフィにより、フォトレジスト 36 を形成する。フォトレジスト 36 は、ゲート電極を形成する部分、すなわち、SOI 層 4 及びウェル層 8 に形成されたポリシリコン膜 10 上に形成される。続いて、例えばドライエッチングにより、フォトレジスト 36 の開口部のポリシリコン膜 10 を除去する。これにより、ロジック回路領域 101 にはロジック用 MOSFET 101a のゲート電極 10a が形成され、スイッチ回路領域 102 にはスイッチ用 MOSFET 102a 及び 102b のゲート電極 10b が形成される (図 2N)。

[0037] ゲート電極形成後、フォトレジスト 36 を除去する。そして、LDD (Lightly Doped Drain) 構造を形成するため、ゲート電極 10a 及び 10b をマスクとして、LDD イオン注入を行う。続いて、例えばプラズマ CVD 法により酸化膜を形成し、形成した酸化膜を例えばドライエッチングによりエッチバックする。これにより、ゲート電極 10a 及び 10b の側面にサイドウォール 11 を形成する。その後、イオン注入を行い、ソース及びドレインを形成する (図 2O)。なお、図 2O では、図面の簡略化のため、LDD イオン注入及びその後のイオン注入により形成したソース領域及びドレイン領域を、ロジック回路領域 101 では拡散層 12a、スイッチ回路領域 102 では拡散層 12b と表示している。

[0038] 次いで、例えばスパッタリング法により、ゲート電極及び拡散層の表面に、シリサイド 13a ~ 13d を形成する。ゲート電極 10a 上にはシリサイド 13a が形成され、拡散層 12a 上にはシリサイド 13b が形成される。

ゲート電極 10b 上にはシリサイド 13c が形成され、拡散層 12b 上にはシリサイド 13d が形成される（図 2P）。

[0039] 最後に、既存の層間絶縁膜形成技術により層間絶縁膜 14 を形成し、図 1 に示す半導体装置 100 を形成することができる。

[0040] 上述の半導体装置 100 及びその製造方法では、基板 Sub1（エピタキシャル層 2 及び高抵抗基板 1）に形成したトレンチを用いて、スイッチ用 MOSFET 102a 及び 102b の LOCOS 酸化膜 6b を形成する。従って、 $2.0\mu\text{m}$ 以上の厚みを有する LOCOS 酸化膜 6b を形成しても、基板 Sub1 の上面（エピタキシャル層 2 の上面）よりも上方に LOCOS 酸化膜 6b が突出することは無い。これにより、LOCOS 酸化膜形成による段差の発生を防止することができる。なお、製造工程中で生じるその他の段差は、通常の半導体プロセスでも同様である。従って、本構成及び本製造方法によれば、LOCOS 酸化膜を形成した後の高段差の発生を防止し、高い寸法精度及び良好な歩留まりを有する半導体装置を提供することができる。

[0041] 実施の形態 2

次に、本発明の実施の形態 2 にかかる半導体装置 200 について説明する。図 3 は、実施の形態 2 にかかる半導体装置 200 の構成を模式的に示す断面図である。半導体装置 200 は、LOCOS 酸化膜 6b の下部に、界面キャリア抑制層 15 を有する。すなわち、半導体装置 200 の基板 Sub2 は、半導体装置 200 の基板 Sub1 に界面キャリア抑制層 15 を追加した構成を有する。界面キャリア抑制層 15 は、高抵抗基板 1 よりも抵抗率が小さい層として構成される。半導体装置 200 のその他の構成は、半導体装置 100 と同様であるので説明を省略する。

[0042] 続いて、半導体装置 200 の製造方法について説明する。半導体装置 200 の製造方法では、基板の作製方法が異なる。図 4A 及び図 4B は、半導体装置 200 の基板 Sub2 の製造方法を模式的に示す断面図である。半導体装置 200 の製造方法は、半導体装置 100 の製造方法を示す図 2A を、図 4A 及び図 4B に置換したプロセスである。

[0043] 本製造方法においては、フォトリソグラフィにより、エピタキシャル層 2 上に、ロジック回路領域 101 のみを覆うように、フォトレジスト 37 を形成する（図 4 A）。そして、高エネルギーのイオン注入により、高抵抗基板 1 の予め定めた深さ領域に、界面キャリア抑制層 15 を形成する（図 4 B）。フォトレジスト 37 を除去した後の製造工程は、界面キャリア抑制層 15 が存在することを除き、図 2 B～図 2 P と同様であるので、説明を省略する。

[0044] 一般に、SOI 構造を有する MOSFET を高速デバイスに適用すると、LOCOS 酸化膜 6 b のような厚い酸化膜の下部領域の高抵抗基板内に空乏層が生じることがある。その結果、半導体装置の高速動作を阻害する事態が生じることがある。しかしながら、上述の半導体装置 200 及びその製造方法では、LOCOS 酸化膜 6 b の下部に界面キャリア抑制層 15 が形成される。これにより、LOCOS 酸化膜 6 b の下部領域の高抵抗基板内での空乏層を防止できる。従って、本構成及び本製造方法によれば、半導体装置 100 及びその製造方法と同様の作用効果を奏するのみならず、高速動作対応に優れる半導体装置及びその製造方法を提供することができる。

[0045] なお、本発明は上記実施の形態に限られたものではなく、趣旨を逸脱しない範囲で適宜変更することが可能である。たとえば、トレンチ 5 b は、エピタキシャル層 2 を貫通せずに形成してもよい。また、トレンチ 5 b は、界面キャリア抑制層 15 を貫通してもよいし、貫通しなくてもよい。

[0046] 上述の酸化膜、窒化膜等の材料は例示に過ぎず、例えば酸化シリコン、窒化シリコン、酸窒化シリコンなどの他の絶縁膜を適用することも可能である。また、半導体（シリコン）導電型についても、例示に過ぎず、例えば p 型と n 型を入れ換えてもよい。

[0047] この出願は、2011 年 3 月 29 日に提出された日本出願特願 2011-72699 を基礎とする優先権を主張し、その開示の全てをここに取り込む。

符号の説明

- [0048] 1 高抵抗基板
- 2 エピタキシャル層
- 3 埋め込み酸化膜
- 4 S O I 層
- 5 トレンチ
- 6 a、6 b L O C O S 酸化膜
- 7 酸化膜
- 8 ウェル層
- 9 a、9 b ゲート酸化膜
- 10 ポリシリコン膜
- 10 a、10 b ゲート電極
- 11 サイドウォール
- 12 a、12 b 拡散層
- 13 a～13 d シリサイド
- 14 層間絶縁膜
- 15 界面キャリア抑制層
- 21 酸化膜
- 22 窒化膜
- 31～37 フォトレジスト
- 100、200、300 半導体装置
- 101 ロジック回路領域
- 102 スイッチ回路領域
- 101 a ロジック用M O S F E T
- 102 a、102 b スイッチ用M O S F E T
- 310 第1の領域
- 312 第2の領域
- 313 高耐圧トランジスタ
- 314 シリコン基板

3 1 5 電界効果トランジスタ

3 1 6 ウェル

3 1 8 埋め込み酸化膜

3 2 0、3 2 6、3 2 8 素子分離用L O C O S酸化膜

3 2 2、3 2 4 オフセット用L O C O S酸化膜

3 3 0、3 3 2 チャネルストッパ領域

3 3 4 a、3 3 6 a、3 5 4、3 5 6 ソース／ドレイン

3 3 4 b、3 3 6 b ソース／ドレインのオフセット

3 3 8、3 5 8 ゲート酸化膜

3 4 0、3 6 0 ゲート電極

3 4 2、3 4 4、3 6 2、3 6 4 スルーホール

3 4 6、3 4 8、3 6 6、3 6 8 アルミ配線

3 5 0 層間絶縁膜

3 5 2 ボディ領域

S u b 1、S u b 2 基板

請求の範囲

- [請求項1] 高抵抗基板上に形成された第1のMOSFETと、
前記高抵抗基板上に前記第1のMOSFETとモノリシック集積された第2のMOSFETと、を備え、
前記第1のMOSFETは、
前記高抵抗基板上に形成された第1の半導体層と、
前記第1の半導体層の上部に形成された、当該第1のMOSFETのウェル層である第2の半導体層と、を備え、
前記第2のMOSFETは、
前記高抵抗基板上に形成され、2つのトレンチで挟まれることにより上部がメサ形状を有し、前記メサ形状の上面が前記第1の半導体層と同じ高さである第1の絶縁層と、
前記第1の絶縁層の前記メサ形状の上に形成された第2の絶縁層と、
前記第2の絶縁層上に形成された、当該第2のMOSFETのウェル層である第3の半導体層と、を備える、
半導体装置。
- [請求項2] 前記第1のMOSFETは、
前記第1の半導体層の上部に前記第2の半導体層を挟んで形成された第1及び第2の素子分離と、
前記第2の半導体層の上部に離間して形成された第1及び第2の拡散層と、
前記第1及び第2の拡散層間の前記第2の半導体層上に形成された第1のゲート絶縁膜と、
前記第1のゲート絶縁膜上に形成された第1のゲート電極と、を更に備え、
前記第2のMOSFETは、
前記第3の半導体層の上部に離間して形成された第3及び第4の拡

散層と、

前記第3及び第4の拡散層間の前記第3の半導体層上に形成された第2のゲート絶縁膜と、

前記第2のゲート絶縁膜上に形成された第2のゲート電極と、を更に備えることを特徴とする、

請求項1に記載の半導体装置。

[請求項3]

前記高抵抗基板と前記第1の絶縁層との間に形成された、前記高抵抗基板よりも抵抗率が小さい第4の半導体層を備えることを特徴とする、

請求項1又は2に記載の半導体装置。

[請求項4]

高抵抗基板上に形成された第1のMOSFETと、

前記高抵抗基板上に前記第1のMOSFETとモノリシック集積された第2のMOSFETと、を備え、

前記第1のMOSFETは、

前記高抵抗基板上に形成された第1の半導体層と、

前記第1の半導体層の上部に形成された、当該第1のMOSFETのウェル層である第2の半導体層と、を備え、

前記第2のMOSFETは、

前記高抵抗基板上に形成された前記第1の半導体層にトレンチが形成され、その後当該トレンチの側面及び底面から酸化処理されることにより上部が2つのトレンチに挟まれたメサ形状を有する第1の絶縁層と、

前記第1の絶縁層の前記メサ形状の上に形成された第2の絶縁層と、

前記第2の絶縁層上に形成された、当該第2のMOSFETのウェル層である第3の半導体層と、を備える、

半導体装置。

[請求項5]

前記第1のMOSFETは、

前記第 1 の半導体層の上部に前記第 2 の半導体層を挟んで形成された第 1 及び第 2 の素子分離と、

前記第 2 の半導体層の上部に離間して形成された第 1 及び第 2 の拡散層と、

前記第 1 及び第 2 の拡散層間の前記第 2 の半導体層上に形成された第 1 のゲート絶縁膜と、

前記第 1 のゲート絶縁膜上に形成された第 1 のゲート電極と、を更に備え、

前記第 2 の MOSFET は、

前記第 3 の半導体層の上部に離間して形成された第 3 及び第 4 の拡散層と、

前記第 3 及び第 4 の拡散層間の前記第 3 の半導体層上に形成された第 2 のゲート絶縁膜と、

前記第 2 のゲート絶縁膜上に形成された第 2 のゲート電極と、を更に備えることを特徴とする、

請求項 4 に記載の半導体装置。

[請求項 6] 前記高抵抗基板と前記第 1 の絶縁層との間に形成された、前記高抵抗基板よりも抵抗率が小さい第 4 の半導体層を備えることを特徴とする、

請求項 4 又は 5 に記載の半導体装置。

[請求項 7] 前記第 2 の MOSFET の前記高抵抗基板上に形成された前記第 1 の半導体層に、当該第 1 の半導体層を貫通しないトレンチが形成されることを特徴とする、

請求項 4 乃至 6 のいずれか一項に記載の半導体装置。

[請求項 8] 前記第 2 の MOSFET の前記高抵抗基板上に形成された前記第 1 の半導体層に、前記高抵抗基板に達するトレンチが形成されることを特徴とする、

請求項 4 乃至 6 のいずれか一項に記載の半導体装置。

[請求項9] 前記第2のMOSFETの前記高抵抗基板上に形成された前記第1の半導体層に、当該第1の半導体層を貫通して前記第4の半導体層に達するトレンチが形成されることを特徴とする、

請求項6に記載の半導体装置。

[請求項10] 前記高抵抗基板上に第1の半導体層を形成し、
前記第1の半導体層上に第2の絶縁層を形成し、
前記第2の絶縁層上に、第2のMOSFETのウェル層となる第3の半導体層を形成し、

第1の領域の前記第2の絶縁層及び前記第3の半導体層を除去するとともに、第2の領域の前記第2の絶縁層及び第3の半導体層に開口部を形成し、

前記第2の領域の前記第2の絶縁層及び前記第3の半導体層に形成された前記開口部の前記第1の半導体層をエッチングしてトレンチを形成することにより、2つの前記トレンチに挟まれたメサ形状を前記第2の絶縁層及び前記第3の半導体層下方の前記第1の半導体層に形成し、

前記トレンチの側面及び底面から酸化処理を行うことにより、2つのトレンチで挟まれることにより上部がメサ形状を有する第1の絶縁層を形成し、

前記第1の領域の前記第1の半導体層の上部に、第1のMOSFETのウェル層となる第2の半導体層を形成する、

半導体装置の製造方法。

[請求項11] 前記第2の半導体層の形成に先立ち、前記第1の領域の前記第1の半導体層の上部に第1及び第2の素子分離を離間して形成し、

前記第1及び第2の素子分離の間の前記第1の半導体層にイオン注入を行うことにより、前記第2の半導体層を形成し、

前記第2の半導体層上に第1のゲート絶縁膜を形成するとともに、前記第3の半導体層上に第2のゲート絶縁膜を形成し、

前記第 1 のゲート絶縁膜上に第 1 のゲート電極を形成するとともに、前記第 2 のゲート絶縁膜上に第 2 のゲート電極を形成し、

前記第 1 のゲート電極をマスクとして前記第 1 のゲート絶縁膜をエッチングするとともに、前記第 2 のゲート電極をマスクとして前記第 2 のゲート絶縁膜をエッチングし、

前記第 1 のゲート電極をマスクとして前記第 2 の半導体層にイオン注入を行うことにより第 1 及び第 2 の拡散層を形成するとともに、前記第 2 のゲート電極をマスクとして前記第 3 の半導体層にイオン注入を行うことにより第 3 及び第 4 の拡散層を形成することを特徴とする、

請求項 10 に記載の半導体装置の製造方法。

[請求項12] 前記第 1 の半導体層を形成した後に、イオン注入により前記高抵抗基板と前記第 1 の半導体層との間に、前記高抵抗基板よりも抵抗率が小さい第 4 の半導体層を形成することを特徴とする、

請求項 10 又は 11 に記載の半導体装置の製造方法。

[請求項13] 前記第 2 の領域の前記第 1 の半導体層に形成するトレンチを、前記第 1 の半導体層を貫通せずに形成することを特徴とする、

請求項 10 乃至 12 のいずれか一項に記載の半導体装置の製造方法。

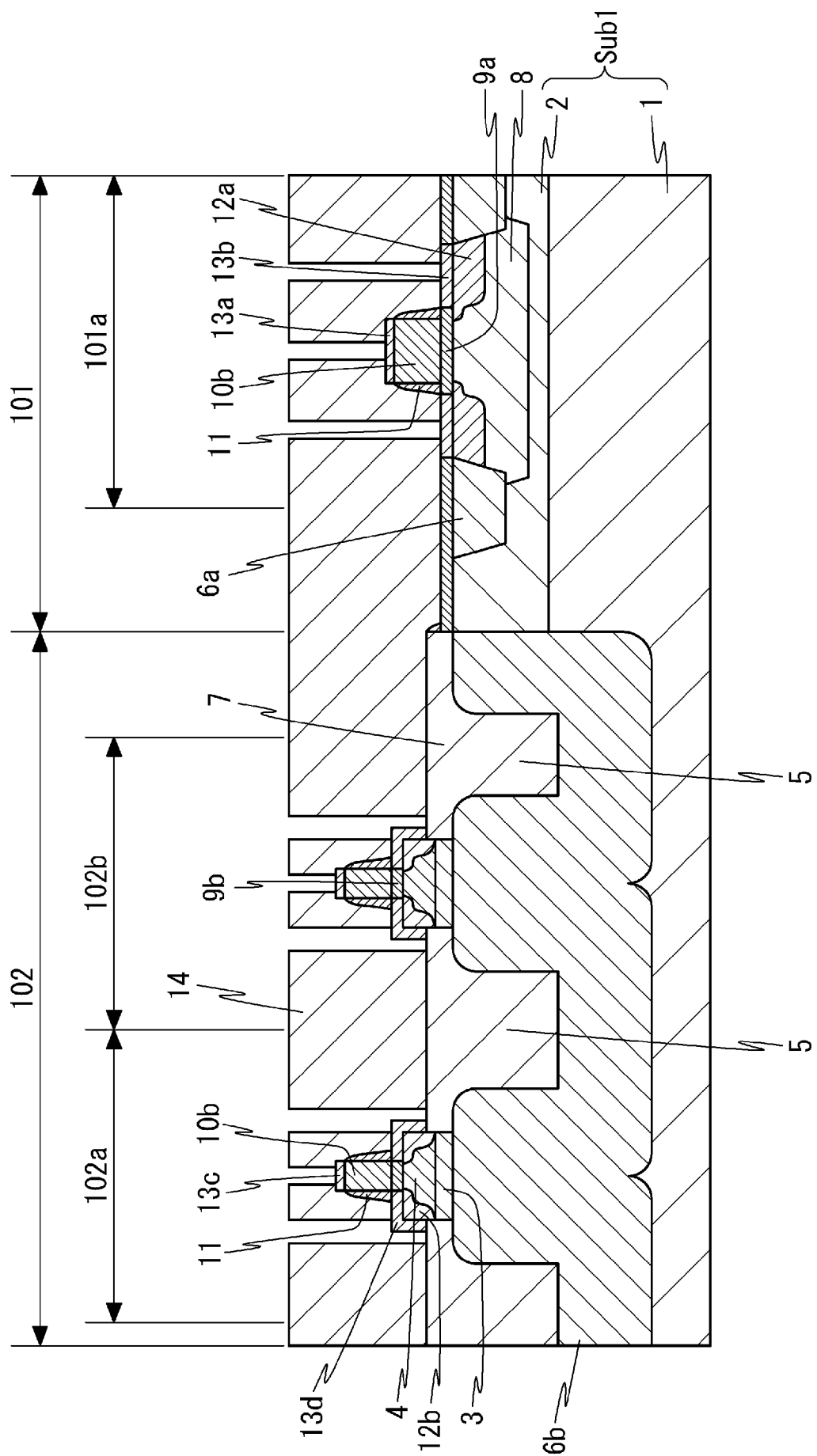
[請求項14] 前記第 1 の領域の前記第 1 の半導体層に形成するトレンチを、前記高抵抗基板に達するように形成することを特徴とする、

請求項 10 乃至 12 のいずれか一項に記載の半導体装置の製造方法。

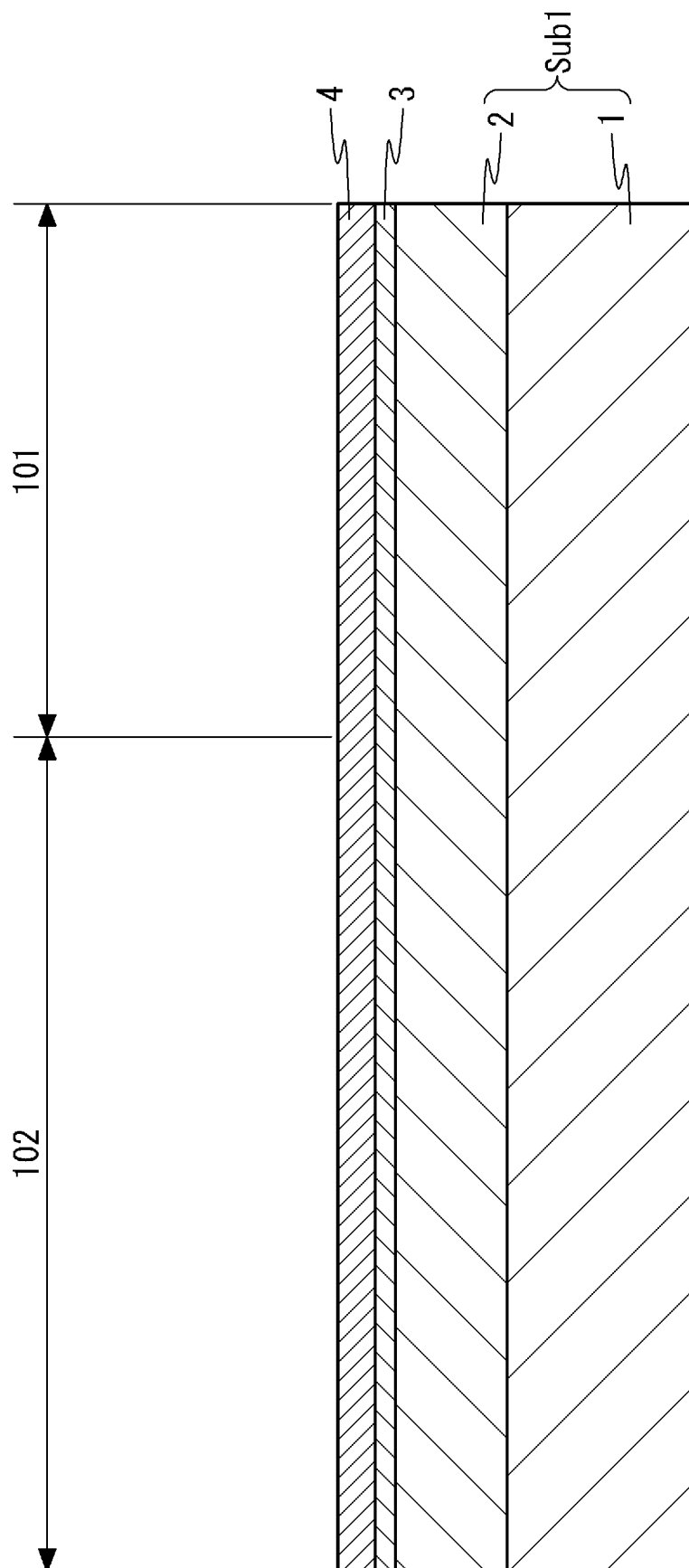
[請求項15] 前記第 1 の領域の前記第 1 の半導体層に形成するトレンチを、前記第 1 の半導体層を貫通して前記第 4 の半導体層に達するように形成することを特徴とする、

請求項 12 に記載の半導体装置の製造方法。

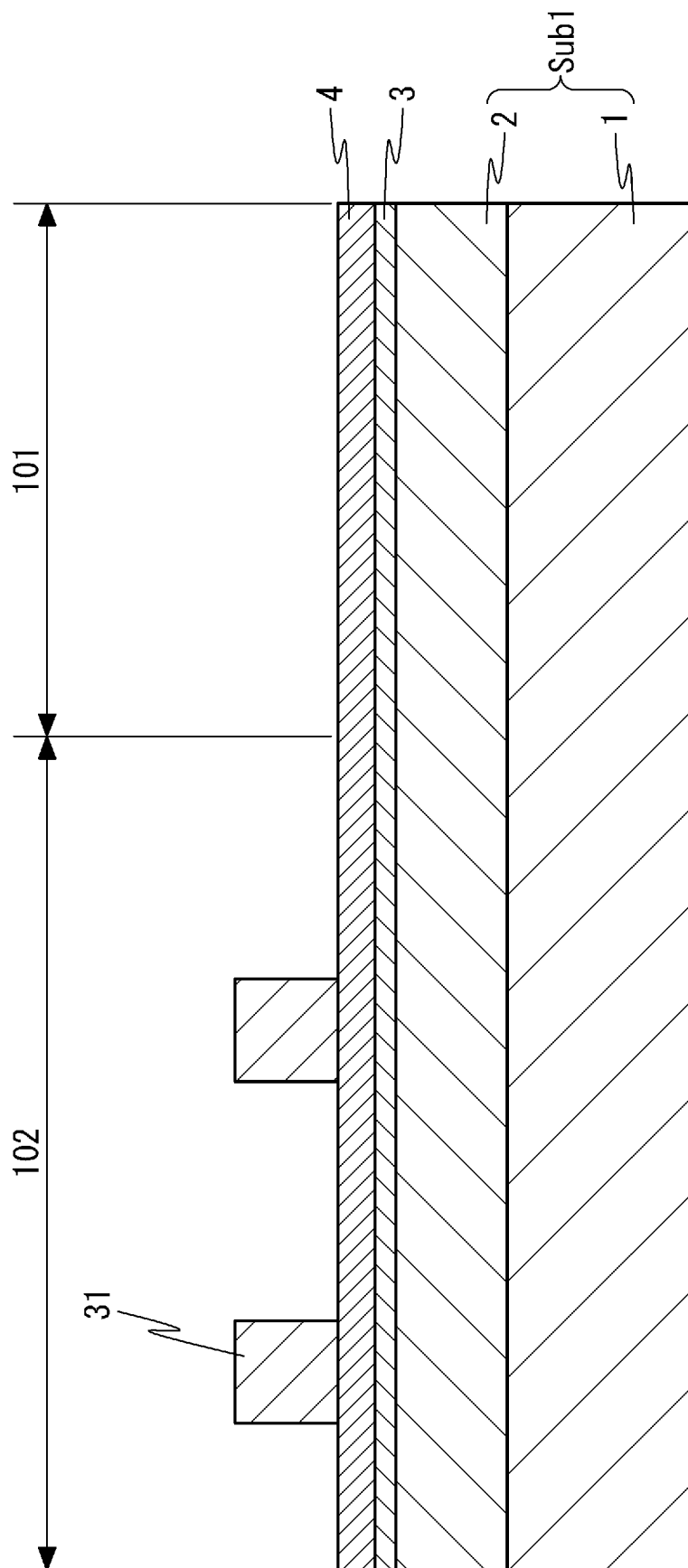
100



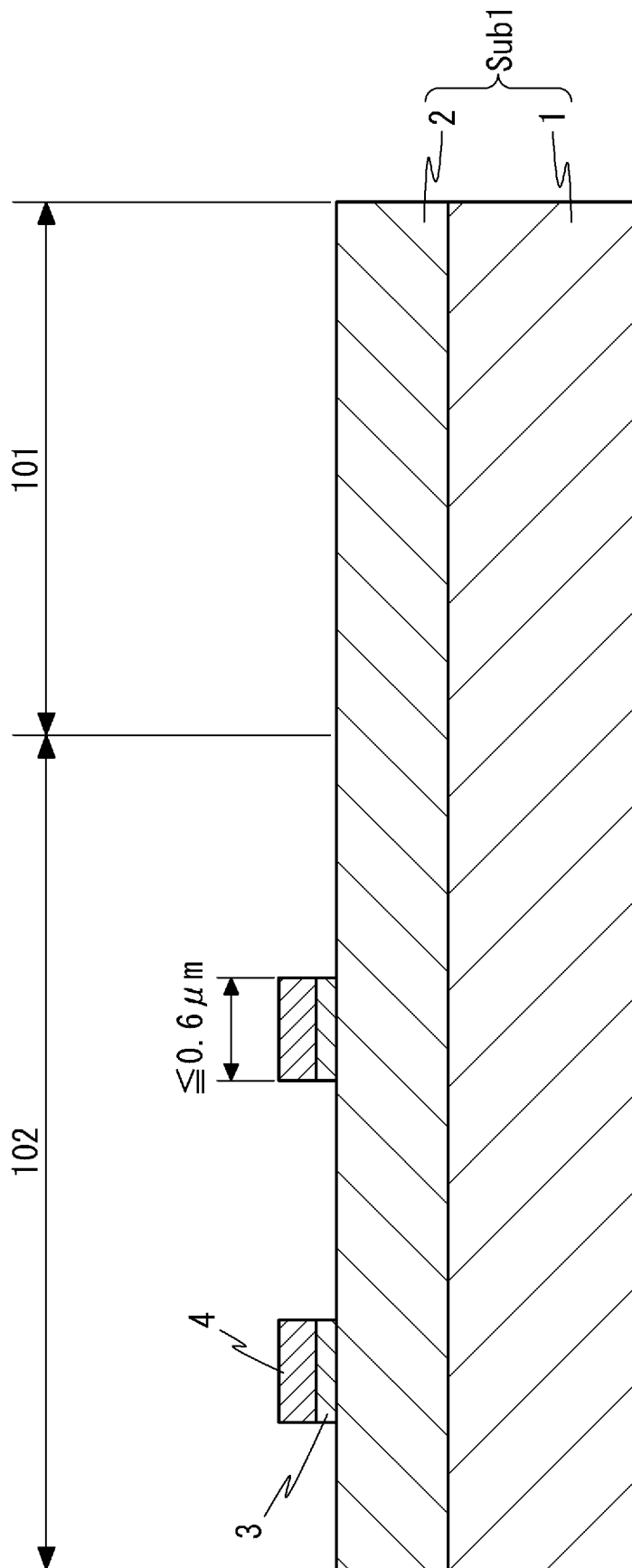
[図2A]



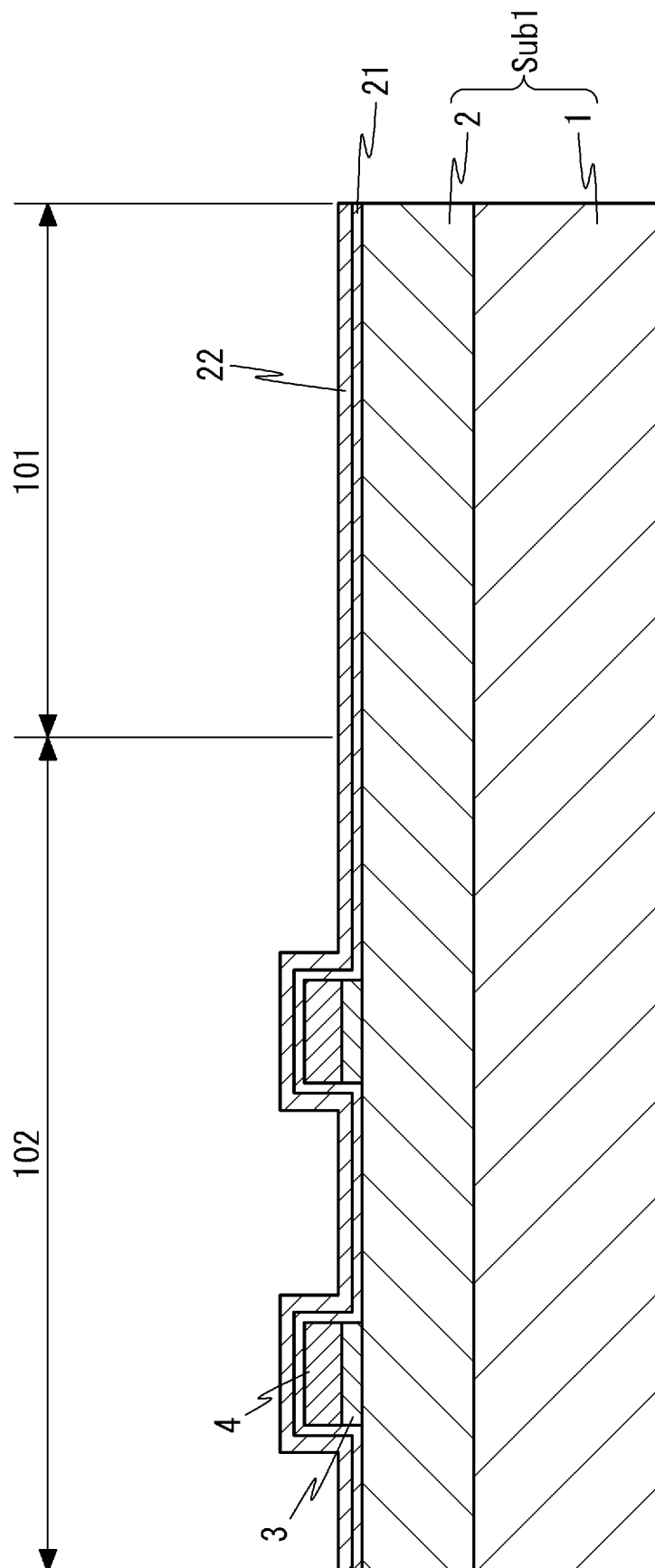
[図2B]



[図2C]

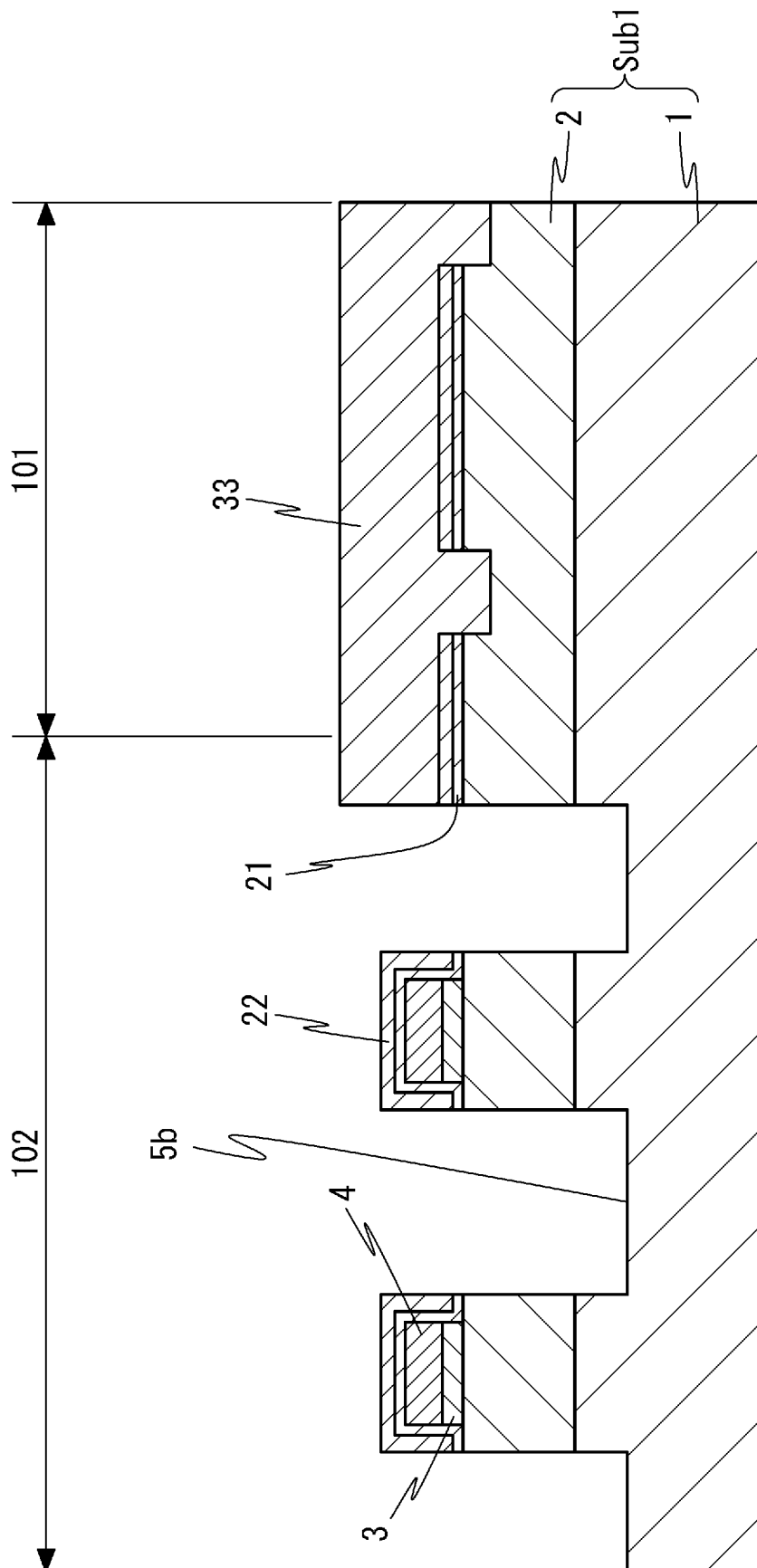


[図2D]

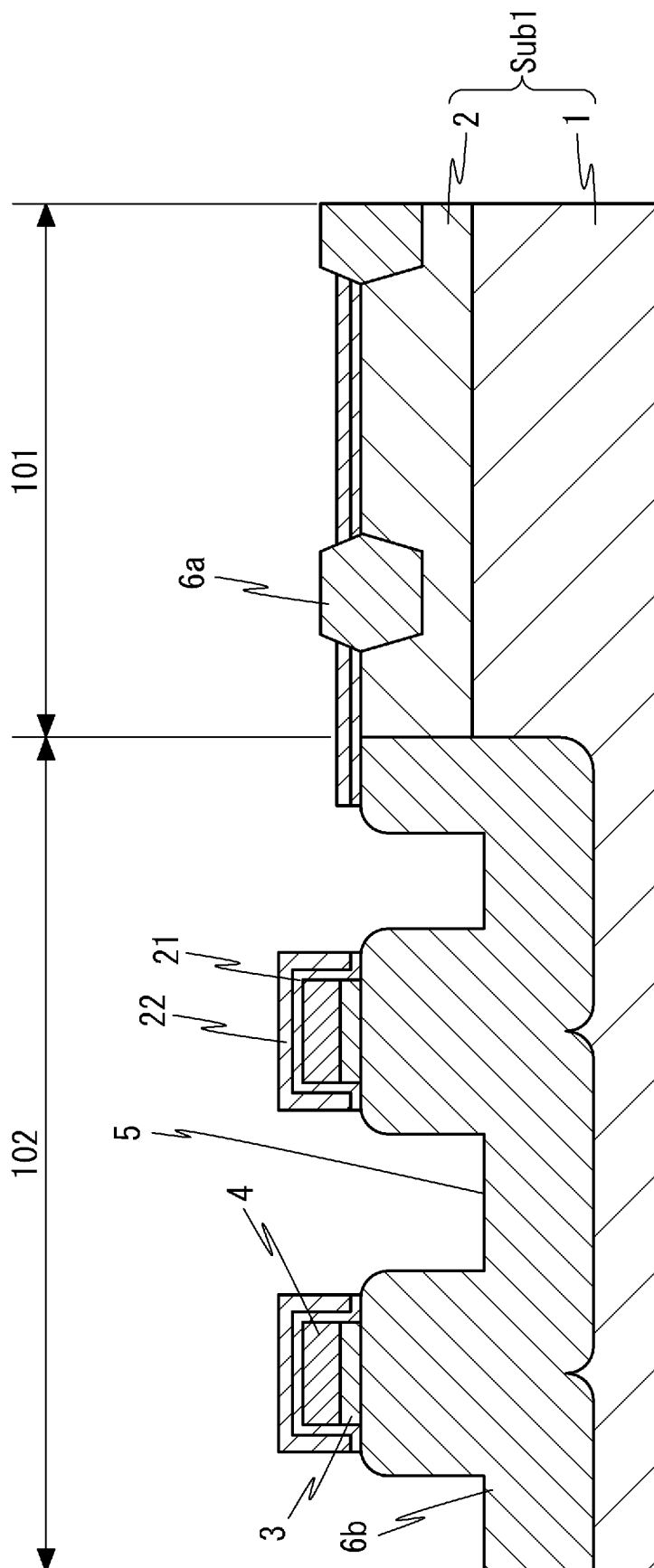


This cross-sectional view illustrates the internal structure of the display device. A substrate (101) is shown with a pixel array (102) and a gate driver circuit. The pixel array includes a pixel electrode (3) and a gate electrode (4). The gate driver circuit includes a gate electrode (5a) and a pixel electrode (32). The substrate (101) is divided into two regions: a first region (1) and a second region (2). The pixel array (102) is located in the first region (1). The gate driver circuit is located in the second region (2). The gate driver circuit includes a gate electrode (5a) and a pixel electrode (32). The pixel array (102) includes a pixel electrode (3) and a gate electrode (4). The substrate (101) is divided into two regions: a first region (1) and a second region (2). The pixel array (102) is located in the first region (1). The gate driver circuit is located in the second region (2). The gate driver circuit includes a gate electrode (5a) and a pixel electrode (32). The pixel array (102) includes a pixel electrode (3) and a gate electrode (4).

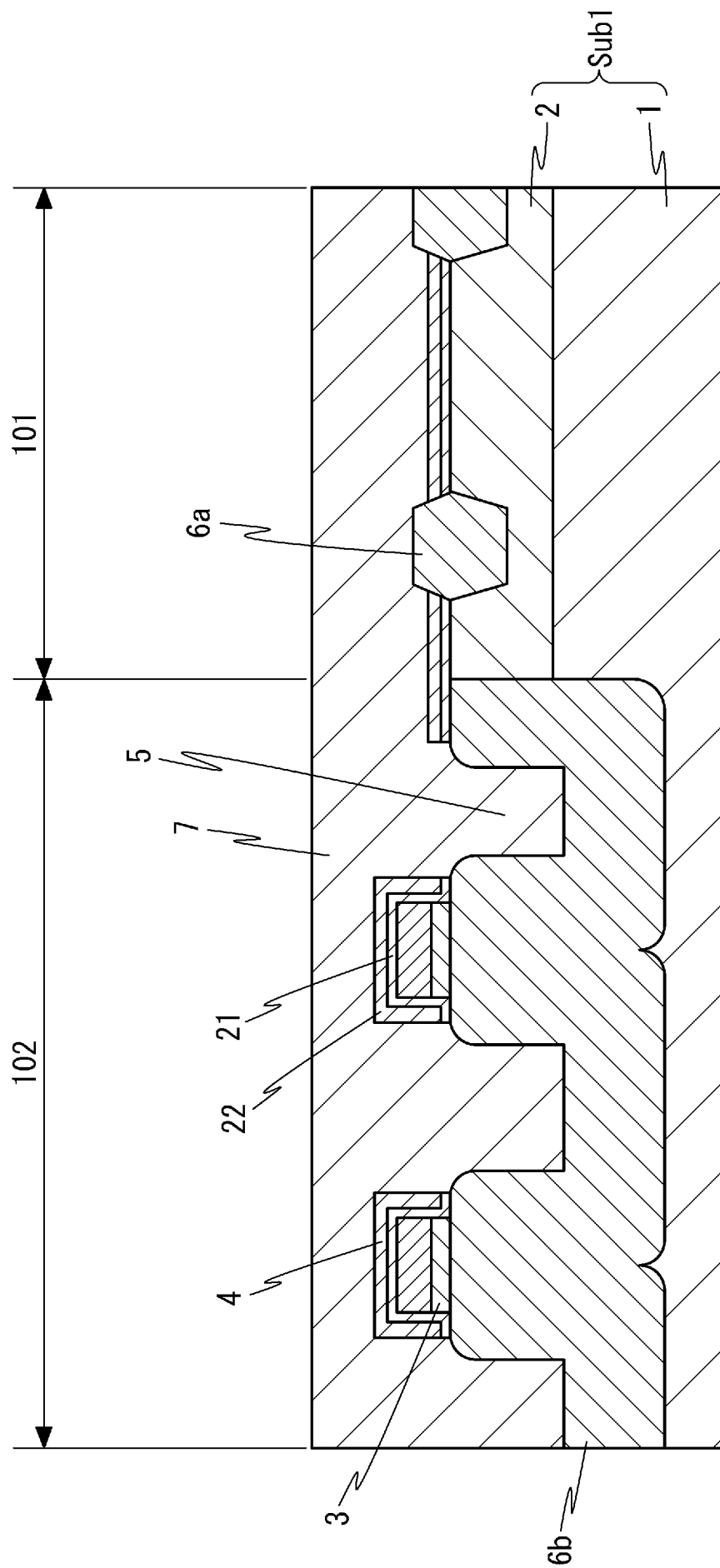
[図2F]



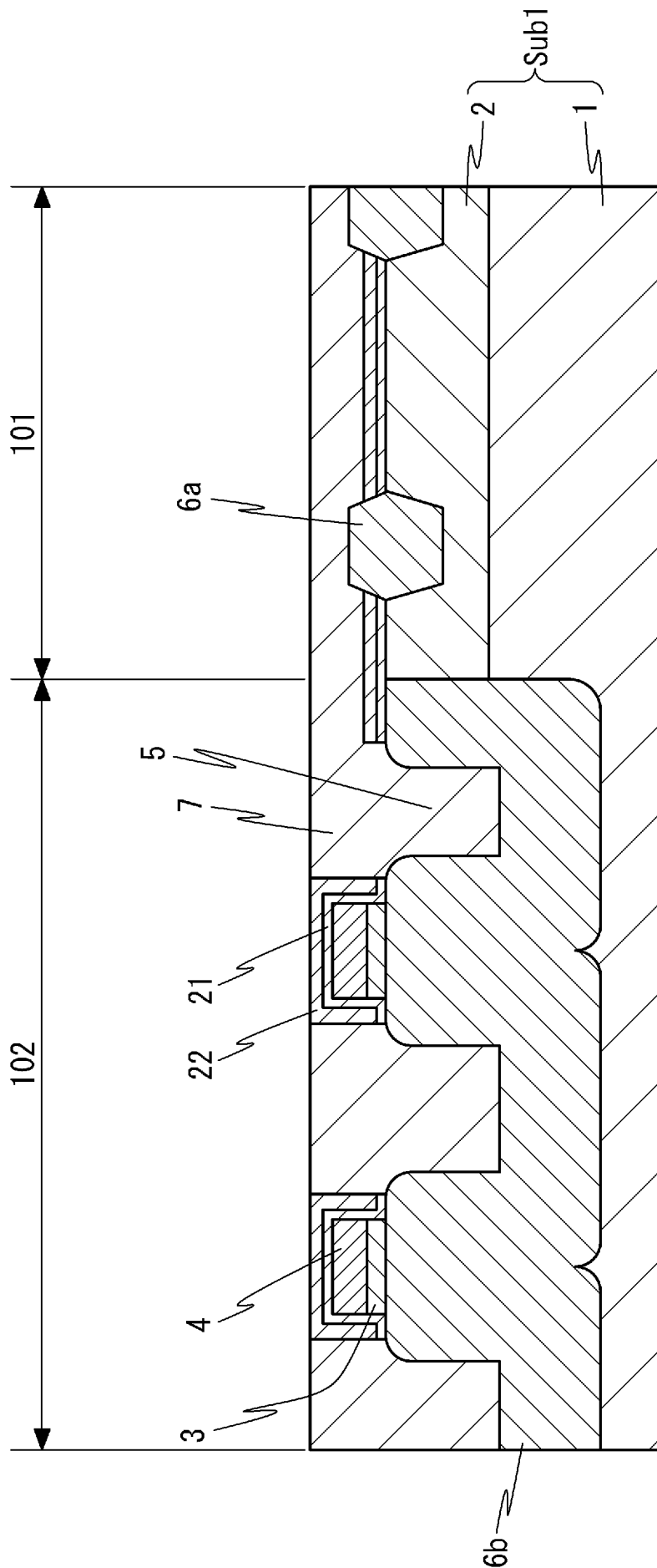
[図2G]



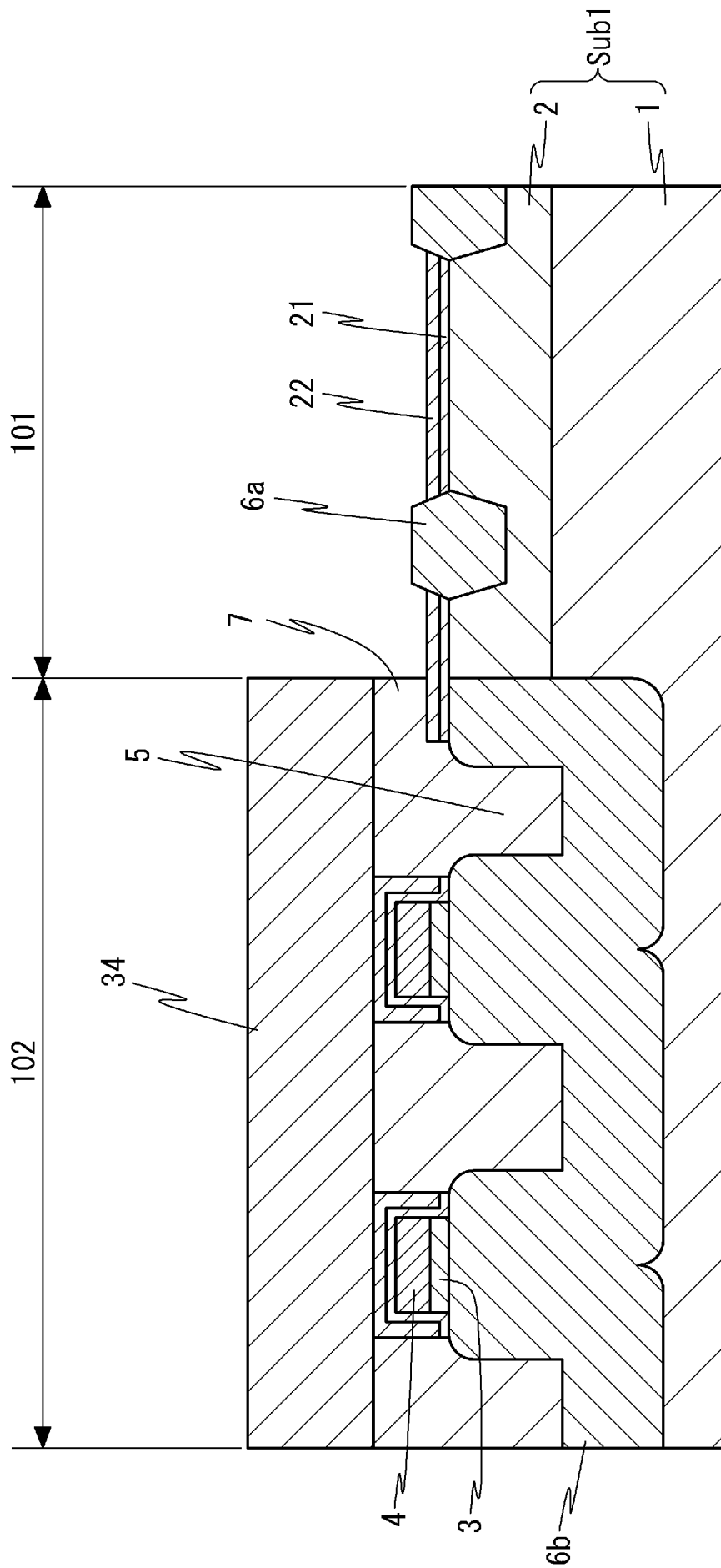
[図2H]



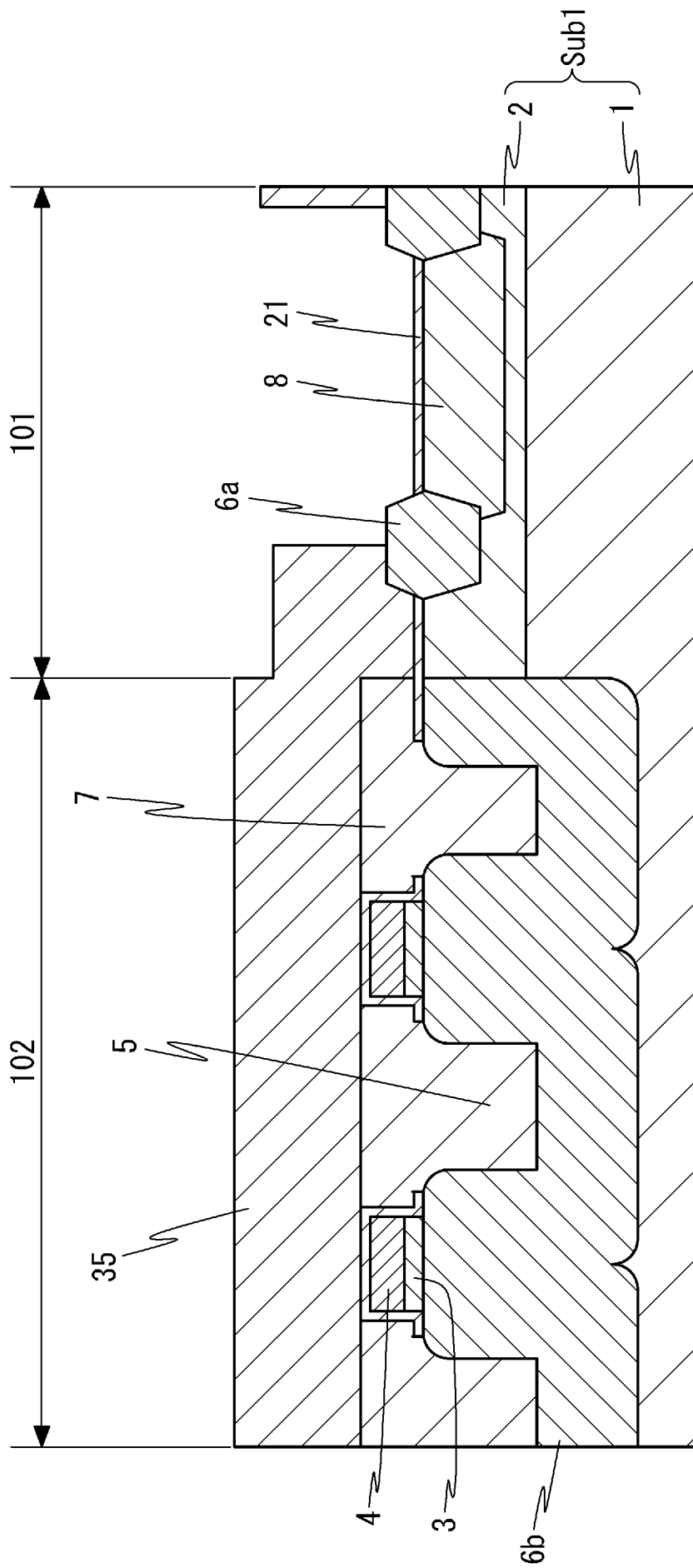
[図2I]



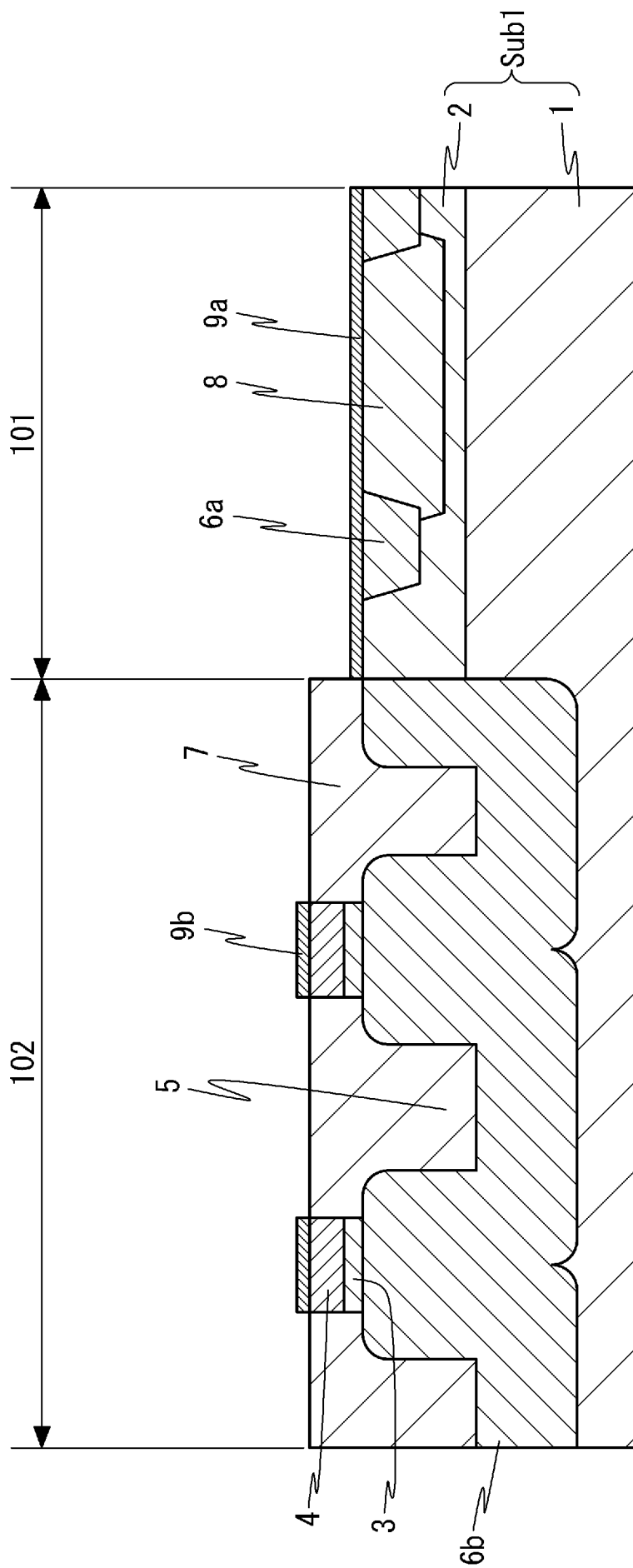
[図2J]



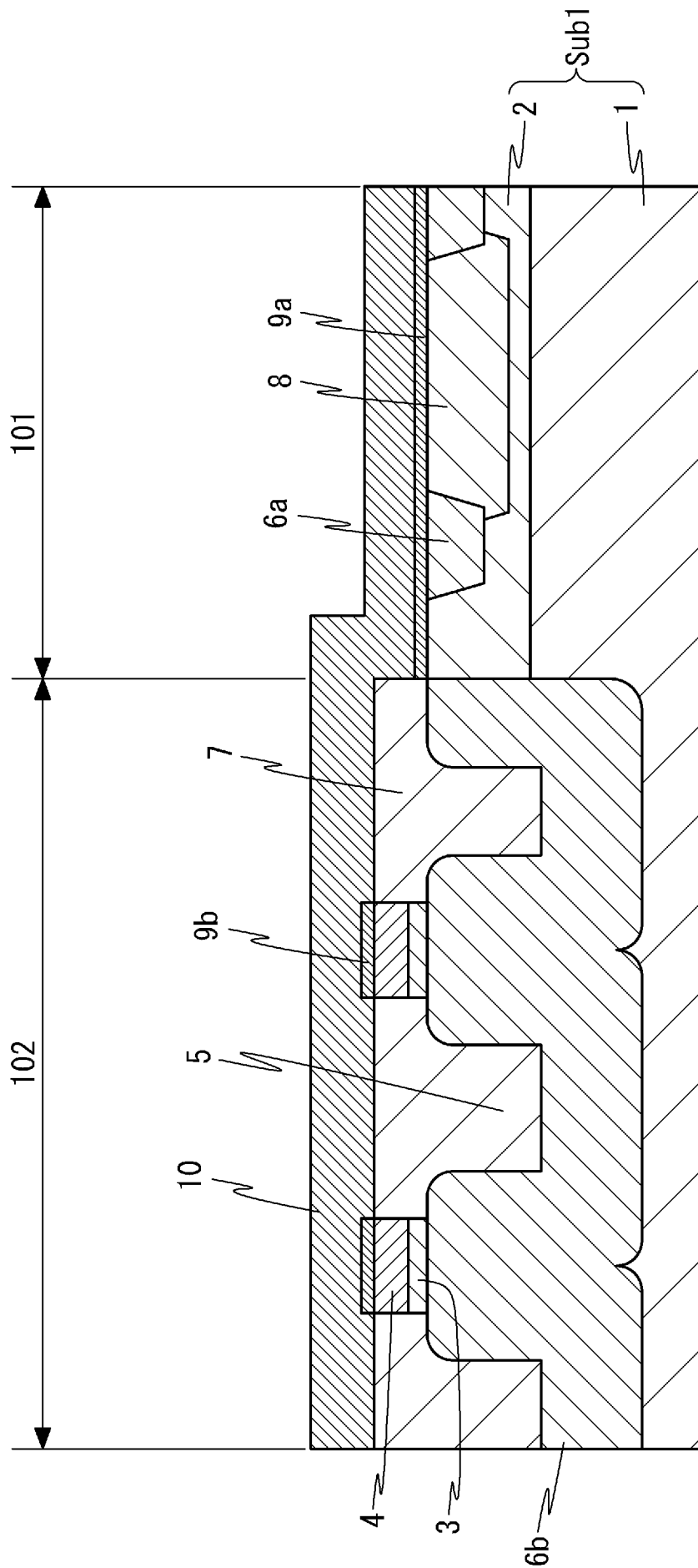
[図2K]



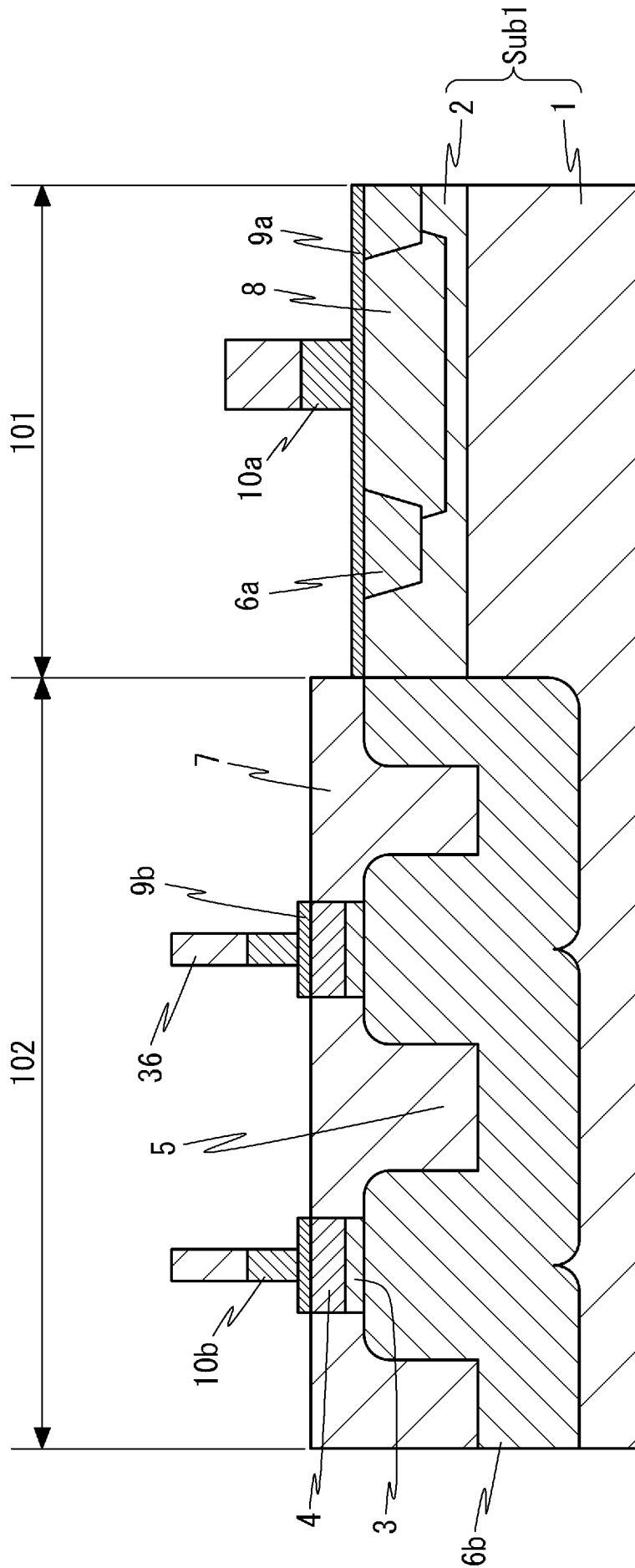
[図2L]



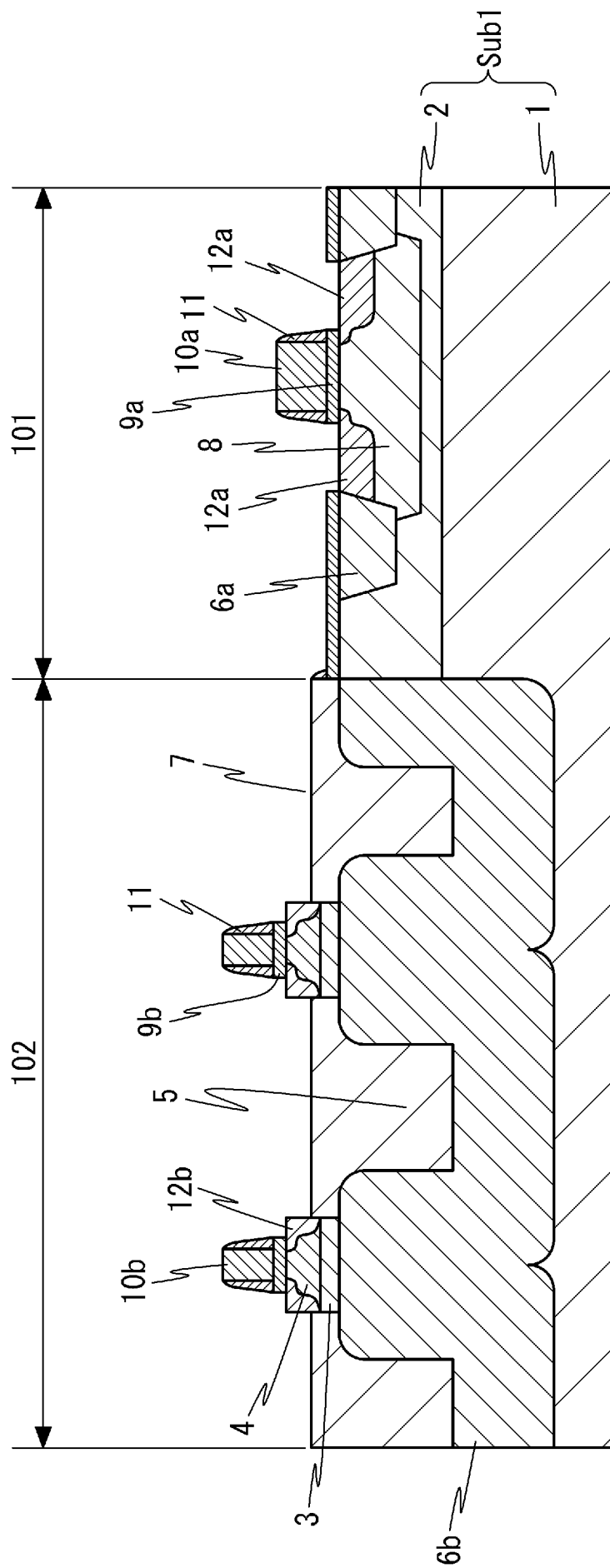
[図2M]



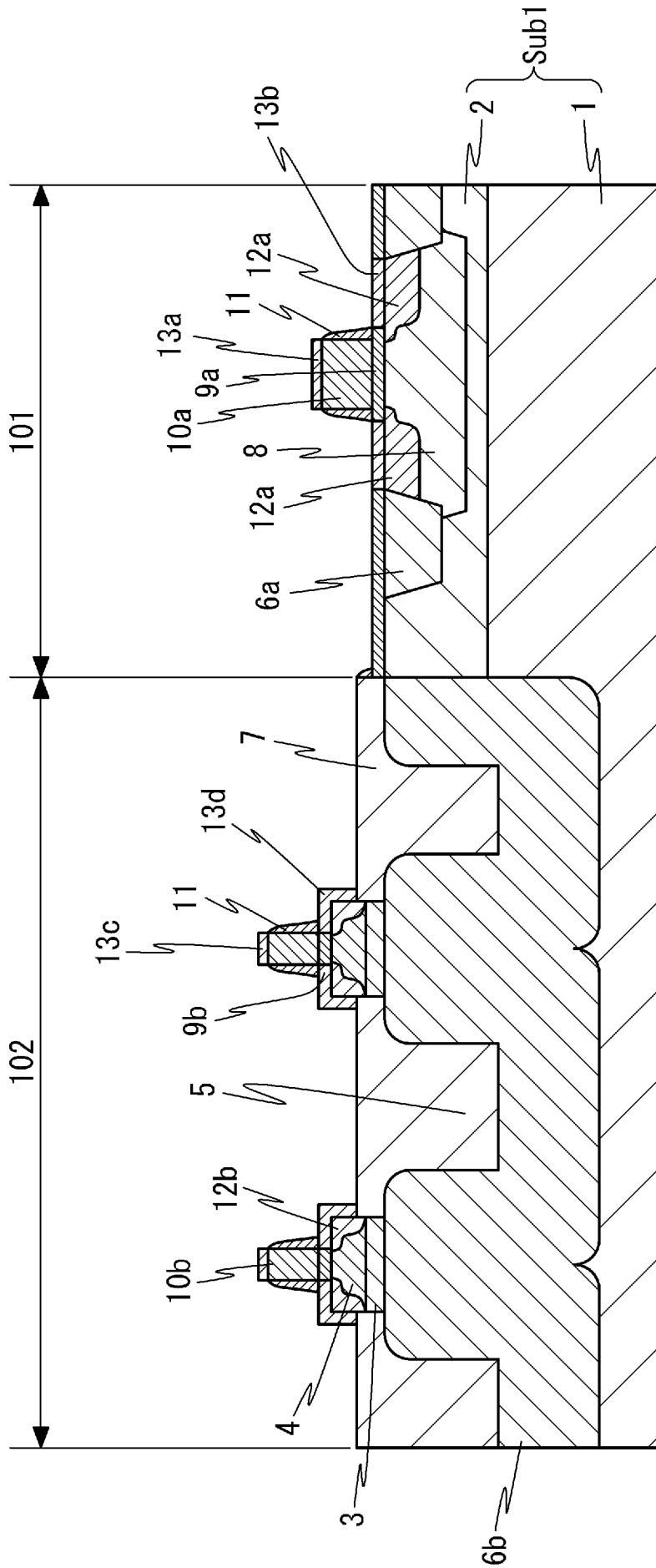
[図2N]



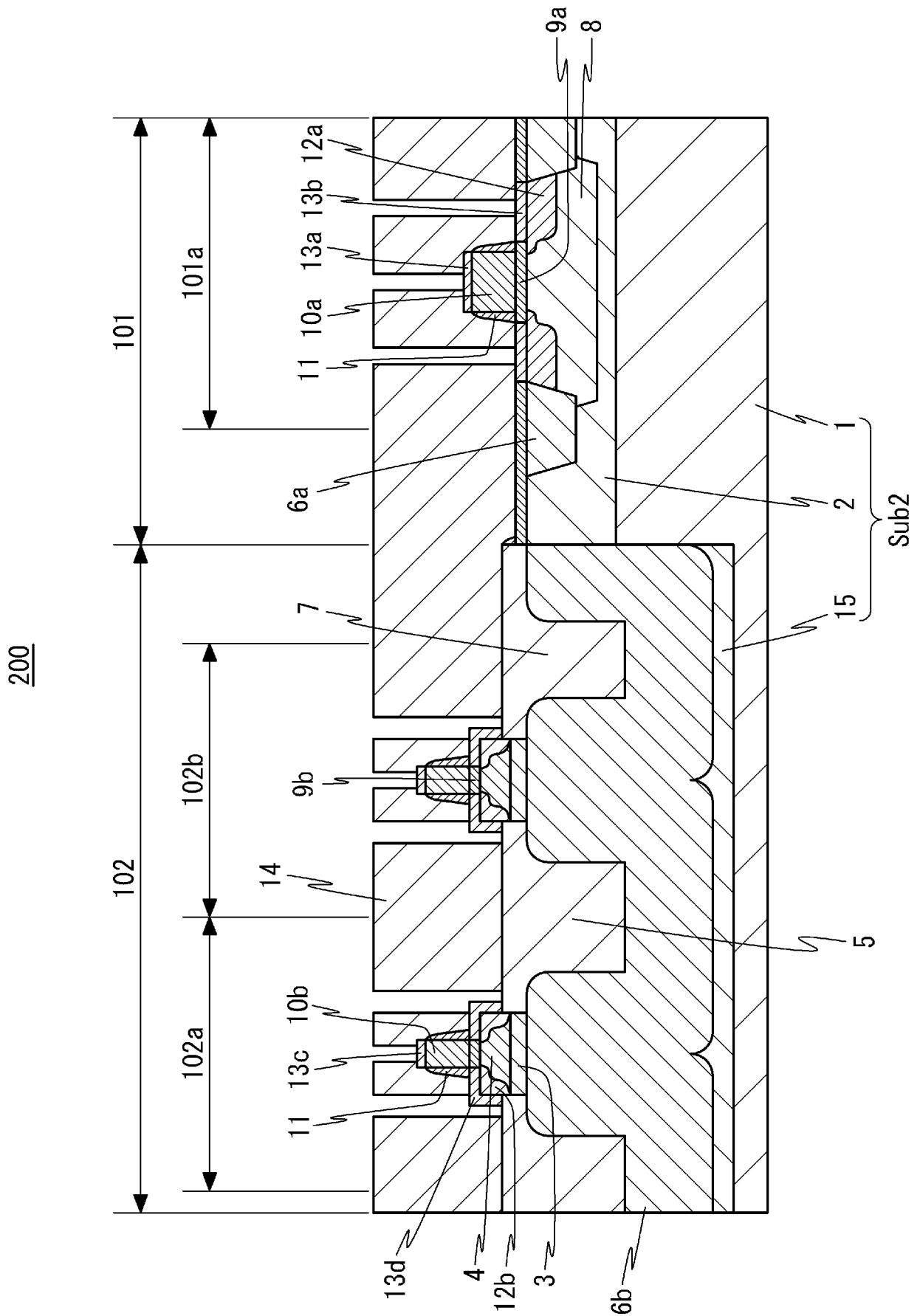
[図20]



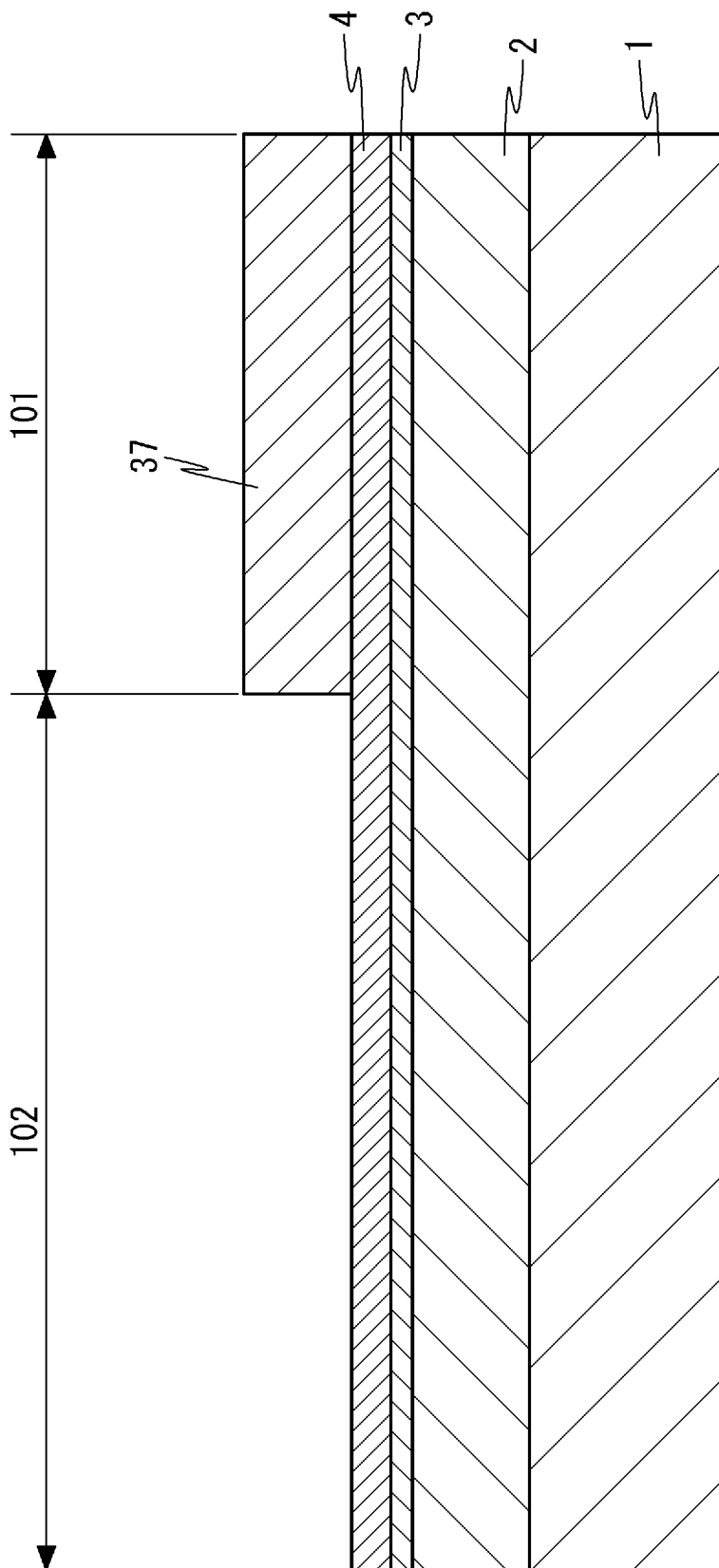
[図2P]



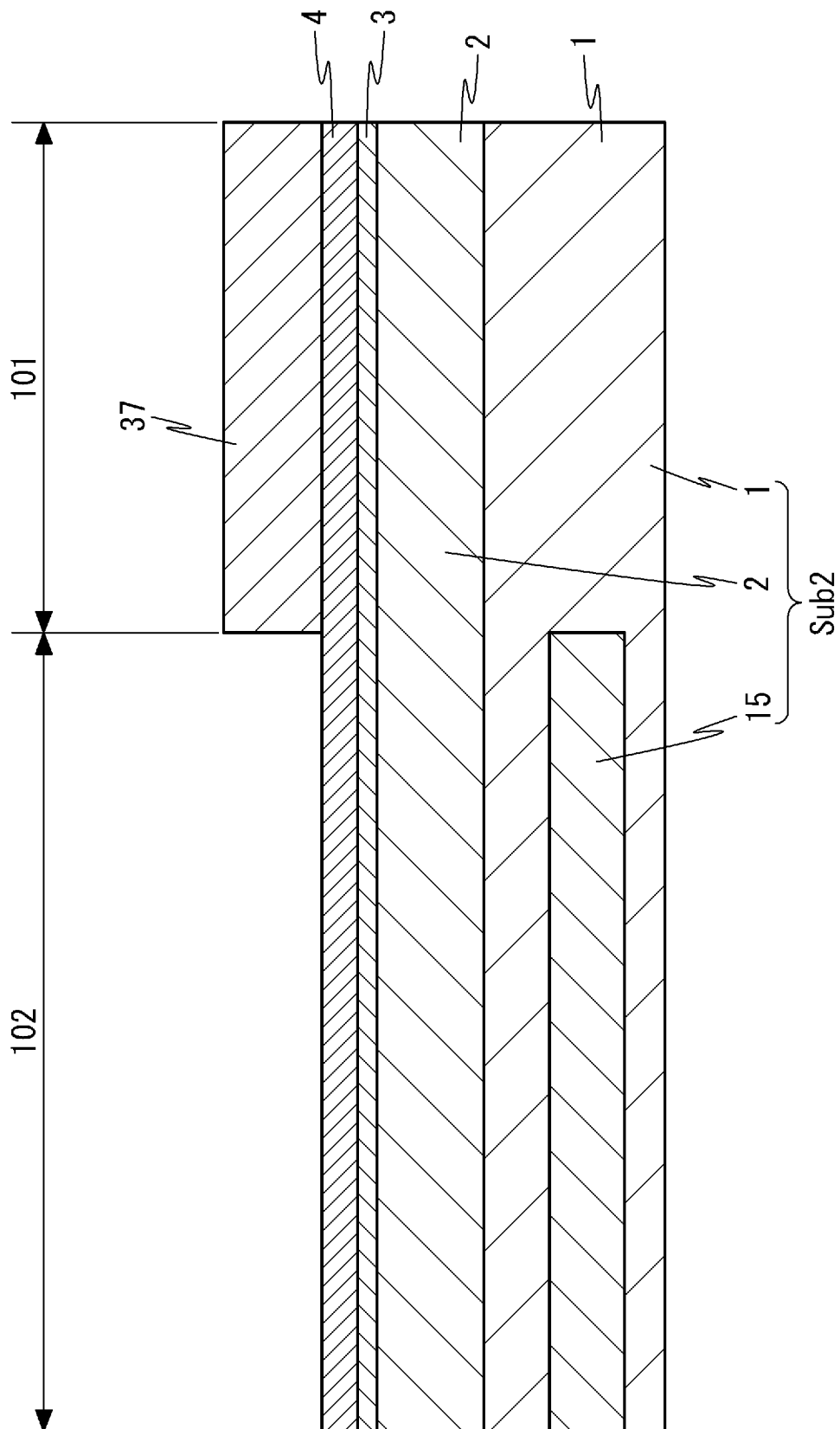
[図3]



[図4A]

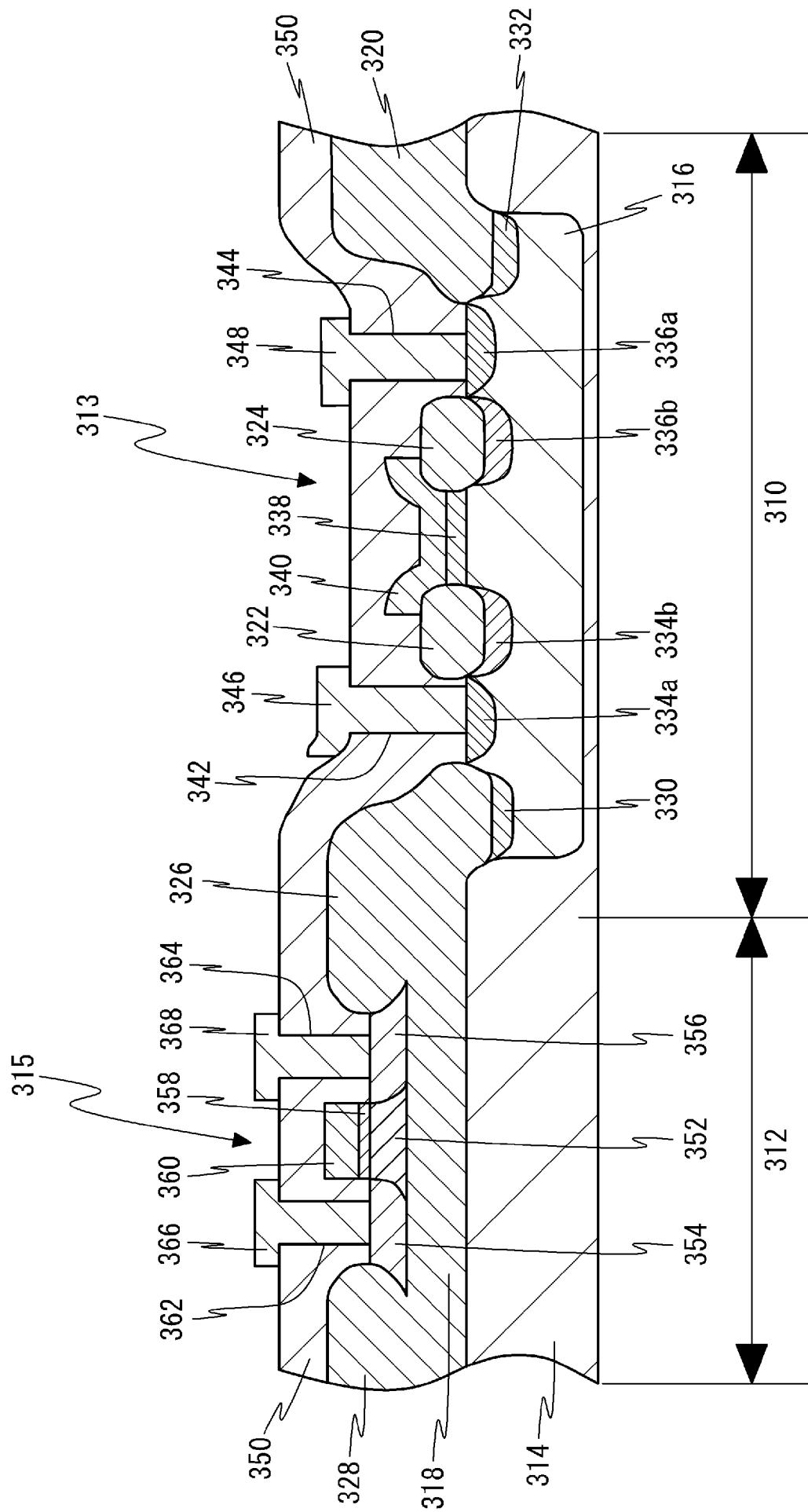


[図4B]



[図5]

300



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/001285

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/08(2006.01)i, H01L21/76(2006.01)i, H01L21/762(2006.01)i,
H01L21/8234(2006.01)i, H01L21/8238(2006.01)i, H01L27/088(2006.01)i,
H01L27/092(2006.01)i, H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/08, H01L21/76, H01L21/762, H01L21/8234, H01L21/8238, H01L27/088,
H01L27/092, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-172082 A (Toshiba Corp.), 24 July 2008 (24.07.2008), entire text; all drawings & US 2008/0191271 A1 entire text; all drawings & US 2011/0012201 A1	1-15
A	JP 2004-214596 A (Denso Corp.), 29 July 2004 (29.07.2004), entire text; all drawings & US 2005/0012175 A1 entire text; all drawings	1-15
A	JP 07-153837 A (Sony Corp.), 16 June 1995 (16.06.1995), entire text; all drawings (Family: none)	1-15

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 May, 2012 (14.05.12)

Date of mailing of the international search report
22 May, 2012 (22.05.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/001285

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-007219 A (Seiko Epson Corp.), 12 January 2001 (12.01.2001), entire text; all drawings (Family: none)	1-15
A	JP 2001-007196 A (Sharp Corp.), 12 January 2001 (12.01.2001), entire text; all drawings & US 6221732 B1 entire text; all drawings & TW 451497 B & KR 10-2001-0020976 A	1-15

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L27/08 (2006.01)i, H01L21/76 (2006.01)i, H01L21/762 (2006.01)i, H01L21/8234 (2006.01)i,
H01L21/8238 (2006.01)i, H01L27/088 (2006.01)i, H01L27/092 (2006.01)i, H01L29/786 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L27/08, H01L21/76, H01L21/762, H01L21/8234, H01L21/8238, H01L27/088, H01L27/092, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-172082 A (株式会社東芝) 2008.07.24, 全文, 全図 & US 2008/0191271 A1, 全文, 全図 & US 2011/0012201 A1	1-15
A	JP 2004-214596 A (株式会社デンソー) 2004.07.29, 全文, 全図 & US 2005/0012175 A1, 全文, 全図	1-15
A	JP 07-153837 A (ソニー株式会社) 1995.06.16, 全文, 全図 (ファ ミリーなし)	1-15

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 4 . 0 5 . 2 0 1 2

国際調査報告の発送日

2 2 . 0 5 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

宇多川 勉

5 0

3 1 2 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 9

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2001-007219 A (セイコーエプソン株式会社) 2001.01.12, 全文, 全図 (ファミリーなし)	1-15
A	JP 2001-007196 A (シャープ株式会社) 2001.01.12, 全文, 全図 & US 6221732 B1, 全文, 全図 & TW 451497 B & KR 10-2001-0020976 A	1-15