(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[5]
H03M 1/12

(11) 공개번호 특1993-0003567
(43) 공개일자 1993년02월24일

(21) 출원번호 특1992-0011655
(22) 출원일자 1992년07월01일

(30) 우선권주장 91-165358 1991년07월05일 일본(JP)
(71) 출원인 가부시끼가이샤 히다찌세이사꾸쇼 가나이 쯔또무
일본국 도꾜도 지요다구 간다 스루가다이 4-6히다찌초엘에스아이엔지니어링 가부시끼가이샤 오노 미노루
일본국 도꾜도 고다이라시 죠스이혼쵸 5-20-1
(72) 발명자 마쯔우라 다쯔지
일본국 고꾸분지시 히가시꼬이가꾸보 6-13-7
이마이즈미 에이끼
일본국 아끼시마시 미호리쵸 5-5-7
우스이 구니히꼬
일본국 아사까시 사까에쵸 2-5-2
(74) 대리인 백남기

심사청구 : 없음

(54) 파이프라인형 A/D 변환기

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

파이프라인형 A/D 변환기

[도면의 간단한 설명]

제1도는 본 발명의 1실시예를 도시한 블럭도,

제2도는 제1도의 블록의 상세한 브럭도,

제3도는 제1도의 실시예의 동작타이밍을 도시한 도면.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

입력 아날로그신호를 소정의 변환레이트로 디지탈신호로 변환해서 소정비트의 변환출력을 얻는 파이프라인형 A/D변환기에 있어서, 순차로 종속접속하고, 변환출력의 상위 비트에서 수비트마다 각각 출력을 결정하는 여 러개의 AD/DA서브블럭과 1개의 D/A서브블럭의 가지며, 상기 여러개의 AD/DA서브블럭의 각각은 해당 서브블럭으로의 입력신호를 상기 변환레이트에 대응하는 주기에서 순차로 샘플해서 값을 홀드하는 샘플홀드회로, 상기 샘플홀드회로의 홀드출력을 디지탈신호로 변환하는 서브 A/D변환기, 상기 샘플홀드회로가 홀드모드인 기간내에서 상기 서브 A/D변환기의 출력을 래치하는 래치회로, 상기 래치회로의 출력을 아날로그신호로 변환하는 D/A변환기 및 상기 샘플홀드회로의 홀드출력을 상기 샘플홀드회로의 샘플타이밍에서 반주기 늦게 샘플하고, 이것에 이어지는 증폭모드의 기간에서 샘플된 값과 상기 D/A변환기의 출력의 차를 증폭하고, 잔여신호로써 다음단의 서브블럭에 전달하는 샘플홀드기능을 갖는 초퍼증폭기를

구비하고, 상기 D/A서브블럭은 앞단의 AD/DA서브블럭의 초퍼증폭기에서 전달되는 잔여신호를 샘플하는 샘플홀드화로 및 상기 샘플홀드회로의 홀드출력을 디지탈신호로 변환하는 서브 A/D변환기를 구비한 것을 특징으로 하는 파이프라인형 A/D변환기.

청구항 2

특허청구의 범위 제1항에 있어서, 앞단의 서브클럭에서의 잔여신호가 전달되는 상기 여러개의 AD/DA서브블럭 및 1개의 D/A서브블럭의 각각은 상기 입력 전달로그 신호가 있는 샘플값에 대해서 앞단의 샘플블럭보다 1주기 늦게 변환동작을 실행하는 것을 특징으로 하는 파이프라인형 A/D변환기.

청구항 3

입력 아날로그신호를 소정의 변환레이트로 디지탈신호로 변환해서 소정비트의 변환출력을 얻는 파이프라인형 A/D변환기에 있어서, 상기 입력아날로그신호를 상기 변환레이트에 대응하는 주기에서 순차로 샘플해서 값을 홀드하는 입력홀드회로와 변환출력의 상위 비트에서 수비트마다 각각 출력을 결정하는 여러개의 AD/DA서브블럭 및 1개의 D/A서브블럭이 순차로 종속 접속되어 이루어지고, 상기 여러개의 AD/DA서브블럭의 각각은 해당 서브블럭으로의 입력신호를 상기 변환레이트에 대응하는 주기에서 순차로 샘플해서 값을 홀드하는 샘플홀드회로, 상기 해당 서브블록으로의 입력 신호를 디지탈신호로 변환하는 서브 A/D변환기, 상기 A/D변환기의 출력을 래치하는 래치회로, 상기 래치회로의 출력을 아날로그신호로 변환하는 D/A변환기, 상기 샘플홀드회로의 홀드출력을 상기 샘플홀드회로의 샘플타이밍에서 반주기 늦게 샘플하고, 이것에 이어지는 증폭모드의 기간에서 샘플된 값과 상기 D/A변환기의 출력의 차를 증폭하고, 잔여신호로써 다음단의 서브블럭에 전달하는 샘플홀드기능을 갖는 초퍼증폭기를 구비하고, 상기 D/A서브블럭은 앞단의 AD/DA서브블럭의 초퍼증폭기에서 전달되는 잔여신호를 디지탈신호 변환하는 서브 A/D변환기를 구비한 것을 특징으로 하는 파이프라인형 A/D변환기.

청구항 4

특허청구의 범위 제3항에 있어서, 앞단의 서브블럭에서의 잔여신호가 전달되는 상기 여러개의 AD/DA서브블럭 및 1개의 D/A서브블럭의 각각은 상기 입력아날로그 그 신호가 있는 샘플값에 대해서 앞단의 서브블럭보다 1주기 늦게 변환동작을 실행하는 것을 특징으로 하는 파이프라인형 A/D변환기.

청구항 5

특허청구 범위 제3항에 있어서, 상기 여러개의 AD/DA서브블럭의 각각의 초퍼증폭기는 각각 앞단의 AD/DA서브블럭의 초퍼증폭기 또는 앞단의 상기 입력샘플 홀드회로 보다도 1주기 늦게 샘플동작을 실행하는 것을 특징으로 하는 파이프라인형 A/D변환기.

청구항 6

입력 아날로그신호를 소정의 변환레이트로 디지탈신호로 변환해서 소정비트의 변환출력을 얻는 파이프라인형 A/D변환기에 있어서, 순차로 종속접속되고, 변환출력의 상위 비트에서 수비트마다 각각 출력을 결정하는 여러개의 AD/DA서브블럭과 1개의 D/A서브블럭 가지며, 상기 여러개의 AD/DA서브블럭의 각각은 해당 서브블럭으로의 입력신호를 상기 변환레이트에 대응하는 주기에서 순차로 샘플해서 값을 홀드하는 제1의 샘플홀드회로 상기 제1의 샘플홀드회로의 홀드출력을 디지탈신호로 변환하는 서브 A/D변환기, 상기 제1샘플홀드 회로가 홀드모드인 주기내에서 상기 서브 A/D변환기의 출력을 래치하는 래치회로, 상기 래치회로의 출력을 아날로그신호 변환하는 D/A변환기, 상기 제1의 샘플홀드회로의 홀드출력을 상기 제1의 샘플홀드회로의 샘플타이밍에서 반주기 늦게 샘플하는 제2의 샘플홀드회로 및 상기 제2의 샘플홀드회로의 홀드출력을 상기 제2의 샘플홀드회로의 샘플타이 밍에서 또 반주기 늦게 샘플하고, 이것에 이어지는 증폭모드의 기간에서 샘플된 값과 상기 D/A변환기의 출력의 차를 증폭하고, 잔여신호로써 다음단의 서브블럭에 전달하는 샘플홀드 기능을 갖는 초퍼증폭기를 구비하고, 상기 D/A서브블럭은 앞단의 AD/DA서브블럭의 초퍼증폭기에서 전달되는 잔여신호를 샘플하는 샘플홀드회로 및 상기 샘플홀드회로의 홀드출력을 디지탈신호로 변환하는 서브 A/D변환기를 구비한 것을 특징으로 하는 파이프라인형 A/D변환기.

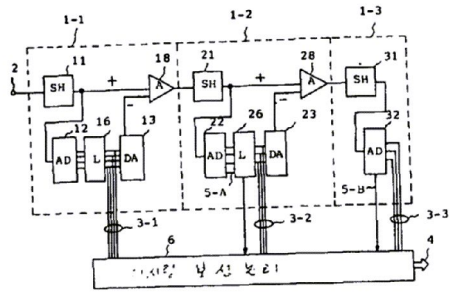
청구항 7

특허청구의 범위 제6항에 있어서, 앞단의 서브블럭에서의 잔여신호가 전달되는 상기 여러개의 AD/DA서브블럭 및 1개의 D/A서브블럭의 각각은 상기 입력아날로그 그 신호가 있는 샘플홀드 값에 대해서 앞단의 서브블럭 보다 1.5주기 늦게 변환동작을 실행하는 것을 특징으로 하는 파이프라인형 A/D변환기.

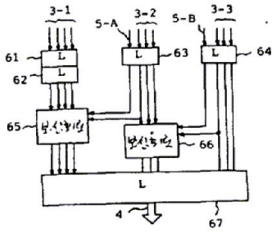
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면1



도면2



도면3

		사이클 1		사이클 2		사이클 3	
		ø1	ø2	ø1	ø 2	ø1	ø2
블럭 1-1	SH11	S	H	S	H		
	AD12		ADC		ADC		
	DA13			DAC		DAC	
	Amp18		(S)	Amp	(S)	Amp	
블럭 1-2	SH21			S	H	S	H
	AD22				ADC		ADC
	DA23					DAC	
	Amp28				(S)	Amp	
블럭 1-3	SH31					S	H
	AD32						ADC