

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5627835号  
(P5627835)

(45) 発行日 平成26年11月19日(2014.11.19)

(24) 登録日 平成26年10月10日(2014.10.10)

(51) Int.Cl.

F 1

H01L 21/60 (2006.01)  
H01L 23/12 (2006.01)H01L 21/92 602H  
H01L 23/12 501P

請求項の数 17 (全 11 頁)

(21) 出願番号	特願2007-298361 (P2007-298361)	(73) 特許権者	000116024 ローム株式会社 京都府京都市右京区西院溝崎町21番地
(22) 出願日	平成19年11月16日(2007.11.16)	(74) 代理人	100087701 弁理士 稲岡 耕作
(65) 公開番号	特開2009-124042 (P2009-124042A)	(74) 代理人	100101328 弁理士 川崎 実夫
(43) 公開日	平成21年6月4日(2009.6.4)	(74) 代理人	100149766 弁理士 京村 順二
審査請求日	平成22年11月12日(2010.11.12)	(72) 発明者	鰐島 克己 京都市右京区西院溝崎町21番地 ローム 株式会社内
審判番号	不服2013-17068 (P2013-17068/J1)		
審判請求日	平成25年9月4日(2013.9.4)		

最終頁に続く

(54) 【発明の名称】半導体装置および半導体装置の製造方法

## (57) 【特許請求の範囲】

## 【請求項1】

半導体チップと、  
前記半導体チップ上に形成された配線と、  
前記配線を被覆するパッシベーション膜と、  
前記パッシベーション膜を貫通して形成され、前記配線を前記パッシベーション膜から部分的に露出させるための開口と、  
前記配線における前記開口に臨む部分上に形成され、その周縁部が前記パッシベーション膜における前記開口の周囲に乗り上げて形成された介在膜と、  
前記介在膜上に形成されたポストバンプとを備え、

前記ポストバンプは、その下面が前記介在膜に下側から支持された基端部と、前記基端部の前記下面と同一平面からなる下面を有し、当該下面と前記パッシベーション膜との間に空間が形成されるように前記基端部から前記介在膜の周縁よりも側方にはみ出した周縁部とを含み、

前記介在膜の周縁に対する前記ポストバンプの周縁部のはみ出し量は、前記介在膜の膜厚よりも大きい、半導体装置。

## 【請求項2】

半導体チップと、  
前記半導体チップ上に形成された配線と、  
前記配線を被覆するパッシベーション膜と、

10

20

前記パッシベーション膜を貫通して形成され、前記配線を前記パッシベーション膜から部分的に露出させるための開口と、

前記開口内において前記配線の表面および前記パッシベーション膜の側面を覆い、前記パッシベーション膜における前記開口の周囲を覆う介在膜と、

前記介在膜上に形成されたポストバンプとを備え、

前記ポストバンプは、その下面が前記介在膜に下側から支持された基端部と、前記基端部の前記下面と同一平面からなる下面を有し、当該下面と前記パッシベーション膜との間に空間が形成されるように前記基端部から前記介在膜の周縁よりも側方にはみ出した周縁部とを含み、

前記介在膜の周縁に対する前記ポストバンプの周縁部のはみ出し量は、前記介在膜の膜厚よりも大きい、半導体装置。 10

【請求項3】

半導体チップと、

前記半導体チップ上に形成された配線と、

前記配線を被覆するパッシベーション膜と、

前記パッシベーション膜を貫通して形成され、前記配線を前記パッシベーション膜から部分的に露出させるための開口と、

前記配線における前記開口に臨む部分上に形成され、その周縁部が前記パッシベーション膜における前記開口の周囲に乗り上げて形成された介在膜と、

前記介在膜上に形成されたポストバンプとを備え、 20

前記ポストバンプは、その下面が前記介在膜に下側から支持された基端部と、前記基端部の前記下面と同一平面からなる下面を有し、当該下面と前記パッシベーション膜との間に空間が形成されるように前記基端部から前記介在膜の周縁よりも断面視で側方にはみ出した周縁部とを含み、

前記介在膜の周縁に対する前記ポストバンプの周縁部のはみ出し量は、前記介在膜の膜厚よりも大きい、半導体装置。

【請求項4】

半導体チップと、

前記半導体チップ上に形成された配線と、

前記配線を被覆するパッシベーション膜と、 30

前記パッシベーション膜を貫通して形成され、前記配線を前記パッシベーション膜から部分的に露出させるための開口と、

前記配線における前記開口に臨む部分上に形成され、その周縁部が前記パッシベーション膜における前記開口の周囲に乗り上げて形成された介在膜と、

前記介在膜上に形成されたポストバンプと、

前記ポストバンプに接合された半田ボールとを備え、

前記ポストバンプは、その下面が前記介在膜に下側から支持された基端部と、前記基端部の前記下面と同一平面からなる下面を有し、当該下面と前記パッシベーション膜との間に空間が形成されるように前記基端部から前記介在膜の周縁よりも側方にはみ出した周縁部とを含み、 40

前記介在膜の周縁に対する前記ポストバンプの周縁部のはみ出し量は、前記介在膜の膜厚よりも大きい、半導体装置。

【請求項5】

前記介在膜上に形成されたシード膜をさらに含み、

前記ポストバンプは、前記シード膜上に形成されている、請求項1～4のいずれか一項に記載の半導体装置。

【請求項6】

前記シード膜は、その周縁部が前記介在膜の周縁よりも側方にはみ出している、請求項5に記載の半導体装置。

【請求項7】

10

20

30

40

50

前記介在膜の周縁に対する前記シード膜の周縁部のはみ出し量は、前記介在膜の膜厚よりも大きい、請求項6に記載の半導体装置。

【請求項 8】

前記ポストバンプの側面が、前記シード膜の側面と面一をなしている、請求項5～7のいずれか一項に記載の半導体装置。

【請求項 9】

前記半導体チップの表層部に形成された層間絶縁膜をさらに含み、

前記配線は、前記層間絶縁膜上に形成されている、請求項 1 ～8のいずれか一項に記載の半導体装置。

【請求項 10】

前記ポストバンプが Cu からなり、

前記介在膜が、TiW、Ti、Ta および TaN からなる群から選択される 1 種からなるバリア膜である、請求項 1 ～9のいずれか一項に記載の半導体装置。

【請求項 11】

前記ポストバンプが Au からなり、

前記介在膜が、TiW からなるバリア膜である、請求項 1 ～9のいずれか一項に記載の半導体装置。

【請求項 12】

前記配線が、Al からなる、請求項 1 ～11のいずれか一項に記載の半導体装置。

【請求項 13】

前記配線が、Cu を含む金属材料を用いて形成されている、請求項 1 ～11のいずれか一項に記載の半導体装置。

【請求項 14】

前記配線が、AlCu からなる、請求項13に記載の半導体装置。

【請求項 15】

前記配線が、Cu からなる、請求項13に記載の半導体装置。

【請求項 16】

半導体チップ上に配線を形成する工程と、

前記配線を被覆するようにパッシベーション膜を形成する工程と、

前記パッシベーション膜を貫通することにより、前記配線を前記パッシベーション膜から部分的に露出させるための開口を形成する工程と、

前記配線における前記開口に臨む部分および前記パッシベーション膜に介在膜を形成する工程と、

前記介在膜上に、シード膜を形成する工程と、

前記シード膜上に、所定の形状の開口を有するレジスト膜を形成する工程と、

前記シード膜からのめっき成長により、前記レジスト膜の前記開口内にポストバンプを形成する工程と、

前記ポストバンプの形成後、前記レジスト膜を除去し、当該除去により露出した前記シード膜における前記ポストバンプから露出した部分を、前記シード膜をエッチング可能な液により除去する工程と、

前記シード膜の除去後、前記シード膜の下方の前記介在膜にまでエッチングが進行するよう、前記介在膜をエッチング可能な液を前記介在膜に供給することにより、前記介在膜における前記シード膜から露出した部分を除去し、さらに前記介在膜における前記シード膜の周縁部と前記パッシベーション膜とに挟まれた部分を前記介在膜の膜厚よりも多く除去することによって、前記ポストバンプに、残った前記介在膜にその下面が下側から支持された基端部と、前記基端部の前記下面と同一平面からなる下面を有し、当該下面と前記パッシベーション膜との間に空間が形成されるように前記基端部から前記介在膜の周縁よりも側方にはみ出した周縁部とを形成する工程とを含む、半導体装置の製造方法。

【請求項 17】

前記介在膜をエッチングする工程では、前記シード膜の下方の前記介在膜にまでエッチ

10

20

30

40

50

ングが進行するように、エッティング液の供給時間を設定する、請求項1\_6に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、いわゆるWL-CSP(ウエハレベルチップサイズパッケージ:Wafer Level-Chip Size Package)技術が適用された半導体装置およびその製造方法に関する。

【背景技術】

【0002】

最近、半導体装置の高機能化・多機能化に伴って、WL-CSP技術の実用化が進んでいる。WL-CSP技術では、ウエハ状態でパッケージング工程が完了され、ダイシングによって切り出された個々のチップサイズがパッケージサイズとなる。

図4は、WL-CSP技術が適用された半導体装置の構造を示す図解的な断面図である。

【0003】

この半導体装置101は、その基体をなす半導体チップ(図示せず)を備えている。半導体チップ上には、SiO<sub>2</sub>(酸化シリコン)からなる層間絶縁膜102が形成されている。層間絶縁膜102上には、Al(アルミニウム)からなる配線103が所定の配線パターンで形成されている。層間絶縁膜102および配線103上には、SiN(窒化シリコン)からなり、配線103を被覆するパッシベーション膜104が形成されている。パッシベーション膜104には、配線103の一部をパッシベーション膜104から露出させるための開口105が形成されている。

【0004】

配線103における開口105に臨む部分上には、Ti(チタン)からなるバリア膜106が形成されている。バリア膜106の周縁部は、パッシベーション膜104に乗り上げている。バリア膜106上には、Cu(銅)からなるポストバンプ107が形成されている。ポストバンプ107の側面は、バリア膜106の側面と面一をなしている。ポストバンプ107上には、半田ボール108が形成されている。半田ボール108は、配線基板上の外部配線に接続される外部端子である。半田ボール108が配線基板上の外部配線に接続されることにより、配線103と外部配線との電気的な接続が達成されるとともに、半導体装置101が配線基板上に支持される。

【特許文献1】特開2005-353897号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

このような構造では、半田ボール108に外力が加わると、バリア膜106およびポストバンプ107の周縁部に応力が集中し、この応力の集中により、バリア膜106の周縁部の直下に位置するパッシベーション膜104にクラックが生じるおそれがある。

また、パッシベーション膜104におけるクラックの発生を防止するために、パッシベーション膜104上に開口105と連通する貫通孔を有するポリイミド層を形成し、バリア膜106の周縁部をポリイミド層上に配置することが考えられる。バリア膜106の周縁部とパッシベーション膜104との間にポリイミド層が介在されるため、バリア膜106およびポストバンプ107の周縁部に応力が集中しても、その応力は、ポリイミド層によって吸収され、パッシベーション膜104に伝達されない。よって、パッシベーション膜104にクラックが生じるのを防止することができる。

【0006】

しかし、ポリイミド層を形成する工程を追加しなければならないので、半導体装置101の製造工程数の増加を招き、製造コストが増大してしまう。また、ポリイミド層は、応力を吸収することができる十分な厚さに形成する必要がある。そのため、半導体装置101の厚さが増すという問題もある。

10

20

30

40

50

そこで、本発明の目的は、製造工程数の増加や厚さの増大などの問題を生じることなく、パッシベーション膜にクラックが生じるのを防止することができる半導体装置およびその製造方法を提供することにある。

【課題を解決するための手段】

【0007】

前記目的を達成するための請求項1記載の発明は、半導体チップと、前記半導体チップ上に形成された配線と、前記配線を被覆するパッシベーション膜と、前記パッシベーション膜を貫通して形成され、前記配線を前記パッシベーション膜から部分的に露出させるための開口と、前記配線における前記開口に臨む部分上に形成され、その周縁部が前記パッシベーション膜における前記開口の周囲に乗り上げて形成された介在膜と、前記介在膜上に形成されたポストバンプとを備え、前記ポストバンプは、その下面が前記介在膜に下側から支持された基端部と、前記基端部の前記下面と同一平面からなる下面を有し、当該下面と前記パッシベーション膜との間に空間が形成されるように前記基端部から前記介在膜の周縁よりも側方にはみ出した周縁部とを含み、前記介在膜の周縁に対する前記ポストバンプの周縁部のはみ出し量は、前記介在膜の膜厚よりも大きい、半導体装置である。

また、請求項2記載の発明は、半導体チップと、前記半導体チップ上に形成された配線と、前記配線を被覆するパッシベーション膜と、前記パッシベーション膜を貫通して形成され、前記配線を前記パッシベーション膜から部分的に露出させるための開口と、前記開口内において前記配線の表面および前記パッシベーション膜の側面を覆い、前記パッシベーション膜における前記開口の周囲を覆う介在膜と、前記介在膜上に形成されたポストバンプとを備え、前記ポストバンプは、その下面が前記介在膜に下側から支持された基端部と、前記基端部の前記下面と同一平面からなる下面を有し、当該下面と前記パッシベーション膜との間に空間が形成されるように前記基端部から前記介在膜の周縁よりも側方にはみ出した周縁部とを含み、前記介在膜の周縁に対する前記ポストバンプの周縁部のはみ出し量は、前記介在膜の膜厚よりも大きい、半導体装置である。

また、請求項3記載の発明は、半導体チップと、前記半導体チップ上に形成された配線と、前記配線を被覆するパッシベーション膜と、前記パッシベーション膜を貫通して形成され、前記配線を前記パッシベーション膜から部分的に露出させるための開口と、前記配線における前記開口に臨む部分上に形成され、その周縁部が前記パッシベーション膜における前記開口の周囲に乗り上げて形成された介在膜と、前記介在膜上に形成されたポストバンプとを備え、前記ポストバンプは、その下面が前記介在膜に下側から支持された基端部と、前記基端部の前記下面と同一平面からなる下面を有し、当該下面と前記パッシベーション膜との間に空間が形成されるように前記基端部から前記介在膜の周縁よりも断面視で側方にはみ出した周縁部とを含み、前記介在膜の周縁に対する前記ポストバンプの周縁部のはみ出し量は、前記介在膜の膜厚よりも大きい、半導体装置である。

また、請求項4記載の発明は、半導体チップと、前記半導体チップ上に形成された配線と、前記配線を被覆するパッシベーション膜と、前記パッシベーション膜を貫通して形成され、前記配線を前記パッシベーション膜から部分的に露出させるための開口と、前記配線における前記開口に臨む部分上に形成され、その周縁部が前記パッシベーション膜における前記開口の周囲に乗り上げて形成された介在膜と、前記介在膜上に形成されたポストバンプと、前記ポストバンプに接合された半田ボールとを備え、前記ポストバンプは、その下面が前記介在膜に下側から支持された基端部と、前記基端部の前記下面と同一平面からなる下面を有し、当該下面と前記パッシベーション膜との間に空間が形成されるように前記基端部から前記介在膜の周縁よりも側方にはみ出した周縁部とを含み、前記介在膜の周縁に対する前記ポストバンプの周縁部のはみ出し量は、前記介在膜の膜厚よりも大きい、半導体装置である。

【0008】

この構成によれば、半導体チップ上には、配線が形成されている。配線は、パッシベーション膜によって被覆されている。パッシベーション膜には、配線をパッシベーション膜から部分的に露出させるための開口が形成されている。配線における開口に臨む部分上に

10

20

30

40

50

は、介在膜が形成されている。介在膜上には、その周縁部が介在膜の周縁部よりも側方にはみ出した隆起状のポストバンプが形成されている。

【0009】

ポストバンプの周縁部が介在膜の周縁よりも側方にはみ出していることにより、ポストバンプの周縁部とパッシベーション膜との間に空間が生じている。この空間が存在することにより、ポストバンプの周縁部は、パッシベーション膜との対向方向に変形可能である。よって、ポストバンプに応力が生じても、その応力をポストバンプの周縁部の変形により吸収することができる。その結果、パッシベーション膜にクラックが生じるのを防止することができる。

【0010】

また、この構成では、パッシベーション膜とポストバンプとの間に、応力緩和のためのポリイミド層が介在されないので、ポリイミド層を設けることによる製造工程数の増加や半導体装置の厚さの増大などの問題を生じない。

また、前記介在膜の周縁に対する前記ポストバンプの周縁部のはみ出し量は、前記介在膜の膜厚よりも大きい。

【0011】

このように、ポストバンプの周縁部のはみ出し量が介在膜の膜厚よりも大きいことにより、ポストバンプにおける変形可能な周縁部の幅を介在膜の膜厚よりも大きく確保することができる。なお、ポストバンプの周縁部のはみ出し量を介在膜の膜厚よりも大きくするためには、たとえば、パッシベーション膜上および配線上に介在膜の材料からなる層を形成し、その層上にポストバンプを形成した後、ウェットエッティングにより、介在膜の材料からなる層をパターニングする工程において、ポストバンプの下方にまでエッティングが進行するようにエッティング時間を設定すればよい。

【0012】

また、請求項5記載の発明は、前記介在膜上に形成されたシード膜をさらに含み、前記ポストバンプは、前記シード膜上に形成されている、請求項1～4のいずれか一項に記載の半導体装置である。

また、請求項6記載の発明は、前記シード膜は、その周縁部が前記介在膜の周縁よりも側方にはみ出している、請求項5に記載の半導体装置である。

また、請求項7記載の発明は、前記介在膜の周縁に対する前記シード膜の周縁部のはみ出し量は、前記介在膜の膜厚よりも大きい、請求項6に記載の半導体装置である。

また、請求項8記載の発明は、前記ポストバンプの側面が、前記シード膜の側面と面一をなしている、請求項5～7のいずれか一項に記載の半導体装置である。

また、請求項9記載の発明は、前記半導体チップの表層部に形成された層間絶縁膜をさらに含み、前記配線は、前記層間絶縁膜上に形成されている、請求項1～8のいずれか一項に記載の半導体装置である。

また、請求項10記載の発明は、前記ポストバンプがCuからなり、前記介在膜が、TiW、Ti、TaおよびTaNからなる群から選択される1種からなるバリア膜である、請求項1～9のいずれか一項に記載の半導体装置である。

また、請求項11記載の発明は、前記ポストバンプがAuからなり、前記介在膜が、TiWからなるバリア膜である、請求項1～9のいずれか一項に記載の半導体装置である。

また、請求項12記載の発明は、前記配線が、Alからなる、請求項1～11のいずれか一項に記載の半導体装置である。

また、請求項13記載の発明は、前記配線が、Cuを含む金属材料を用いて形成されている、請求項1～11のいずれか一項に記載の半導体装置である。

また、請求項14記載の発明は、前記配線が、AlCuからなる、請求項13に記載の半導体装置である。

また、請求項15記載の発明は、前記配線が、Cuからなる、請求項13に記載の半導体装置である。

また、請求項16記載の発明は、半導体チップ上に配線を形成する工程と、前記配線を

10

20

30

40

50

被覆するようにパッシベーション膜を形成する工程と、前記パッシベーション膜を貫通することにより、前記配線を前記パッシベーション膜から部分的に露出させるための開口を形成する工程と、前記配線における前記開口に臨む部分および前記パッシベーション膜に介在膜を形成する工程と、前記介在膜上に、シード膜を形成する工程と、前記シード膜上に、所定の形状の開口を有するレジスト膜を形成する工程と、前記シード膜からのめっき成長により、前記レジスト膜の前記開口内にポストバンプを形成する工程と、前記ポストバンプの形成後、前記レジスト膜を除去し、当該除去により露出した前記シード膜における前記ポストバンプから露出した部分を、前記シード膜をエッティング可能な液により除去する工程と、前記シード膜の除去後、前記シード膜の下方の前記介在膜にまでエッティングが進行するように、前記介在膜をエッティング可能な液を前記介在膜に供給することにより、前記介在膜における前記シード膜から露出した部分を除去し、さらに前記介在膜における前記シード膜の周縁部と前記パッシベーション膜とに挟まれた部分を前記介在膜の膜厚よりも多く除去することによって、前記ポストバンプに、残った前記介在膜にその下面が下側から支持された基端部と、前記基端部の前記下面と同一平面からなる下面を有し、当該下面と前記パッシベーション膜との間に空間が形成されるように前記基端部から前記介在膜の周縁よりも側方にはみ出した周縁部とを形成する工程とを含む、半導体装置の製造方法である。

また、請求項 17 記載の発明は、前記介在膜をエッティングする工程では、前記シード膜の下方の前記介在膜にまでエッティングが進行するように、エッティング液の供給時間を設定する、請求項 16 に記載の半導体装置の製造方法である。

#### 【発明を実施するための最良の形態】

##### 【0013】

以下では、本発明の実施の形態を、添付図面を参照して詳細に説明する。

図1は、本発明の一実施形態に係る半導体装置の外観を示す側面図である。

この半導体装置1は、W L - C S P 技術が適用された半導体装置であり、半導体チップ2と、半導体チップ2上に設けられた複数のポストバンプ3と、各ポストバンプ3に接合された半田ボール4とを備えている。

##### 【0014】

図2は、図1における破線Aで囲まれた部分の構造を示す図解的な断面図である。

半導体チップ2の表層部には、S i O<sub>2</sub>からなる層間絶縁膜5が形成されている。層間絶縁膜5上には、A1からなる配線6が所定の配線パターンで形成されている。

層間絶縁膜5および配線6上には、配線6を被覆するパッシベーション膜7が形成され、パッシベーション膜7には、配線6の一部をパッシベーション膜7から露出させるための開口8が形成されている。

##### 【0015】

配線6における開口8に臨む部分上には、T i W(チタンタンゲステン)からなるバリア膜9が被着されている。バリア膜9は、所定の膜厚T(たとえば、180nm)を有しており、開口8内において、配線6の表面およびパッシベーション膜7の側面を覆い、その周縁部がパッシベーション膜7の表面に乗り上がっている。

バリア膜9上には、C uからなるシード膜10が形成されている。シード膜10の周縁部は、バリア膜9の周縁に対して側方に、バリア膜9の膜厚Tよりも大きいはみ出し量Dではみ出して形成されている。

##### 【0016】

シード膜10上には、ポストバンプ3が隆起状に形成されている。ポストバンプ3は、たとえば、C uからなる。ポストバンプ3の側面は、シード膜10の側面とほぼ面一をなしている。

ポストバンプ3は、その下面がバリア膜9に下側から支持された基端部と、当該基端部の下面と同一平面からなる下面を有し、当該下面とパッシベーション膜7との間に空間が形成されるように基端部からバリア膜9の周縁よりも側方にはみ出した周縁部とを含む。  
すなわち、ポストバンプ3の周縁部がバリア膜9の周縁よりも側方にはみ出していること

10

20

30

40

50

により、ポストバンプ3の周縁部とパッシベーション膜7との間に空間が生じている。この空間が存在することにより、ポストバンプ3の周縁部は、パッシベーション膜7との対向方向に変形可能である。よって、ポストバンプ3に応力が生じても、その応力をポストバンプ3の周縁部の変形により吸収することができる。その結果、パッシベーション膜7にクラックが生じるのを防止することができる。

#### 【0017】

また、半導体装置1では、パッシベーション膜7とポストバンプ3との間に、応力緩和のためのポリイミド層が介在されないので、ポリイミド層を設けることによる製造工程数の増加や、半導体装置1の厚さの増大などの問題を生じない。

また、ポストバンプ3の周縁部のはみ出し量Dは、バリア膜9の膜厚Tよりも大きい。これにより、ポストバンプ3における変形可能な周縁部の幅をバリア膜9の膜厚よりも大きく確保することができる。

#### 【0018】

図3A～3Eは、図2に示す半導体装置の一部の製造方法を工程順に示す図解的な断面図である。

まず、図3Aに示すように、CVD (Chemical Vapor Deposition: 化学的気相成長) 法により、層間絶縁膜5が形成される。その後、スパッタ法により、層間絶縁膜5上の全面に、Alからなる金属膜(図示せず)が形成される。そして、公知のフォトリソグラフィ技術およびエッティング技術により、層間絶縁膜5上の金属膜が選択的に除去される。これにより、層間絶縁膜5上に、所定の配線パターンを有する配線6が形成される。

#### 【0019】

次いで、CVD法により、層間絶縁膜5および配線6上に、パッシベーション膜7が形成される。その後、パッシベーション膜7上に、レジストパターン(図示せず)が形成される。このレジストパターンをマスクとして、パッシベーション膜7がエッティングされることにより、図3Bに示すように、パッシベーション膜7に、配線6の一部をパッシベーション膜7から露出させる開口8が形成される。開口8の形成後、レジストパターンは除去される。

#### 【0020】

その後、スパッタ法により、配線6における開口8に臨む部分およびパッシベーション膜7上に、TiWからなるバリア膜9が形成される。次いで、スパッタ法により、バリア膜9上にCuからなるシード膜10が形成される。そして、シード膜10上に、ポストバンプ3が形成されるべき部分に開口11を有するレジスト膜12が形成される。その後、レジスト膜12の開口11内に、Cuをめっき成長させることにより、図3Cに示すように、ポストバンプ3が形成される。ポストバンプ3の形成後、レジスト膜12は除去される。

#### 【0021】

次いで、ウェットエッティングにより、シード膜10におけるポストバンプ3から露出した部分が除去される。すなわち、シード膜10をエッティング可能な液がシード膜10に供給されて、シード膜10がポストバンプ3と接する部分を残して除去される。これにより、図3Dに示すように、ポストバンプ3とバリア膜9との間にポストバンプ3の側面とほぼ面一な側面を有するシード膜10が残る。

#### 【0022】

その後、バリア膜9をエッティング可能な液がバリア膜9に供給される。このとき、シード膜10の下方のバリア膜9にまでエッティングが進行するように、エッティング液の供給時間が設定される。これにより、図3Eに示すように、バリア膜9におけるシード膜10から露出した部分およびシード膜10の周縁部とパッシベーション膜7とに挟まれた部分が除去される。その結果、バリア膜9の側面は、シード膜10の側面よりも内側(開口8側)に位置し、ポストバンプ3およびシード膜10は、それらの周縁部がバリア膜9の周縁に対して側方にはみ出した形状となる。

#### 【0023】

10

20

30

40

50

このように、ウェットエッチングにより、バリア膜9の材料からなる層をパターニングする工程において、ポストバンプ3の下方にまでエッチングが進行するようにエッチング時間を設定することにより、ポストバンプ3の周縁部のはみ出し量Dをバリア膜9の膜厚Tよりも大きくすることができる。これにより、製造工程数の増加を招くことなく、シード膜10の周縁部とパッシベーション膜7との間に空間を形成することができる。

#### 【0024】

以上、本発明の一実施形態について説明したが、本発明は、他の形態で実施することができる。

たとえば、上記の実施例では、バリア膜9の材料としてTiWを用いたが、バリア膜9の材料としては、Cuの拡散に対するバリア性を有する材料であればよく、例えば、Ti(チタン)、Ta(タンタル)およびTaN(窒化タンタル)などを例示することができる。

#### 【0025】

また、ポストバンプ3の材料としてCuを用いたが、ポストバンプ3の材料としては、Au(金)を用いてもよい。ポストバンプ3の材料としてAuが採用された場合、バリア膜9の材料としては、TiWを用いることができる。

また、配線6は、Cuを含む金属材料を用いて形成されてもよい。Cuを含む金属材料としては、例えば、AlCu(アルミニウム/銅合金)およびCuを例示することができる。その場合、層間絶縁膜5に、その上面から掘り下がった配線溝が形成され、この配線溝に配線6が埋設されてもよい。

#### 【0026】

その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

#### 【図面の簡単な説明】

#### 【0027】

【図1】本発明の一実施形態に係る半導体装置の外観を示す側面図である。

【図2】本発明の一実施形態に係る半導体装置の構造を示す図解的な断面図である。

【図3A】図2に示す半導体装置の製造方法を説明するための図解的な断面図である。

【図3B】図3Aの次の工程を示す図解的な断面図である。

【図3C】図3Bの次の工程を示す図解的な断面図である。

【図3D】図3Cの次の工程を示す図解的な断面図である。

【図3E】図3Dの次の工程を示す図解的な断面図である。

【図4】従来の半導体装置の構造を示す図解的な断面図である。

#### 【符号の説明】

#### 【0028】

1	半導体装置
2	半導体チップ
3	ポストバンプ
6	配線
7	パッシベーション膜
8	開口
9	バリア膜(介在膜)
D	はみ出し量
T	膜厚(介在膜の膜厚)

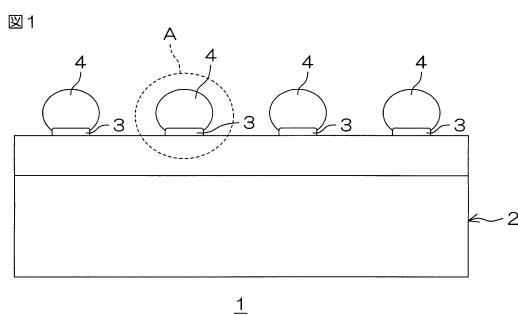
10

20

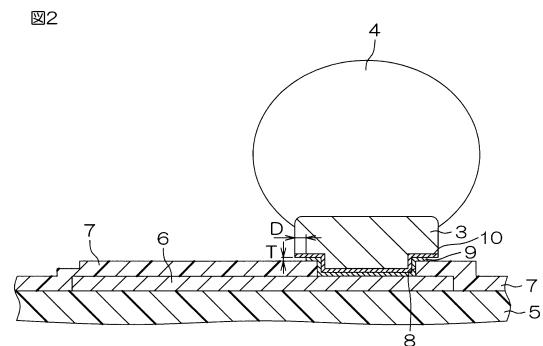
30

40

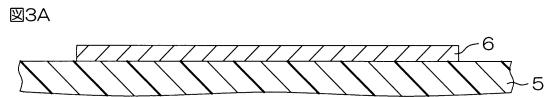
【図1】



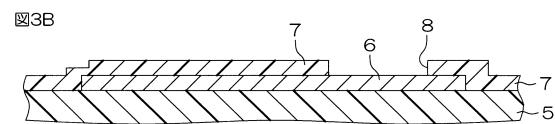
【図2】



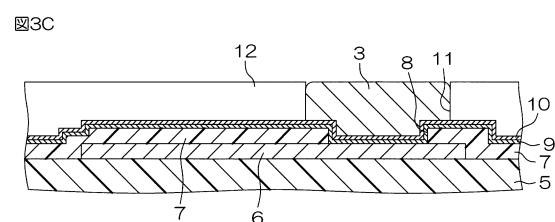
【図3A】



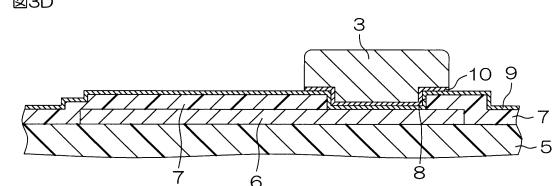
【図3B】



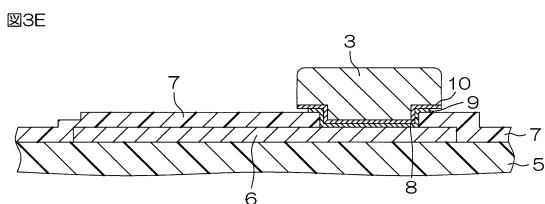
【図3C】



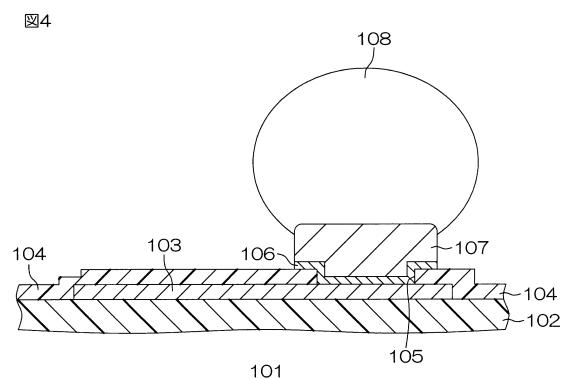
【図3D】



【図3E】



【図4】



---

フロントページの続き

合議体

審判長 小野田 誠

審判官 松本 貢

審判官 加藤 浩一

(56)参考文献 特開平9-199505 (JP, A)

特開2005-85857 (JP, A)

特開2005-166959 (JP, A)

特開2006-278551 (JP, A)

特開平1-278751 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L21/60