

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5979896号
(P5979896)

(45) 発行日 平成28年8月31日(2016.8.31)

(24) 登録日 平成28年8月5日(2016.8.5)

(51) Int.Cl.

F 1

H04N 5/378 (2011.01)
H04N 5/374 (2011.01)H04N 5/335 780
H04N 5/335 740

請求項の数 8 (全 18 頁)

(21) 出願番号 特願2012-26421 (P2012-26421)
 (22) 出願日 平成24年2月9日 (2012.2.9)
 (65) 公開番号 特開2013-165341 (P2013-165341A)
 (43) 公開日 平成25年8月22日 (2013.8.22)
 審査請求日 平成27年1月21日 (2015.1.21)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100076428
 弁理士 大塚 康徳
 (74) 代理人 100112508
 弁理士 高柳 司郎
 (74) 代理人 100115071
 弁理士 大塚 康弘
 (74) 代理人 100116894
 弁理士 木村 秀二
 (74) 代理人 100130409
 弁理士 下山 治
 (74) 代理人 100134175
 弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【特許請求の範囲】

【請求項 1】

画素信号を出力する画素と、前記画素信号を第一のビット長のデジタル信号に変換する第一の変換を行う第一の変換部と、前記画素信号から、前記第一のビット長のデジタル信号に相当するアナログ信号を減算した結果のアナログ信号を、第二のビット長のデジタル信号に変換する第二の変換を行う第二の変換部とを有し、前記第二の変換部は、電流源と、第一の容量とを有し、前記第一の変換の後、前記第一の容量に前記減算した結果のアナログ信号が充電され、前記第一の容量に充電された前記アナログ信号と基準電圧の比較に基づき前記第二の変換が行われ、前記第一の変換の後、前記第二の変換を開始するまでの期間に、前記電流源が供給する電流により前記第一の容量を充電する期間は、前記第一の変換部の動作クロックの一周期以上であることを特徴とする固体撮像装置。

【請求項 2】

前記第二の変換部は、さらに第二の容量を有し、前記第一の容量の充電後、前記電流源が供給する電流により前記第二の容量を充電する

ことによって前記基準電圧が生成されることを特徴とする請求項1に記載された固体撮像装置。

【請求項 3】

複数列に渡って配された、画素信号を出力する複数の画素と、

前記複数列の各々に、それぞれが対応して設けられ、前記画素信号を第一のビット長のデジタル信号に変換する複数の第一の変換部と、

前記複数の第一の変換部の各々に、それぞれが対応して設けられ、前記画素信号から、前記第一のビット長のデジタル信号に相当するアナログ信号を減算した結果のアナログ信号を、第二のビット長のデジタル信号に変換する複数の第二の変換部とを有し、

前記複数の第二の変換部の各々は、

10

電流源と、

第一の容量と、

第二の容量と、

前記第一の容量に接続された第一の入力端子及び前記第二の容量に接続された第二の入力端子を有する比較器とを有し、

前記複数の第一の変換部と前記複数の第二の変換部の各々において、

前記第一の変換部による前記画素信号の変換後、前記電流源が供給する電流により前記第一の容量を充電することによって、前記第二の変換部は、前記減算した結果のアナログ信号を生成し、

前記第一の容量の充電後、前記電流源が供給する電流により前記第二の容量を充電することによる基準電圧を前記第二の変換部が生成することで、前記複数の第二の変換部の各々において前記基準電圧が生成され、

20

前記複数の第二の変換部の各々が、前記減算した結果のアナログ信号と、前記基準電圧とを前記比較器で比較した結果に基づき当該アナログ信号を変換することを特徴とする固体撮像装置。

【請求項 4】

前記第一の変換部による変換の後、前記第二の変換部による変換を開始するまでの期間に、前記電流源が供給する電流により前記第一の容量を充電する期間は、前記電流源が供給する電流により前記第二の容量を充電する期間よりも短いことを特徴とする請求項3に記載された固体撮像装置。

30

【請求項 5】

前記第一の容量のキャパシタンスは、前記第二の容量のキャパシタンスよりも小さいことを特徴とする請求項3に記載された固体撮像装置。

【請求項 6】

さらに、前記第一の容量を充電する期間に前記電流源が供給する電流値に対して、前記第二の容量を充電する期間に前記電流源が供給する電流値を低減するように、前記電流源を制御する制御部を有することを特徴とする請求項3に記載された固体撮像装置。

【請求項 7】

前記画素は、光電変換部と、前記光電変換部で生じた電荷に基づく画素信号を出力する増幅トランジスタと、前記増幅トランジスタのゲート部をリセットするリセットトランジスタとを含み、

40

前記固体撮像装置は、前記ゲート部をリセットしたリセットレベル、および、前記光電変換部で生じた電荷に基づく信号レベルを読み出し、前記リセットレベルと前記信号レベルを用いて相関二重サンプリング動作を行い、前記相関二重サンプリング動作において、前記第一の容量と前記第二の容量とともに充電された充電量のオフセットを減算することを特徴とする請求項3から請求項6の何れか一項に記載された固体撮像装置。

【請求項 8】

さらに、前記第二の変換部による変換の後、前記画素信号から前記第一および第二のビット長のデジタル信号に相当するアナログ信号を減算し、その減算結果のアナログ信号を第三のビット長のデジタル信号に変換する第三の変換部を有することを特徴とした請

50

求項1から請求項7の何れか一項に記載された固体撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アナログディジタル変換装置を有する固体撮像装置に関する。

【背景技術】

【0002】

固体撮像装置には、垂直信号線の出力に備えられた列並列型のアナログディジタル変換装置（以下、ADC）を有するものがある。ADCには、シングルスロープを用いたカウンタランプ型のADCや、逐次比較型のADCが用いられる。

10

【0003】

特許文献1は、アナログ信号をnビットのデジタル信号に変換する際に二つのADCを用いる発明を記載する。つまり、第一のADCにより上位mビットのアナログディジタル変換（以下、AD変換）を行い、mビットのデジタル信号をデジタルアナログ変換（以下、DA変換）する。そして、DA変換結果の信号値を減算したアナログ信号を第二のADCに入力して、下位n-mビットのAD変換を行う。

【0004】

つまり、特許文献1の技術は、nビットのAD変換を行う際に、ビット長mのAD変換を第一のADCによって行い、ビット長n-mのAD変換を第二のADCによって行うことで、AD変換を分離してAD変換に要する時間を短縮する。さらに、特許文献1の技術は、第二のADCのビット長n-mビットに対応する電圧をキャパシタに充電することでサンプリングを行い、そのサンプリングされた電圧にゲイン処理を行う。

20

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2007-243324号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

特許文献1の第二のADCには、列ごとに定電流源が設けられている。この定電流源の電流がばらつけば、キャパシタの充電量（電荷量）がばらつき、変換誤差が発生する。つまり、特許文献1における定電流源の電流のばらつきは、列ごとに異なる変換誤差を与え、列ごとに異なる縦線状のノイズとして再現される。言い替えれば、定電流源の電流のばらつきは、固体撮像装置が出力する画像の画質悪化を招く。

30

【0007】

本発明は、電流源が供給する電流のばらつきを抑制し、アナログディジタル変換における変換誤差を低減することを目的とする。

【課題を解決するための手段】

【0008】

本発明は、前記の目的を達成する一手段として、以下の構成を備える。

40

【0009】

本発明の1つの側面にかかる固体撮像装置は、画素信号を出力する画素と、前記画素信号を第一のビット長のデジタル信号に変換する第一の変換を行なう第一の変換部と、前記画素信号から、前記第一のビット長のデジタル信号に相当するアナログ信号を減算した結果のアナログ信号を、第二のビット長のデジタル信号に変換する第二の変換を行なう第二の変換部とを有し、前記第二の変換部は、電流源と、第一の容量とを有し、前記第一の変換の後、前記第一の容量に前記減算した結果のアナログ信号が充電され、前記第一の容量に充電された前記アナログ信号と基準電圧の比較に基づき前記第二の変換が行われ、前記第一の変換の後、前記第二の変換を開始するまでの期間に、前記電流源が供給する電流により前記第一の容量を充電する期間は、前記第一の変換部の動作クロックの一周期以上

50

であることを特徴とする。

【発明の効果】

【0010】

本発明によれば、電流源が供給する電流のばらつきを抑制し、アナログディジタル変換における変換誤差を低減することができる。

【図面の簡単な説明】

【0011】

【図1】実施例1のADCを有する固体撮像装置の回路構成例を説明するブロック図。

【図2】固体撮像装置の駆動方法を説明するタイミングチャート。

【図3】ステートマシンの構成例を説明するブロック図。

10

【図4】実施例2におけるステートマシンを構成例を説明するブロック図。

【図5】実施例2の固体撮像装置の駆動方法を説明するタイミングチャート。

【図6】実施例3のADCを有する固体撮像装置の回路構成例を説明するブロック図。

【図7】実施例3の固体撮像装置の駆動方法を説明するタイミングチャート。

【図8】変形例の固体撮像装置の駆動方法を説明するタイミングチャート。

【図9】実施例4のADCを有する固体撮像装置の回路構成例を説明するブロック図。

【図10】実施例4の固体撮像装置の駆動方法を説明するのタイミングチャート。

【発明を実施するための形態】

【0012】

本発明にかかる実施例の説明に先立ち、特許文献1に示された構成で生じ得る、列ごとの定電流源の電流がばらつく主な原因を説明する。トランジスタを電流源に用いた場合のドレイン電流 I_d は一般に下式で表される。

$$I_d = \mu C_{ox}(W/L)(|V_{GS}| - |V_T|)2/2 \quad \dots (1)$$

ここで、 μ は電子移動度、

C_{ox} はゲート酸化膜厚、

W はゲート幅、

L はゲート長、

V_{GS} はゲートソース間電圧、

V_T は閾値電圧。

【0013】

20

各列のトランジスタの閾値電圧 V_T はばらつきをもつため、仮に他のパラメータがすべて等しいとしても、トランジスタごとにドレイン電流 I_d はばらつくことになる。

【0014】

さらに、電流源に使用する場合、ゲートソース間電圧 V_{GS} を一定にする必要があるが、実際には、ゲートソース間電圧 V_{GS} も一定にはならない。これは各列のトランジスタに同じゲート電圧、ソース電圧を供給しようとしても、実際には、列ごとに異なる電圧が印加されるからである。

【0015】

例えば200万画素のセンサの場合、列数は約2000列である。仮に、各列に $5\mu A$ の定電流を流したとすると、全列に流れる電流の和は $10mA$ である。電流源をPMOSトランジスタ構成する場合、ソース電圧は電源電圧になり、理想的には全列同じ電圧がソースに印加される。各列のトランジスタのソースを接続する配線には配線抵抗が存在し、例えば、列の先端と列の中央の間に於いて電源配線の抵抗値が 5Ω とする。この場合、列の先端と列の中央では約 $50mV$ の電圧降下が発生する。一方、ゲートには電流が流れないとゲート電圧は電圧降下せず、列の中央のゲートソース間電圧 V_{GS} は、列の先端のゲートソース間電圧 V_{GS} に比べて $50mV$ 低下する。つまり、式(1)で示されるドレイン電流 I_d は、列の先端に比べて列の中央で低下する。

【0016】

さらに、各列に流れているドレイン電流 I_d は電源配線の抵抗値による電圧降下によって変動する。つまり、ドレイン電流が変化すれば、その都度、ソース電圧が変化して、ソ-

40

50

スゲート間電圧 V_{GS} の変動が発生する。

【0017】

特許文献1の技術において、定電流源は、静電容量の充電が終了するとオフ状態になる。しかし、電流のオフタイミングは、第一のADCによる上位mビットのAD変換中のどのタイミングになるかは列ごとに異なる。従って、一部の列の定電流源はオフ、他の列の定電流源はオンという状態が発生する。

【0018】

例えば、全2000列の内、1000列の定電流源がオフし、残り1000列の定電流源がオンのままですると、全列に流れるドレイン電流 I_d の総和は10mAから5mAに急変する。この結果、前述した電源配線による降下電圧も急変する。つまり、特許文献1の技術において、静電容量の充電が終了するタイミング t_6 の前後において、定電流源がオンのままの列のゲートソース間電圧 V_{GS} が増加し、タイミング t_6 以降、当該列の電流は増加する。10

【0019】

先述したように、特許文献1の技術において、定電流源がオフになるタイミングは列ごとに異なり、また、撮影する被写体の輝度によって変化する。例えば一部が暗く一部が明るい被写体を撮影する場合、暗い部分に対応する列の定電流源はすぐにオフになり、明るい部分に対応する列の電流変化が発生し、画質を悪化させる。まして、他の列の受光輝度によりAD変換の変換誤差量が変化するため、画質に与える影響が大きく、その補正は難しい。20

【0020】

このような過度的な電源電圧の変動による電流変化は、各列に定電流源を配置する固体撮像装置のデータ読出回路でとくに発生しやすい問題である。また、被写体の輝度による各列の定電流源のオフのタイミングに依存する点は、固体撮像装置のデータ読出回路に特有の問題である。

【実施例1】

【0021】

以下、本発明にかかる実施例のアナログディジタル変換装置(ADC)を有する固体撮像装置およびその駆動方法について図面を参照して詳細に説明する。

【0022】

なお、以下の説明においては、画素をNチャネルトランジスタで構成する例を説明する。ただし、画素をPチャネルトランジスタで構成する場合も、Nチャネルトランジスタで構成する場合に対してトランジスタに供給する電圧の極性を反転することにより、本発明を適用することができる。30

【0023】

[回路構成]

図1のプロック図により実施例1のADCを有する固体撮像装置の回路構成例を説明する。

【0024】

画素101は、光電変換により、入射光に基づくアナログ信号を生成する。なお、図1は二行二列の画素101を有するエリアセンサの構成例を示している。

【0025】

画素101において、フォトダイオード(PD)102は、光電変換により入射光量を電荷量に変換する光電変換部である。転送トランジスタ103のソースはPD102に、ゲートは転送制御線132に、ドレインはフローティングディフェージョン領域(以下、FD領域)104にそれぞれ電気的に接続される。なお、FD領域104は、PD102から転送トランジスタ103を介して転送された電荷を保持する領域である。40

【0026】

リセットトランジスタ105のソースはFD領域104に、ゲートはリセット制御線131に、ドレインは電源電圧にそれぞれ電気的に接続される。增幅トランジスタ106のゲートはFD領域104に、ドレインは電源電圧に、ソースはセレクトトランジスタ107のドレインにそれぞれ電気的に接続される。セレクトトランジスタ107のゲートはセレクト制御線133に、ソース

10

20

30

40

50

スは垂直信号線108に、ドレインは増幅トランジスタ106のソースにそれぞれ電気的に接続される。

【0027】

増幅トランジスタ106は、そのゲート部であるFD領域104に保持された電荷量に基づくアナログ信号を、セレクトトランジスタ107を介して垂直信号線108に増幅出力する。リセット制御線131、転送制御線132、および、セレクト制御線133はそれぞれ行選択部130に電気的に接続される。

【0028】

負荷トランジスタ109は、そのドレインが垂直信号線108に電気的に接続され、垂直信号線108に定電流を流す定電流源として動作する。負荷トランジスタ109のゲートとトランジスタ135のゲートは電気的に接続され、両トランジスタのソースはともにグランド電圧に接続され、カレントミラー回路を形成する。トランジスタ135のゲートおよびドレインと電源電圧の間には定電流源134が電気的に接続される。

【0029】

コンパレータ110の非反転入力端子（以下、+端子）は垂直信号線108に、反転入力端子（以下、-端子）は詳細を後述する第一ランプ基準電圧140にそれぞれ電気的に接続される。コンパレータ110は、+端子の電圧V+と-端子の電圧V-を比較して、電圧V+が電圧V-よりも高い（V+ > V-）場合、信号線120にハイレベルHの電圧を出力する。また、V+ = V-の場合、信号線120にローレベルLの電圧を出力する。

【0030】

ステートマシン129は、詳細は後述するが、信号線120に電気的に接続してコンパレータ110の出力を入力し、さらに制御パルス141と142を入力し、信号121、122、123を出力する。なお、信号122と123は反転の関係にある。

【0031】

トランジスタ136のゲートとトランジスタ111のゲートは電気的に接続され、両トランジスタのソースはともに電源電圧に接続され、カレントミラー回路を形成する。トランジスタ136のゲートおよびドレインとグランド電圧の間には定電流源137が電気的に接続される。

【0032】

スイッチ112はゲートに入力される信号122によってオンオフし、スイッチ113はゲートに入力される信号123によってオンオフし、スイッチ114はゲートに入力される信号121によってオンオフする。静電容量116は、スイッチ112とスイッチ114の接続点とグランド電圧の間に電気的に接続された静電容量である。

【0033】

つまり、スイッチ112と113は、定電流源として動作するトランジスタ111のドレイン電流の供給先を静電容量116にするか、グランド電位にするかの切替部である。また、スイッチ114は、静電容量116に蓄えた電荷を放電するための機構である。つまり、静電容量116は、スイッチ114がオフの場合は電荷を蓄える（充電）か、蓄えた電荷を維持し、スイッチ114がオンの場合は蓄えた電荷をグランド電圧に放出（放電）する。

【0034】

なお、スイッチ113がオンの場合のトランジスタ111のドレイン電流の供給先はグランド電圧に限らず、トランジスタ111のドレイン電流を放出することができればよい。つまり、スイッチ113の出力側の接続先はグランド電圧に限らず、グランド電圧以外の固定電圧などの基準電位でもよいし、抵抗素子を介してグランド電圧や固定電圧に接続されていても構わない。また、定電流源としてのトランジスタ111を一つのトランジスタとして記載するが、例えばゲート接地回路を用いるとトランジスタ111のドレインソース間電圧V_{DS}を一定に保つことができ、より安定した電流を供給することができる。

【0035】

コンパレータ118の+端子は詳細を後述する第二ランプ基準電圧154に、-端子はスイッチ112、スイッチ114と静電容量116の接続点にそれぞれ電気的に接続される。+端子の電

10

20

30

40

50

圧 V_+ が - 端子の電圧 V_- よりも高い ($V_+ > V_-$) 場合、コンパレータ118は後述するカウンタ回路151にハイレベルHの電圧を出力する。また、 $V_+ = V_-$ の場合、コンパレータ118はカウンタ回路151にローレベルLの電圧を出力する。

【 0 0 3 6 】

カウンタ150は、上位mビットのAD変換を行う第一の変換部(ADC)用のカウンタであり、パルス信号152をクロックとして入力し、信号121によってカウントの停止が制御される。つまり、第一のADCは、画素信号を第一のビット長のデジタル信号にAD変換する。

【 0 0 3 7 】

カウンタ151は、下位n-mビットのAD変換を行う第二の変換部(ADC)用のカウンタであり、パルス信号153をクロックとして入力し、コンパレータ118の出力によってカウントの停止が制御される。¹⁰ つまり、第二のADCは、画素信号から第一のビット長のデジタル信号に相当するアナログ信号を減算した結果のアナログ信号を第二のビット長のデジタル信号にAD変換する。

【 0 0 3 8 】

カウンタ150と151は、カウントのリセット制御やアップダウンカウントの切り替えなどの動作を行う等の機能を有するが、本発明とは直接関係がないため、その詳細説明を省略する。また、カウンタ150と151のカウント値を読み出すために、一般に水平走査回路などを用いるが、その詳細説明を省略する。

【 0 0 3 9 】

[固体撮像装置の駆動方法]

図2のタイミングチャートにより固体撮像装置の駆動方法を説明する。²⁰

【 0 0 4 0 】

図2において、信号presはリセット制御線131に印加される信号を、信号ptxは転送制御線132に印加される信号を、信号pselはセレクト制御線133に印加される信号をそれぞれ示す。信号V_{line}は垂直信号線108の電圧を、信号COMPO1はコンパレータ110の出力信号の電圧を、信号COMPO2はコンパレータ118の出力信号の電圧をそれぞれ示す。信号V_{R1}は第一基準電圧140を、信号V_{R2}は第二ランプ基準電圧154をそれぞれ示す。信号CLK1はパルス信号152を、信号CLK2はパルス信号153をそれぞれ示す。

【 0 0 4 1 】

また、図1に示す制御パルス141、142は当該符号によって図2に示す。なお、制御パルス141、142、および、パルス信号152、153 (CLK1、CLK2) は、図示しないタイミング発生器によって生成される。また、ステートマシン129によって生成される信号121、121、123も当該符号によって図2に示す。³⁰

【 0 0 4 2 】

図1において、ハイレベル（以下、Hレベル）のパルス信号がゲートに印加されたトランジスタのソースとドレインの間が導通する（スイッチがオンになる）。一方、ローレベル（以下、Lレベル）のパルス信号がゲートに印加されたトランジスタのソースとドレインの間は電気的に遮断される（スイッチがオフになる）。勿論、Lレベルのパルス信号がゲートに印加されるとソースとドレインの間が導通するトランジスタを用いる場合、図2に示すパルス信号のHレベルとLレベルを逆転することで同様の動作が得られる。⁴⁰

【 0 0 4 3 】

次に、図2のタイミングチャートにより時刻t0から順に固体撮像装置の駆動方法を説明する。

【 0 0 4 4 】

時刻t0において、データを読み出す行の信号pselがHレベルになり、図1に示す一行目の画素101が選択された状態になる。時刻t1において、画素101に印加する信号presをHレベルにしてFD領域104をリセットレベル（ほぼ電源電圧）にする。時刻t2において、信号presをLレベルにしてFD領域104のリセットを解除する。

【 0 0 4 5 】

リセットトランジスタ105のソースとドレインの間が電気的に遮断される時に生じるチ

10

20

30

40

50

ヤージインジェクションによりFD領域104の電圧がリセットレベルより低下する。従って、増幅トランジスタ106が出力する信号の電圧が低下し、垂直信号線108の電圧V_{line}も低下する。このとき、コンパレータ110の - 端子に入力されるV_{R1}（第一ランプ基準電圧140）は、リセットレベルよりも低い電圧に設定されていて、コンパレータ110はHレベルの信号COMP01の出力を維持する。

【0046】

時刻t3において、コンパレータ110の - 端子に入力されるV_{R1}の電圧は所定の傾きをもつて上昇を開始し、第一のADC用のカウンタ150に対するCLK1（パルス信号152）の供給が開始される。なお、V_{R1}のランプ開始時刻と、クロックCLK1の供給開始時刻をt3で揃える例を説明するが、両者の開始時刻をずらせばカウント値にオフセットを与えることが可能になる。10

【0047】

時刻t4において、コンパレータ110の - 端子に入力されるV_{R1}の電圧と、垂直信号線108を介して + 端子に入力される電圧V_{line}との関係が逆転する。そのため、コンパレータ110が出力する信号COMP01はHレベルからLレベルに変化する。なお、以下では、HレベルからLレベルへの変化を「H L」、LレベルからHレベルへの変化を「L H」と表記する。

【0048】

COMP01がLレベルになると、ステートマシン129は、信号121を反転（H L）し、第一のADC用のカウンタ150のカウントが停止する。その結果、時刻t3からt4までのカウント結果が第一のADC用のカウント値として保持される。さらに、信号121の反転（H L）によってスイッチ114がオフになり、静電容量116の充電が開始される。このとき静電容量116に蓄積する電荷の増加（電圧の上昇）の傾き は次式で表される。20

$$= dV/dt = d(Q/C)/dt = I(t)/C_1 \quad \dots (2)$$

ここで、Iは充電電流、

C1は静電容量116のキャパシタンス。

【0049】

式(2)において、充電電流Iは定電流であり、時間に関係なく一定I(t)=Iと見做せる。

【0050】

時刻t5において、制御パルス141の立ち上がりで信号122が反転（H L）し、信号123が反転（L H）して、スイッチ112がオフ、スイッチ113がオンになり、静電容量116の充電が停止される。従って、傾き で上昇した静電容量116の電圧の上昇は停止し、充電停止時の電圧が保持される（図2に破線で示す）。30

【0051】

時刻t5は、ステートマシン129が、時刻t4以降に、制御パルス141のHレベルを検知したタイミングである。このタイミングに関しては、ステートマシン129の説明とともに後述する。また、時刻t4からt5までの期間Aを「充電期間」と呼ぶ。

【0052】

また、時刻t5において、信号123によりスイッチ113がオンになり、電流Iはスイッチ113を介してグランド電位へ放出される。言い替えれば、スイッチ112と113の切り替えにより、トランジスタ111から供給される定電流の接続先が静電容量116からグランド電位に変更される。この動作により、時刻t5以降もトランジスタ111から供給される定電流は遮断されることなく、常に流れ続ける。言い替えれば、スイッチ112と113による切り替え機構によって、定電流源の接続先を切り替えるため、静電容量116の充電期間が終了した後も、定電流源が供給する電流が停止されることはない。その結果、各列における充電期間の終了前後の電流変動が生じず、トランジスタ111は安定した電流を供給することができる。40

【0053】

仮に切り替え機構がなく、時刻t5においてスイッチ112がオフし、定電流源が供給する電流が停止された場合、先に述べた理由より、他の列の電圧增加の傾き が変化する。傾き が変化すれば、第二のADCの変換結果が変動することになり、AD変換誤差が発生する。

【 0 0 5 4 】

このように、本実施例においては、切り替え機構を用いて、静電容量116の充電後、定電流を放出して、定電流を安定に保つことができる。仮に列の中央において電源電圧の低下によりトランジスタ111のゲートソース間電圧 V_{GS} が変動し、列の中央において、トランジスタ111が供給する電流Iの値が低下したとする。しかし、トランジスタ111が供給する電流Iの値は、定電容量116の充電期間の終了前後において変動することはない。このため、電流Iの低下量は一定であり、補正が容易になり、AD変換誤差を低減することができる。

【 0 0 5 5 】

時刻t6において、第一のADCによるAD変換が終了し（第一のAD変換結果）、 V_{R1} （第一ランプ基準電圧140）の増加が停止し、カウンタ150に供給されるクロックCLK1も停止する。時刻t7において、第二のADC用の V_{R2} （第二ランプ基準電圧154）が所定の傾きで上昇を開始し、第二のADC用のカウンタ151に対するCLK2（パルス信号153）の供給が開始される。10

【 0 0 5 6 】

カウンタ151は、 V_{R2} の上昇開始（時刻t7）から、 V_{R2} が静電容量116が保持する電圧よりも高くなる（COMP02がL Hになる時刻t8）までの期間Bをカウントする（第二のAD変換結果）。このように、第一のADCによるAD変換の差分値を、第二のADCによるAD変換として行うことで、AD変換の分解能を上げることが可能になる。

【 0 0 5 7 】

充電期間（期間A）は、期間Bに対して短く、AD変換としてカウントを計測することが難しい。これに対して、期間Bは、期間Aよりも長く、AD変換としてカウントを計測すること容易である。また、CLK2（パルス信号153）の周波数を上げて、第二のADCにおけるAD変換の分解能を上げてもよい。20

【 0 0 5 8 】

時刻t9において、 V_{R2} の上昇が終了し、第二のADCによるAD変換が終了する。このタイミングでCLK2を停止する。同時に、制御パルス142をHレベルにして、ステートマシン129の状態を初期状態にリセットする。

【 0 0 5 9 】

時刻t10において、ステートマシン129をリセットする制御パルス142をLレベルにし、信号ptxをL Hにする。これにより、PD102で生じた電荷がFD領域104に転送される。FD領域104に保持された電荷に基づき、增幅トランジスタ106が出力する信号（以下、光電変換信号）が垂直信号線108に伝送される。FD領域104に保持された電荷に応じて、垂直信号線108の電圧 V_{Line} は低下する。PD102の光電変換は、前回の信号読出期間において信号ptxがH Lになった時刻t11から、今回の信号読出期間の時刻t10までの間に行われればよい。30

【 0 0 6 0 】

時刻t11において、信号ptxをH Lにして、PD102とFD領域104を電気的に遮断する。この後、PD102で生じた電荷に基づく信号レベルを読み出し、t3～t9と同様に、t12～t18までの動作によりAD変換を行う。t12～t18の動作は、前述したt3～t9までの動作と同様であり、その詳細説明を省略する。

【 0 0 6 1 】

このようにして、リセットレベルのAD変換と、信号レベルのAD変換を行い、両者の差分することで相関二重サンプリング(CDS)動作を実現する。この相関二重サンプリング動作は、例えばノイズレベルの変換（N変換）時にダウンカウント、信号レベルの変換（S変換）時にアップカウントを行ってもよい。また、上記では、列ごとにカウンタ150、151を用いる例を示したが、共通のカウンタを用いて、各列でそのカウント値をリセット保持用のメモリ、信号保持用のメモリに保持し、差分をとる方式を用いてもよい。40

【 0 0 6 2 】

また、垂直信号線108を直接コンパレータ110の+端子に接続する構成例を示した。しかし、垂直信号線108とコンパレータ110の間に、列ごとに、ゲインアンプを配置して、ノイズレベルおよび光電変換レベル（信号レベル）を増幅した後、コンパレータ110の+端子50

に供給してもよい。

【0063】

また、コンパレータ118の出力COMP02をステートマシン129とは別のステートマシンに接続し、第三の変換部(ADC)を用いることで第三のAD変換を行えば、AD変換の分解能さらに向上させることができる。つまり、第三のADCは、第二のADCによるAD変換の後、画素信号から第一および第二のビット長に対応するアナログ信号を減算し、その減算結果のアナログ信号を第三のビット長にAD変換する。

【0064】

【ステートマシン】

図3のブロック図によりステートマシン129の構成例を説明する。ステートマシン129は
、バッファ301、インバータ302、フリップフロップ303を有する。

10

【0065】

フリップフロップ303のクロック入力端子には制御パルス141が、非同期リセット端子には制御パルス142が、D端子にはコンパレータ110の出力信号120(COMP01)がそれぞれ入力される。従って、フリップフロップ303は、信号COMP01がLレベルになると、制御パルス141の立ち上がりに同期してLレベルの信号122を出力する。インバータ302は、信号122を反転した信号123を出力する。また、バッファ301は、信号COMP01を信号121として出力する。信号121は、制御パルス141には同期されない。つまり、制御パルス141は、第一のADCを構成するステートマシン129の動作クロックとして機能する。

【0066】

20

このように、過度的な電源電圧の変動による電流変動の影響を受け難く、精度が高いAD変換を実現することができる。

【実施例2】

【0067】

以下、本発明にかかる実施例2のADCを有する固体撮像装置およびその駆動方法を説明する。なお、実施例2において、実施例1と略同様の構成については、同一符号を付して、その詳細説明を省略する。

【0068】

図4のブロック図により実施例2におけるステートマシン129を構成例を説明する。

【0069】

30

実施例2におけるステートマシン129には、フリップフロップ304が追加されている。フリップフロップ303は、信号COMP01がLレベルになり、制御パルス141が立ち上がるるとLレベルの信号を出力する。フリップフロップ304は、フリップフロップ303の出力がLレベルになり、制御パルス141が立ち上がるるとLレベルの信号122を出力する。つまり、信号COMP01がLレベルになり、制御パルス141の二回分の立ち上がりを経て、制御信号141に同期したLレベルの信号122とHレベルの信号123が出力される。

【0070】

図5のタイミングチャートにより実施例2の固体撮像装置の駆動方法を説明する。

【0071】

静電容量116の充電期間(期間A)は、信号121が立ち下り、信号122が立ち下がるまでの期間である。実施例2において期間Aは、制御パルス141の周期に換算すると、最小でも一周期より長く、最大で二周期を僅かに超える期間になる。

40

【0072】

充電期間は、スイッチ114のオフにより開始されるが、スイッチ114のオフ直後は信号121がH-Lになったことによる電圧変動の影響などを受けて、トランジスタ111が供給する電流がばらつく可能性がある。しかし、制御パルス141の一周期の間に当該電流が安定すれば第二のADCにおけるAD変換誤差にはならない。仮に、制御パルス141の一周期の間に当該電流が安定しない場合、ステートマシン129にフリップフロップをもう一つ追加して、期間Aを制御パルス141の二周期以上にすればよい。

【0073】

50

このように、静電容量116の充電期間の最小値を所定期間以上に制御して、充電開始時のトランジスタ111が供給する電流の変動が安定するまで充電期間を伸ばすことで、変動期間分をオフセット分として除去することができる。それにより、AD変換精度が向上する。

【0074】

また、静電容量116の充電期間の最小値を制御パルス141の一周期以上にすることで、約一周期分のオフセット充電量が発生し、これは第二のADCのAD変換結果のオフセットになる。しかし、このオフセット充電量は、リセットレベルのAD変換においても、信号レベルのADの変換においても、同様に、オフセット充電量であり、前述したCDS動作により削除することができる。

10

【実施例3】

【0075】

以下、本発明にかかる実施例3のADCを有する固体撮像装置およびその駆動方法を説明する。なお、実施例3において、実施例1、2と略同様の構成については、同一符号を付して、その詳細説明を省略する。

【0076】

図6のブロック図により実施例3のADCを有する固体撮像装置の回路構成例を説明する。実施例3の構成は、図1の構成に加えて、ゲートに制御パルス124が入力され、ドレインがスイッチ113のソースに、ソースがグランド電位にそれぞれ電気的に接続されたスイッチ115を有する。さらに、スイッチ115とスイッチ113の接続点とグランド電位の間に電気的に接続された静電容量117を有する。なお、制御パルス124は、図示しないタイミングジェネレータによって生成される。

20

【0077】

つまり、実施例3の切り替え機構は、スイッチのオンオフによって、トランジスタ111が供給する電流の供給先を、静電容量116（第一の静電容量）と静電容量1117（第二の静電容量）の間で切り替える。

【0078】

また、コンパレータ118の+端子は、実施例1におけるVR2（第二ランプ基準電圧154）の代わりに、スイッチ115と静電容量117の接続点に電気的に接続される。

30

【0079】

図7のタイミングチャートにより実施例3の固体撮像装置の駆動方法を説明する。

【0080】

時刻t0～t4の期間は、実施例1と同じ動作であり、その詳細説明を省略する。

【0081】

時刻t5において、制御パルス141の立ち上がりで信号122が反転（H→L）し、信号123が反転（L→H）して、スイッチ112がオフ、スイッチ113がオンになり、静電容量116の充電が停止される。従って、傾きで上昇した静電容量116の電圧Vc1の上昇は停止し、充電停止時の電圧Vc1が保持される（図7の破線のVcとして示す）。

【0082】

なお、時刻t5は、ステートマシン129が、時刻t4以降に、制御パルス141のHレベルを検知したタイミングであるが、このタイミングの詳細は実施例1で説明したとおりである。また、時刻t4からt5までの期間Aを「第一の充電期間」と呼ぶ。

40

【0083】

また、時刻t5において、実施例3においては、信号123によりスイッチ113がオンになる。つまり、実施例3の切り替え機構により、トランジスタ111が供給する電流の供給先が第一の容量側から第二の容量側へ変更される。ただし、この時点では、制御パルス124がHレベルのため、スイッチ115はオンであり、電流Iによって第二の静電容量は充電されることなく、スイッチ115を介してグランド電位に放出される。つまり、電流Iは、二つのスイッチ113と115を介してグランド電位に放出される。この動作により、時刻t5以降もトランジスタ111から供給される定電流は遮断されることなく、常に流れ続ける。言い替えれば、

50

スイッチ112、113、115による切り替え機構によって、定電流源の接続先を切り替えるため、第一の静電容量の充電期間が終了した後も、定電流源が供給する電流が停止されることはない。その結果、各列における充電期間の終了前後の電流変動が生じず、トランジスタ111は安定した電流を供給することができる。

【0084】

時刻t6において、第一のADCによるAD変換が終了し（第一のAD変換結果）、 V_{R1} （第一ランプ基準電圧140）の増加が停止し、カウンタ150に供給されるクロックCLK1も停止する。

【0085】

時刻t7において、制御パルス124がL→Hに変化してスイッチ115がオフになり、第二の静電容量の充電が開始される（図7に実線の V_c として示す）。なお、第二の静電容量の充電により、画素の列ごとに独立したランプ基準電圧 V_{R2} が生成される。第一の静電容量116の電圧上昇の傾きと、第二の静電容量117の電圧上昇の傾きの間には次の関係が成り立つ。
10

$$= I(t)/C_2 = C_1 \cdot /C_2 = \cdot C_1/C_2 \quad \dots(3)$$

ここで、C1は第一の静電容量116のキャパシタンス、
C2は第二の静電容量117のキャパシタンス。

【0086】

例えば、キャパシタンスの比C1:C2が1:4だとすると、第一の充電期間（期間A）に対する第二の充電期間（t7~t8の期間B）の関係は次式で表される。

$$A:B = C_1:C_2 = 1:4 \quad \dots(4) \quad 20$$

【0087】

つまり、この例では、第二の充電期間は、第一の充電期間の四倍になる。従って、第二の充電期間のカウントを第二のADCのAD変換として計測することで第二のAD変換として2ビットのAD変換を行うことができる。一方、第一の充電期間は、第二の充電期間に対して短く、AD変換としてカウントを計測することが難しい。

【0088】

勿論、第一の静電容量C1と第二の静電容量C2のキャパシタンス比を1:8や1:16などに変更して、第二の充電期間をさらに長くすることもできる。そうすれば、より精度が高い第二のADCによるAD変換が可能になり、第二のADCのビット数を上げることができる。

【0089】

時刻t9以降の動作は、実施例1と同様であり、詳細説明を省略する。

【0090】

実施例3において、第二のADCのAD変換精度は、キャパシタンス比C1:C2によって決定する。これは、前述した式(2)(3)における傾きと の関係から明らかであり、トランジスタ111が供給する電流Iに依存しない。従って、AD変換精度は電流変動の影響を受け難く。このため、電流Iのばらつきを同じ電流Iでキャンセルすることができ、より精度の高いAD変換を行うことが可能になる。

【0091】

一般に、半導体の製造においては、トランジスタのIdのばらつきよりも、静電容量の相対精度の方がばらつきを小さくすることができる。この点を考慮しても精度の高いAD変換が可能になる。さらに、静電容量の相対精度は、一般に、トランジスタのIdばらつきよりも電源電圧や温度に関する変動が小さく、動作条件の違いによる変動が小さいAD変換が可能になる。

【0092】

[変形例]

図6に示す構成に、図4に示す構成のステートマシン129を適用することが可能である。図8のタイミングチャートにより変形例の固体撮像装置の駆動方法を説明する。

【0093】

このような構成によれば、実施例2と同様に、第一の静電容量の第一の充電期間（期間A）は、信号121が立ち下り、信号122が立ち下がるまでの期間である。従って、第一の充電
40
50

期間は、制御パルス141の周期に換算すると、最小でも一周期より長く、最大で二周期を僅かに超える期間になる。

【0094】

つまり、第二の静電容量を用いる方式においても、第一の充電期間の最小値を所定期間以上に制御して、充電開始時のトランジスタ111が供給する電流の変動が安定するまで充電期間を伸ばすことで、変動期間分をオフセット分として除去することができる。それにより、AD変換精度が向上する。

【実施例4】

【0095】

以下、本発明にかかる実施例4のADCを有する固体撮像装置およびその駆動方法を説明する。
なお、実施例4において、実施例1-3と略同様の構成については、同一符号を付して、
その詳細説明を省略する。

【0096】

図9のブロック図により実施例4のADCを有する固体撮像装置の回路構成例を説明する。
実施例4の構成は、図6の構成に加えて、トランジスタ111が供給する電流を切り替える構成（電流の制御部）を有する。

【0097】

トランジスタ401は、ドレインとゲートが定電流源402に、ソースが電源電圧にそれぞれ電気的に接続されている。制御パルス410がゲートに印加されるスイッチ403は、制御パルス410がLレベルの場合にソースとドレインの間が導通（オン）する。スイッチ403がオン状態において、トランジスタ401とトランジスタ136は一つのトランジスタと見做すことができる。また、スイッチ403がオフ状態において、トランジスタ401は、トランジスタ136とトランジスタ111が構成する回路から切り離される。

【0098】

トランジスタ404は、ドレインとゲートが定電流源405に、ソースが電源電圧にそれぞれ電気的に接続されている。制御パルス411がゲートに印加されるスイッチ406は、制御パルス411がLレベルの場合にソースとドレインの間が導通（オン）する。スイッチ406がオン状態において、トランジスタ404とトランジスタ401は一つのトランジスタと見做すことができる。また、スイッチ403がオフ状態において、トランジスタ404は、トランジスタ401が構成する回路から切り離される。なお、制御パルス410、411は、図示しないタイミング発生器により発生される。

【0099】

例えば、トランジスタ401とトランジスタ136のサイズ比を3:1、定電流源402と定電流源137の電流比を3:1とする。さらに、スイッチ403がオンのときにカレントミラーを形成する回路に流れる電流をI2、スイッチ403がオフのときに流れる電流をI1とする。この場合の電流値の比は下式で表される。

$$I_1 : I_2 = 1 : 4 \quad \dots (5)$$

【0100】

例えば、トランジスタ404とトランジスタ136のサイズ比を4:1、定電流源405と定電流源137の電流比を4:1とする。さらに、スイッチ403とスイッチ406がオンのときにカレントミラーを形成する回路に流れる電流をI3、スイッチ403とスイッチ406がオフのときに流れる電流をI1とする。この場合の電流値の比は下式で表される。

$$I_1 : I_3 = 1 : 8 \quad \dots (6)$$

【0101】

つまり、スイッチ403のオンオフ、さらにスイッチ406のオンオフによりトランジスタ111が供給する電流を制御して所定の電流値の比率を有するI1、I2またはI3に切り替えることができる。

【0102】

図10のタイミングチャートにより実施例4の固体撮像装置の駆動方法を説明する。

【0103】

10

20

30

40

50

時刻t0からt20において、制御パルス411はHレベル（スイッチ406がオフ）、制御パルス410はLレベル（スイッチ403がオン）であり、トランジスタ111が供給する電流はI2である。第一のADCによるAD変換が終了した後の時刻t20において制御パルス410をL-Hにすると、トランジスタ111が供給する電流はI1になり、上記の比率に従えばトランジスタ111が供給する電流は1/4に減少する。第一の充電期間（期間A）における電圧の上昇率と、第二の充電期間（期間B）における電圧の上昇率の関係は下式で示される。

$$\begin{aligned} &= dVc1/dt = d(Q/C)/dt = I2(t)/C1 \\ &= I1(t)/C2 = I2(t)/4C2 = C1/4C2 \end{aligned}$$

ここで、C1 : C2 = 1 : 1 とすると、

$$= /4 \quad \dots (7) \quad 10$$

ここで、C1は第一の静電容量116のキャパシタンス、C2は第二の静電容量117のキャパシタンス。

【0104】

さらに、図10に破線で示すように、時刻t0からt20の期間における制御パルス411をLレベルにすると、時刻t0からt20において、トランジスタ111が供給する電流はI3になる。そして、時刻t20において制御パルス411もL-Hにすると、トランジスタ111が供給する電流はI1になり、上記の比率に従えばトランジスタ111が供給する電流は1/8に減少する。この場合のとの関係は下式で表される。

$$= /8 \quad \dots (8)$$

ただし、C1 : C2 = 1 : 1。 20

【0105】

つまり、トランジスタ111が供給する電流を制御することにより、第一の充電期間に比べて第二の充電期間の長さを所定倍（上記では四または八倍）に制御することができる。例えば、撮影モードに応じてトランジスタ111が供給する電流を制御して、AD変換精度を変更することが可能になる。

【0106】

実施例1と同様に、第二の充電期間のカウントを第二のADCによるAD変換として計測することにより、第二のADCによるAD変換として2ビットのAD変換を行うことができる。第二の充電期間は第一の充電期間よりも長いため、AD変換としてカウントすることが可能になる。30

【0107】

また、実施例4によれば、第二のADCのAD変換精度は電流比I1 : I2（またはI1 : I3）で決定する。そして電流比を生成する回路は列回路ではなく、先述した配線抵抗による電源電圧の低下の影響を受け難い。従って、ゲートソース間電圧V_{GS}を一定に保つことが容易で安定した電流比が得られる。また、過度的な電源電圧の変動による電流ばらつきに関しても、第一の充電期間と第二の充電期間の切り替えタイミングt20のみの発生に限られる。

【0108】

このように、電流ばらつきの影響を受け難い第二のADCによるAD変換を行うことができる上、解像度の必要性に応じて第二のADCによるAD変換の分解能を切り替えることができる。40

【0109】

なお、実施例3では静電容量の比、実施例4では電流比によって、第一の充電期間と第二の充電期間の比を設定する例を示したが、これらを組み合わせて、充電期間の比を制御しても構わない。

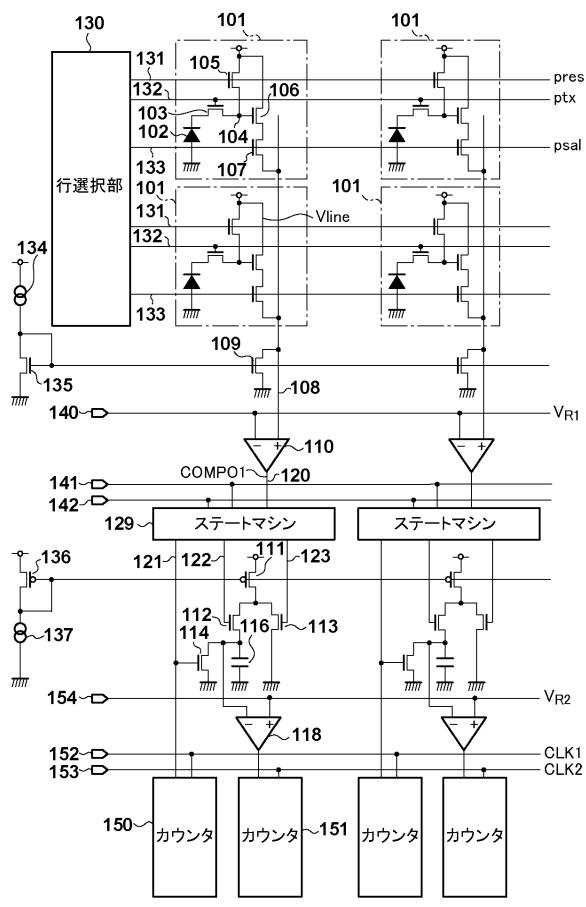
【0110】

なお、トランジスタ136に対して、電流切替用のトランジスタ401と404を配置する例を示したが、電流切替用のトランジスタは列ごとに設けてよい。これは、時刻t5において電流の供給先を切り替るときは電流変動が抑制されており、時刻t20で電流の供給先を切り替えるときは電源電圧の変動が生じるが、全列同時の動作のため、列ごとのばらつきにはならないからである。50

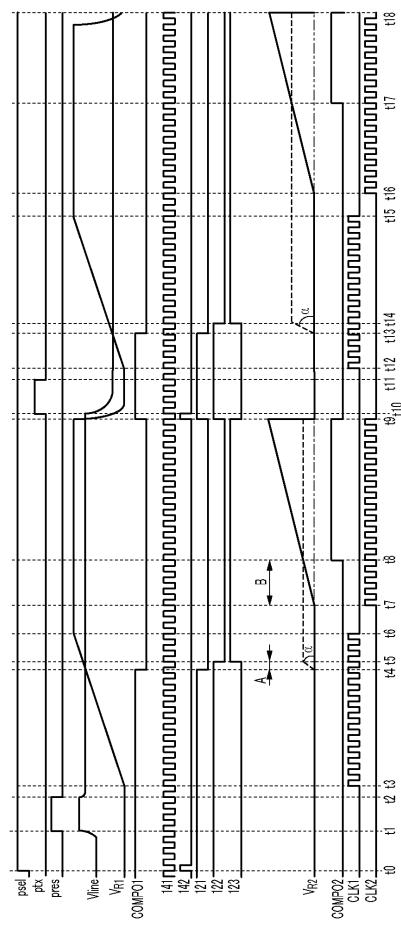
【 0 1 1 1 】

また、図10には、時刻t10において、制御パルス410をH→Lにする例を示したが、このタイミングはこの限りではない。リセットレベルの変換が終了し、光電変換レベルの変換が開始されるまでの期間、つまり時刻t9～t12の間であれば何時でも構わない。

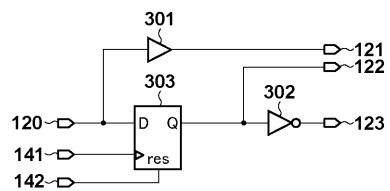
【 図 1 】



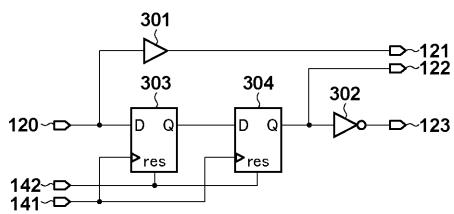
【 図 2 】



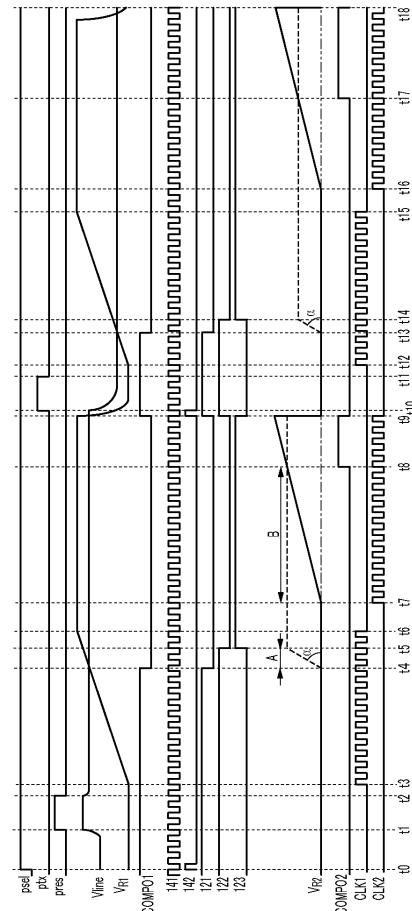
【図3】



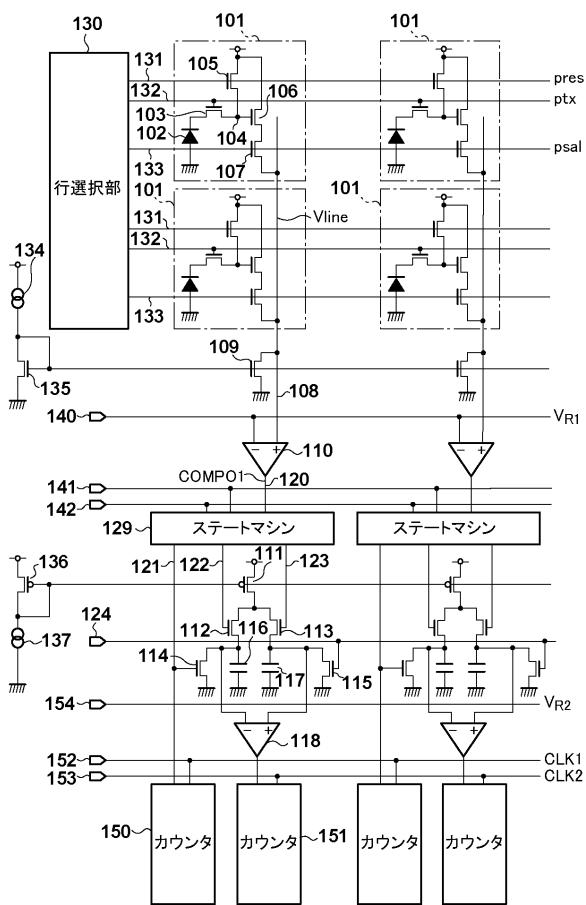
【図4】



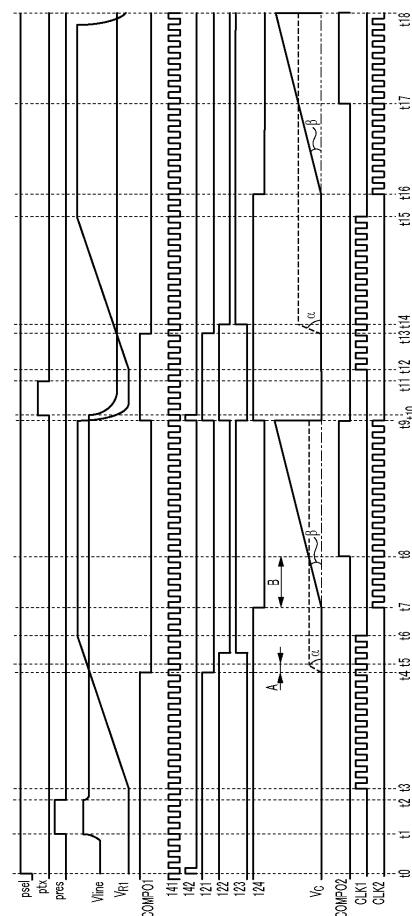
【図5】



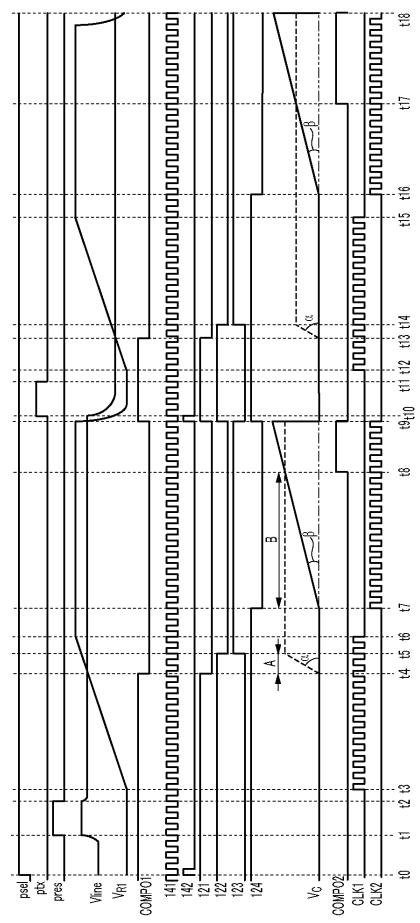
【図6】



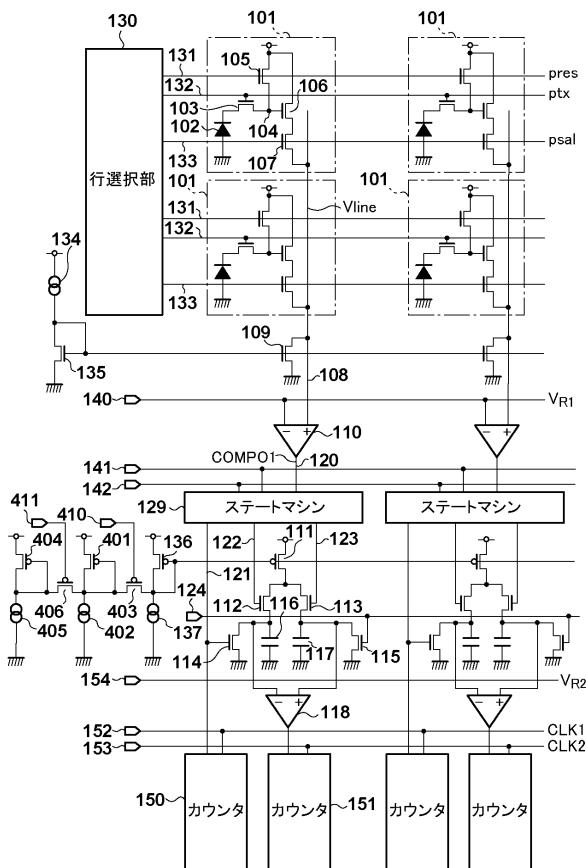
【図7】



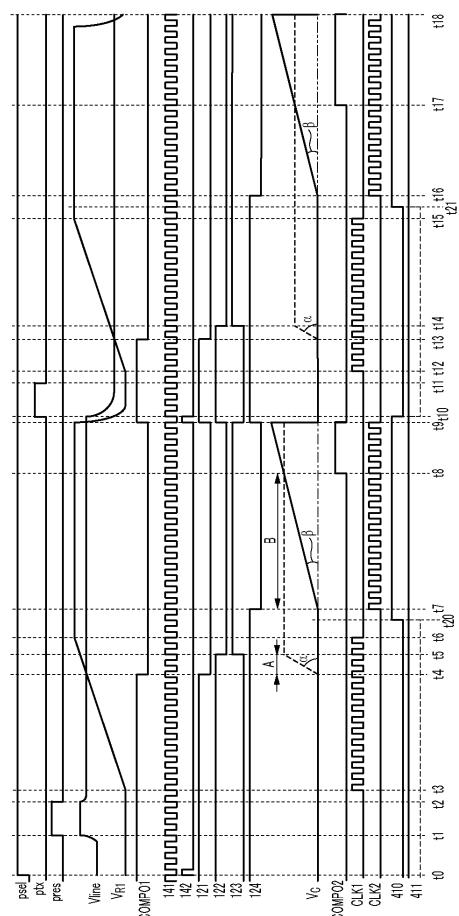
【図8】



【図9】



【図10】



フロントページの続き

(72)発明者 山崎 和男

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 鈴木 肇

(56)参考文献 特開2007-243324(JP,A)

特開平10-285038(JP,A)

特開平09-247494(JP,A)

特開2009-033305(JP,A)

特開2010-245660(JP,A)

特開平11-053255(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/378

H03M 1/00 - 1/88