

# 公告本

|      |                             |
|------|-----------------------------|
| 申請日期 | 90 年 3 月 20 日               |
| 案 號  | 90106458                    |
| 類 別  | H05J1/6 G05F1/0 3/6 H05M1/2 |

A4  
C4

533644

(以上各欄由本局填註)

## 發明專利說明書

|             |               |                                                                                                      |
|-------------|---------------|------------------------------------------------------------------------------------------------------|
| 一、發明<br>名稱  | 中 文           | 半導體積體電路裝置及非接觸型電子裝置                                                                                   |
|             | 英 文           |                                                                                                      |
| 二、發明<br>創作人 | 姓 名           | (1) 渡邊一希<br>(2) 吉野亮三<br>(3) 山本師久                                                                     |
|             | 國 籍           | (1) 日本 (2) 日本 (3) 日本<br>(1) 日本國東京都千代田區丸之內一丁目五番一號<br>新丸大樓日立製作所(股)知的所有權本部內                             |
|             | 住、居所          | (2) 日本國東京都千代田區丸之內一丁目五番一號<br>新丸大樓日立製作所(股)知的所有權本部內<br>(3) 日本國東京都千代田區丸之內一丁目五番一號<br>新丸大樓日立製作所(股)知的所有權本部內 |
|             |               |                                                                                                      |
| 三、申請人       | 姓 名<br>(名稱)   | (1) 日立製作所股份有限公司<br>株式会社日立製作所<br>(2) 日立超愛爾・愛斯・愛・系統股份有限公司<br>株式会社日立超エル・エス・アイ・システムズ                     |
|             | 國 籍           | (1) 日本 (2) 日本<br>(1) 日本國東京都千代田區神田駿河台四丁目六番<br>地                                                       |
|             | 住、居所<br>(事務所) | (2) 日本國東京都小平市上水本町五丁目二二番一<br>號                                                                        |
|             | 代 表 人<br>姓 名  | (1) 庄山悦彦<br>(2) 小切間正彦                                                                                |

|      |               |
|------|---------------|
| 申請日期 | 90 年 3 月 20 日 |
| 案 號  | 90106458      |
| 類 別  |               |

A4  
C4

(以上各欄由本局填註)

| 發 明 專 利 說 明 書 |               |                                                                   |
|---------------|---------------|-------------------------------------------------------------------|
| 一、發明<br>名稱    | 中 文           |                                                                   |
|               | 英 文           |                                                                   |
| 二、發明<br>創作人   | 姓 名           | (4) 木野田一<br>(5) 龜井圭司                                              |
|               | 國 籍           | (4) 日本 (5) 日本<br>(4) 日本國東京都千代田區丸之內一丁目五番一號<br>新丸大樓日立製作所(股)知的所有權本部內 |
|               | 住、居所          | (5) 日本國東京都小平市上水本町五丁目二番一<br>號日立超愛爾、愛斯、愛、系統(股)內                     |
| 三、申請人         | 姓 名<br>(名稱)   |                                                                   |
|               | 國 籍           |                                                                   |
|               | 住、居所<br>(事務所) |                                                                   |
|               | 代 表 人<br>姓 名  |                                                                   |

(由本局填寫)

|          |
|----------|
| 承辦人代碼：   |
| 大類：      |
| I P C分類： |

A6  
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權  
日本 2000 年 3 月 28 日 2000-088800 ☒有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

## 五、發明說明(1)

### (發明之背景)

本案發明係有關於半導體積體電路裝置及非接觸型電子裝置。主要乃有關於非接觸型 IC 卡，及載置於它之半導體積體電路裝置之利用安定之電源回路之有效之技術。

近年來載置半導體積體電路裝置之所謂 IC 卡開始普及。IC 卡係在於讀取寫入器與半導體積體電路裝置之間實施資訊之交換，而實現現在用磁碟所實施之同等之種種機能。在其外部不具備爲了供給訊號或電壓用之電極之非接觸型 IC 卡乃對於載置於它之半導體積體電路裝置以載置於 IC 卡之天線而受訊該讀取寫入器所供給之電磁波，將發生於天線之兩端之電壓予以整流形成內部電路之動作所必要之內部電壓。此時如果由讀取寫入器供給過多之電力，供給構成內部電路之元件之耐壓以上之電源電壓時將會破壞元件。爲了防止此時，須要監視電源電壓而控制不得供給元件之耐壓以上之電源電壓才行。

### (發明之概說)

本發明人等乃以日本專利公報特開平 1 1 - 3 5 3 0 4 1 號 ( 1 9 9 9 年 1 2 月 2 4 日公開 ) 所揭示之技術爲基礎，而檢討了如第 1 7 圖所示之電源電路。在此電路乃，二極體 D 0 1 之陽極端子係連接於輸入端子 I N 1，上述二極體 D 0 1 之陰極端子係連接於輸出端子 O U T 1。二極體 D 0 2 之陽極端子係連接於連接點 N 0 4，上述二極體 D 0 2 之陰極端子係連接於輸入端子

## 五、發明說明(2)

I N 2。

在於上述輸出端子 O U T 1 與上連接點 N 0 4 之間將連接電容器 C 0 1 由而構成半波整流電路。

並且爲了內部電壓之安定化設置下述之電路。

P 通道型 M O S F E T ( 下面簡稱 P M O S 電晶體 )  
M 0 1 之源極端子係連接於輸出端子 O U T 2，該  
P M O S 電晶體 M 0 1 之漏極端子係連接於上述連接點  
N 0 4。上述輸出端子 O U T 1 與輸出端子 O U T 2 之間  
將串聯狀態地連接構成分壓電路之電阻 R 0 1 及 R 0 2。  
形成於這些電阻 R 0 1 與 R 0 2 之連接點 N 0 1 之分壓電  
壓係供給於電壓比較電路 ( 運算放大電路 ) A 0 1 之反轉  
輸入 ( - )。

在此電壓比較電路 A 0 1 之非反轉輸入 ( + ) 係供給  
基準電壓 V R E F，該比較輸出電壓即賦加於上述  
P M O S 電晶體 M 0 1 之閘極。

於第 1 7 圖之電源電路乃，輸入於上述輸入端子  
I N 1 與 I N 2 之輸入訊號乃由該半整流電路所整流而經  
電容器 C 0 1 平順化之電壓即做爲輸出端子 O U T 1 之電  
位差 V 1 2 而可以獲得。該經平順化之電壓 V 1 2 乃設輸  
入於上述輸入端子 I N 1 及 I N 2 之輸入電壓之振幅爲  
V I N，上述二極體 D 0 1 之順方向電壓爲 V F 1，上述  
二極體 D 0 2 之順方向電壓爲 V F 2 時，上述電位 V 1 2  
將成爲 ( 式 1 )。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

### 五、發明說明 ( 3 )

$$V_{12} = V_{IN} - V_{F1} - V_{F2} \dots \dots (式1)$$

由 ( 式 1 ) 可知，當輸入電壓  $V_{IN}$  變大時，上述電位差  $V_{12}$  也會變大。所以在該輸出端子  $OUT1$  與連接點  $N04$  連接內部電路之電源端子，而將電位差  $V_{12}$  做為電源電壓而直接供給時，上述電壓位  $V_{12}$  有時會超過構成上述內部電路之元件耐壓而有發生元件破壞之情形。所以在此種過多之電力被供給時，使之不會賦加超過內部電路元件耐壓之電壓起見設置由上述  $PMOS$  電晶體  $M01$  及電壓比較電路  $A01$  等所成之電壓控制電路。

上述電壓控制電路乃，當連接於上述輸出端子  $OUT1$  與  $OUT2$  之間之電阻  $R01$  及由該電阻  $R02$  所分壓之電壓係高於基準電壓  $V_{REF}$  時 ( 絕對值係小時 )，上述電壓比較電路  $A01$  之輸出電壓係降低，而令以上述半波整流電路所形成之電壓，換言之電容量  $C01$  之電壓，減衰該閘極－源極間電壓份 ( 閾值電壓份 ) 地予以輸出。相對的，上述分壓電壓之高於基準電壓  $V_{REF}$  ( 絕對值變大 ) 時，上述電壓比較電路  $A01$  之輸出電壓對於上述輸入端子  $IN2$  之電壓而上昇，而將上述  $PMOS$  電晶體  $M01$  之閘極電壓限制於一定，由而將上述基準電壓  $V_{REF}$  與上述分壓電壓之得相一致地介著輸出端子  $OUT1$  與  $OUT2$  所傳遞之內部電路之電源電壓限制為一定。由而在於可滿足由輸出端子  $OUT1$  與  $OUT2$  所獲之輸出電壓  $V_{OUT}$  ( 式 2 ) 之點而可安定。

## 五、發明說明(4)

$$V_{OUT} = V_{REF} \times (R_{01} + R_{02}) / R_{01} \dots (式2)$$

在於上述電路動作中，藉由調整該電阻 01 與該電阻 R 02 之電阻比，由而可能將不超過內部電路之元件耐壓之電源電壓供給於內部電路。惟此乃，上述電位差 V 12 與上述輸出端子 V O U T，及上述 P M O S 電晶體 M 01 之閘極源極間電壓 V g s 1 之間可以成立(式3)時之動作者。

$$V_{12} > V_{OUT} + V_{gs1} \dots (式3)$$

而如不滿足上述(式3)之輸入端子 V I N 時，輸出電壓，即成為如(式4)，而將依存於輸入電壓。

$$V_{OUT} = V_{12} - V_{gs1} \dots (式4)$$

因此如果沒有被供給足夠之輸入端子 V I N 時，對於上述電位差 V 12 之該閘極。源極間電壓 V g s 1 所佔之比例變大，無法獲得充分之輸出電壓 V O U T。

上述 P M O S 電晶體 M 01 乃由於會賦加對應於上述輸入電壓 V I N 之比較之電壓，所以必然的使之成為高耐壓之必要。且由於須流通供給於內部電路之比較大的電流，因此閾值電壓 V g s 1 即與內部電路之 M O S F E T 比

## 五、發明說明(5)

較時很大。例如內部電路之M O S F E T乃由於元件之微細化等而可以小到0.6V程度，惟上述P M O S電晶體M O '即須估計為1.5V程度。

如上所述地電壓控制電路之電壓損失大時，即為了使內部電路正常動作用之最低輸入電壓變高，而例如非接觸型I C卡即會引起通訊距離之變短等之特性之劣化。而使之不會引起特性之劣化起見，盡可能使電源電路中之電壓損失變小之必要。

惟，在於實施整流平順化該受訊之電磁波之機構之後段連接使電源電壓安定化之機構之先前之串聯穩定器中供給於I C卡之電力之低之狀態之使電源電壓安定之機構中之電壓損失很大，因此須要將獲得該使內部電路之動作所必要之下限動作電壓之用之輸入電壓V I N加大係必要之事，所以無法延伸通訊距離之問題就會存在。

本發明之目的係在於提供具備了形成了高效率且安定之平順電壓，及實現了內部電路之安定動作之電源電路之半導體積體電路裝置，以及非接觸型電子裝置。

本發明之其他目的在於提供一種可以達成長的通訊距離之非接觸型電子裝置。

本發明之上述及其他目的以及新穎之特徵乃得由本發明之詳細說明及附圖而會清楚的瞭解者。

依本發明之一側面乃，對於第1及第2輸入端子賦加交流電壓，對於上述第2輸入端子連接漏極（或集極），藉由閘極（或基極）與漏極（或集極）之介著電阻機構所

## 五、發明說明(6)

連接之整流電晶體而對於上述第1與第2輸入端子之間流通整流電流，以第1電壓檢測機構，使上述第1整流電晶體之源極（或射極）側所獲得之整流電壓與規定之基準電壓得相一致地形成上述控制電壓，而以第1電壓控制電流源而形成回應於該控制電壓之電流以資供給於上述第1電阻機構者。

依本發明之其他側面時，在於具備有：自用於受訊訊號及電力之天線所受訊之電力而發生內部電壓之電源電路，及藉由上述內部電壓而動作之內部電路，及藉由上述內部電壓而動作實施介著上述天線之訊號之受訊及送訊之通訊電路之非接觸型電子裝置中，

上述通訊電路乃，將於上述天線所發生之交流電壓賦加於第1及第2輸入端子，對於上述第2輸入端子連接漏極（或集極），該閘極（或基極）與漏極（或集極）之介著電阻機構所連接之整流電晶體而對於上述第1與第2之輸入端子之間流通整流電流，藉由第1電壓檢測機構而使上述第1整流電晶體之源極（或射極）側所獲得之整流電壓之與規定之基準電壓得相一致地形成上述控制電壓，以第1電壓控制電流源形成回應於上述控制電壓之電流以資供給於上述第1電阻機構者。

### （實施例之說明）

第1圖表示載置於本發明之半導體積體電路裝置之電源電路之一實施例之基本電路構成圖。同圖之各電路元件

## 五、發明說明(7)

及電路方塊乃藉由習知之半導體積體電路裝置之製造技術而形成於例如單晶矽等之一個半導體基板上。

第1圖中，二極體D11之陽極端子係連接於輸入端子IN1，上述二極體D11之陰極端子即連接於輸出端子OUT1。PMOS二極體M12之陽極端子係連接於輸出端子OUT2，上述PMOS二極體M12之漏極端子即連接於輸入端子IN2，上述PMOS二極體M12之閘極端子係連接於連接點N15，上述連接點N15與上述輸入端子IN2即連接有電阻R13於是構成半波整流電路。

於上述輸出端子OUT1與上述輸出端子OUT2之間設置平順用之電容器C1，同時設置用於檢測出上述輸出端子OUT1及上述輸出端子OUT2之被平順之輸出電壓VOU而形成回應於上述輸出電壓VOU之變化之檢測電壓之電壓檢測電路G11。此電壓檢測電路G11之輸出端子係連接於連接點N13。此連接點N13係連接於電壓控制電源G12之控制輸入端子。所以電壓控制電源G12乃由於上述電壓檢測電路G11所形成之檢測電壓來實施變化電流之動作。上述電壓控制電源G12乃設於上述輸出端子OUT1與上述連接點N15之間。

連接於上述輸出端子OUT1與上述輸出端子OUT2之間之上述電壓檢測電路G11乃檢測出上述輸出端子OUT1與上述輸出端子OUT2之電位差，換言

## 五、發明說明( 8 )

之檢測出輸出電壓  $V_{OUT}$  之較規定之電壓而以絕對值地變大，而將該電壓檢測訊號輸出於上述連接點  $N_{13}$ ，回應於此種電壓檢測訊號而由上述電壓控制電源  $G_{12}$  形成電流，從上述輸出端子  $OUT_1$  而經介上述連接點  $N_{13}$  流通於上述電阻  $R_{13}$ 。

由上述電壓控制電源  $G_{12}$  所供給之電流，而在上述電阻  $R_{13}$  之兩端會發生上述連接點  $N_{15}$  之對於上述輸入端子  $IN_2$  之電位差  $V_D$ 。由輸出端子  $OUT_2$  之電壓乃對於上述輸入端子  $IN_2$  而成為較上述 P M O S 電晶體  $M_{11}$  之閘極源極間電壓  $V_{gs2}$  與上述電壓  $V_D$  之和之份量 ( $V_D + V_{gs2}$ ) 地高之電壓。換言之輸出端子  $OUT_2$  之電壓乃以上述輸出電壓  $OUT_1$  之電位為基準時，上述連接點  $N_{15}$  之電壓，換句話說對於 P M O S 電晶體  $M_{12}$  之閘極電壓而被限制成為該閘極源極間電壓 (閾值電壓)  $V_{gs2}$  份量地，絕對值而言被減小之電壓。

由於上述電壓  $V_D$  係對應於電壓檢測電路  $G_{11}$  之輸出電壓地被控制，因此如果在於上述輸入端子  $IN_1$  與輸入端子  $IN_2$  之間被賦加過多之輸入電壓時，上述電壓  $V_D$  變大，而使上述輸出電壓  $V_{OUT}$  會被變小地被施予負回饋，而輸入電壓變小時，流通於上述電阻  $R_{13}$  之電流變小，將上述電壓  $V_D$  會變小地予以控制，而上述輸出電壓  $V_{OUT}$  即會變大地被施予負回饋。

在本實施例中，賦加於上述輸入端子  $IN_1$  及  $IN_2$  之輸入電壓之未達到上述所欲之輸出端子  $OUT$  之小值時

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明( 9 )

，上述電壓檢測電路 G 1 1 乃會形成例如對於上述電壓控制電源 G 1 2 不流通電流之控制電壓，因此在上述電阻 R 1 3 不會有電流之流通。在此狀態下，P M O S 電晶體 M 1 2 之閘極（連接點 N 1 5）及漏極（輸入端子 I N 2）即由上述電阻 R 1 3 而被形成為同電位，因此上述輸出端子 O U T 2 之對於上述輸入端子 I N 2 之電位差將成為只有上述閘極、源極間電壓  $V_{gs2}$ 。所以與上述第 1 6 圖之電源電路比較時，可以令整流二極體 D 0 2 之順方向電壓份地減少電壓損失。

以另一觀點來說，於本實施例乃，以一個 P M O S 電晶體 M 1 2 來兼任整流機能及電壓安定化機能，換言之，以上述 P M O S 電晶體 M 1 2 來構成整流電路之二極體，由而減少電路元件數，同時對應於輸出電壓  $V_{OUT}$  來控制上述 P M O S 電晶體 M 1 2 之閘極・漏極間電壓，由而如有過多之輸入電力之被供給時即對於內部電路不會賦加過多之電壓地加以限制，相反的反如果輸入電力小時，即可能抑制由被控制元件所致電壓損失者。

第 2 圖表示本發明之載置於半導體積體電路裝置之電源電路之其他之一實施例之基本的電路構成圖。本實施例乃使整流機能成為全波整流之構成。本實施例乃將追加對於上述第 1 圖之實施例電路來實施全波整流之下述之電路。

二極體 D 1 1，電壓控制電流源 1 2，電壓比較電路 G 1 1 及 P M O S 電晶體 M 1 2 以及電阻 R 1 3 乃與上述

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

## 五、發明說明 ( 10 )

第 1 圖之實施例者相同。而對於它，當賦加於輸入端子

I N 1 及 I N 2 之交流訊號係負極性時，換言之，對於輸入端子 I N 1 而輸入端子 I N 2 之電位高時也可以實施整流動作時，追加二極體 D 1 1，電壓控制電流源 G 1 3，P M O S 電晶體 M 1 3 及電阻 R 1 4。

上述被追加之二極體 D 1 3 之陽極端子係連接於輸入端子 I N 2，上述二極體 D 1 3 之陰極連接於輸出端子 O U T 1。

上述 P M O S 電晶體 M 1 3 之陽極端子係連接於輸出端子 O U T 2，上述 P M O S 電晶體 M 1 3 之漏極端子係連接於輸入端子 I N 1。上述 P M O S 電晶體 M 1 3 之閘極端子係連接於連接點 N 1 6。而在此連接點 N 1 6 與上述輸入端子 I N 1 之間被連接上述電阻 R 1 4。並且上述輸出端子 O U T 1 與連接點 N 1 6 之間設置上述電壓控制電流源 G 1 3。上述電壓檢測電路 G 1 1 之輸出端子乃與上述電壓控制電流源 G 1 2 及 G 1 3 之輸入端子（連接點 N 1 3）共同的被連接，而由上述電壓檢測訊號而實施上述電壓控制電流源 G 1 2 及 G 1 3 之控制。

於第 2 圖之實施例中，如上述輸入端子 I N 1 之電位係對於上述輸入端子 I N 2 之電位而低時，藉由控制上述連接點 N 1 5 之電位而控制上述輸出端子 O U T 2 之對於上述輸出端子 O U T 1 之電位。而當上述輸入端子 I N 1 之電位對於上述輸入端子 I N 2 之電位而高時，藉由控制上述連接點 N 1 6 之電位就可以控制上述輸出端子

## 五、發明說明(11)

O U T 2 之對於上述輸出端子 O U T 1 之電位，於是將上述第 1 圖之實施例之整流機能改為全波整流機能，與第 1 圖之實施例更能輸出更安定之輸出電壓 V O U T 也。

第 3 圖表示本發明之半導體積體電路裝置所載置之電源電路之另一實施例之基本電路構成圖。本實施例係爲了電路之簡化而將上述電壓控制電流源 G 1 2 及電壓控制電流源 G 1 3 予以共同化，換言之第 2 圖之實施例之上述電壓控制電流源 G 1 2 及上述電壓控制電流源 G 1 3 之中省略其一方之電壓控制電流源 G 1 3，而對應於電壓控制電流源 G 1 2 與上述 P M O S 電晶體 M 1 2 及 M 1 3 之各個之間極之連接點 N 1 5 及 N 1 6 之間即介著二極體 D 1 2 及 D 1 4 而予連接。

在於第 3 圖之實施例乃，藉由上述二極體 D 1 2 及上述二極體 D 1 4，而當上述輸入端子 I N 1 之電位對於上述輸入端子 I N 2 之電位而高時，上述電壓控制電流源 G 1 4 所流動之電流係流於上述電阻 R 1 3。而當上述輸入端子 I N 1 之電位對於上述輸入端子 I N 2 低時上述電壓控制電流源 G 1 4 所流通之電流乃流於上述電阻 R 1 4，所以一方面可以實現與上述第 2 圖之實施例同等之機能，同時可能減低電晶體之使用面積。

第 4 圖表示本發明之半導體積體電路裝置上所載置之電源電路之一實施例之電路圖。在本實施例乃顯示對應於上述第 1 圖之實施例之具體的電路。詳述之顯示爲了實現上述第 1 圖之電壓檢測器 G 1 1 及上述電壓控制電流源

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(12)

G 1 2 之用之具體的電路構成。二極體 D 1 1，P M O S 電晶體 M 1 2 及電阻 R 1 3 係與上述第 1 圖者相同，故省略其說明。又於下述之第 4 圖乃至第 9 圖所示之各實施例中即省略爲了實施上述平順動作之電容器 C 1。

上述第 1 圖之電壓比較電路 G 1 1 乃由下述之電路所構成。在於上述輸出端子 O U T 1 與 O U T 2 之間將設置分壓電阻 R 1 1 及 R 1 2。在這些分壓電阻 R 1 1 及 R 1 2 之連接點 N 1 1 所獲得之分壓電壓係供給於運算放大電路 A 1 1 之非反轉輸入(+)。在此運算放大電路 A 1 1 之反轉輸入(-)與輸出端子 O U T 1 之間即設置基準電壓源 V R E F。

上述第 1 圖之電壓控制電流源 G 1 2 乃由下述之電路所構成。於輸出端子 O U T 1 及 P M O S 電晶體 M 1 2 之閘極之被連接之連接點 N 1 5 之間，將串聯形態的連接 P M O S 電晶體 M 1 1 及二極體 D 1 2。上述二極體 D 1 2 乃，以能夠流通從上述輸出端子 O U T 1 而朝向輸入端子 I N 2 之電流地，將該陽極側連接於上述 P M O S 電晶體 M 1 1，陰極側即連接於上述連接點 N 1 5。此二極體 D 1 2 乃用於防止從輸入端子 I N 2 之朝向輸出端子 O U T 1 之不所欲之電流之流通者。

上述運算電路 A 1 1 乃比較上述連接點 N 1 1 分壓電壓 V R 與上述基準電壓源 V R E F 之基準電壓，形成對應於該電位差所形成之輸出電壓以資供給於上述 P M O S 電晶體 M 1 1 之閘極者。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 ( 13 )

本實施例乃，由連接於上述輸出端子 O U T 1 與上述輸出端子 O U T 2 之間之上述電阻 R 1 1 及上述電阻 R 1 2，而電阻分割屬於該上述輸出端子 O U T 2 之電位差之輸出電壓 V O U T，在於上述電阻 R 1 1 之兩端發生上述輸出端子 O U T 1 之對於上述連接點 N 1 1 之電位差 V R。而以上述運算放大電路 A 1 1 來比較，由上述分壓動作所致之電位差 V R 與上述輸出端子 O U T 1 之對於上述輸出端子 O U T 2 之基準電壓 V R E F，而如果上述電位 V R 之較上述基準電壓源 V R E F 而絕對值地變大時，換言之，對於運算放大電路 A 1 1 之反轉輸入 ( - ) 而非反輸入 ( + ) 之電位變低時，運算放大電路 A 1 1 之輸出電壓乃較上述 P M O S 電晶體 M 1 1 之源極電位而低該閾值電壓以上而使對應之電流流通也。

上述 P M O S 電晶體 M 1 1 乃擔任形成對應於上述運算放大電路 A 1 1 之輸出電壓之電流之電壓控制電流源之動作。而對於上述電阻 R 1 3 流通電流。由此電流而在於上述電阻 R 1 3 之兩端發生電壓下降，使上述連接點 N 1 5 之電位提高對於上述輸入端子 I N 2 較高到上述電壓之下降份量 V D 之值。所以輸出端子 O U T 2 之電壓乃被限制為以上述連接點 N 1 5 之電壓為基準，較該閘極 - 源極間電壓 ( 閾值電壓 ) V g s 2 高之電壓。

因為發生於上述電阻 R 1 3 之電壓 V D 乃對應於輸入電壓 ( I N 1 與 I N 2 之電壓差 ) 而會變大，換言之，在於運算放大電路 A 1 1 而形成可以滿足如上述 ( 式 2 ) 之

## 五、發明說明 ( 14 )

電壓，而藉由 P M O S 電晶體 M 1 1 而發生流通於電阻 R 1 3 之電流，所以當在於上述輸入端子 I N 1 與上述輸入端子 I N 2 之間會被賦加過多（過剩）之輸出電壓時，仍然可以對應於它而使發生於上述電阻 R 1 3 之電壓 V D 變大，而可以使上述輸出電壓 O U T 可滿足於上述（式 2）地使之安定化者。

當上述電壓 V R 之與上述基準電壓 V R E F 之電位差之絕對值地變小時，換言之，運算放大電路 A 1 1 之反轉輸入（-）與非反轉輸入（+）之電位之電位差變小時，運算放大電路 A 1 1 之輸出電壓係負側的變小而使流通於上述 P M O S 電晶體 M 1 1 之電流變小。於是將控制成為流通於上述電阻 R 1 3 之電流變小，上述電壓 V D 變小，而設法使上述（式 2）滿足地做動作也。

而上述電壓 V R 之與上述基準電壓源 V R E F 之電位差逆轉時，換言之，對於運算放大電路 A 1 1 之反轉輸入（-）而非反轉輸入（+）之電位變高時，運算放大電路 A 1 1 之輸出電壓乃形成對應於輸出端子 O U T 1 之輸出電壓。此時上述 P M O S 電晶體 M 1 1 係該閘極與源極電位成為大致同電位成為 O F F 狀態遮斷通至上述電阻 R 1 3 之電流。如上所述上述輸入電壓變為小於以基準電壓 V R E F 所規定之輸出電壓 V O U T 時，在上述電阻 R 1 3 沒有電流之流通，因此 P M O S 電晶體 M 1 2 係閘極與漏極成為同電位，而做為二極體狀態地實施整流動作。

## 五、發明說明 ( 15 )

所以本實施例之電源電路乃被供給了過多之電力時，可以控制對於內部電路不會賦加過多之電壓，同時如果輸入電力小時可能抑制由被控制元件所致之電壓喪失為 0 [ V ]，所以第 4 圖之實施例電路乃可以實現與第 1 圖之實施例之同等之機能者。

第 5 圖表示本發明之半導體積體電路裝置所載置之電源電路之其他之一實施例之電路圖。本實施例係顯示上述第 4 圖之實施例之變形例。本實施例中二極體 D 1 1，P M O S 電晶體 M 1 2，及電阻 R 1 3，運算放大電路 A 1 1，分壓電阻 R 1 1，R 1 2 以及基準電壓源 V R E F 係與上述第 4 圖之實施例者相同，因此省略其說明。

在此實施例乃，上述第 4 圖之實施例之二極體 D 1 2 係由 P M O S 電晶體 M 1 3 所置換。詳述之，將 P M O S 電晶體 M 1 3 之漏極端子及閘極端子連接於上述連接點 N 1 5，而上述 P M O S 電晶體 M 1 3 之源極端子連接於上述連接點 N 1 5 而構成者。由而將上述電阻 R 1 3 所流通之電流，從上述連接點 N 1 5 而可以流通於上述輸入端子 I N 2 之一方向，於是實現與第 4 圖之二極體 D 1 2 之同等之機能，如上所述以 P M O S 電晶體來構成二極體 D 1 2 時，由於直接可以利用 P M O S 電晶體因此不需要如使用 P N 接合二極體時一般不要特別之元件分離。

第 6 圖表示本發明之半導體積體電路裝置所載之電源

## 五、發明說明(16)

電路之其他實施例之電路圖。此實施例係顯示有上述第5圖之實施例之變形例。本實施例之電路元件係與上述第5圖者相同，與第5圖之電路所不同之點係，上述P M O S電晶體M 1 4係並不是如第4圖地連接成二極體形態，而變更爲將閘極端子連接於上述輸入端子I N 2者。依本構成亦可能將流通於上述電阻R 1 3之電流經由上述連接點N 1 5而流通於上述輸入端子I N 2之單方向，可以實現於上述第4圖或第5圖之上述二極體D 1 2或二極體形態之P M O S電晶體M 1 4之同等之機能也。

本實施例之P M O S電晶體M 1 4乃將實施，當連接於閘極之輸入端子I N 2之較該賦加於其源極之電壓有低到閾值電壓份之值時轉換爲O N狀態之所謂切換動作者。此時乃大概的說，輸入端子I N 1之電壓之對於輸入端子I N 2之電壓而正極性之半波期間而上述P M O S電晶體M 1 4之具有成爲O N狀態之可能性者。而與它相反地輸入端子I N 1之電壓之對於輸入端子I N 2之電壓負極性之半波期間即成爲O F F狀態。

上述第5圖之實施例中P M O S電晶體M 1 4乃會發生閘極－源極間閾值電壓份之電壓損失，而相對地第6之實施例中，P M O S電晶體之源極－漏極間電將成爲電壓損失份值，而可增加上述連接點N 1 5之電位設定之自由度。

又第6圖及第7圖之P M O S電晶體M 1 4乃，在於使整流機能形成爲全波整流之情形之下同樣地可實現。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(17)

第7圖表示本發明之半導體積體電路裝置上所載置之電源電路之其他之一實施例之電路圖。本實施例係顯示上述第4圖之實施例之變形例。

本實施例乃以PMOS電晶體M15來實現上述第4圖之上述二極體D11者。換言之，本實施例乃替代於上述第4圖之上述二極體D11，而將PMOS電晶體M15之漏極端子及閘極端子連接於上述輸出端子OUT1，而使之成為二極體形態者，由而使流通於上述PMOS電晶體M15之電流，從上述輸入端子IN1而流通於上述輸出端子OUT1之單方向，而可實現與第4圖所示之二極體D11同等之機能。

如上述地以PMOS電晶體來置換二極體D11之構成乃由於直接可以利用PMOS電晶體，所以不要如使用PN接合二極體時之特別之元件分離。

第8圖表示本發明之半導體積體電路裝置所載之電源電路之其他之一實施例之電路圖。本實施例乃表示上述第7圖之實施例之變形例。本實施例乃將上述第7圖之上述PMOS電晶體M15變換為二極體連接，將該閘極端子連接於輸入端子IN2者。本實施例之上述PMOS電晶體M15之動作乃與上述第6圖之PMOS電晶體M14同樣者。詳述之PMOS電晶體M15係連接於閘極，而當輸入端子IN2之電壓之與該被連接源極之輸入端子IN1之電壓比較時低到閾值電壓時實施成為ON狀態之切換動作者。

## 五、發明說明(18)

這件事情就是要實施，與上述同樣輸入端子 I N 1 之電壓之對於輸入端子 I N 2 之電壓而正極性之半波期間上述 P M O S 電晶體 M 1 5 成 O N 狀態，而與它相反地輸入端子 I N 1 之電壓之對於輸入端子 I N 2 之電壓負極性之半波期間成 O F F 狀態之切換動作者。實質上與使用上述二極體 D 1 1 時之情形基本上同樣。惟與第 7 圖之實施例，即連接 P M O S 電晶體 M 1 5 之閘極與漏極而做成二極體形態者做比較時，第 7 圖之實施例乃會發生閘極－源極間閾值電壓份量之電壓損失而相對在於第 8 之實施例乃 P M O S 電晶體 M 1 5 之源極－漏極間電壓將成為電壓損失份，因此可能輸出大的電壓也。

這件事乃為了防止半導體積體電路裝置之不所欲之閉鎖超載現象 ( latch-up ) 之方面也是很有益。詳述之，連接於輸入端子 I N 1 之 P M O S 電晶體 M 1 5 之源極乃例如由形成於 N 型半導體期板上之 P 型領域所構成。而對於 N 型半導體基板上將賦加由輸出端子 O U T 1 所獲得之在正側之最高之電源電壓 V D D ，所以將上述 P M O S 電晶體 M 1 5 做成二極體連接時對應於該閾值電壓之電壓損失份乃做為順方向電壓地賦加於，連接於輸入端子 I N 1 之 P 型領域，與連接於上述輸出端子 O U T 1 之 N 型半導體基板之間，由而使之對於閉鎖超載現象而減小其寬裕度。而相對如本實施例如 P M O S 電晶體 M 1 5 之源極－漏極間電壓，減小了電壓損失份量，就該份量地可以使閉鎖超載現象之寬裕度放大也。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 ( 19 )

第 9 圖表示本發明之半導體積體電路裝置所載置之電源電路之其他一實施例之電路圖，本實施例乃將上述第 6 圖或第 8 圖之實施例適用於全波整流者。第 8 圖之

P M O S 電晶體 M 1 5 對應於 P M O S 電晶體 M 2 6，而全波整流之用之 P M O S 電晶體 M 2 7 乃其源極－漏極路經係連接於輸入端子 I N 2 與輸出端子 O U T 1 之間，閘極係連接於輸入端子 I N 1。又設於電壓控制電流源之二極體係由 P M O S 電晶體 M 2 3 及 M 2 5 所構成，各閘極端子係連接於輸入端子 I N 2。如上所述以實施切換動作之 P M O S 電晶體來置換原來之二極體以資實施全波整流動作，由而可以發生高效率且安定之輸出端子 O U T 也。

第 1 0 圖表示本發明之半導體積體電路裝置所載置之電源電路之其他之一實施例之電路圖。本實施例係將

P M O S 電晶體之導電型替代於上述之 P 通道型而使用 N 通道型 M O S F E T 者。以電路而言係與上述第 7 圖等效者。對應於將所使用之 P M O S 電晶體之導電型改為 N 通道型，而對應於該動作電壓成為逆向，而在於輸入端子

I N 1 側，設置兼為安定化動作及整流動作之 P M O S 電晶體 M 3 2，而在輸入端子 I N 2 側設置二極體連接之 N M O S 電晶體 M 3 3 者。又賦加於運算放大電路 A 3 1 之電壓也將設置以輸出端子 O U T 2 為基準之基準電壓源 V R E F。

上述之第 3 圖乃至第 6 圖，第 8 圖，第 9 圖亦將依照本實施例同樣之手法而將 P M O S 電晶體置換為 N M O S

## 五、發明說明 ( 20 )

電晶體也。

第 1 1 表示本發明之半導體積體電路裝置所載置之電源電路之又一其他實施例之基本電路構成圖。本實施例乃電晶體係將 M O S 電晶體換成二極型 ( bipolar ) 型電晶體者。

詳述之，在於如上述第 1 圖所示之基本的構成中，替代於兼整流動作及輸出電壓之安定化動作之 P M O S 電晶體 M 1 1 而使用 P N P 型之二極型電晶體 T 1。即電晶體 T 1 之集極係連接於輸入端子 I N 2，基極與集極間連接上述電阻 R 1 3，射極係連接於輸出端子 O U T 2。並且對於上述電晶體 T 1 之基極將供給經流於電壓控制電源 G 1 2 之電流者。

第 1 2 圖表示本發明之半導體積體電路裝置所載置之電源電路之又一其他實施例之電路圖。本實施例乃將電壓控制電流源 G 1 2 與電壓檢測電路 G 1 1 係同一電路所構成。換言之，利用二極體連接之 M O S 電晶體之閘極－源極之閾值電壓所具有之定電壓特性，而將對應於上述電壓測出及電壓之控制電流流通於爲了電壓安定化動作之用之電阻者。本實施例乃做爲上述第 9 圖之實施例之變形來顯示者。

本實施例中，上述第 9 圖之 M O S 電晶體 M 2 1，運算放大電路 A 2 1，基準電壓源 V R E F 及分壓電阻 R 2 1，R 2 2 乃被二極體連接之 P M O S 電晶體 M 2 8，M 2 9 所置換。例如欲將輸出電壓安定化於 2 V 程度時

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 ( 21 )

，如果二極體連接之 P M O S 電晶體之閾值電壓係 0 . 7 V 時即將 3 個二極體連接之 P M O S 電晶體串聯的予以連接就可以。

與使用上述基準電壓源 V R E F 或運算放大電路

A 2 1 時比較時，該上述串聯形態之 P M O S 電晶體之閾值電壓係對應於所流通之電流而會增加，因此做為電壓安定化特性而言稍差，惟用防止內部電路之元件之破壞上沒有妨礙，可以達成電路元件之大幅度之削減及消費電流之消滅者。

第 1 3 圖表示本發明之非接觸型 I C 卡之一實施例之方塊圖。

從讀取、寫入器 B 5 6 而介經天線 L 5 2 而以電磁波之形態所輸出之訊號及電力係由內藏於 I C 卡 B 5 5 內之天線 L 5 1 所受訊。而由從上述天線 L 5 1 所受訊之電力而生成電壓之機構 B 5 2、及將受訊之訊號予以處理及保存資料之機 B 5 3，及上述天線 L 5 1 所受訊之訊號之檢測以及從 I C 卡而對於讀取寫入器行訊號之受訊之實施通訊之機構 B 5 4 所構成。

本實施例中，做為從上述天線 L 5 1 所受訊之電力而生成電壓之機構 B 5 2 而可以適用表示於上述第 1 圖乃至第 1 2 圖之電源電路。使用上述第 1 圖乃至第 1 2 圖所示之電路，而對於上述第 1 圖乃至第 1 2 圖之上述輸入端子 I N 1 及上述輸入端子 I N 2 連接本實施例之上述天線 L 5 1，而使之發生輸入電壓 V I N。並且上述第 1 圖乃

## 五、發明說明 ( 22 )

至第 1 2 圖之上述輸出端子 O U T 1 連接於上述機構 B 5 3 及 B 5 4 之電源電壓端子，而將上述第 1 圖乃至第 1 2 圖之上述輸出端子 O U T 2 連接於上述各機構 B 5 3 及 B 5 4 之接地端子，由而安定的可以實施這些各機構 B 5 3 及 B 5 4 之電路動作也。

本實施例之非接觸型 I C 卡乃由於使用上述第 1 圖乃至第 1 2 圖所示之各電源電路，由而上述天線 5 1 受訊之電力之小時之被控制元件之電壓損失成為小值，對於上述各機構 B 5 3 及 B 5 4 盡可能地供給（較大）之電壓，由使 I C 卡之通訊距離比較以往者變長也。

第 1 4 圖表示本發明之半導體積體電路裝置之一實施例之概略方塊圖。本實施例乃輸入電壓乃由例如商用電源等 A C 電源 B 6 1 所供給。而由，從上述 A C 電源 B 6 1 而生成 D C 電源之機構 B 6 2，及藉由供給由上述機構 B 6 2 所生成之 D C 電源而成為可能動作之任意之電路機構 B 6 3 所構成。本實施例中在於上述機構 B 6 2 使用上述第 1 圖乃至第 1 2 圖所示之各電源電路。

由於使用上述第 1 圖乃至第 1 2 圖所示之電源電路，因此對於上述第 1 圖乃至第 1 2 圖之上述輸入端子 I N 1 及上述輸入端子 I N 2 連接上述 A C 電源 B 6 1，而對於上述第 7 圖乃至第 1 2 所示之電源電路之上述輸出端子 O U T 1 連接於上述電路機構 B 6 3 之電源電壓端子，上述第 1 圖乃至第 1 2 圖之上述輸出端子 O U T 2 連接於上述電路機構 B 6 3 之接地端子，因此將此電路機構 B 6 3

## 五、發明說明 ( 23 )

之電路動作可以安定的實施也。

第 1 5 圖表示爲了說明本發明之一實施例之用之電源電路之電壓－電流特性圖。

特性  $V_L3$  乃如上述第 1 7 圖所示之串聯穩壓器時之天線兩端所必要之輸入電壓。相對的特性  $V_L2$  有關於本發明之電源電路時之天線兩端所必要之輸入電壓。爲了獲得相同電流時之兩者之電壓差之份量係相當於上述第 1 7 之二極體  $D02$  之電壓  $V_F2$ 。有如上述之電壓差時，可以使爲了獲得內部電路之最低動作電壓  $V_{DDMIN}$  時所必要之天線兩端電壓乃如  $V_{LMMIN2}$  地可以較小。換言之如第 1 7 圖之電源電路時，即爲了獲得相同之內部電路之最低動作電壓  $V_{DDMIN}$  所必要之天線兩端電壓乃如  $V_{LMIN1}$  地成爲必要很大之值。

對於第 1 7 圖所示之串聯穩壓器而在於上述電容器  $C01$  之兩端設置定電壓元件而構成並聯穩壓器也在理論上可能。惟如本實施例一般之非接觸，換言之藉由從讀取寫入器之電磁波之形態地供給電力之方式時，該發生於天線兩端之電壓特性將成爲如  $V_{LAB}$ 。所以並聯穩壓器之動作點即在於  $ACT1$  而電流之大半將流至上述電壓元件而使消耗電力增大而不合實際。相對的如本發明或第 1 7 圖之串聯穩壓器其動作點將在於  $ACT2$ 。

第 1 6 圖表示說明本發明之電源電路之動作之波形圖。同圖之各波形係對應於如上述第 9 圖所示之全波整流電路。同圖中顯示以負載之內部電路側爲中心之各波形圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(24)

當實際上對於輸入端子 I N 1 及 I N 2 有，如正弦波一般之交流訊號之被供給時，如以內部電路之輸出端子

O U T 1 為基準時，輸入端子 I N 1 或 I N 2 之各個之正半週期時將成為 P M O S 電晶體 M 2 6 或 M 2 7 之漏極－源極間電壓之電壓差，因此在此時之正側之波形係呈顯被壓扁之形狀，而相對的負側之電壓係呈顯變大之波形，使輸出端子 O U T 2 之電壓維持於一定地，在於電阻 R 2 4 及 R 2 3 發生連接點 N 2 6 及 N 2 5 之電壓 V N 2 6 及 V N 2 5。

即對於輸入端子 I N 1 或 I N 2 之負半週期之電壓 V I N 1 及 V I N 2 地，以 P M O S 電晶體 M 2 1 來調整流通於上述電阻 R 2 4 及 R 2 3 之電流以資分別發生 V N 2 6 及 V N 2 5 者。上述電壓 V N 2 6 與端子 O U T 2 之電壓差係 P M O S 電晶體 M 2 4 與 M 2 2 之閘極－源極間電壓。同圖中對於半導體積體電路裝置之閉鎖超載現之寬裕度而言，設法使上述輸出端子 O U T 1 之輸入端子 I N 1 或 I N 2 之電壓差變小係有益。換言之，以 N 型基板來構成半導體基板時，由於會被賦加上述端子 O U T 1 之電壓 ( V D D )，因此如果賦加於輸入端子 I N 1 或 I N 2 之電壓較該值更高時，即在於 P M O S 電晶體 M 2 6 或 M 2 7 之 P 型源極－源極領域之間時被賦加順偏壓，所以如上述設法限制 P M O S 電晶體 M 2 6 及 M 2 7 之漏極－源極間之電壓係有益也。

由上述之實施例可以獲得之作用效果如下，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 ( 25 )

( 1 ) 對於第 1 及第 2 輸入端子賦加交流電壓，對於上述第 2 輸入端子連接漏極（或集極），藉由閘極（或集極）與漏極（或集極）之介著電阻機構所連接之整流電晶體而對於上述第 1 及第 2 輸入端子間流通整流電流，藉由第 1 電壓檢測機構而使上述第 1 整流電晶體之源極（或射極）側所獲得之整流電壓，與規定之基準電壓得相一致地形成上述控制電壓，在於第 1 電壓控制電流源形成回應於上述控制電壓之電流而供給於上述第 1 電阻機構，於是可以獲得高效率且安定之平順電壓之效果。

( 2 ) 上述之外，再加上在於上述第 1 輸入端子，與輸出整流電壓之第 1 輸入端子之間係設置有流通對應於上述整流電流之電流之第 1 單方向性元件，上述第 1 電壓控制電流源乃設置於上述第 1 輸出端子與上述第 1 整流電晶體之閘極（或基極）之間，上述第 1 整流電晶體之源極（或射極）係連接於輸出整流電壓之第 2 輸出端子，由而利用上述第 1 單方向性元件之電壓箝平作用之輸入交流電壓之正或負側之一方之電壓為基準之整流動作而具有可以獲得安定之整流動作之效果。

( 3 ) 除了上述再：上述第 1 整流電晶體係由第 1 整流 MOSFET 所成，上述電壓檢測機構係由接受上述整流電壓之分壓電壓及基準電壓之運算放大電路所構成，上述第 1 電壓控制電流源乃設置於，在該閘極接受上述控制電壓之第 1 MOSFET，及該第 1 MOSFET 之源極－漏極之一端與上述第 1 整流 MOSFET 之閘極之間，

### 五、發明說明(26)

而將電流通於對應於上述整流電流之方向之第2 MOSFET所成，由而可獲得在於構成以MOSFET所構成之半導體積體電路之合宜之電源電路之效果也。

(4) 除了上述又：上述第2 MOSFET乃被形成為連接閘極與漏極而做成二極體形態，由而可以獲得在於半導體積體電路中以使用簡單的元件就可構成之效果。

(5) 除了上述，又上述第2 MOSFET乃與上述第1整流MOSFET及第1 MOSFET之同一導電型的所構成，該閘極係連接於上述第2輸入端子，由而可以獲得更減少在於電壓控制電流源之電壓損失之效果者。

(6) 除了上述，又上述第1單方向性元件乃由將連接閘極與漏極而成為二極體形態之第3 MOSFET所成，由而具有於半導體積體電路中簡單的構成元件之效果者。

(7) 上述第1單方向性元件乃由第3 MOSFET所構成，該第3 MOSFET係由與上述第1整流MOSFET及第1及第2 MOSFET之同一導電型所構成，而該閘極係連接於上述第2輸入端子，由而可以獲得減少電壓損失，又加大閉鎖過載現象之寬裕度之效果。

(8) 除了上述再具備，

設置於上述第2輸入端子與輸入整流電壓之第1輸入端子之間而流通對應於上述整流電流之電流之第2單方向性元件，及該漏極（或集極）係連接於上述第2輸入端子，閘極（或基極）與漏極（或集極）係介著第2電阻機構

## 五、發明說明 ( 27 )

地被連接而對於上述第 1 輸入端子與上述第 2 輸入端子之間流通整流電流之第 2 整流電晶體，及形成回應於上述控制電壓之電流而供給於上述第 2 電阻機構之第 2 電壓控制電流源，及使上述第 2 整流電晶體之源極（或射極）側所獲得之整流電壓之與規定之基準電壓得相一致的形成本上述控制電壓之第 2 電壓檢測機構，而構成，由而具有可以實施全波整流更能高效率及輸出之安定化之效果者。

( 9 ) 除了上述又：上述第 1 及第 2 整流電晶體乃由第 1 及第 2 整流 MOSFET 所成，上述電壓檢測機構乃由接受上述整流電壓之分壓及基準電壓之運算放大電路所構成，

上述第 1 及第 2 電壓控制電流源乃由，於該閘極接受上述控制電壓之第 1 及第 4 MOSFET，及設置於該第 1 及第 4 MOSFET 之各個之源極－漏極之一端與上述第 1 及第 2 整流 MOSFET 之各個之閘極之間，將電流通於對應於上述整流電流之方向之二極體形態之第 2 及第 5 MOSFET 所構成，由而可以獲得在於由 MOSFET 所構成之半導體積體電路裝置之合宜之電源電路之效果也。

( 10 ) 除了上述之外，又上述第 1 及第 2 單方向性元件之各個乃由第 3 及第 6 MOSFET 所成，該第 3 及第 6 MOSFET 係以與上述各 MOSFET 之同一導電型所構成，上述第 3 MOSFET 之閘極係連接於上述第 2 輸入端子，上述第 6 MOSFET 之閘極係連接於上述

## 五、發明說明 ( 28 )

第 1 輸入端子而構成，由而可以獲得減小電壓損失及加大閉鎖過載現象之寬裕度之效果。

( 1 1 ) 除了上述之外，上述第 1 輸入端子及第 2 輸入端子乃該發生上述交流電壓之天線係連接於外部，由而可以獲得合宜於非接觸型電子裝置之半導體積體電路裝置之效果者。

( 1 2 ) 主要乃具備有，以從爲了受訊訊號及電力用之天線所受訊之電力而發生內部電壓之電源電路，及上述內部電壓而行動作之內部電路，以及以上述內部電壓而動作，實施介於上述天線之訊號之受訊及送訊之通訊電路所構成之非接觸型電子裝置中，上述電訊電路乃，對於第 1 及第 2 輸入端子賦加在上述天線所發生之交流電壓，在上述第 2 輸入端子連接漏極（或集極），藉由介著電阻機構連接該閘極（或基極）與漏極（或集極）之整流電晶體而對於上述第 1 及第 2 輸入端子之間流通整流電流，藉由第 1 電壓檢測機構而令上述第 1 整流電晶體之源極（或射極）側所獲得之整流電壓之與規定之基準電壓得相一致地形成上述控制電壓，以第 1 電壓控制電流源形成回應於上述控制電壓之電流，控制於上述第 1 電阻機構，由而具有可以獲得高效率且安定之平順電壓，於是有可以加長通訊距離之效果也。

( 1 3 ) 除了上述，又上述第 1 整流電晶體係由第 1 整流 M O S F E T 所成，

於第 1 輸入端子與輸出整流電壓之第 1 輸出端子之間

### 五、發明說明 ( 29 )

設置有流通對應於上述整流電流之電流之第 1 單方向性元件，

上述電壓檢測機構係由接受上述整流電壓之分壓電壓及基準電壓之運算放大電路所構成，上述第 1 電壓控制電流源乃由：於該閘極接受上述控制電壓之第 1 MOSFET，及設於該第 1 MOSFET 之源極－漏極之一端與上述第 1 整流 MOSFET 之閘極之間而將電流通於對應於上述整流電流之方向之第 2 MOSFET 所構成，由而可以獲得對於由 MOSFET 所構成之內部電路之合宜之電源電路之效果。

( 1 4 ) 除上述，上述電源電路乃再具備：設於上述第 2 輸入端子與輸出整流電壓之第 1 輸入端子之間，以資流通對應於上述整流電流之第 2 單方向性元件，及

於上述第 2 輸入端子連接漏極（或集極），閘極（或基極）與漏極（或集極）係介著第 2 電阻機構而被連接，而於上述第 1 輸入端子與上述第 2 輸入端子之間流通整流電流之第 2 整流電晶體，及形成回應於上述控制電壓之電流以資供給於上述第 2 電阻機構之第 2 電壓控制電流源，及使上述第 2 整流電晶體之源極（或射極）側所獲得之整流電壓之與規定之基準電壓將相一致地形成上述控制電壓之第 2 電壓檢測機構而構成，由而具有可實施全波整流，更能有高效率及輸出之安定化，可以使非接觸型電子裝置之動作安定化之效果也。

( 1 5 ) 除了上述，由於將非接觸型電子裝置做成爲

## 五、發明說明 ( 30 )

，在於厚度薄之塑膠卡 ( plastic card ) 上所載置之上述天線電源電路，內部電路以及通訊電路由而可以獲得操作簡便且很好使用之 I C 卡之效果也。

上面乃依實施例具體的說明了本發明所創作之發明，惟本發明乃不侷限於上述實施例，當然在不逸脫其要旨之範圍內可以做種種變更，例如運算放大電路之具體構成係可以採用種種之實施形態。又第 1 3 圖之非接觸型 I C 卡中該電源電路，內部電路或通訊電路乃以複數之半導體積體電路裝置來構成亦可以。本發明乃可廣泛地使用於將交流電壓予以平順化而形內部電壓之半導體積體電路裝置，以及非接觸型電子裝置也。

簡單的說明於本發明所揭示之代表性者所獲得之效果乃如下：

對於第 1 及第 2 輸入端子賦加交流電壓，對於上述第 2 輸入端子連接漏極 ( 或集極 )，藉由閘極 ( 或基極 ) 與漏極 ( 或集極 ) 之介著電阻機構所連接之整流電晶體而對於上述第 1 與第 2 輸入端子之間流通整流電流，以第 1 電壓檢測機構，使上述第 1 整流電晶體之源極 ( 或射極 ) 側所獲得之整流電壓與規定之基準電壓得相一致地形成上述控制電壓，而以第 1 電壓控制電流源而形成回應於該控制電壓之電流以資供給於上述第 1 電阻機構，由而可以獲得高效率且安定之平順電壓也。

在於具備有：自用於受訊訊號及電力之天線所受訊之電力而發生內部電壓之電源電路，及藉由上述內部電壓而

## 五、發明說明 ( 31 )

動作之內部電路，及藉由上述內部電壓而動作實施介著上述天線之訊號之受訊及送訊之通訊電路之非接觸型電子裝置中，

上述通訊電路乃，將於上述天線所發生之交流電壓賦加於第 1 及第 2 輸入端子，對於上述第 2 輸入端子連接漏極（或集極），該閘極（或基極）與漏極（或集極）之介著電阻機構所連接之整流電晶體而對上述第 1 與第 2 之輸入端子之間流通整流電流，藉由第 1 電壓檢測機構而使上述第 1 整流電晶體之源極（或射極）側所獲得之整流電壓之與規定之基準電壓得相一致地形成上述控制電壓，以第 1 電壓控制電流源形成回應於上述控制電壓之電流以資供給於上述第 1 電阻機構，由而可以獲得高效率且安定之平順電壓可以加長通訊距離也。

### 圖式之簡單說明

第 1 圖係本發明之一實施例之載置於半導體積體電路裝置之電源電路之基本電路構成圖。

第 2 圖係本發明之另一實施例之載置於半導體積體電路裝置之電源電路之基本電路構成圖。

第 3 圖係本發明之其他實施例之載置於半導體積體電路裝置之電源電路之基本電路構成圖。

第 4 圖係本發明之其他實施例之載置於半導體積體電路裝置之電源電路之電路圖。

第 5 圖係本發明之其他實施例之載置於半導體積體電

## 五、發明說明 ( 32 )

路裝置之電源電路之電路圖。

第 6 圖係本發明之其他實施例之載置於半導體積體電路裝置之電源電路之電路圖。

第 7 圖係本發明之其他實施例之載置於半導體積體電路裝置之電源電路之電路圖。

第 8 圖係本發明之其他實施例之載置於半導體積體電路裝置之電源電路之電路圖。

第 9 圖係本發明之其他實施例之載置於半導體積體電路裝置之電源電路之電路圖。

第 10 圖係本發明之其他實施例之載置於半導體積體電路裝置之電源電路之電路圖。

第 11 圖係本發明之其他實施例之載置於半導體積體電路裝置之電源電路之基本的電路構成圖。

第 12 圖係本發明之其他實施例之載置於半導體積體電路裝置之電源電路之電路圖。

第 13 圖係本發明之一實施例之非接觸型 IC 卡之方塊圖。

第 14 圖係本發明之一實施例之半導體積體電路裝置之概略方塊圖。

第 15 圖係本發明之一實施例之電源電路之電壓－電流特性圖。

第 16 圖係說明本發明之一實施例之電源電路之動作之波形圖。

第 17 圖係先於本發明而被檢討之串聯調節器之一例

## 五、發明說明 ( 33 )

之電路圖。

## 主要元件對照表

M 0 1 ~ 3 4 : M O S 電 晶 體  
D 0 1 ~ 1 4 : 二 極 體  
R 1 1 ~ 2 2 : 電 阻  
C 0 1 , C 1 : 電 容 器  
A 0 1 ~ 4 1 : 運 算 放 大 電 路 ( 運 算 放 大 器 )  
G 1 1 : 電 壓 檢 測 電 路  
G 1 2 ~ 1 4 : 電 壓 控 制 電 流 源  
L 5 1 ~ 5 2 : 天 線  
B 5 2 : 電 壓 產 生 機 構  
B 5 3 : 訊 號 處 理 及 資 料 保 持 機 構  
B 5 4 : 通 訊 機 構  
B 5 5 : I C 卡  
B 5 6 : 讀 取 、 寫 入 器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要（發明之名稱： 半 導 體 積 體 電 路 裝 置 及 非 接 觸 型 電 子 裝 置

本發明乃提供了形成高效率且安定之平順電壓，及實現內部電路之安定動作之電源電路之半導體積體電路裝置及非接觸型電子裝置。為此：對於第1及第2輸入端子賦加交流電壓，對上述第2輸入端子連接漏極（或集極），藉由閘極（或基極）與漏極（或集極）之介著電阻機構所連接之整流電晶體而對於上述第1與第2輸入端子之間流通整流電流，以第1電壓檢測機構，使上述第1整流電晶體之源極（或射極）側所獲得之整流電壓與規定之基準電壓得相一致地形成上述控制電壓，而以第1壓控制電流源而形成回應於該控制電壓之電流，供給於上述第1電阻機構。將此電源電路載置於非接觸型電子裝置。

英文發明摘要（發明之名稱： )

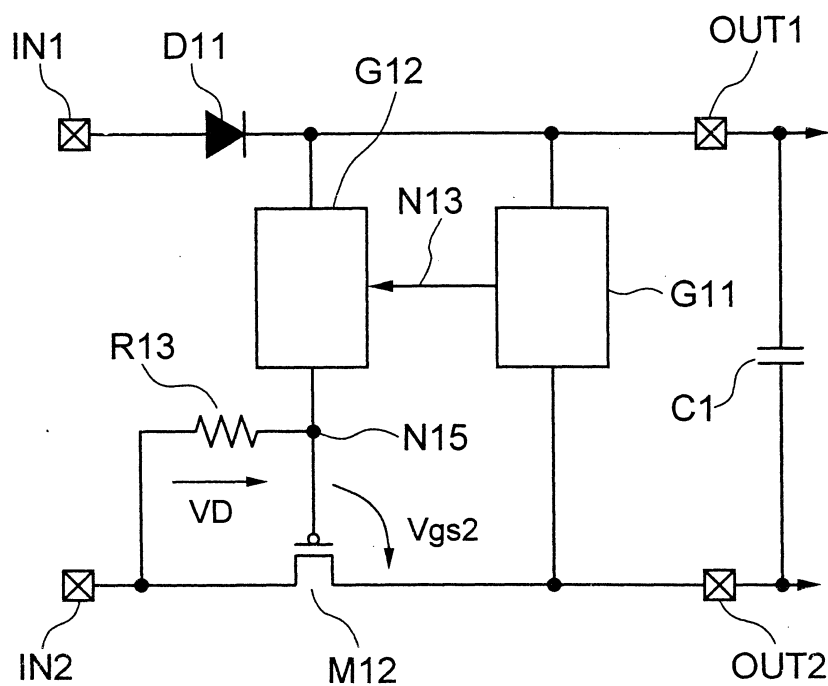
（請先閱讀背面之注意事項再填寫本頁各欄）

裝

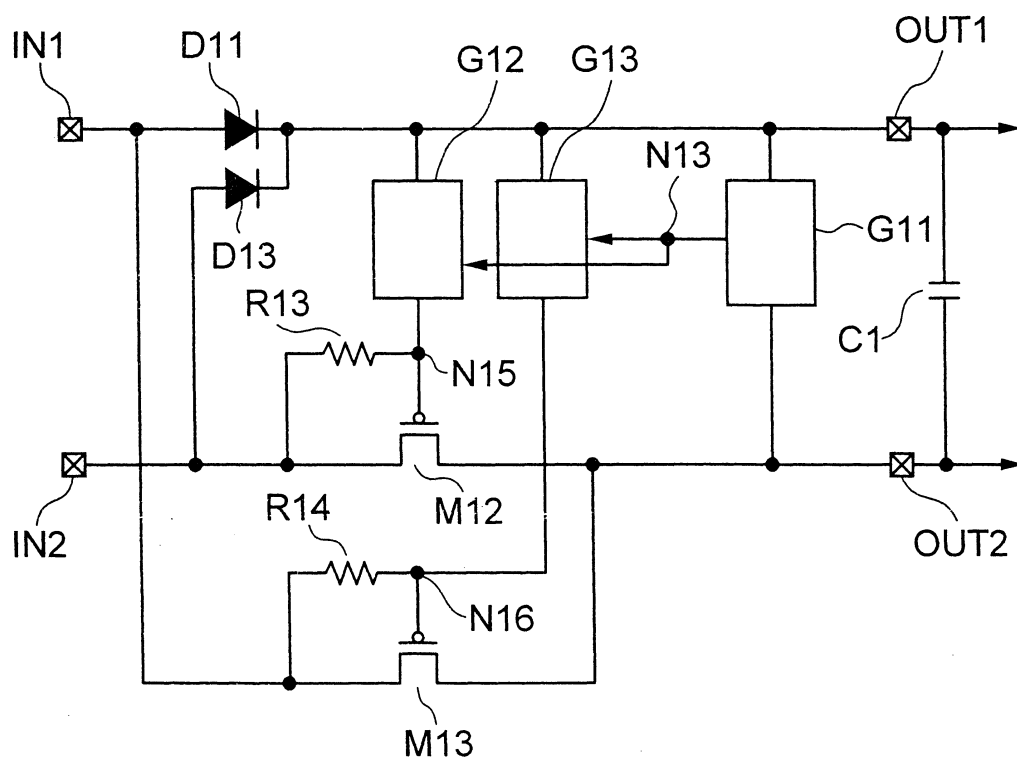
訂

線

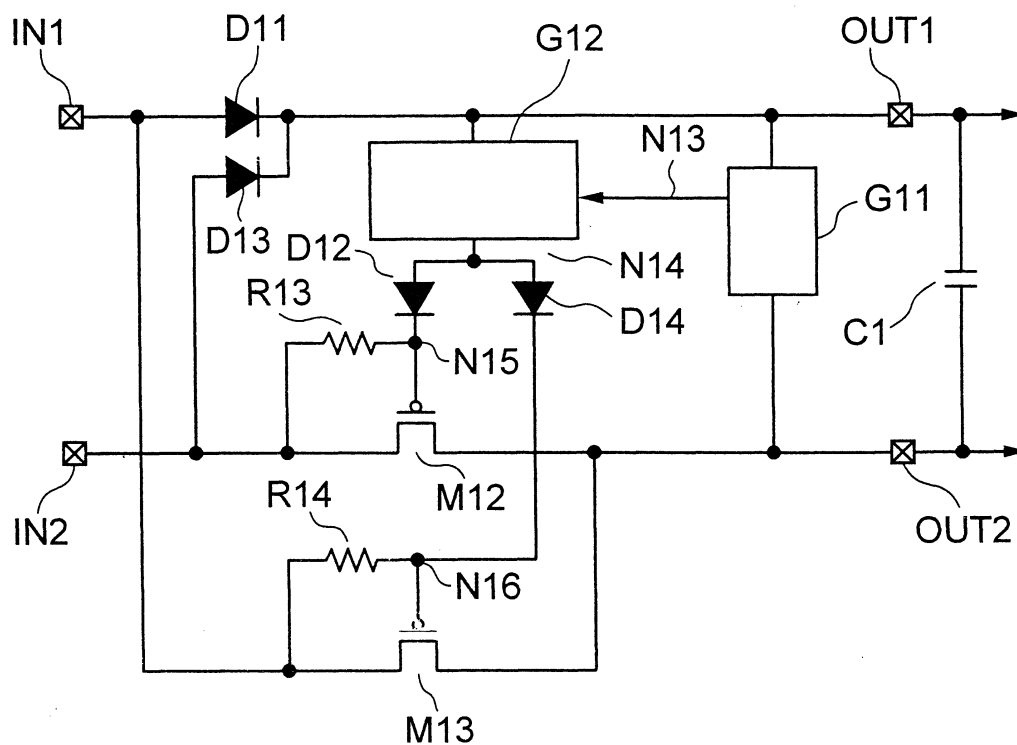
第 1 圖



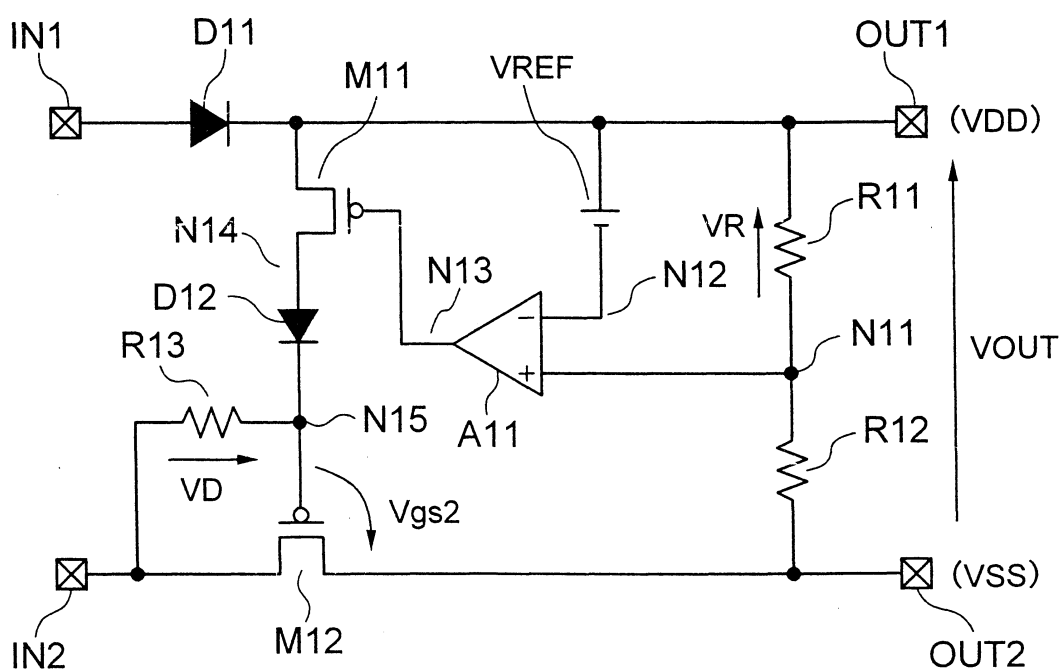
第 2 圖

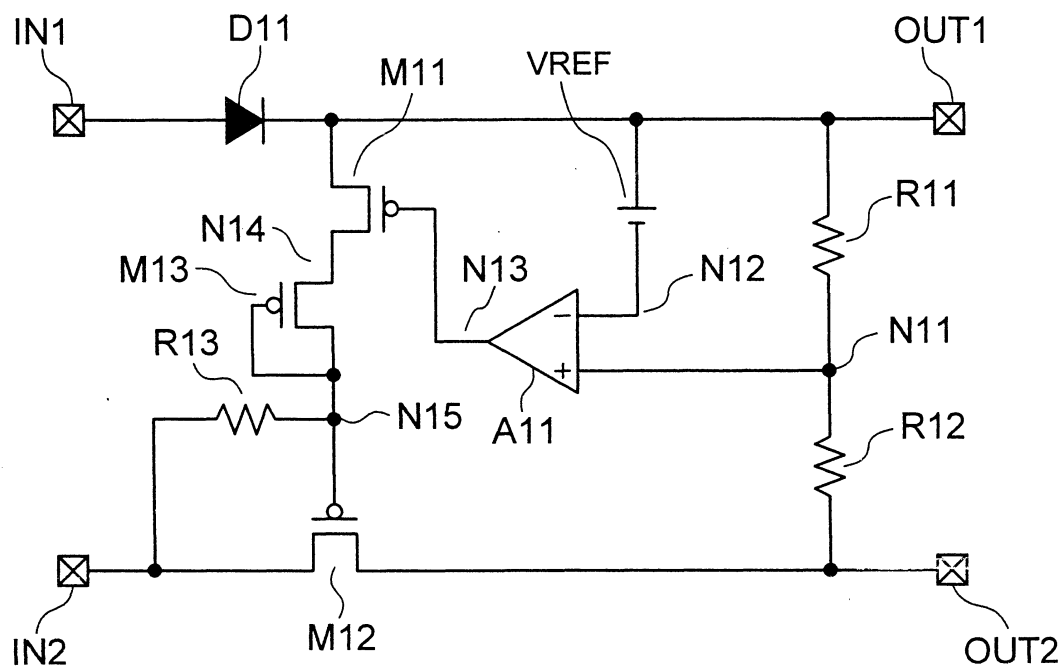


第 3 圖

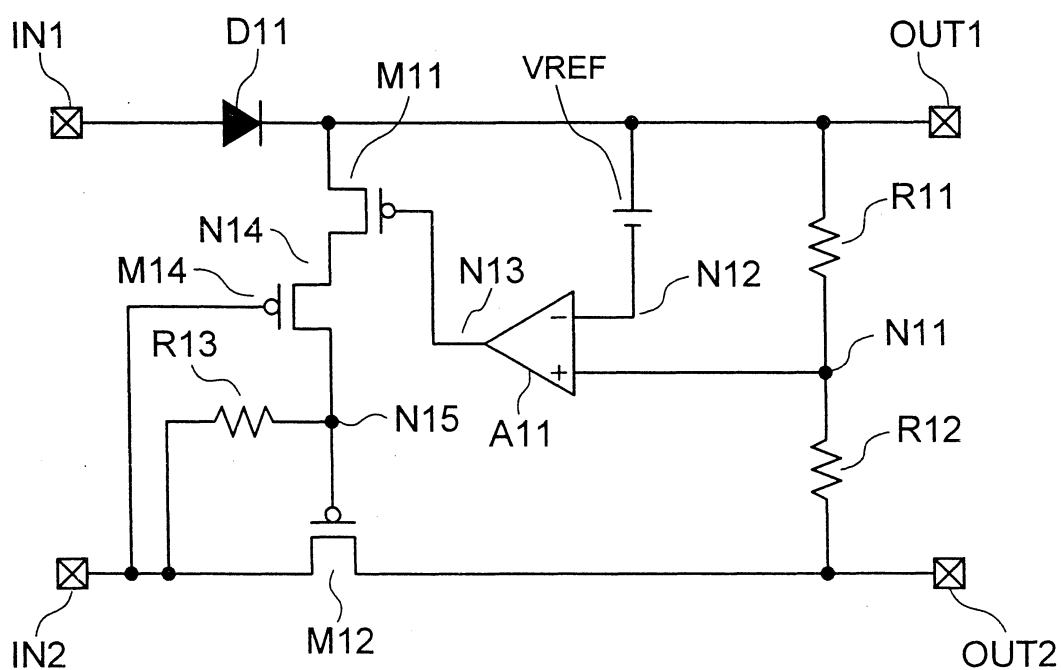


第 4 圖

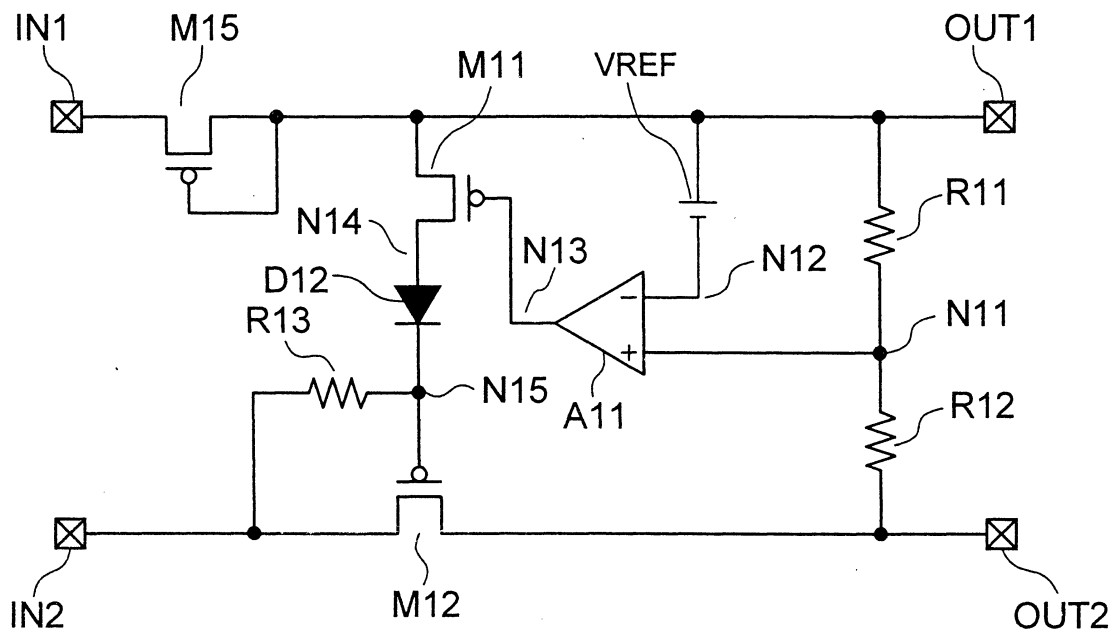




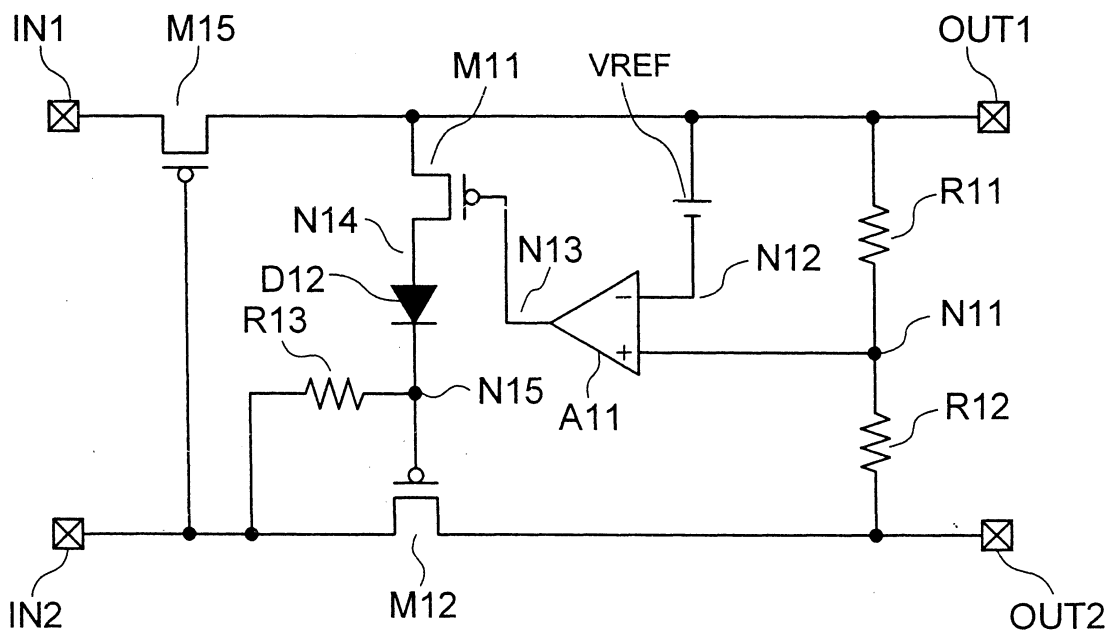
第 6 圖



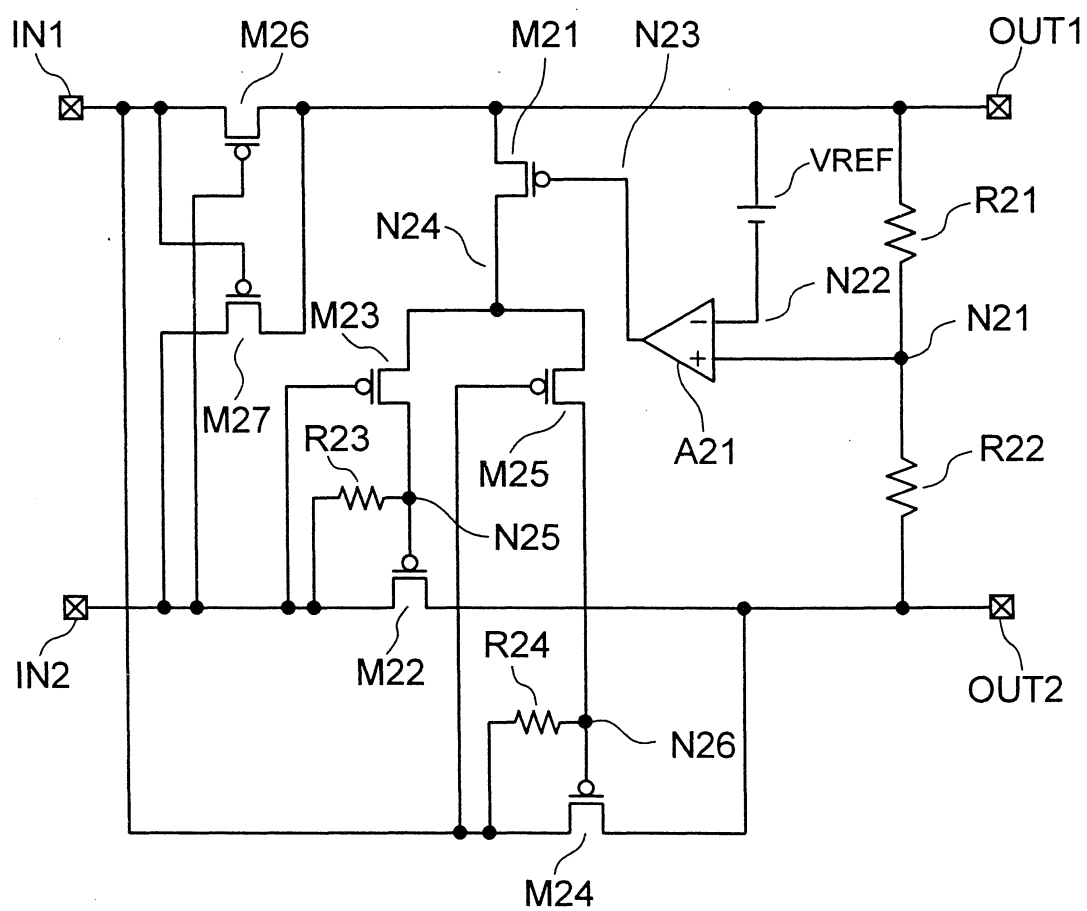
第 7 圖



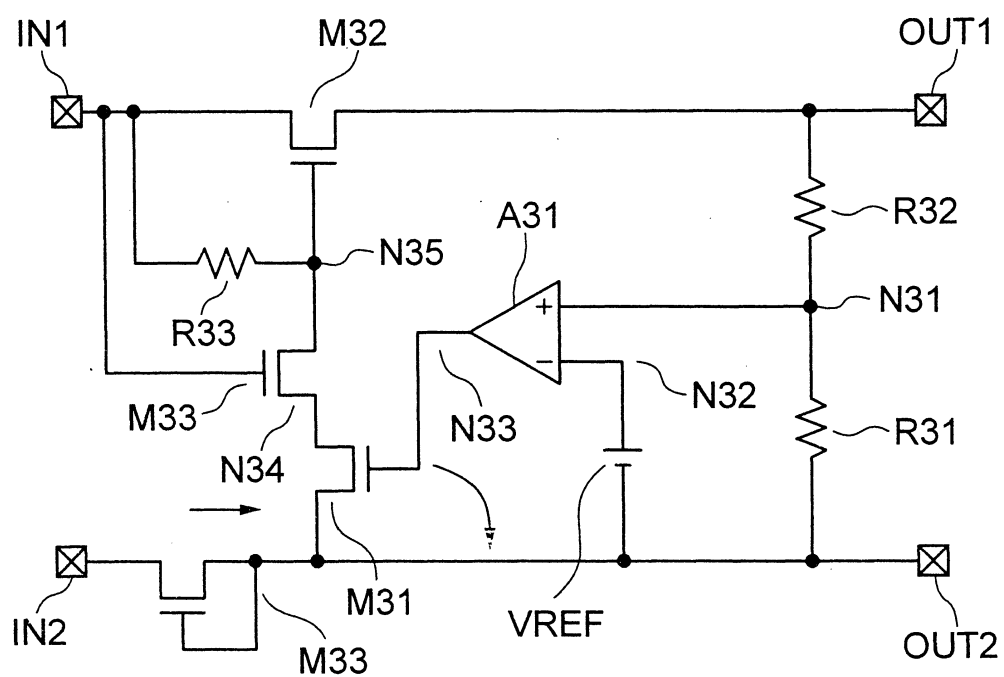
第 8 圖



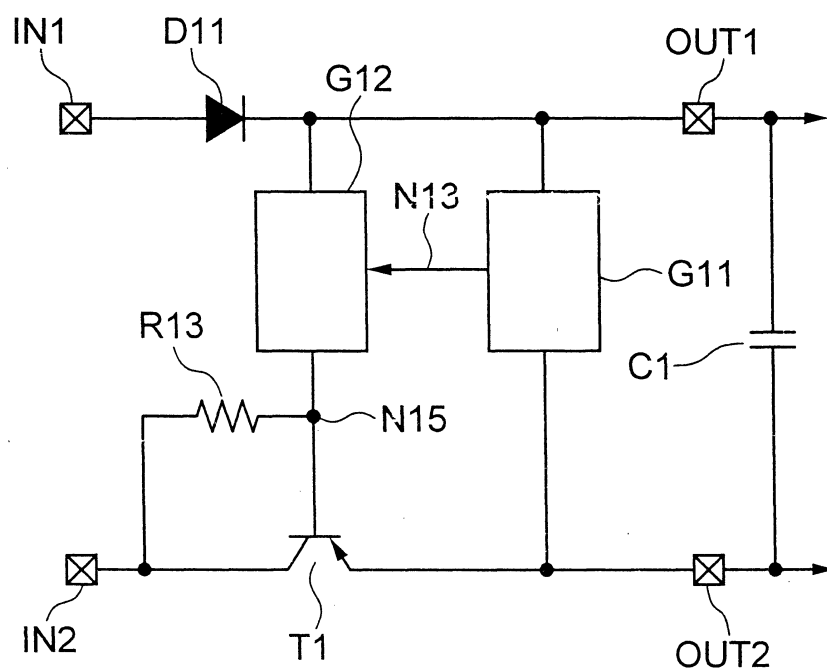
第 9 圖



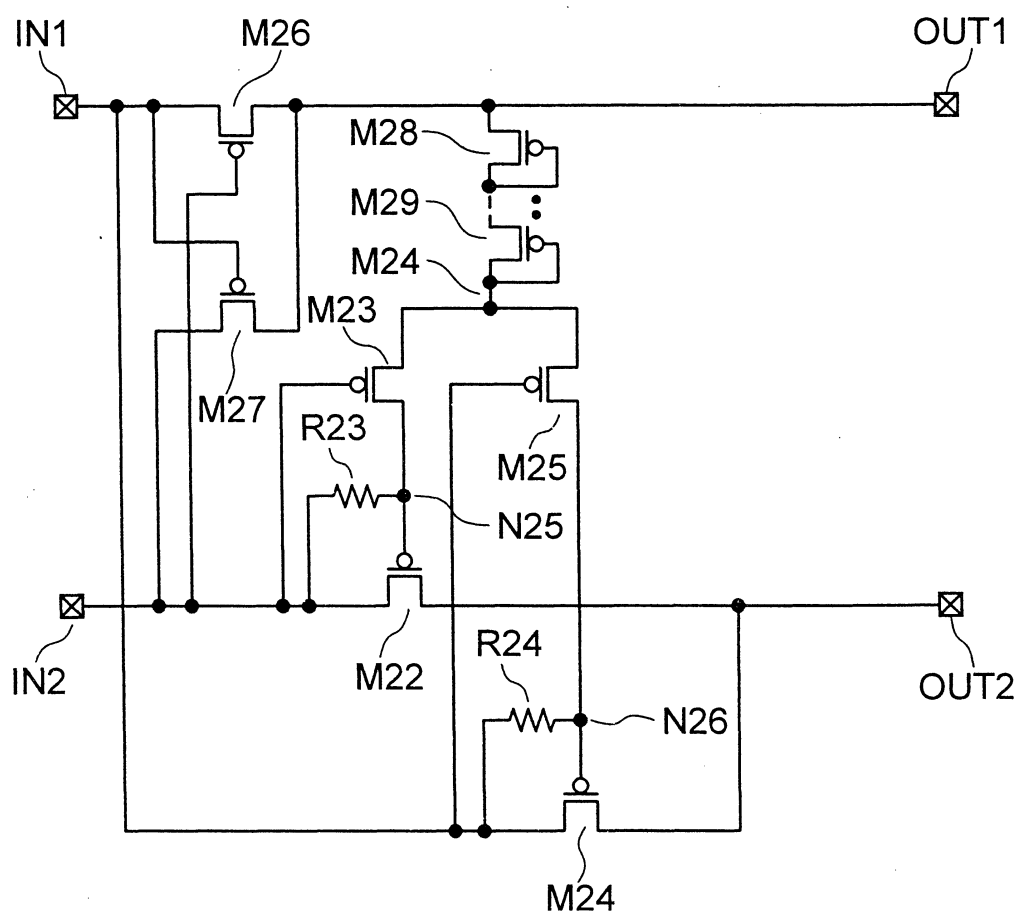
第 10 圖



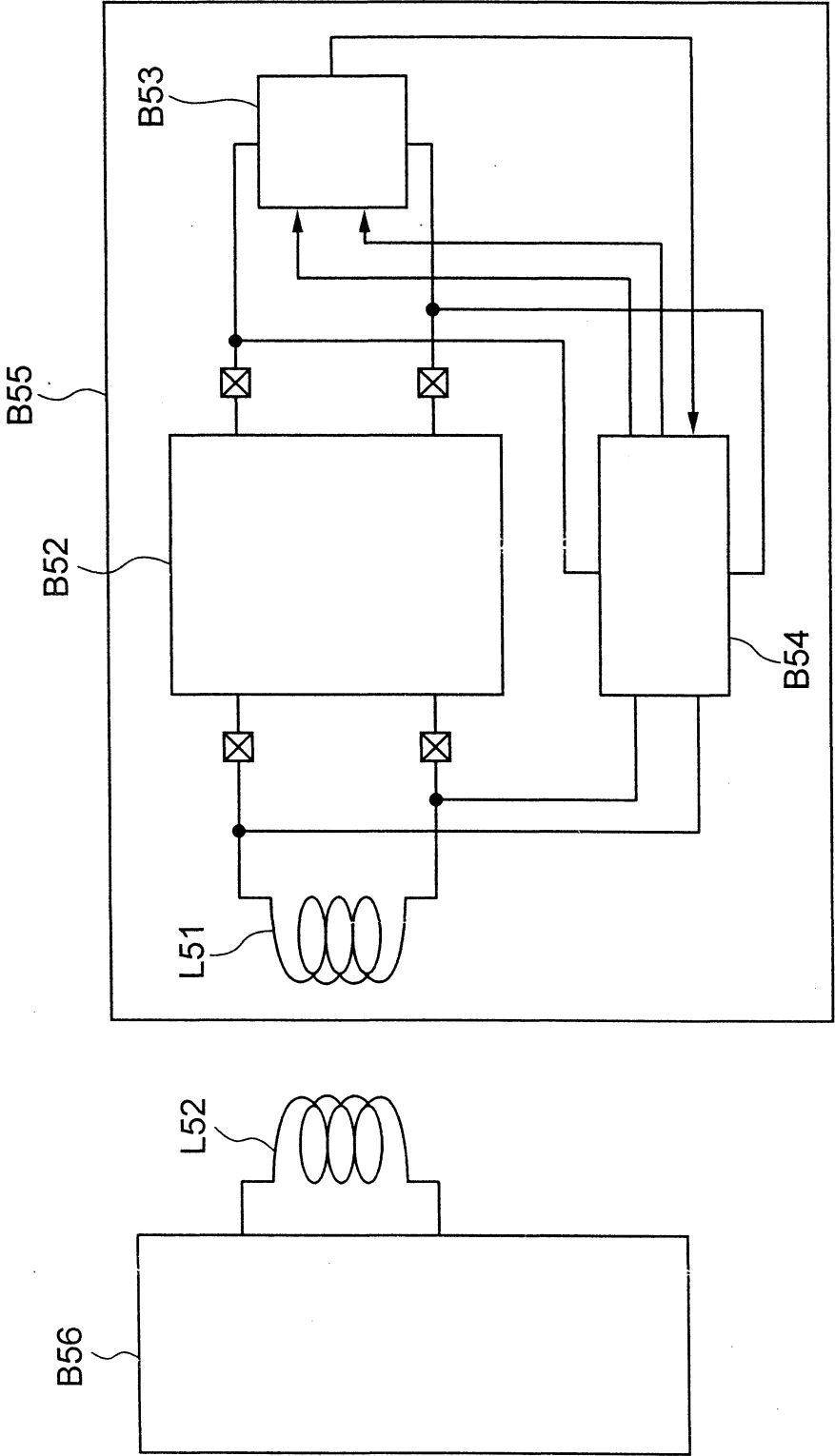
第 11 圖



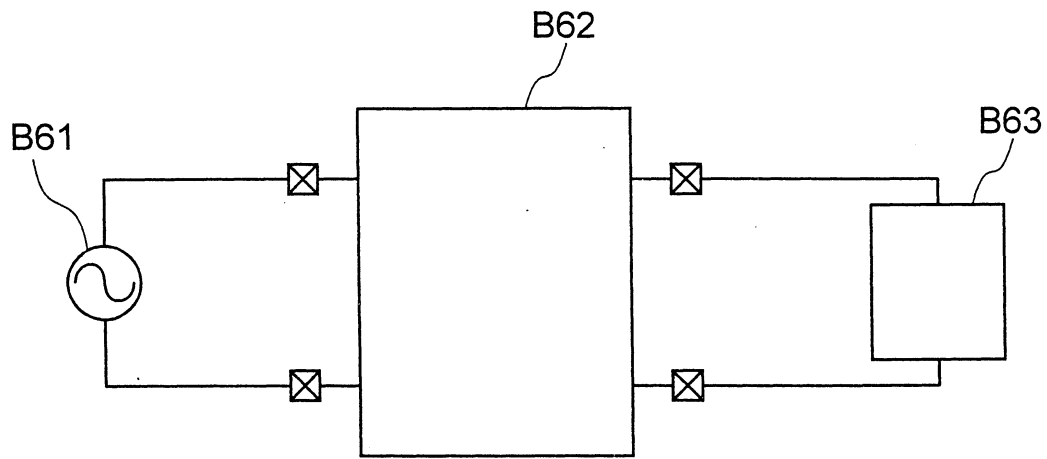
第 12 圖



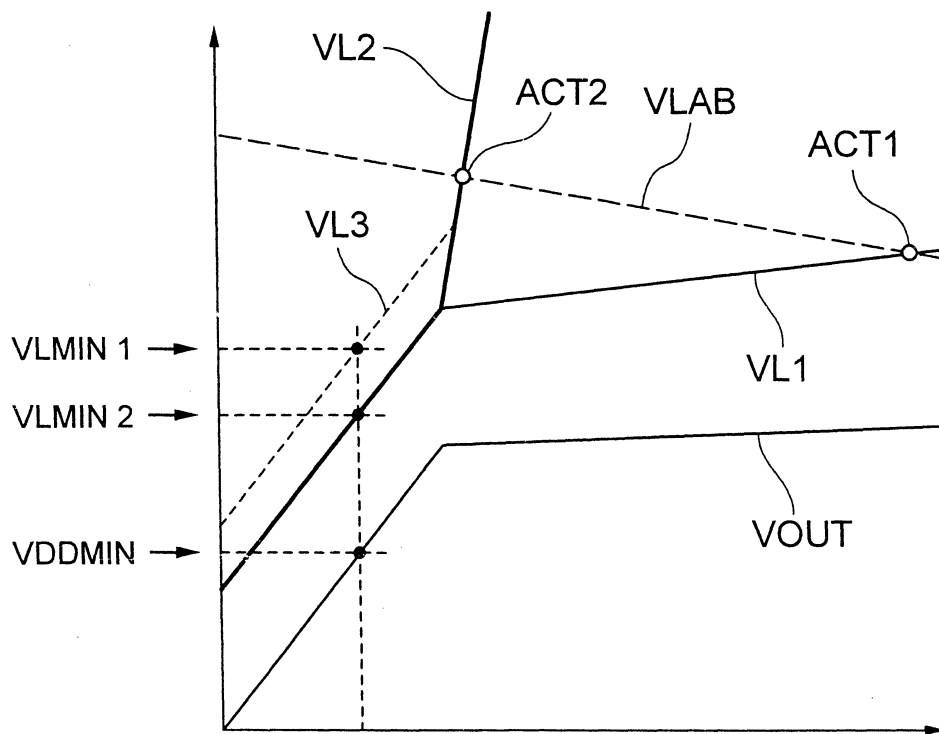
第 13 圖



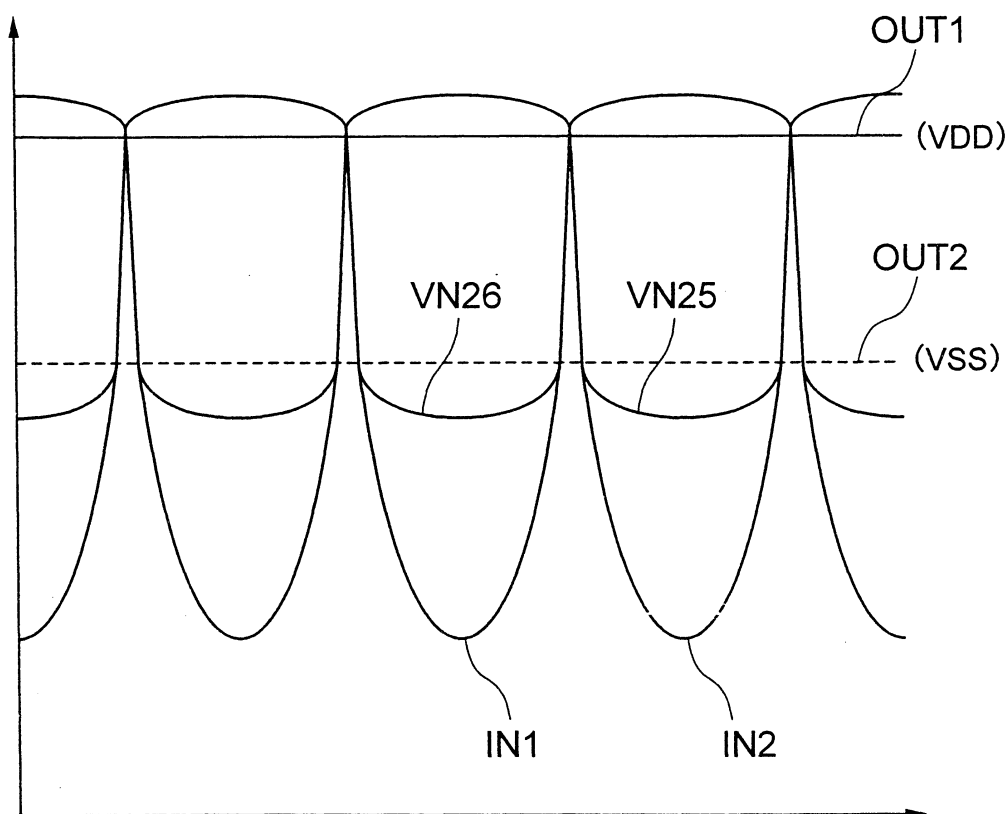
第 14 圖



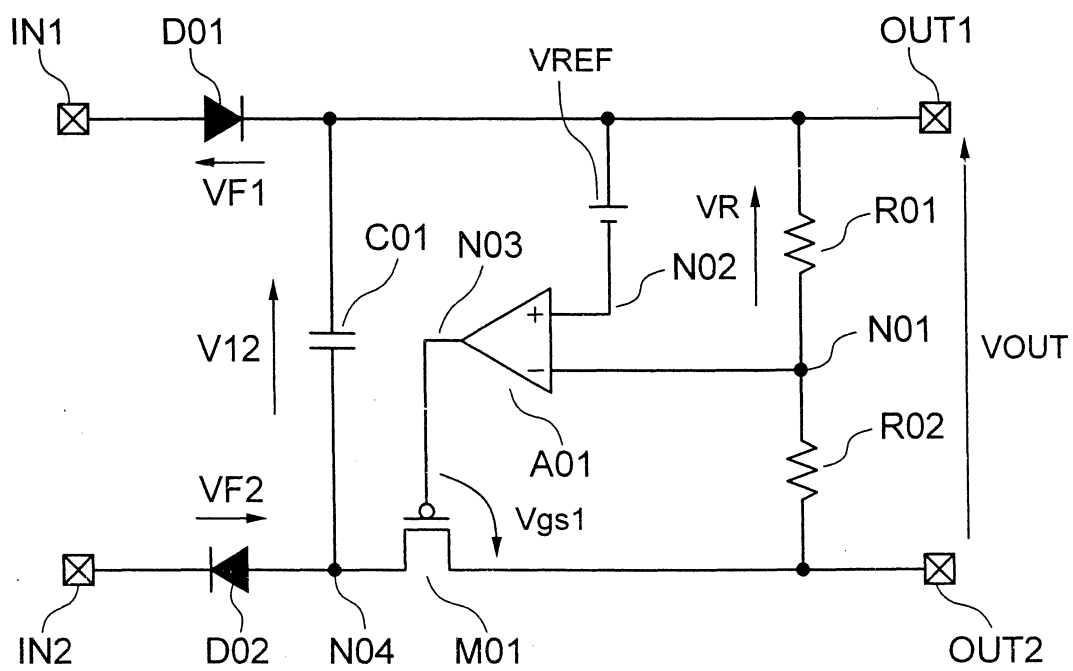
第 15 圖



第 16 圖



第 17 圖



## 六、申請專利範圍

第 90106458 號專利申請案

中文申請專利範圍修正本

民國 91 年 12 月 11 日修正

1. 一種非接觸型電子裝置，具備有：

用於受訊訊號及電力之天線，及

由於上述天線所受訊之電力而使之發生內部電壓之電源電路，及

以上述電源電路所形成之內部電壓而動作，進行上述天線所受訊之訊號的處理之內部電路，

上述電源電路乃具備有：

連接於上述天線之第 1 輸入端子及上述第 2 輸入端子，及

連接於上述內部電路之第 1 輸出端子及上述第 2 輸出端子，及

具有連接上述第 2 輸入端子與上述第 2 輸出端子的源極・漏極經路（或集極・射極經路）之第 1 整流電晶體，及

連接上述第 2 輸入端子與上述第 1 整流電晶體的閘極（或基極）之第 1 電阻機構，及

具有連接上述第 1 輸入端子與上述第 2 輸出端子的源極・漏極經路（或集極・射極經路）之第 2 整流電晶體，及

連接上述第 1 輸入端子與上述第 2 整流電晶體的閘極

訂

## 六、申請專利範圍

(或基極)之第2電阻機構，及

形成回應於上述控制電壓之電流而供給於上述第1電阻機構與第2電阻機構之電壓控制電流源，及

回應上述第1輸出端子與上述第2輸出端子間的電壓而形成上述控制電壓之第1電壓檢測機構。

2. 如申請專利範圍第1項所述之非接觸型電子裝置，其中上述電源電路乃具備有：

具有連接上述第1輸入端子與上述第1輸出端子的源極・漏極經路，及上述第2輸入端子的閘極之第3電晶體，及

具有連接上述第2輸入端子與上述第1輸出端子的源極・漏極經路，及連接上述第1輸入端子的閘極之第4電晶體。

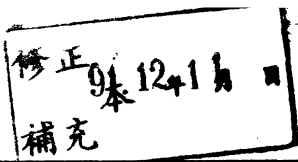
3. 一種半導體積體電路裝置，具備有：

被賦加交流電壓之第1輸入端子及第2輸入端子，及

對於上述第2輸入端子連接有漏極（或集極），而閘極（或基極）與漏極（或集極）係介著第1電阻機構而被連接而對於上述第1輸入端子與第2輸入端子間流通整流電流之第1整流電晶體，及

形成回應於上述控制電壓之電流以資供給於上述第1電阻機構之第1電壓控制電流源，及

使上述第1整流電晶體之源極（或射極）側所獲得之整流電壓，與規定之基準電壓得相一致地形成上述控制電壓之第1電壓檢測機構，而構成爲其特徵者。



## 六、申請專利範圍

4 . 如申請專利範圍第 3 項所述之半導體積體電路裝置，其中

在於上述第 1 輸入端子，與輸出整流電壓之第 1 輸入端子之間係設置有流通對應於上述整流電流之電流之第 1 單方向性元件，

上述第 1 電壓控制電流源乃設置於上述第 1 輸出端子與上述第 1 整流電晶體之閘極（或基極）之間，

上述第 1 整流電晶體之源極（或射極）係連接於輸出整流電壓之第 2 輸出端子者。

5 . 如申請專利範圍第 4 項所述之半導體積體電路裝置，其中

上述第 1 整流電晶體係由第 1 整流 MOSFET 所成

上述電壓檢測機構係由接受上述整流電壓之分壓電壓及基準電壓之運算放大電路所構成，

上述第 1 電壓控制電流源乃設置於，在該閘極接受上述控制電壓之第 1 MOSFET，及該第 1 MOSFET 之源極－漏極之一端與上述第 1 整流 MOSFET 之閘極之間，而將電流流通於對應於上述整流電流之方向之第 2 MOSFET 所成者。

6 . 如申請專利範圍第 5 項所述之半導體積體電路裝置，其中

上述第 2 MOSFET 乃被形成為連接閘極與漏極而做成二極體形態者。

修正 91.12.11  
本 年 月 日  
補充

A8  
B8  
C8  
D8

## 六、申請專利範圍

7 . 如申請專利範圍第5項或第6項所述之半導體積體電路裝置，其中

上述第2 MOSFET 乃與上述第1 整流 MOSFET 及第1 MOSFET 之同一導電型的所構成，該閘極係連接於上述第2 輸入端子者。

8 . 如申請專利範圍第5項或6項所述之半導體積體電路裝置，其中

上述第1 單方向性元件乃由將連接閘極與漏極而成為二極體形態之第3 MOSFET 所成者。

9 . 如申請專利範圍第5項或6項所述之半導體積體電路裝置，其中

上述第1 單方向性元件乃由第3 MOSFET 所構成，該第3 MOSFET 係由與上述第1 整流 MOSFET 及第1 及第2 MOSFET 之同一導電型所構成，而該閘極係連接於上述第2 輸入端子者。

10 . 如申請專利範圍第4項所述之半導體積體電路裝置，其中再具備，

設置於上述第2 輸入端子與輸入整流電壓之第1 輸入端子之間而流通對應於上述整流電流之電流之第2 單方向性元件，及

該漏極（或集極）係連接於上述第2 輸入端子，閘極（或基極）與漏極（或集極）係介著第2 電阻機構地被連接而對於上述第1 輸入端子與上述第2 輸入端子之間流通整流電流之第2 整流電晶體，及

（請先閱讀背面之注意事項再填寫本頁）

訂

修正 91.12.11  
本 年 月 日A8  
B8  
C8  
D8

## 六、申請專利範圍

形成回應於上述控制電壓之電流而供給於上述第 2 電阻機構之第 2 電壓控制電流源，及

使上述第 2 整流電晶體之源極（或射極）側所獲得之整流電壓之與規定之基準電壓得相一致的形成本申請專利範圍之第 2 電壓檢測機構，而形成者。

1 1 . 如申請專利範圍第 1 0 項所述之半導體積體電路裝置，其中

上述第 1 及第 2 整流電晶體乃由第 1 及第 2 整流 MOSFET 所成，

上述電壓檢測機構乃由接受上述整流電壓之分壓及基準電壓之運算放大電路所構成，

上述第 1 及第 2 電壓控制電流源乃由，於該閘極接受上述控制電壓之第 1 及第 4 MOSFET，及設置於該第 1 及第 4 MOSFET 之各個之源極－漏極之一端與上述第 1 及第 2 整流 MOSFET 之各個之閘極之間，將電流通於對應於上述整流電流之方向之二極體形態之第 2 及第 5 MOSFET 所構成者。

1 2 . 如申請專利範圍第 1 0 項所述之半導體積體電路裝置，其中

上述第 1 及第 2 單方向性元件之各個乃由第 3 及第 6 MOSFET 所成，該第 3 及第 6 MOSFET 係以與上述各 MOSFET 之同一導電型所構成，上述第 3 MOSFET 之閘極係連接於上述第 2 輸入端子，上述第 6 MOSFET 之閘極係連接於上述第 1 輸入端子而構成

（請先閱讀背面之注意事項再填寫本頁）

訂

## 六、申請專利範圍

者。

1 3 . 如申請專利範圍第 3 項所述之半導體積體電路裝置，其中

上述第 1 輸入端子及第 2 輸入端子乃該發生上述交流電壓之天線係連接於外部者。

1 4 . 一種非接觸型電子裝置，具備有：

用於受訊訊號及電力之天線，及

由於上述天線所受訊之電力而使之發生內部電壓之電源電路，及

以上述電源電路所形成之內部電壓而動作，以資實施以上述左線所受訊之訊號之處理及資料之保存之內部電路，及

以上述電源電路所形成之內部電壓而動作，以資實施介著上述天線之訊號之受訊及送訊之通訊電路，

上述電源電路乃具備有：

被賦加上述天線所發生之交流電壓之第 1 輸入端子及第 2 輸入端子，及

於上述第 2 輸入端子上連接漏極（或集極），閘極（或基極）與漏極（或集極）係介著第 1 電阻機構而被連接，而對於上述第 1 輸入端子與上述第 2 輸入端子之間流通整流電流之第 1 整流電晶體，及

形成回應於上述控制電壓之電流而供給於第 1 電阻機構之第 1 電壓控制電流源，及

於上述第 1 整流電晶體之源極（或射極）側所獲得之

訂

修正

補充

本12年1月 日

A8  
B8  
C8  
D8

## 六、申請專利範圍

整流電壓之與規定之基準電壓得相一致地形成上述控制電壓之第1電壓檢測機構，而構成爲其特徵者。

15．如申請專利範圍第14項所述之非接觸型電子裝置，其中

上述第1整流電晶體係由第1整流MOSFET所成

於第1輸入端子與輸出整流電壓之第1輸出端子之間設置有流通對應於上述整流電流之電流之第1單方向性元件，

上述電壓檢測機構係由接受上述整流電壓之分壓電壓及基準電壓之運算放大電路所構成，

上述第1電壓控制電流源乃由：於該閘極接受上述控制電壓之第1MOSFET，及設於該第1MOSFET之源極－漏極之一端與上述第1整流MOSFET之閘極之間而將電流通於對應於上述整流電流之方向之第2MOSFET所構成者。

16．如申請專利範圍第14項或15項所述之非接觸型電子裝置，其中

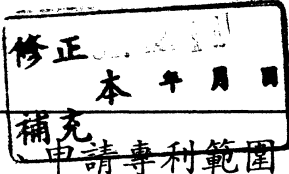
上述電源電路乃再具備：

設於上述第2輸入端子與輸出整流電壓之第1輸入端子之間，以資流通對應於上述整流電流之第2單方向性元件，及

於上述第2輸入端子連接漏極（或集極），閘極（或基極）與漏極（或集極）係介著第2電阻機構而被連接，

（請先閱讀背面之注意事項再填寫本頁）

訂

A8  
B8  
C8  
D8

## 六 補充申請專利範圍

而於上述第 1 輸入端子與上述第 2 輸入端子之間流通整流電流之第 2 整流電晶體，及

形成回應於上述控制電壓之電流以資供給於上述第 2 電阻機構之第 2 電壓控制電流源，及

使上述第 2 整流電晶體之源極（或射極）側所獲得之整流電壓之與規定之基準電壓將相一致地形成上述控制電壓之第 2 電壓檢測機構而構成者。

17. 如申請專利範圍第 14 項所述之非接觸型電子裝置，

其中上述非接觸型電子裝置乃，在於厚度薄之塑膠卡片上載置上述天線，電源電路，內部電路，以及通訊電路者。

（請先閱讀背面之注意事項再填寫本頁）

訂