



(12) 发明专利申请

(10) 申请公布号 CN 105322019 A

(43) 申请公布日 2016. 02. 10

(21) 申请号 201510383193. 8

H01L 29/10(2006. 01)

(22) 申请日 2015. 07. 02

(30) 优先权数据

62/020, 960 2014. 07. 03 US

14/529, 959 2014. 10. 31 US

(71) 申请人 美国博通公司

地址 美国加利福尼亚州

(72) 发明人 赵子群 许有志

(74) 专利代理机构 北京康信知识产权代理有限  
责任公司 11240

代理人 田喜庆

(51) Int. Cl.

H01L 29/78(2006. 01)

H01L 29/08(2006. 01)

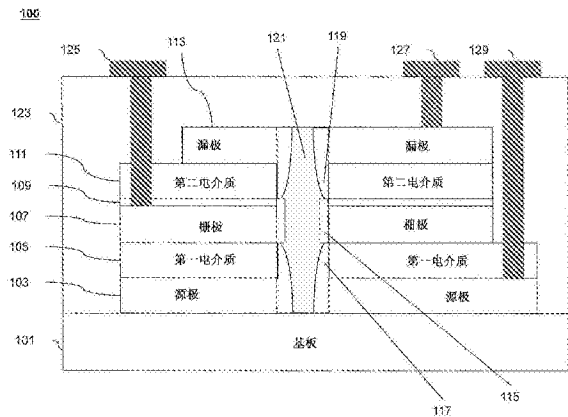
权利要求书2页 说明书13页 附图27页

(54) 发明名称

具有垂直沟道的半导体器件

(57) 摘要

本发明涉及具有垂直沟道的半导体器件。本发明提供了半导体器件及制造方法,用于使沟道和栅极长度与光刻无关。此外,本发明提供了半导体器件及制造方法,用于增加漏极与沟道之间的电阻率以允许更高电压操作。例如,本发明提供了一种半导体器件,所述半导体器件包括注入于半导体基板中形成源极或漏极中的一者的第一掺杂层及设置于第一掺杂层上的栅极金属层。所述半导体器件还包括设置于栅极金属层上形成源极或漏极中另一者的第二掺杂层,其中第一掺杂层、栅极金属层及第二掺杂层形成半导体器件的层垂直堆叠体。所述半导体器件还包括形成于沟槽中的导电沟道,所述沟槽垂直延伸穿过层垂直堆叠体并终止于半导体基板处。



1. 一种半导体器件,所述半导体器件包括:  
第一掺杂层,注入半导体基板中形成源极或漏极中的一者;  
栅极金属层,设置于所述第一掺杂层上;  
第二掺杂层,设置于所述栅极金属层上形成所述源极或所述漏极中的另一者,其中所述  
第一掺杂层、所述栅极金属层及所述第二掺杂层形成所述半导体器件的层垂直堆叠体;  
以及  
导电沟道,形成于沟槽中,所述沟槽垂直延伸穿过所述层垂直堆叠体并终止于所述半  
导体基板处。
2. 根据权利要求 1 所述的半导体器件,所述半导体器件还包括:  
第一电介质层,配置在所述第一掺杂层与所述栅极金属层之间;以及  
硬掩模和第二电介质层,配置于所述栅极金属层与所述第二掺杂层之间,所述硬掩模  
设置于所述栅极金属层上,并且所述第二电介质层配置在所述硬掩模与所述第二掺杂层之  
间。
3. 根据权利要求 1 所述的半导体器件,所述半导体器件还包括:  
第一触点,连接至所述第一掺杂层;  
栅极触点,连接至所述栅极金属层;以及  
第二触点,连接至所述第二掺杂层。
4. 根据权利要求 1 所述的半导体器件,所述半导体器件还包括:  
第一延伸部,在所述沟槽内从所述第一掺杂层生长至在所述沟槽内的所述栅极金属层  
的底部;以及  
第二延伸部,在所述沟槽内从所述第二掺杂层生长至在所述沟槽内的所述栅极金属层  
的顶部。
5. 根据权利要求 1 所述的半导体器件,其中形成于所述沟槽中的所述导电沟道延伸超  
过所述沟槽以覆盖所述第二掺杂层的一部分,从而形成设置在所述第二掺杂层上的延伸电  
连接层。
6. 根据权利要求 1 所述的半导体器件,其中形成于所述沟槽中的所述导电沟道终止于  
所述第二掺杂层的顶表面。
7. 根据权利要求 1 所述的半导体器件,其中所述栅极金属层使用原子层沉积进行沉  
积。
8. 一种半导体器件,所述半导体器件包括:  
第一掺杂层,注入半导体基板中形成源极或漏极中的一者;  
第一电介质层,设置于所述第一掺杂层上;  
栅极金属层,设置于所述第一电介质层上;  
第二电介质层,设置于所述栅极金属层上;  
第二掺杂层,设置于所述第二电介质层上形成所述源极或所述漏极中的另一者,其中  
所述第一掺杂层、所述第一电介质层、所述栅极金属层、所述第二电介质层以及所述第二掺  
杂层形成所述半导体器件的层垂直堆叠体;以及  
导电沟道,形成于沟槽中,所述沟槽垂直延伸穿过所述层垂直堆叠体,其中在所述栅极  
金属层处的导电沟道的宽度小于在所述栅极金属层下面的所述第一电介质层处的导电沟

道的宽度。

9. 根据权利要求 8 所述的半导体器件,其中在所述第二电介质层处的导电沟道的厚度小于在所述第一电介质层处的所述导电沟道的厚度。

10. 根据权利要求 8 所述的半导体器件,其中在所述第二电介质层处的导电沟道的宽度等于在所述栅极金属层处的导电沟道的宽度,并且小于在所述第一电介质层处的导电沟道的宽度。

## 具有垂直沟道的半导体器件

[0001] 相关申请交叉引用

[0002] 本申请主张于 2014 年 7 月 3 日提交的美国临时专利申请号 62/020,960 以及于 2014 年 10 月 31 日提交的美国专利申请号 14/529,959 的权益,其全部内容结合于此作为参考。

### 技术领域

[0003] 本发明大体上涉及具有垂直沟道的半导体器件及其制造方法。

### 背景技术

[0004] 在常规硅晶体管中,包括源极、栅极和漏极,沟道长度 (LG) 为在硅基板内源极至漏极之间的长度。此沟道长度受到光刻能力限制。在常规方法中,沟道长度可为不小于 28nm 或 20nm。20nm 的沟道长度可使用两次或多次图案化实现,这是昂贵的,因为多次图案化增加了处理成本。随着半导体更小化的需求增加,甚至需要制造小于 20nm 的沟道长度。随着沟道长度变得越来越小,栅极电压也随之减小。然而,由于栅极电容耦合,栅极电压不能随着沟道长度的比例变化而变化。换言之,更小沟道长度的一个好处在于可施加更小栅极电压。然而,此栅极电压不能小于耦合在在常规横向晶体管中的栅极电容所承受的极值。此外,更小沟道长度可导致在断开状态下源极 / 漏极泄漏的增多。此外,小的沟道长度可引起漏端引入的势垒降低 (DIBL) 效应,当施加高漏极电压时,所述漏端引入的势垒降低 (DIBL) 效应可导致晶体管过早导通。并且,制造更小沟道长度常规方法面临包括沟道掺杂均匀性、线边缘粗糙度及多次图案化要求过高成本的多个挑战。

[0005] 当前投影光刻印刷技术可限制沟道长度。此外,小于 78nm 的接触式多晶间距 (CPP) 要求多次图案化的分辨率和可制造性。此外,极紫外线 (EUV) 可印刷小沟道长度,然而,当前吞吐量非常慢且成本高,使 EUV 不可取。

[0006] 已经尝试开发更小沟道长度的三维 (3D) 晶体管。例如,FinFET 晶体管具有薄硅“鳍”,其中每个鳍包括盘绕在导电沟道上的双栅极区。FINFET 已经按照 16nm 或 14nm 的沟道长度进行制造。然而,这些 3D 晶体管具有与常规 2D(例如,平面)晶体管相似的限制,如:受光刻能力限制的沟道长度;与器件间距耦合的栅极长度;栅极电容耦合的负面影响;断开状态的源极 / 漏极泄漏;DIBL 效应等。此外,制造 3D 晶体管比 2D 晶体管更加昂贵。并且,因为鳍为预制造,所以在 3D 晶体管中栅极宽度仅可为预制造鳍的宽度的函数且不易改变。此外,由于 3D 的结构,耦合电容更高且制造更具有挑战性,因为 3D 结构的应力控制和均匀性的产量容易产生问题。

### 发明内容

[0007] 根据本发明的一个方面,提供了一种半导体器件,所述半导体器件包括:第一掺杂层,注入 (implant, 植入) 半导体基板中形成源极或漏极中的一者;栅极金属层,设置于所述第一掺杂层上;第二掺杂层,设置于所述栅极金属层上形成所述源极或所述漏极中的另

一者,其中所述第一掺杂层、所述栅极金属层及所述第二掺杂层形成所述半导体器件的层垂直堆叠体;以及导电沟道(conduction channel),形成于沟槽中,所述沟槽垂直延伸穿过所述层垂直堆叠体并终止于所述半导体基板处。

[0008] 优选地,所述半导体器件还包括:金属栅极功函数(metal gate work-function),在所述沟槽内形成于所述栅极金属层的一部分上;以及高k电介质,在所述沟槽内生长于所述金属栅极功函数上。

[0009] 优选地,所述半导体器件还包括:第一电介质层,配置在所述第一掺杂层与所述栅极金属层之间;以及硬掩模和第二电介质层,配置于所述栅极金属层与所述第二掺杂层之间,所述硬掩模设置于所述栅极金属层上,并且所述第二电介质层配置在所述硬掩模与所述第二掺杂层之间。

[0010] 优选地,所述半导体器件还包括:第一触点,连接至所述第一掺杂层;栅极触点,连接至所述栅极金属层;以及第二触点,连接至所述第二掺杂层。

[0011] 优选地,所述半导体器件还包括:第一延伸部,在所述沟槽内从所述第一掺杂层生长至在所述沟槽内的所述栅极金属层的底部;以及第二延伸部,在所述沟槽内从所述第二掺杂层生长至在所述沟槽内的所述栅极金属层的顶部。

[0012] 优选地,其中形成于所述沟槽中的所述导电沟道延伸超过所述沟槽以覆盖所述第二掺杂层的一部分,从而形成设置在所述第二掺杂层上的延伸电连接层。

[0013] 优选地,所述半导体器件还包括:隔离层,形成于所述延伸电连接层上。

[0014] 优选地,其中形成于所述沟槽中的所述导电沟道终止于所述第二掺杂层的顶表面处。

[0015] 优选地,其中所述栅极金属层使用原子层沉积进行沉积。

[0016] 优选地,其中所述导电沟道包括硅材料,所述硅材料相对于第一和第二掺杂层为相对轻掺杂。

[0017] 优选地,其中所述导电沟道掺杂了与第一和第二掺杂层不同的材料。

[0018] 根据本发明的另一个方面,提供了一种半导体器件,所述半导体器件包括:第一掺杂层,注入半导体基板中形成源极或漏极中的一者;第一电介质层,设置于所述第一掺杂层上;栅极金属层,设置于所述第一电介质层上;第二电介质层,设置于所述栅极金属层上;第二掺杂层,设置于所述第二电介质层上形成所述源极或所述漏极中的另一者,其中所述第一掺杂层、所述第一电介质层、所述栅极金属层、所述第二电介质层以及所述第二掺杂层形成所述半导体器件的层垂直堆叠体;以及导电沟道,形成于沟槽中,所述沟槽垂直延伸穿过所述层垂直堆叠体,其中在所述栅极金属层处的导电沟道的宽度小于在所述栅极金属层下面的所述第一电介质层处的导电沟道的宽度。

[0019] 优选地,其中在所述第二电介质层处的导电沟道的厚度小于在所述第一电介质层处的所述导电沟道的厚度。

[0020] 优选地,所述半导体器件还包括:栅极隔离层,配置在所述第一电介质层与第二电介质层之间,围绕所述栅极金属层。

[0021] 优选地,其中所述导电沟道通过栅极氧化物与所述栅极金属层以及所述第二电介质层分开。

[0022] 优选地,其中在所述第二电介质层处的导电沟道的宽度基本上等于在所述栅极金

属层处的导电沟道的宽度,并且小于在所述第一电介质层处的导电沟道的宽度。

[0023] 优选地,所述半导体器件还包括:硅垫(silicon pad),形成于所述导电沟道的顶部上并且在所述第二掺杂层内。

[0024] 优选地,其中所述硅垫的宽度基本上等于在所述第一电介质层处的导电沟道的宽度。

[0025] 优选地,其中所述沟槽和所述导电沟道垂直延伸穿过所述第一掺杂层并终止于所述半导体基板处。

[0026] 优选地,其中所述半导体器件为横向扩散金属氧化物半导体(LDMOS),且在所述第一电介质层处的导电沟道增加电阻值以允许LDMOS的更高电压操作。

## 附图说明

[0027] 附图示出了本发明且与说明书一起进一步用于说明本发明原理且使相关领域技术人员能够制作和使用本发明,附图并入本文中且形成说明书的一部分。

[0028] 图1a示出了根据本发明实施方案的半导体器件的剖视图;

[0029] 图1b示出了根据本发明另一个实施方案的半导体器件的剖视图;

[0030] 图1c示出了根据本发明另一个实施方案的半导体器件的剖视图;

[0031] 图1d示出了根据本发明实施方案的半导体器件的顶视图;

[0032] 图2a至图2b示出了根据本发明实施方案的制造方法方法的流程图;

[0033] 图3a至图3i示出了根据本发明实施方案的制造方法;

[0034] 图4示出了根据本发明另一个实施方案的半导体器件的侧视图;

[0035] 图5a至图5c示出了根据本发明另一个实施方案的制造方法的流程图;

[0036] 图6a至图6j示出了根据本发明另一个实施方案的制造方法。

[0037] 现将参考附图说明本发明。图中,一般地,相同附图标记表示相同或功能类似的元件。此外,一般地,附图标记的(多个)最左边数字标识附图标记首次出现的附图。

## 具体实施方式

[0038] 概述

[0039] 本发明提供了半导体器件及制造方法,用于使沟道和栅极长度与光刻限制无关,这使以下成为可能:更小器件特征比例;短沟道效应的更好控制;基板注入灵敏性的降低;产生更快切换速度的每个硅区域的更高驱动电流;以及使器件封装密度与栅极长度去耦的能力。本发明提供了半导体器件及制造方法,用于增加漏极与沟道之间的电阻率以允许更高电压操作。

[0040] 根据本发明一个实施方案,提供了一种半导体器件,所述半导体器件包括注入于半导体基板中形成源极或漏极中的一者的第一掺杂层及设置于第一掺杂层上的栅极金属层。所述半导体器件还包括设置于栅极金属层上形成源极或漏极中另一者的第二掺杂层,其中第一掺杂层、栅极金属层及第二掺杂层形成半导体器件的层垂直堆叠体。所述半导体器件还包括形成于沟槽中的导电沟道,所述沟槽垂直延伸穿过层垂直堆叠体并终止于半导体基板处。

[0041] 根据本发明实施方案,提供了一种方法,所述方法包括:在半导体基板中注入第一

掺杂层以形成源极或漏极中的一者；在第一掺杂层上沉积第一电介质层；以及在第一电介质层上沉积栅极金属层。所述方法还包括：在栅极金属层上沉积第二电介质层并沉积第二掺杂层以形成源极或漏极中的另一者，其中第二掺杂层、第二电介质层、栅极金属层、第一电介质层及第一掺杂层形成半导体器件的层垂直堆叠体。所述方法还包括蚀刻沟槽并在沟槽内进一步生长导电沟道，所述沟槽垂直延伸穿过层垂直堆叠体并终止于半导体基板处，其中导电沟道可如自源极至漏极的沟道一样操作。

[0042] 根据本发明另一个实施方案，提供了一种半导体器件，所述半导体器件包括注入于半导体基板上形成源极或漏极中的一者的第一掺杂层；设置于第一掺杂层上的第一电介质层；设置于第一电介质层上的栅极金属层；及设置于栅极金属层上的第二电介质层。所述半导体器件还包括设置于第二电介质层上形成源极或漏极中的另一者的第二掺杂层，其中第一掺杂层、第一电介质层、栅极金属层、第二电介质层及第二掺杂层形成半导体器件的层垂直堆叠体。所述半导体器件还包括形成于沟槽中的导电沟道，所述沟槽垂直延伸穿过层垂直堆叠体，其中在栅极金属层处导电沟道的宽度小于在栅极金属层下面的第一电介质层处导电沟道的宽度。

[0043] 根据本发明实施方案，提供了一种方法，所述方法包括在半导体基板中注入第一掺杂层以形成源极或漏极中的一者并在第一掺杂层上沉积第一电介质层。所述方法还包括在第一电介质层上沉积第一硬掩模层并在第一电介质层内蚀刻沟槽，其中在第一电介质层内沟槽的宽度由第一硬掩模限定，并在第一电介质层内的沟槽内形成导电沟道的第一部分。所述方法还包括在第一硬掩模及导电沟道的第一部分上沉积本体掩模和第二硬掩模层并在本体掩模内蚀刻沟槽，其中在本体掩模内沟槽的宽度由第二硬掩模限定。所述方法还包括在本体掩模内形成导电沟道的第二部分，其中在本体掩模内导电沟道的第二部分的宽度小于在第一电介质层内导电沟道的第一部分的宽度。所述方法还包括移除本体掩模及两个硬掩模层。所述方法还包括：在导电沟道的第二部分的顶上及周围形成栅极氧化物层；在导电沟道的第二部分周围的第一电介质层上沉积栅极金属层；以及在栅极金属层周围且远离导电沟道的第二部分的第一电介质层上形成栅极隔离层。所述方法还包括移除在导电沟道的第二部分的顶上的栅极氧化物层；在栅极隔离层和栅极金属层上及导电沟道的第二部分周围沉积第二电介质层。所述方法还包括在导电沟道的第二部分上沉积硅垫，所述硅垫具有比导电沟道的第二部分的宽度更大的宽度，并在硅垫和第二电介质层上注入第二掺杂层以形成源极或漏极中的另一者。

[0044] 详细讨论

[0045] 以下本发明具体实施方式参考附图，附图示出了与本发明一致的示例性实施方案。示例性实施方案将非常详细地揭示本发明的一般性质，在不脱离本发明的精神和范围的情况下，通过应用相关领域技术人员知识，其他人可容易地修改和/或改写多个应用，如示例性实施方案，而无需过度实验。因此，这样的改写和修改意欲在本含义内，且示例性实施方案的多个等同物基于本文中所呈现的教案和指南。应当理解，本文中措辞或术语是为了说明而不是限制，使得本说明书的术语或措辞应当由相关领域技术人员鉴于本文中教案进行解释。因此，具体实施方式并不意味着限制本发明。

[0046] 所述（多个）实施方案及在本说明书中对“一个实施方案”、“实施方案”、“实例性实施方案”等的参考表示所述（多个）实施方案可包括特定特征、结构或特性，但每一个实

实施方案可能并不一定包括特定特征、结构或特性。此外,这样的短语并不一定是指同一个实施方案。此外,当结合实施方案说明特定特征、结构或特性时,应当理解,无论是否明确说明,它在本领域技术人员知识范围内,以结合其他实施方案影响这样的特征、结构或特性。

[0047] 图 1a 示出了根据本发明实施方案的半导体器件 100 的剖视图。半导体器件 100 建立于半导体基板 101 上,如硅基板,所述半导体器件 100 可包括半导体垂直栅极全金属氧化物半导体(VGAAMOS)。半导体器件 100 包括第一掺杂层,所述第一掺杂层可如源极层 103 一样操作,所述源极层 103 注入于半导体基板 101 中。半导体器件 100 还包括第一电介质层 105,所述第一电介质层 105 沉积于源极层 103 上。第一电介质层 105 配置为源极层 103 与栅极层 107 之间的间隔物。

[0048] 半导体器件 100 还包括沉积于第一电介质层 105 上的栅极金属层 107。栅极金属层 107 的厚度(例如,垂直厚度)可进行调整以达到期望栅极沟道长度。根据本发明实施方案,栅极金属层 107 可包括钛、氮化钛、钽、氮化钽、铝、钨或任意其他合适的金属或金属合金。此外,栅极金属层 107 可包括合适的金属或金属合金的任意组合。栅极金属层 107 可使用物理气相沉积(PVD)、化学气相沉积(CVD)、原子层沉积(ALD)或任意其他合适的沉积方法进行沉积。

[0049] 半导体器件 100 的临界尺寸为栅极金属层厚度(例如,在器件 100 中的垂直厚度),因为它限定了器件 100 的栅极沟道长度,且栅极沟道长度控制所述器件的总切换速度或频率。根据一个实例,栅极金属层 107 使用 ALD 或其他薄膜沉积方法进行沉积,所述 ALD 提供单原子层精度,使得栅极金属层厚度可薄至 15Å(1.5nm)。因此,栅极金属层 107 的厚度可以更精确地控制且制成为比通过对应光刻方法提供的栅极金属层厚度更小的尺寸。

[0050] 半导体器件 100 还包括沉积于栅极金属层 107 上的硬掩模层 109 及沉积于硬掩模层 109 上的第二电介质层 111。半导体器件 100 还包括沉积于第二电介质层 111 上的第二掺杂层 113,所述第二掺杂层 113 如漏极层 113 一样操作。根据本实施方案,硬掩模层 109 配置为将漏极层 113 与栅极金属层 107 隔离开来。如图所示,源极层 103 为半导体器件 100 的最底层,漏极层 113 为最顶层。本领域技术人员应当知道,源极层 103 和漏极层 113 的相对位置可以交换,使得漏极层为最底层(注入于大块基板 101 中或注入于大块基板 101 之上),源极层为最顶层。

[0051] 半导体器件 100 的多个层提供了层垂直堆叠体。半导体器件 100 还包括长方形或圆形沟槽(例如,孔或通孔),所述沟槽垂直延伸穿过包括漏极层 113、第二电介质层 111、硬掩模层 109、栅极金属层 107、第一电介质层 105 及源极层 103 的层垂直堆叠体,其中所述沟槽终止于基板 101 处。虽然本发明中引用了长方形沟槽或正方形孔或圆形孔,但是对于相关领域技术人员应当显而易见,可以使用其他形状的沟槽。此长方形沟槽或圆形孔包括导电沟道 121,根据多个实施方案,所述导电沟道 121 可使用异质外延异质外延或 ALD 形成,使得所述导电沟道为半导体材料的实心圆柱体或长方形块。在一个实例中,导电沟道 121 可包括硅材料,所述硅材料相对于源极层 103 和漏极层 113 为轻掺杂,且所述硅材料垂直延伸穿过漏极层 113 和源极层 103。此外,导电沟道 121 可掺杂了与漏极层 113 和源极层 103 的掺杂不同的材料。

[0052] 半导体器件如场效应晶体管(FET)一样操作,其中适当的栅极电压为自源极层

103 行进至漏极层 113 的“载流子”(例如,电子或空穴)形成导电沟道。在本实例中,电流在垂直于基板 101 的表面的方向上自漏极层 113 垂直到源极层 103(对于电子载流子)。半导体器件 100 的栅极沟道长度由栅极金属层 107 的厚度限定,所述栅极金属层 107 与导电沟道 121 电气接触。虽然整个导电沟道 121 能够如沟道一样操作,但是本领域技术人员应当理解,由于栅极的电场,载流子会趋向于累积在靠近栅极层的导电沟道 121 的外表面上。因而,载流子导电沟道为根据导电沟道 121 的外表面成形的垂直壁,因此可为圆柱形、长方形或由保持导电沟道 121 的沟槽的内表面限定的另一个形状。因为栅极层 107 包围导电沟道 121 且与导电沟道 121 电气接触,所以当与常规结构相比时,此结构增加了导电沟道 121 与栅极层 107 的结接触面积。因此,半导体器件 100 支持自源极层 103 至漏极层 113 的载流子流动增加,并且因此支持与常规结构相比更高的切换电流。

[0053] 半导体器件 100 还包括栅极功函数和高 K 电介质 115,所述栅极功函数和高 K 电介质 115 形成于长方形沟槽或圆形孔的内表面上的栅极金属层 107 的一部分上。如图 1a 所示,栅极功函数和高 K 电介质 115 覆盖沟槽内的栅极金属 107,且起始于第一电介质层 105 与沟槽内的栅极金属层 107 的相交处,停止于硬掩模层 109 和第二电介质层 111 接触的相交处。栅极功函数和高 K 电介质 115 盘绕在导电沟道 121 上,以易于栅极金属接触。

[0054] 半导体器件 100 还包括第一延伸部,如源极延伸部 117,所述源极延伸部 117 自源极层 103 至栅极金属层 107 的底部生长于沟槽内,并操作以使源极向栅极区延伸。图 1a 上的虚线示出了源极延伸部 117 与源极层 103 之间的边界。根据一个实例,源极延伸部 117 可与源极层 103 类似地进行掺杂。可选择地,源极延伸部 117 的掺杂可为与源极层 103 的掺杂不同。例如,不同材料可用于掺杂源极延伸部 117 和源极层 103。此外,可以使用类似材料,然而,与源极层 103 相比,源极延伸部 117 可掺杂更轻或更重。半导体器件 100 还包括第二延伸部,如漏极延伸部 119,所述漏极延伸部 119 自漏极层 113 至硬掩模层 109 的顶部生长于沟槽内。图 1a 上的虚线示出了漏极延伸部 119 与漏极层 113 之间的边界。根据一个实例,漏极延伸部 119 可与漏极层 113 类似地进行掺杂。可选择地,漏极延伸部 119 的掺杂可为与漏极层 113 的掺杂不同。例如,不同材料可用于掺杂漏极延伸部 119 和漏极层 113。此外,可以使用类似材料,然而,与漏极层 113 相比,漏极延伸部 119 可掺杂更轻或更重。根据一个实例,源极和漏极延伸部 117 和 119 可使用固态源扩散进行生长。此外,源极延伸部 117 和漏极延伸部 119 可使用选择性沉积方法进行沉积。延伸 117、119 使源极和漏极分别向栅极区延伸,以易于载流子流动。在一个实例中,源极延伸部 117 和漏极延伸部 119 还可增加切换电流。

[0055] 半导体器件 100 还可包括在源极层 103、第一电介质层 105、栅极金属层 107、硬掩模层 109、第二电介质层 111 及漏极层 113 周围的隔离沟槽。这些隔离沟槽可填满隔离材料 123,如氧化物。半导体器件 100 还可包括栅极触点 125、漏极触点 127 及源极触点 129,所述栅极触点 125、漏极触点 127 及源极触点 129 分别连接至栅极金属层 107、漏极层 113 及源极层 103。触点 125 至触点 129 可用来提供操作半导体器件 100 所需的电压。

[0056] 图 1b 示出了根据本发明另一个实施方案的半导体器件 130 的剖视图。在图 1b 的示例性实施方案中,导电沟道 121 延伸超过沟槽以覆盖漏极层 113 的一部分,以在漏极层 113 上形成延伸电连接层。

[0057] 图 1c 示出了根据本发明另一个实施方案的半导体器件 150 的剖视图。在图 1c 的

示例性实施方案中,第二电介质层 111 未终止于漏极 113 的较低侧(更靠近基板 101 的侧)处。相反,第二电介质层 111 的顶侧(更远离基板 101 的侧)与漏极层 113 的顶侧(更远离基板 101 的侧)齐平,如图所示。此外,半导体器件 150 可包括隔离层 123,所述隔离层 123 盘绕(或包围)在栅极金属层 107 上。图 1d 示出了根据本发明实施方案的半导体器件 150 的顶视图。根据本实例,栅极金属层 107 位于源极层 103 与漏极层 113 之间。导电沟道 121 的顶部在图 1d 中可见并延伸穿过源极层 103、栅极层 107 及漏极层 113。

[0058] 图 2a 至图 2b 及图 3a 至图 3i 示出了根据本发明实施方案用于制造半导体 100、130 和 150 中一个或一个以上半导体的制造方法。在图 2a 至图 2b 的流程图中的步骤如图 3a 至图 3i 所示。应当了解,并非所有步骤需要执行本文中所提供的公开内容。此外,本领域技术人员应当理解,所述步骤中一些步骤可同时或以与图 2a 至图 2b 及图 3a 至图 3i 中所示的顺序不同的顺序执行。

[0059] 在步骤 201 中,如图 3a 所示,第一掺杂层(如源极层 103)注入于基板 101 中或注入于基板 101 之上。

[0060] 如图 3b 所示,在步骤 203 至步骤 211 中,执行多层堆叠沉积。在步骤 203 中,第一电介质层 105 沉积于第一掺杂层上,即源极层 103。根据一个实例,第一电介质层 105 充当源极层 103 与栅极金属层 107 之间的间隔物。在步骤 205 中,栅极金属层 107 沉积于第一电介质层 105 的顶上。根据本发明实施方案,栅极金属层 107 可通过物理气相沉积(PVD)、化学气相沉积(CVD)、原子层沉积(ALD)或任意其他合适的沉积方法进行沉积。栅极金属层 107 的厚度可进行调整以达到期望的栅极沟道长度,所述栅极金属层的厚度限定栅极沟道长度。在实施方案中,当 ALD 沉积用于沉积时,金属层厚度可薄至几个原子层(例如,1.5nm)。

[0061] 在步骤 207 中,硬掩模层 109 沉积于栅极金属层 107 上以隔离漏极层 113 与栅极金属层 107。在步骤 209 中,第二电介质层 111 沉积于硬掩模层 109 上,在步骤 211 中,第二掺杂层(如漏极层 113)沉积于第二电介质层 111 上。在图 3b 及步骤 203 至步骤 211 中执行的多层堆叠沉积可使用原子层沉积、化学异质外延、物理异质外延或任意其他沉积或生长方法完成。

[0062] 根据一个实例,栅极金属层 107 的垂直厚度可约为 10nm、7nm、5nm、3nm、2nm 或更低。源极层 103 和漏极层 113 的垂直厚度可约为 10nm 至 100nm。第一电介质层 105 和第二电介质层 111 的垂直厚度可约近似于源极层 103 和漏极层 113 的垂直厚度。相关领域技术人员应当认识到,可以使用其他厚度。

[0063] 在步骤 213 中,如图 3c 所示,长方形沟槽或圆形孔 131 垂直蚀刻穿过包括漏极层 113、第二电介质层 111、硬掩模层 109、栅极金属层 107、第一电介质层 105 及源极层 103 的多个垂直层并终止于基板 101 处。虽然本发明中引用了长方形沟槽或圆形孔 131,但是对于相关领域技术人员应当显而易见,可以使用其他形状的沟槽。根据一个实例,蚀刻沟槽 131 穿过不同层可包括将掩模放置于第二掺杂层(如漏极层 113)上并对于漏极层 113 中未遮蔽的部分使用蚀刻方法蚀刻多个垂直层。根据一个实例,蚀刻沟槽 131 在没有两次图案化或在两次图案化更小的情况下,直径/宽度约为 20nm 到 50nm。例如,蚀刻沟槽 131 可具有约 28nm 的直径/宽度。应当注意,通过使用例如两次或多次图案化,蚀刻沟槽还可具有更小宽度。根据一个实例,源极层 103 和漏极层 113 的厚度可约为 10nm 至 100nm。相关领域

技术人员应当认识到,可以使用其他厚度。

[0064] 在步骤 215 中,如图 3d 所示,金属栅极功函数生长于沟槽 131 内的金属栅极层 117 的一部分上。生长金属栅极功函数可包括当多个不同金属材料自然吸收到沟槽 131 内的金属栅极层 117 的该部分时,在沟槽 131 内的栅极金属层 107 上沉积多个不同金属材料。在步骤 217 中,高 K 电介质材料生长于金属栅极功函数上。如图 3d 所示,金属栅极功函数和高 K 电介质 115 起始于第一电介质层 105 和栅极金属层 107 相交处,并终止于硬掩模层 109 和第二电介质层 111 相交处。栅极功函数和高 K 电介质 115 盘绕在导电沟道 121 上。在一个实例中,栅极功函数和高 K 电介质 115 提高了栅极区中的介电常数,这降低了所得 FET 的阈值电压。

[0065] 在步骤 219 中,如图 3e 所示,第一延伸部(如源延伸 117)自第一掺杂层(如源极层 103)至沟槽 131 内的栅极金属层 107 的底部生长于沟槽 131 内。在步骤 221 中,如图 3e 所示,第二延伸部(如漏极延伸部 119)自第二掺杂层(如漏极层 113)至硬掩模层 109 的顶部生长于沟槽 131 内。在一个实例中,第二延伸部(如漏极延伸部 119)自第二掺杂层(如漏极层 113)至硬掩模层 109 的顶部生长,使得硬掩模层 109 可防止漏极层 113 和栅极金属层 107 电气短路。如图 3e 所示,延伸 117、119 使源极和漏极分别向栅极区延伸以易于载流子流动。

[0066] 根据一个实例,源极延伸部 117 和漏极延伸部 119 可使用固态源扩散进行生长。此外,源极延伸部 117 和漏极延伸部 119 可使用掩模和选择性沉积方法进行沉积。根据一个实例,掺杂材料层 301 在源极/漏极延伸部的沉积期间沉积于漏极层 113 上。根据本实例,在所述方法移至下一步骤之前,蚀刻层 301。根据一个实例,源极延伸部 117 和漏极延伸部 119 可导致横截面面积增加,使得电子可容易地跨沟道流动。

[0067] 在步骤 223 中,如图 3f 所示,导电沟道 121 形成(例如,生长)于沟槽(所述沟槽垂直延伸穿过层垂直堆叠体)中且还形成于漏极层 113 上。在本实例中,形成于沟槽中的导电沟槽 121 延伸超过沟槽以覆盖漏极层 113 的一部分,以形成设置于漏极层 113 上的层,用于更好电气连接。根据一个实例,导电沟槽 121 可包括硅沟道并可使用异质外延的方法(如 ALD)形成(例如,生长),虽然还可使用其他沉积方法。导电沟道 121 可包括轻掺杂材料,所述轻掺杂材料延伸穿过漏极层 113 和源极层 103。例如,导电沟道 121 可包括硅材料,所述硅材料相对于第一掺杂层 103 和第二掺杂层 113 为相对轻掺杂。此外,导电沟道 121 可掺杂了与第一掺杂层 103 和第二掺杂层 113 的掺杂不同的材料。此外,导电沟道 121 可包括高迁移率材料,如锗(Ge)、砷化镓(GaAs)、碳化硅(SiC)、锗化硅(SiGe)等。如上文所讨论,栅极沟道长度由栅极金属层 107 的厚度限定,导电沟道为以圆柱形、长方形或其他形状盘绕的垂直壁。

[0068] 此外,步骤 223 可包括在导电沟道 121 的延伸上沉积硬掩模层 303,所述导电沟道 121 在漏极层 113 上延伸。根据本实例,硬掩模层 303 可限定半导体器件的隔离的边界,如下文在步骤 225 中所讨论。根据一个实例,在漏极 113 上延伸的延伸电连接层还可引导电流在源极层 103 与漏极层 113 之间。图 1b 示出了半导体器件 130 的示例性实施方案,其中延伸电连接层在漏极 113 上延伸。

[0069] 根据一个示例性实施方案,在沉积硬掩模层 303 之前,可移除在漏极 113 上延伸的延伸电连接层。在本实例中,机械或化学抛光方法、蚀刻方法、原子层移除(其中原子层逐

层移除)或其他移除方法可用来移除在漏极 113 上延伸的延伸电连接层。在本实施方案中,硬掩模层 303 沉积于漏极层 113 上及导电沟道 121 的顶层上,所述导电沟道 121 仍在沟槽 313 内且与漏极层 113 的顶层齐平。图 1a 示出了半导体器件 100 的示例性实施方案,其中导电沟道层未在漏极 113 上延伸。

[0070] 在步骤 225 中,如图 3g 所示,隔离沟槽形成于源极层 103、第一电介质层 105 和第二电介质层 111、栅极层 107、硬掩模层 109 及漏极层 113 周围。根据一个实例,如图 3f 所示,硬掩模层 303 可用作掩模,以蚀刻层垂直堆叠体 103、105、107、109、111 和 113,使得在图 3g 的横截面中的这些层的宽度基本上近似于在图 3g 的横截面中的层 103 和 105 的宽度。根据本实例,在蚀刻隔离沟槽之后,硬掩模层 303 可使用本领域技术人员众所周知的移除方法进行移除。接续本实例,栅极隔离掩模(未示出)可放置于漏极层 113 及在漏极层 113 上延伸的延伸电连接层上,以蚀刻栅极隔离沟槽。根据本实例,栅极隔离掩模用来蚀刻层 107、109、111 和 113,使得在图 3g 的横截面中的这些层的宽度基本上近似于在图 3G 的横截面中的栅极金属层 107 的宽度。

[0071] 此外,在移除栅极隔离掩模(未示出)之后,漏极隔离掩模可放置于漏极层 113 及在漏极层 113 上延伸的延伸电连接层上,以蚀刻漏极隔离沟槽。根据本实例,漏极隔离掩模用来蚀刻漏极层 113 及在漏极层 113 上延伸的延伸电连接层,使得在图 3g 的横截面中的这些层的宽度基本上近似于在图 3g 的横截面中的漏极层 113 的宽度。此外,在移除漏极隔离掩模之后,漏极触点掩模(未示出)可放置于漏极层 113 及在漏极层 113 上延伸的延伸电连接层上,以蚀刻漏极触点沟槽。根据本实例,在漏极层 113 上延伸的延伸电连接层蚀刻成图 3g 的横截面中所示的长度,以为漏极触点打开空间。在蚀刻漏极触点沟槽之后,移除漏极触点掩模。

[0072] 在步骤 227 中,如图 3h 所示,隔离层 123 沉积于隔离沟槽内。在步骤 229 中,如图 3i 所示,形成栅极触点 125、漏极触点 127 及源极触点 129。形成栅极触点 125 可包括蚀刻沟槽(或通孔)穿过隔离层 123、第二电介质层 111 及硬掩模层 109(例如,使用掩模)并利用金属填充物填充蚀刻沟槽。形成漏极触点 127 可包括蚀刻沟槽(或通孔)穿过隔离层 123(例如,使用掩模)并利用金属填充物填充蚀刻沟槽。此外,形成源极触点 129 可包括蚀刻沟槽(或通孔)穿过隔离层 123 及第一电介质层 105(例如,使用掩模)并利用金属填充物填充蚀刻沟槽。

[0073] 根据实例,使用图 2a 至图 2b 及图 3a 至图 3i 的制造方法制造的半导体(例如,半导体 100、130 和 150 中一个或一个以上半导体)提供了:更好控制短沟道效应的操作的全耗尽区;基板灵敏性的降低;及改良的亚阈值斜率。此外,因为栅极宽度可与封装密度去耦,所以图 2a 至图 2b 及图 3a 至图 3i 的制造方法可导致更高封装密度。换言之,更多半导体器件可封装在给定区域中。

[0074] 图 4 示出了根据本发明实施方案的半导体器件 400。半导体器件 400 建立于基板 401 上,如硅基板,所述半导体器件 400 可包括垂直横向扩散金属氧化物半导体场效应晶体管(VLDMOS)。半导体器件 400 还包括第一掺杂层,如漏极层 403,所述漏极层 403 注入于基板 401 中或注入于基板 401 之上。虽然注入于基板 401 中的第一层示出为漏极层 403,但是对于相关领域技术人员应当显而易见,注入于基板 401 中的第一层可为源极层。半导体器件 400 还包括第一电介质层 405,所述第一电介质层 405 沉积于漏极层 403 上。第一电介质

层 405 配置为栅极金属层 407 与漏极层 403 之间的间隔物。

[0075] 半导体器件 400 还包括沉积于第一电介质层 405 上的栅极金属层 407。栅极金属层 407 的厚度（例如，垂直厚度）可进行调整以达到期望的栅极沟道长度。根据本发明实施方案，栅极金属层 407 可包括钛、氮化钛、钽、氮化钽、铝、钨或任意其他合适的金属或金属合金。此外，栅极金属层 407 可包括合适的金属或金属合金的任意组合。栅极金属层 407 可通过物理气相沉积（PVD）、化学气相沉积（CVD）、原子层沉积（ALD）或任意其他合适的沉积方法进行沉积。根据本示例性实施方案，因为栅极金属层 407 使用 ALD 或其他薄膜沉积方法进行沉积，所以栅极金属层的厚度可以精确地控制且并不依赖于光刻方法，所述栅极金属层的厚度限定栅极沟道长度。因此，栅极的厚度不受光刻能力限制。根据一个实例，栅极金属层 407 通过原子层沉积（ALD）进行限定，所述原子层沉积（ALD）具有单原子层精度且其厚度可薄至 15Å（15Å 为 1.5nm）。

[0076] 根据一个实施方案，半导体器件 400 可包括栅极隔离层 421，所述栅极隔离层 421 配置于第一电介质层 405 上及栅极金属层 407 周围。半导体器件 400 还可包括第二电介质层 409，所述第二电介质层 409 沉积于栅极金属层 407 和栅极隔离层 421 上。半导体器件 400 还包括第二掺杂层，如源极层 411，所述源极层 411 沉积于第二电介质层 409 上。

[0077] 半导体器件 400 的多个层提供了层垂直堆叠体，如图所示。半导体器件 400 还可包括长方形沟槽或圆形孔（例如，通孔），所述长方形沟槽或圆形孔垂直延伸穿过包括第二电介质层 409、栅极金属层 407 及第一电介质层 405 的层垂直堆叠体，其中所述沟槽或孔终止于漏极层 403 的顶部或表面处。虽然本发明中引用了长方形沟槽或圆形孔，但是对于相关领域技术人员应当显而易见，可以使用其他形状的沟槽。此长方形沟槽或圆形孔包括导电沟道 415，根据多个实施方案，所述导电沟道 415 可使用异质外延或 ALD 形成，使得所述导电沟道为半导体材料的实心圆柱体或长方形块。在一个实例中，导电沟道 415 可包括硅材料，所述硅材料相对于源极层 411 和漏极层 403 为轻掺杂。此外，导电沟道 415 可掺杂了与漏极层 403 和源极层 411 的掺杂不同的材料。

[0078] 半导体器件 400 如场效应晶体管（FET）一样操作，其中适当的栅极电压为自源极层 411 行进至漏极层 403 的“载流子”（例如，电子或空穴）形成导电沟道。在本实例中，电流在垂直于基板 401 的表面的方向上自源极层 411 垂直到漏极层 403（对于电子载流子）。半导体器件 400 的栅极沟道长度由栅极金属层 407 的厚度限定，所述栅极金属层 407 与导电沟道 415 电气接触。虽然整个导电沟道 415 能够如沟道一样操作，但是本领域技术人员应当理解，由于栅极处电场强度，载流子会趋向于累积在靠近栅极层的导电沟道 415 的外表面上。相应地，载流子导电沟道为根据导电沟道 415 的外表面成形的垂直壁，因此可为圆柱形、长方形或由保持导电沟道 415 的沟槽的内表面限定的另一个形状。因为栅极层 407 包围导电沟道 415 且与导电沟道 415 电气接触，所以当与常规结构相比时，此结构增加了导电沟道 415 与栅极层 407 的结接触面积。因此，半导体器件 400 支持自源极层 411 至漏极层 403 的载流子流动增加，并且因此支持与常规结构相比时更高的切换电流。

[0079] 仍然参考图 4，配置于栅极金属层 407 的底表面与漏极层 403 的顶表面之间的导电沟道 415 的厚度（例如，延伸穿过第一电介质层 405 的导电沟道 415 的第一部分）大于配置于栅极金属层 407 的顶表面与源极层 411 的底表面之间的导电沟道 415 的厚度（例如，延伸穿过第二电介质层 409 的导电沟道 415 的第二部分）。换言之，第一电介质层 405 的厚

度大于第二电介质层 409 的厚度。在一个实例中,第一电介质层 405 的厚度可为第二电介质层 409 的厚度的两倍。可选择地,第一电介质层 405 相比于第二电介质层 409 的相对厚度可为一个数量级。在第一电介质层 405 期间导电沟道 415 的第一部分的更大厚度增加了漏极与栅极之间的电阻率,这增加了半导体器件 400 的击穿电压。此外,可通过改变用于导电沟道 415 的材料和 / 或注入不同材料来增加电阻值。

[0080] 此外,配置于栅极金属层 407 与漏极层 403 之间的导电沟道 415 的宽度(例如,在第一电介质层 405 处的导电沟道 415 的第一部分)大于配置于栅极金属层 407 与源极层 411 之间的导电沟道 415 的宽度(例如,在第二电介质层 409 处的导电沟道 415 的第二部分)。所述宽度为垂直于图 4 中上文所述的厚度维度的维度。

[0081] 根据一个实例,导电沟道 415 终止于漏极层 403 和源极层 411 处。可选择地,导电沟道 415 可延伸至漏极层 403 和 / 或源极层 411 中。例如,图 4 示出了一个实例,其中导电沟道 415 延伸至源极 411 中以形成延伸电连接层 417。在一个实例中,延伸电连接层 417 可为硅垫,所述硅垫形成于导电沟道 415 上并且在源极层 411 内。根据一个实例,由于界面接触面积增加,对于半导体器件 400,延伸层 417 可导致更高切换电流。此外,导电沟道 415 可完全或部分垂直延伸穿过源极层 411 或漏极层 403 或两者。换言之,在一个实施方案中,延伸电连接层 417 可自源极层 411 的顶部延伸至漏极层 403 的底部。

[0082] 半导体器件 400 还可包括栅极氧化物,所述栅极氧化物包括栅极功函数和高 K 电介质 419,所述栅极功函数和高 K 电介质 419 形成于长方形沟槽或圆形孔内的栅极金属层 407 处。如图 4 所示,栅极功函数和高 K 电介质 419 起始于第一电介质层 405 和栅极金属层 407 相交的栅极金属层 407 的底部处,并终止于第二电介质层 409 和源极层 411 相交的第二电介质层 409 的顶部处。栅极功函数和高 K 电介质 419a 盘绕在导电沟道 415 的一部分上,所述导电沟道 415 延伸穿过栅极金属层 407 和第二电介质层 409。栅极功函数和高 k 电介质 419b 为盘绕但配置于第一电介质层 405 处导电沟道 415 的该部分上的层。栅极功函数和高 k 电介质 419a、419b 易于栅极金属接触。

[0083] 与半导体器件 100 类似,半导体器件 400 还可包括栅极触点、漏极触点及源极触点(未示出),所述栅极触点、漏极触点及源极触点分别连接至栅极金属层 407、漏极层 403 及源极层 411。相应触点提供操作半导体器件 100 所需的电压。

[0084] 图 5a 至图 5c 及图 6a 至图 6j 示出了根据本发明实施方案用于制造半导体 400 的制造方法。应当了解,并非所有步骤可能需要执行本文中所提供的公开内容。此外,本领域技术人员应当理解,所述步骤中一些步骤可同时或以与图 5a 至图 5c 及图 6a 至图 6j 中所示的顺序不同的顺序执行。

[0085] 在步骤 501 中,如图 6a 所示,第一掺杂层(如漏极层 403)注入于基板 401 上或注入于基板 401 中。如图 6b 所示,在步骤 503 中,第一电介质层 405 沉积于第一掺杂层上,如漏极层 403。根据一个实例,第一电介质层 405 充当漏极层 403 与栅极金属层 407 之间的间隔物。在一个实例中,第一电介质层 405 可包括高 K 电介质、硅氧化物( $\text{SiO}_x$ )、硅氮化物( $\text{SiN}$ )或任意其他绝缘体材料和 / 或它们的组合。

[0086] 在步骤 505 至步骤 515 中,如图 6c 所示,形成(例如,生长)导电沟道 415。在步骤 505 和步骤 507 中,第一硬掩模 601 沉积于第一电介质层 405 上,且沟槽(如但不限于长方形沟槽或圆形孔)蚀刻穿过第一电介质层 405。第一硬掩模 601 限定了配置于栅极金属

层 407 与漏极层 403 之间的导电沟道的第一宽度（例如，延伸穿过第一电介质层 405 的导电沟道 415 的第一部分）。在步骤 509 中，导电沟道 415 的第一部分以与针对半导体器件 100 所述方式类似的方式形成（例如，生长）于蚀刻沟槽中。根据一个实例，导电沟道 415 可包括硅沟道且可使用异质外延或 ALD 进行生长。导电沟道 415 相对于源极层和漏极层的掺杂可为轻掺杂。

[0087] 在步骤 511 中，如图 6c 所示，本体掩模 603 沉积于第一硬掩模 601 及导电沟道 415 的第一部分上。接着，第二硬掩模层 605 沉积于本体掩模 603 上。在步骤 513 中，第二沟槽（如但不限于长方形沟槽或圆形孔）蚀刻穿过本体掩模 603。第二硬掩模 605 限定了配置于第一电介质层 405 与源极层 411 之间的导电沟道的第二宽度（例如，延伸穿过金属栅极层 407 和第二电介质层 409 的导电沟道 415 的第二部分）。在步骤 515 中，导电沟道 415 的第二部分形成（例如，生长）于第二蚀刻沟槽中。根据一个实例，延伸穿过第一电介质层 405 的导电沟道 415 的第一部分的宽度大于延伸穿过本体掩模 603 的导电沟道 415 的第二部分的宽度，其中在剖视图中宽度维度垂直于厚度维度。

[0088] 在步骤 517 中，第一硬掩模 601、本体掩模 603 和第二硬掩模 605 使用一个或一个以上移除方法进行移除。在一个实例中，移除方法可包括机械或化学抛光方法、蚀刻方法、原子层移除（其中原子层逐层移除）或其他移除方法和 / 或它们的组合。通过移除第一硬掩模 601、本体掩模 603 和第二硬掩模 605，在第一电介质层 405 上的导电沟道 415 的第二部分暴露。

[0089] 在步骤 519 中，如图 6d 所示，栅极氧化物层 419 形成于在第一电介质层 405 上以及现在暴露的导电沟道 415 的第二部分的顶上及周围。根据一个实例，栅极氧化物（如高 k 电介质）沉积于导电沟道 415 的暴露部分上。步骤 519 还可包括沉积金属栅极功函数。生长或沉积金属栅极功函数可包括在经沉积的栅极氧化物上沉积多个不同金属材料，以产生栅极氧化物和金属栅极功函数 419。

[0090] 在步骤 521 中，如图 6e 所示，栅极金属层 407 沉积于第一电介质层 405 及栅极氧化物和金属栅极功函数 419 的一部分上，所述栅极氧化物和金属栅极功函数 419 与第一电介质层 405 基本上处于同一水平处。根据本发明实施方案，栅极金属层 407 可通过物理气相沉积 (PVD)、化学气相沉积 (CVD)、原子层沉积 (ALD) 或任意其他合适的沉积方法进行沉积。栅极金属层 407 的厚度可进行调整以达到期望的栅极沟道长度，所述栅极金属层的厚度限定栅极沟道长度。根据一个实例，栅极金属层 407 的垂直厚度可约为 10nm、7nm、5nm、3nm、2nm 或某个其他沟道长度。

[0091] 在步骤 523 中，如图 6f 所示，栅极隔离层 421 形成于栅极金属层 407 周围和远离导电沟道 415 的第一电介质层 405 上。根据一个实例，步骤 523 可包括使用掩模并蚀刻掉栅极隔离层 421 所需的栅极金属层 407 的必要部分，然后沉积栅极隔离层 421。

[0092] 在步骤 525 中，如图 6g 和图 6h 所示，移除配置于导电沟道 415 的顶上的栅极氧化物和金属功函数层 419 的一部分。根据一个实例，步骤 525 使用化学机械抛光 / 平坦化 (CMP) 方法进行，所述化学机械抛光 / 平坦化 (CMP) 方法为利用化学力和机械力的组合使表面平滑化的方法。在一个实例中，沉积 CMP 层 607，如图 6g 所示。接着，如图 6h 所示，CMP 层 607 使用例如 CMP 方法进行抛光，直至移除配置于导电沟道 415 的顶上的栅极氧化物和金属功函数层 419 的一部分并暴露导电沟道 415 的顶部。

[0093] 在步骤 527 中,如图 6i 所示,第二电介质层 409 进行沉积,使得利用第二电介质层 409 替代 CMP 层 607。根据一个实例,第一电介质层 405 的厚度大于第二电介质层 409 的厚度。换言之,配置于栅极金属层 407 与漏极层 403 之间的导电沟道 415 的厚度(例如,延伸穿过第一电介质层 405 的导电沟道 415 的第一部分)大于配置于栅极金属层 407 与源极层 411 之间的导电沟道 415 的厚度(例如,延伸穿过第二电介质层 409 的导电沟道 415 的第二部分)。根据本实例,在第一电介质层 405 处导电沟道 415 的第一部分的更大厚度增加了漏极与栅极区之间的电阻率,以使半导体器件 400 的击穿电压更高。

[0094] 根据一个实例,在步骤 529 中,如图 6j 所示,硅垫 417 沉积于导电沟道 415 的第二部分及第二电介质层 409 上。根据本实例,沉积硅垫 417 可包括在导电沟道 415 的第二部分及第二电介质层 409 上沉积多晶硅层并对硅垫 417 进行图案化。在一个实例中,硅垫 417 具有与延伸穿过第一电介质层 405 的导电沟道 415 的第一部分基本上相同的宽度。根据本实例,硅垫 417 的宽度大于延伸穿过金属栅极层 407 及第二电介质层 409 的导电沟道 415 的第二部分的宽度。由于结接触面积增加,源极延伸层(硅垫)417 可使半导体器件 400 的切换电流更高。可选择地,导电沟道 415 可终止于漏极层 403 和源极层 411 处。

[0095] 在步骤 531 中,如图 6j 所示,第二掺杂层(如源极层 411)沉积于第二电介质层 409 和硅垫 417 上。在步骤 533 中,形成漏极触点、源极触点和栅极触点(未示出)。这些触点可使用与图 2b 中步骤 229 类似的方法形成。

[0096] 本文中所述的示例性实施方案为了说明而设且并不限制。其他示例性实施方案可行,且在本发明的精神和范围内可对示例性实施方案进行修改。

[0097] 应当了解,具体实施方式部分,而非摘要部分,旨在用来解释权利要求。摘要部分可阐述本发明的一个或一个以上示例性实施方案,但不是所有示例性实施方案,因此并不旨在以任意方式限制本发明及所附权利要求。

[0098] 本发明在上文已经借助于功能构建模块进行说明,所述功能构建模块示出了特定功能及其关系的实现。为了便于说明,本文中已经任意限定这些功能构建模块的边界。只要适当地执行特定功能及其关系,就可限定替代性边界。

[0099] 对于相关领域技术人员应当显而易见,在不脱离本发明的精神和范围的情况下,可在形式和细节上进行各种变化。因此,本发明不应限于上述示例性实施方案中任意一个。此外,权利要求应当只根据它们的列举及它们的等同物进行限定。

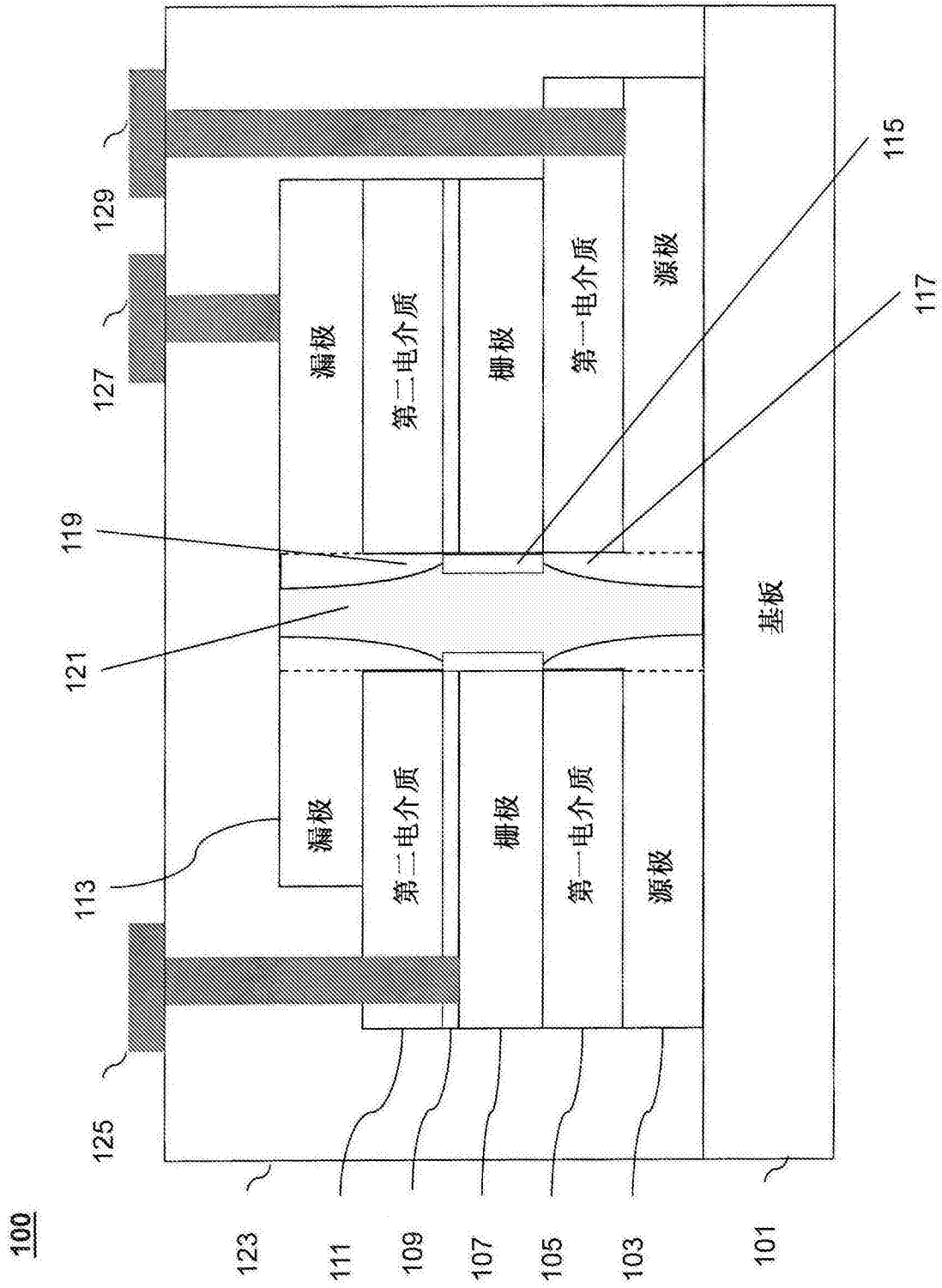


图 1a

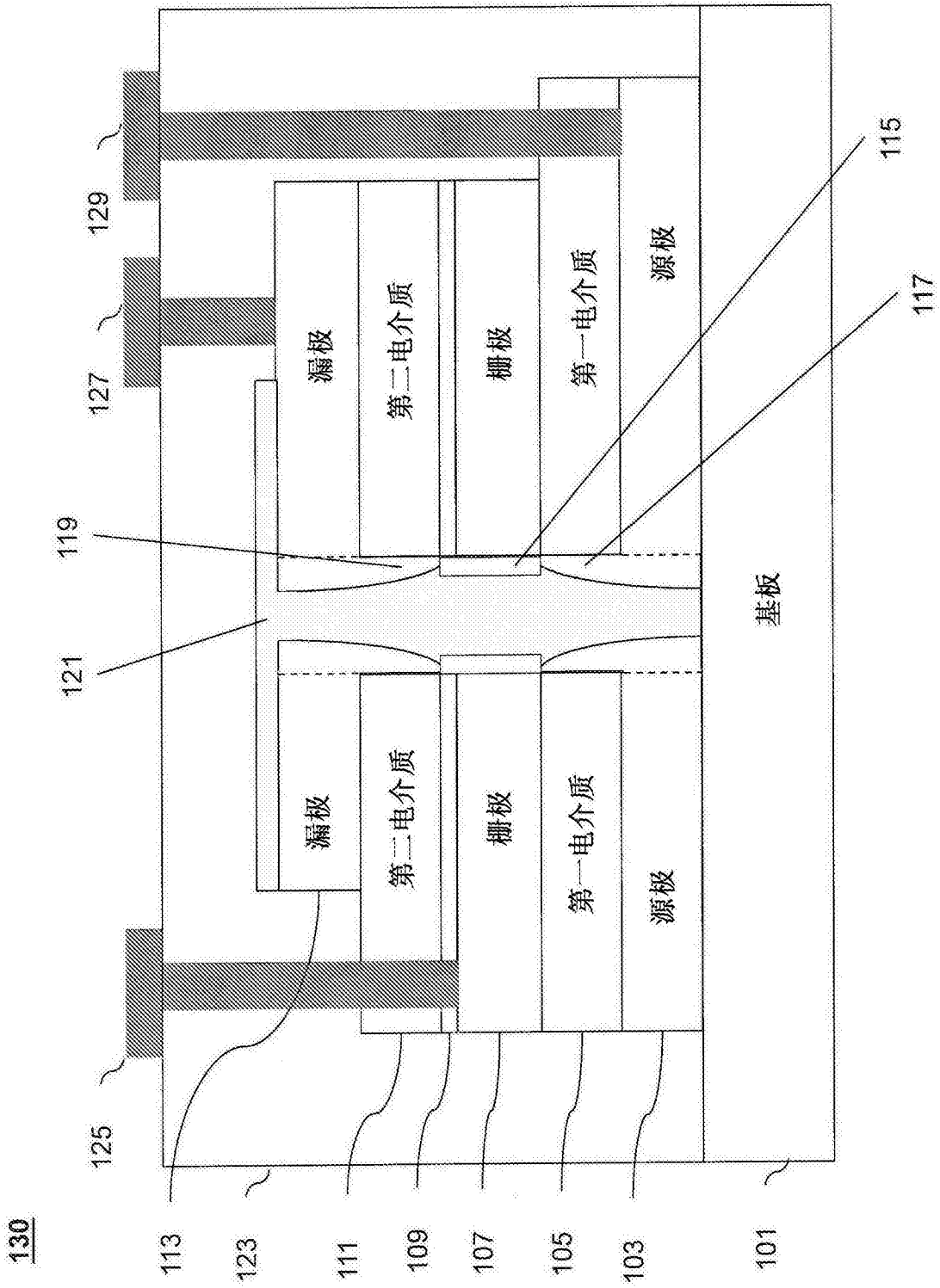


图 1b

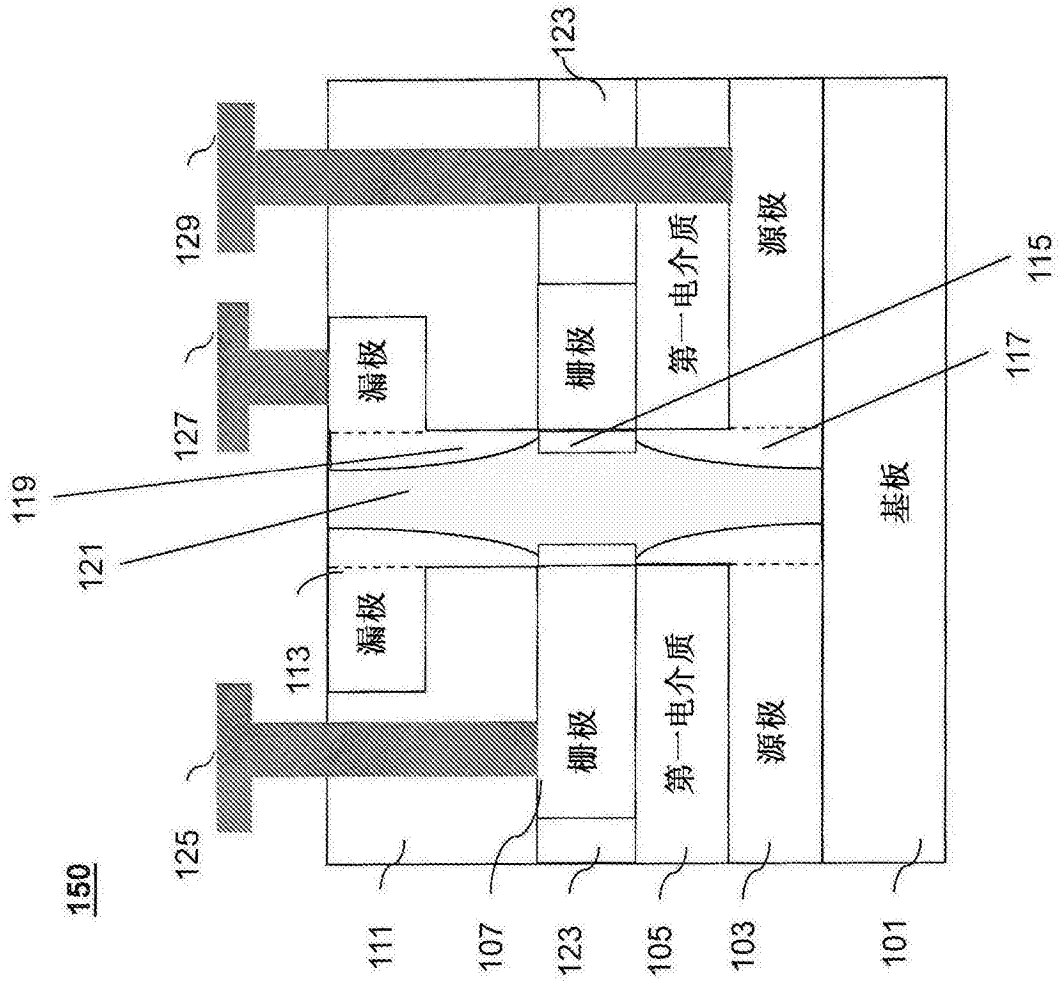


图 1c

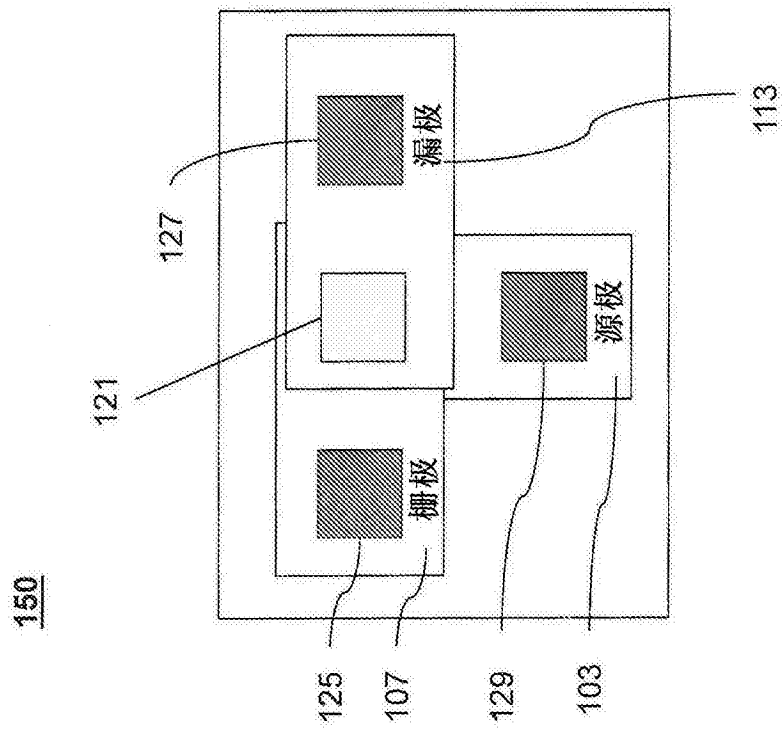


图 1d

200

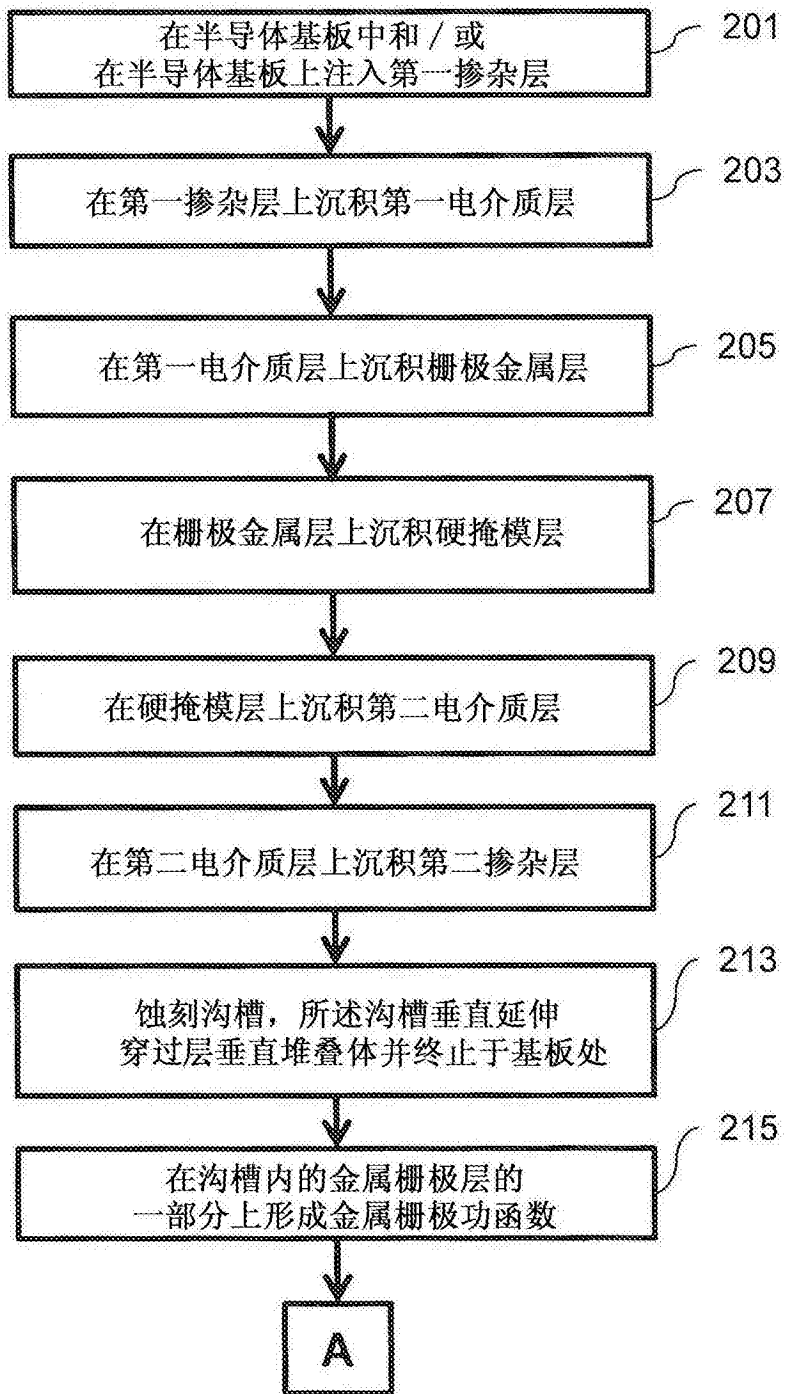


图 2a

200

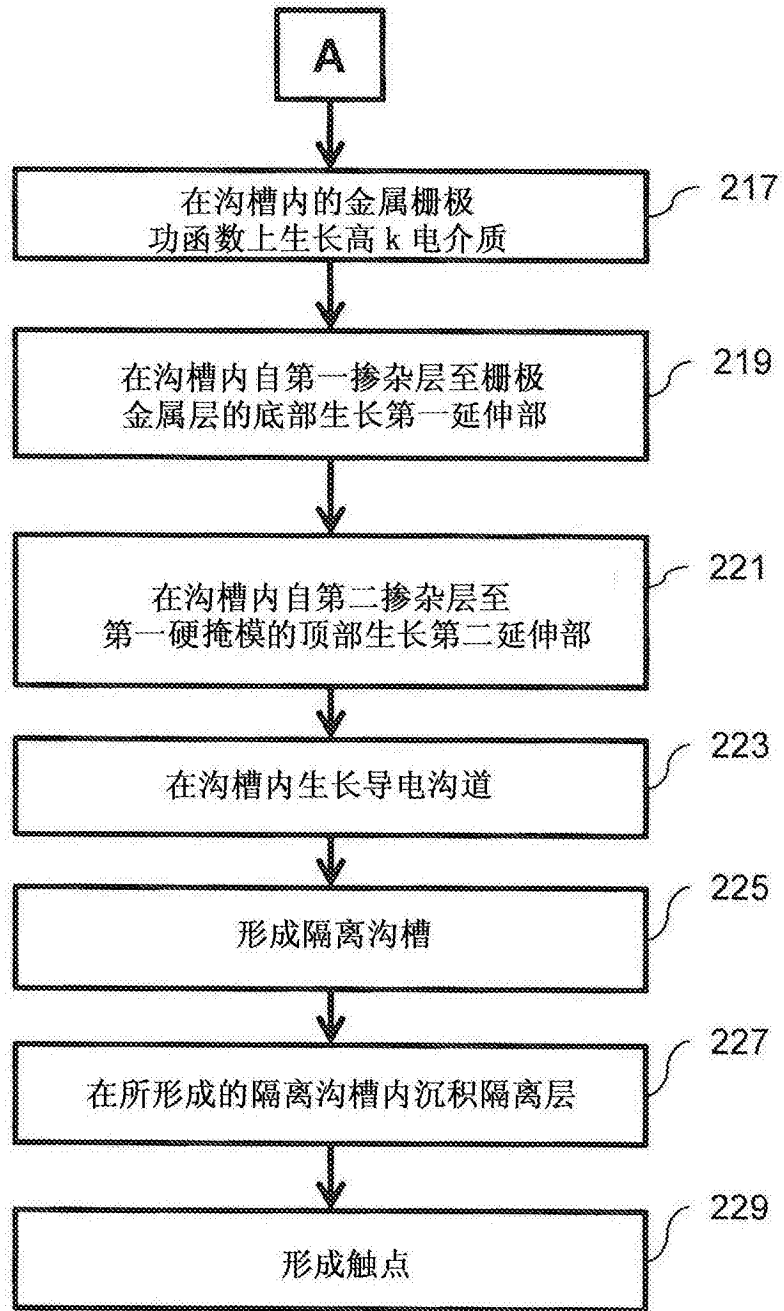


图 2b

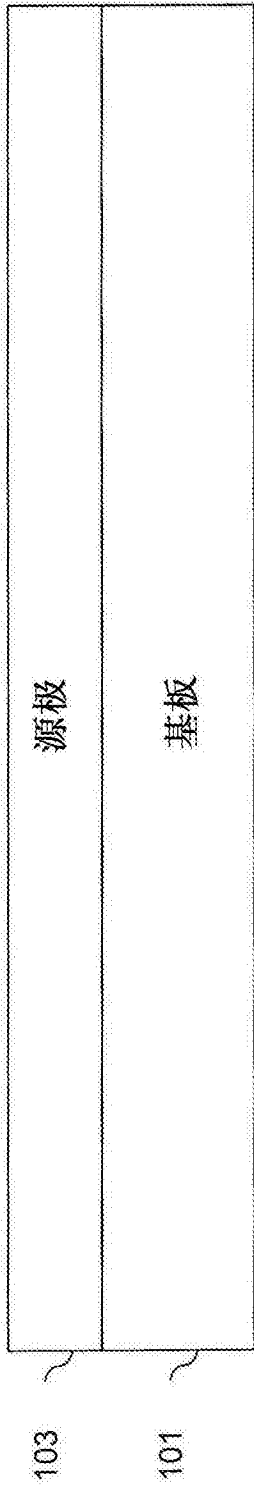


图 3a

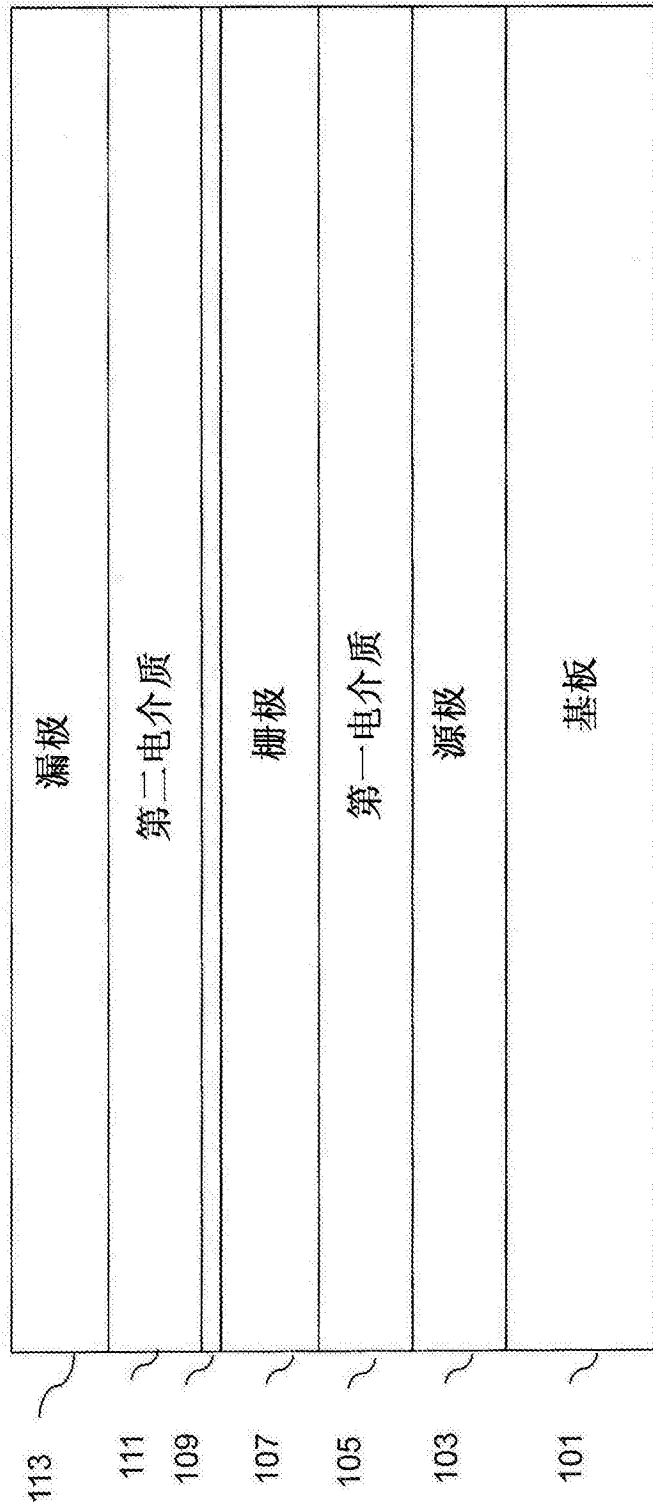


图 3b

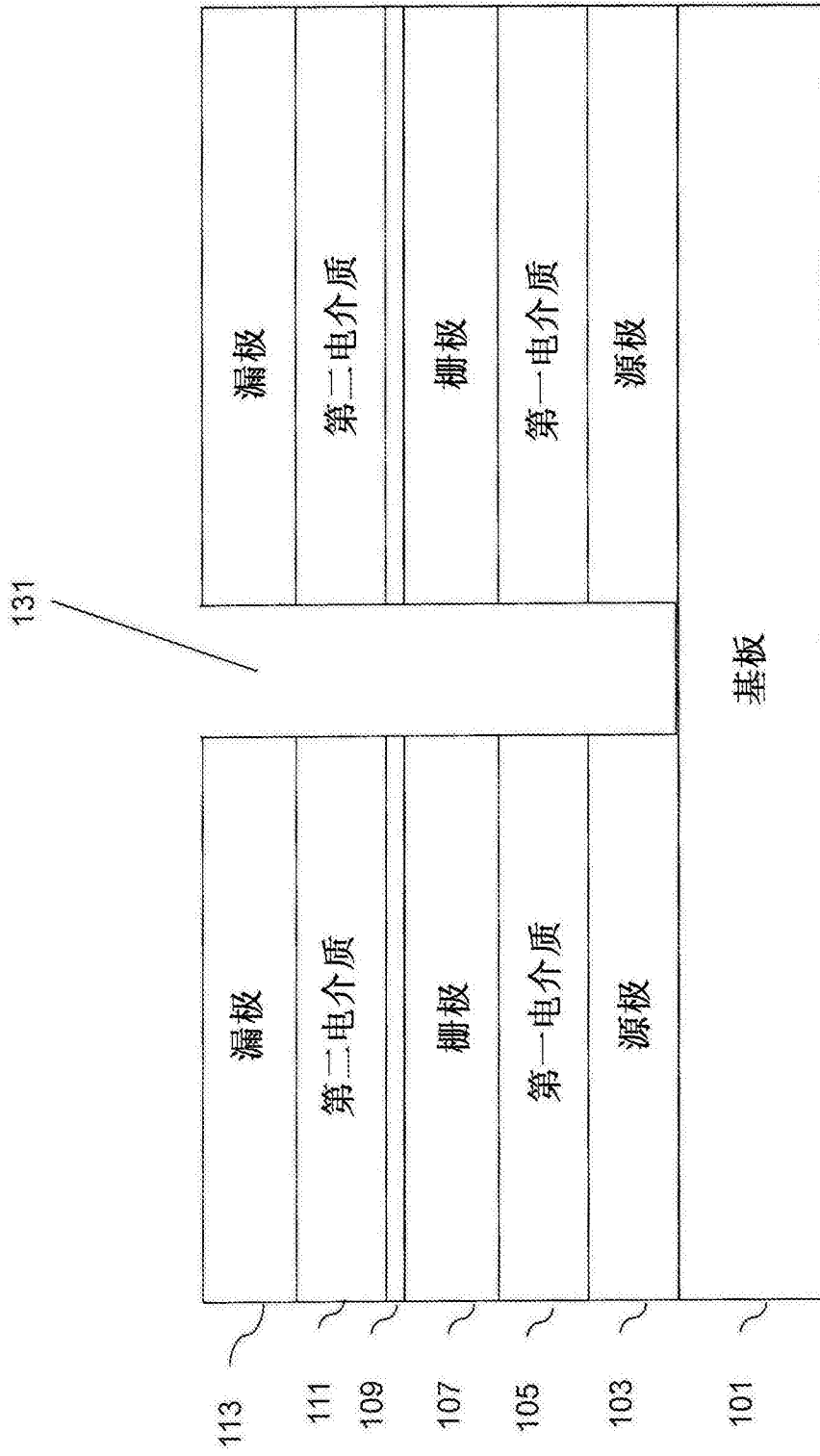


图 3c

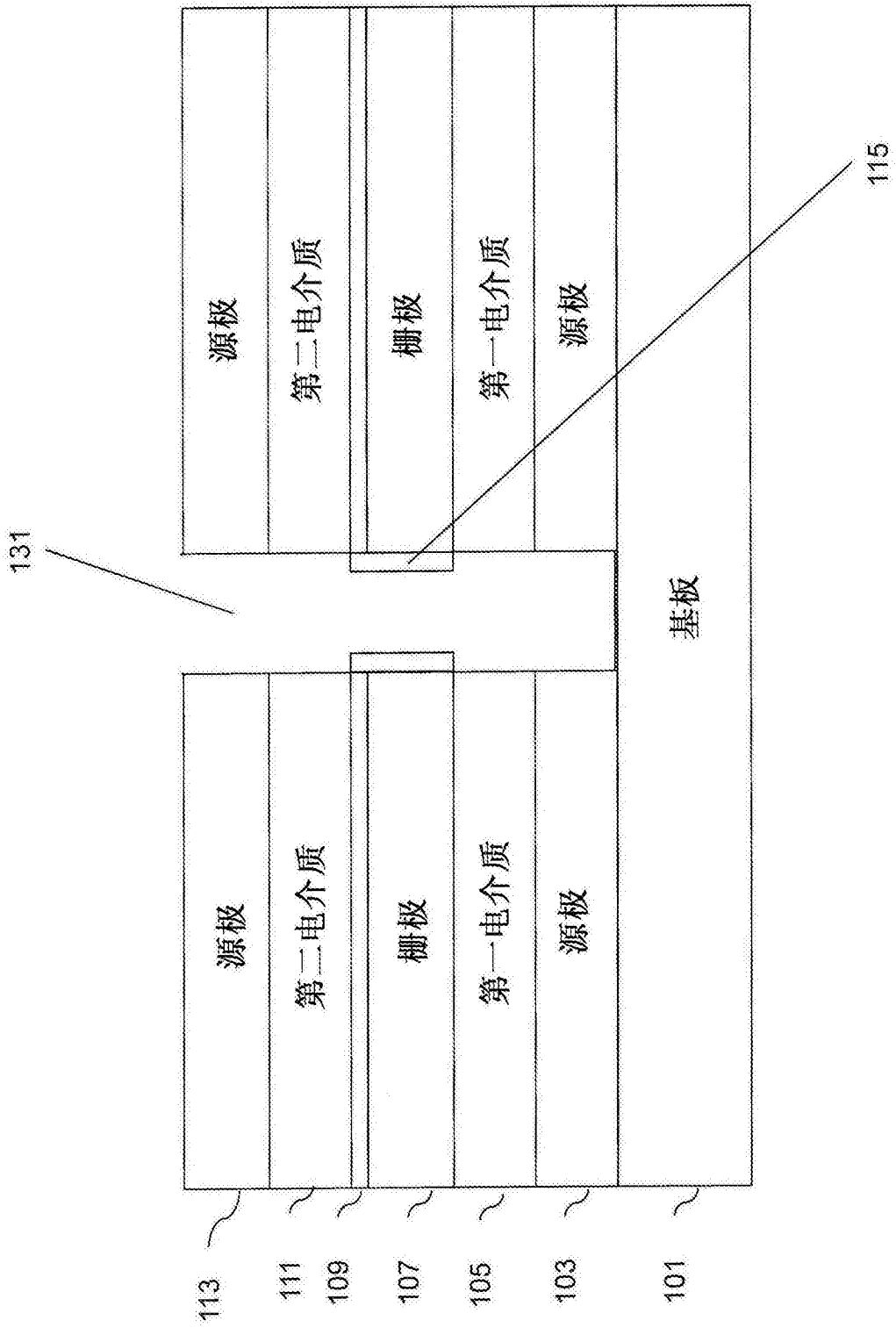


图 3d

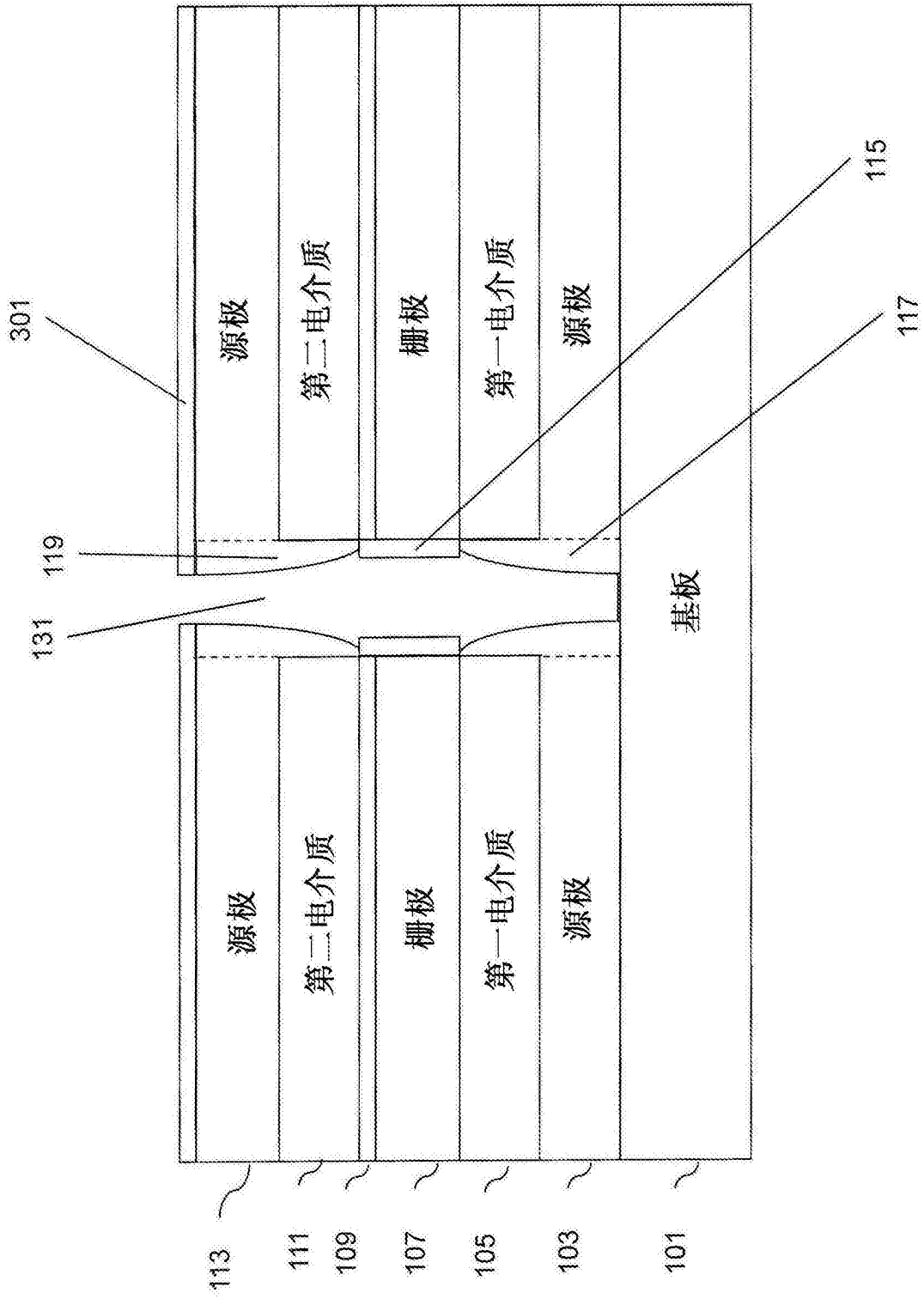


图 3e

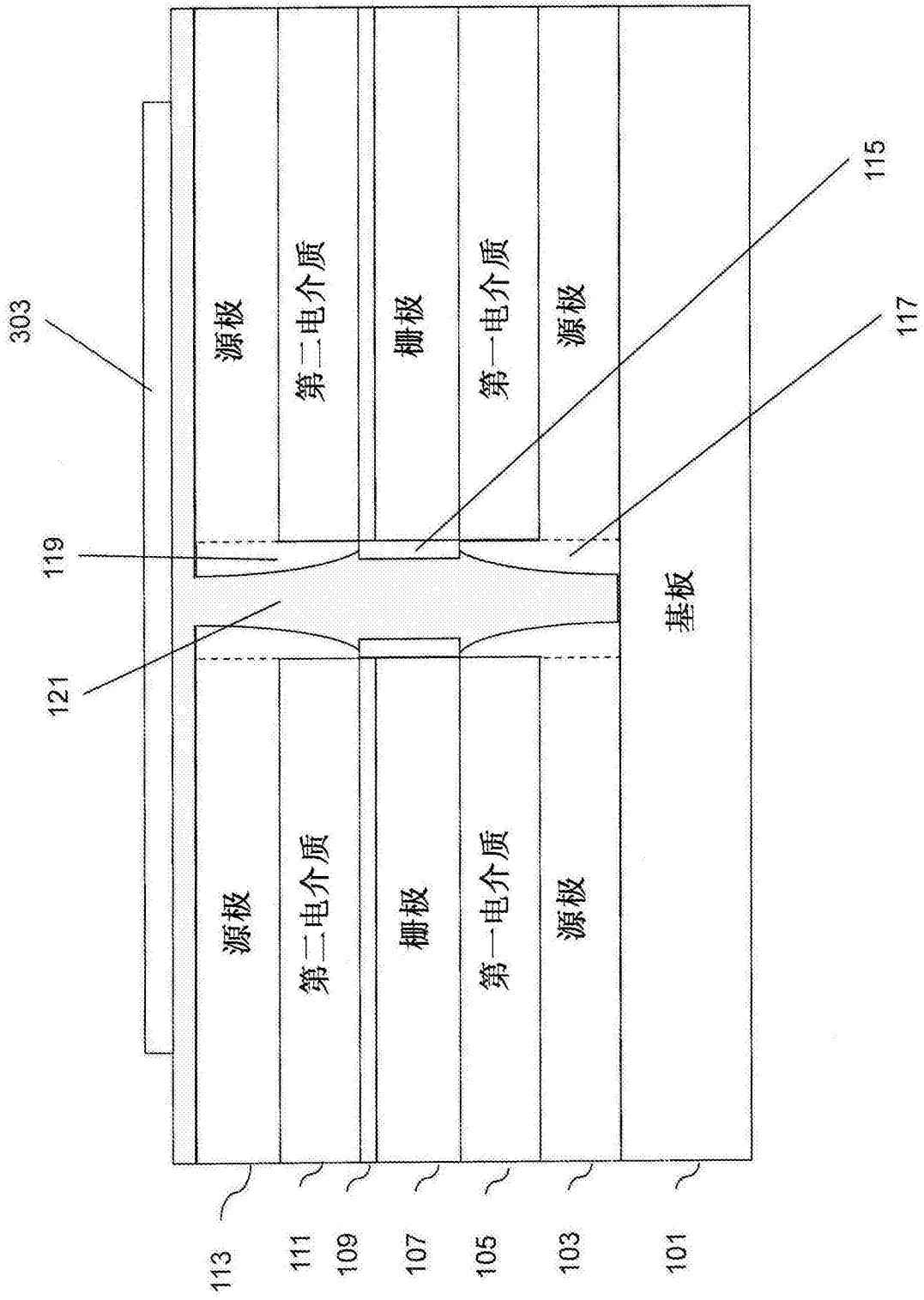


图 3f

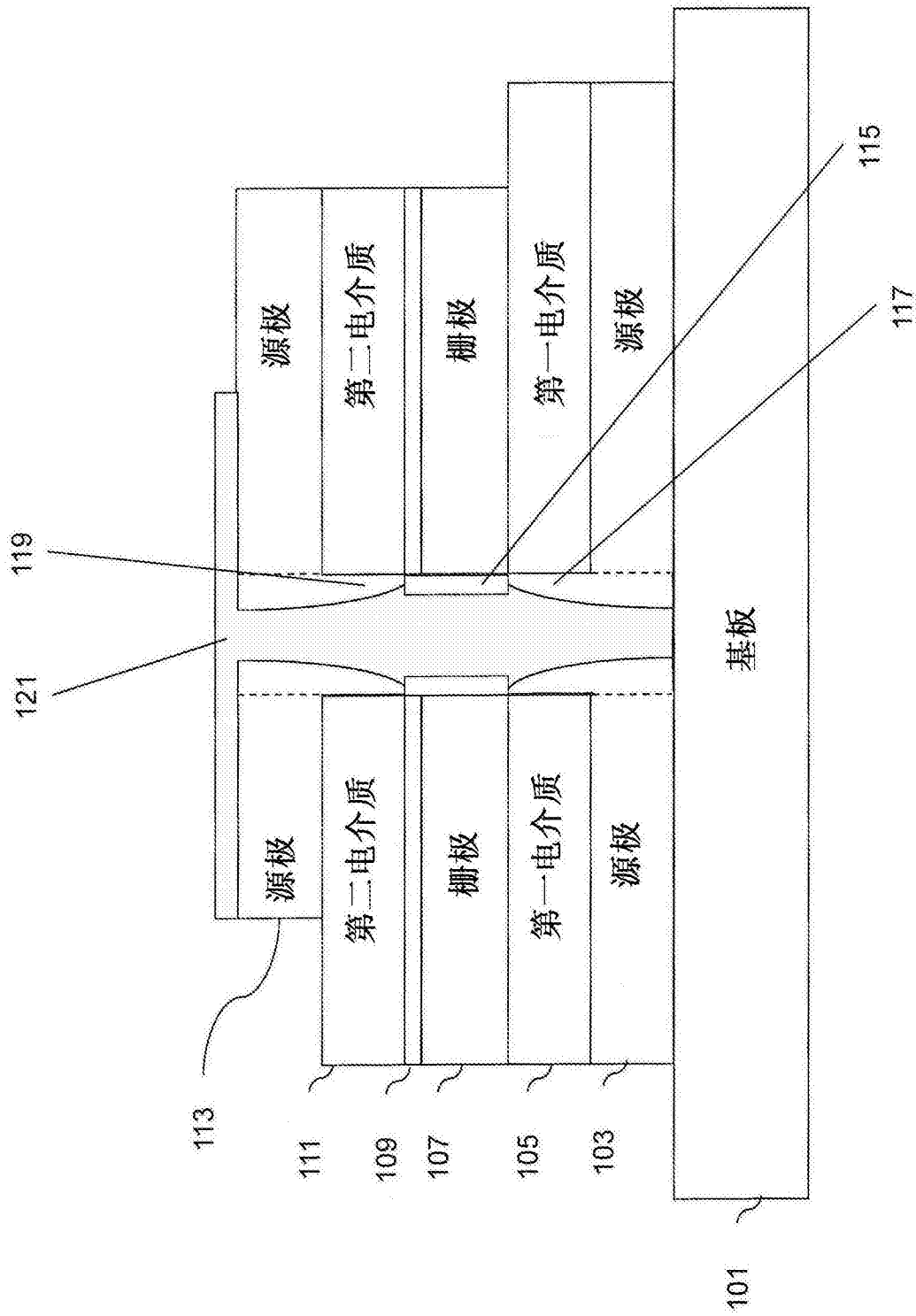


图 3g

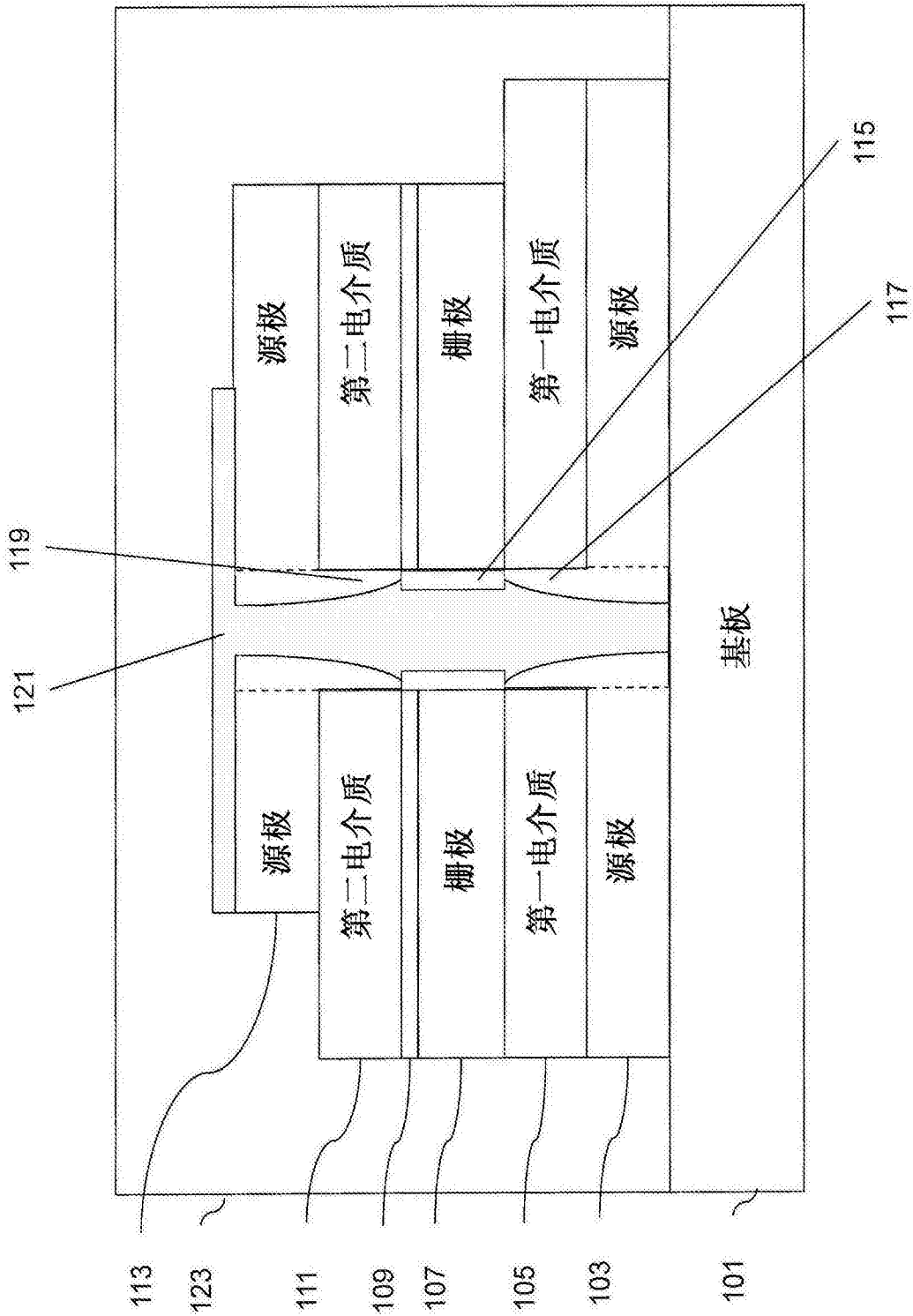


图 3h

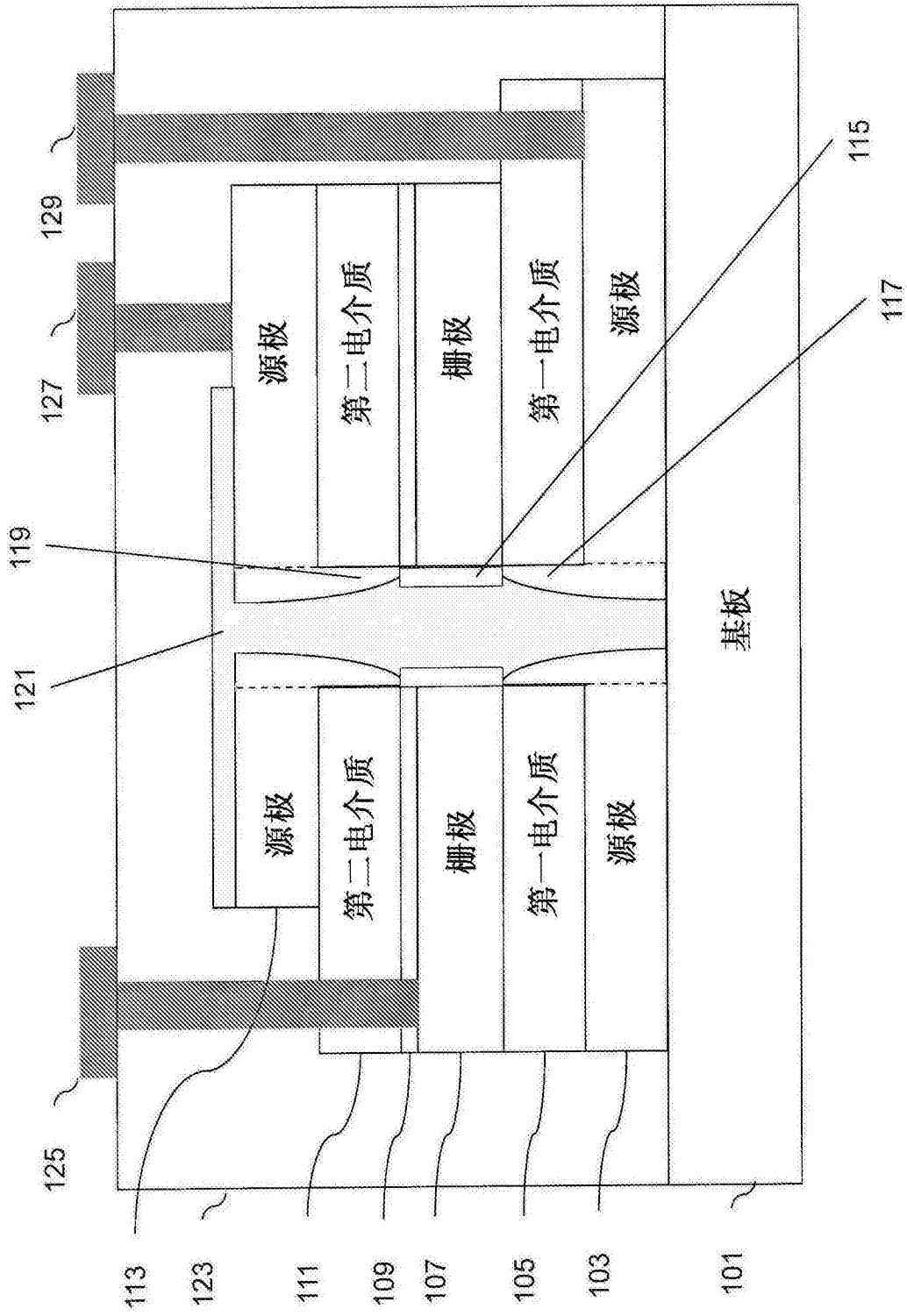


图 3i

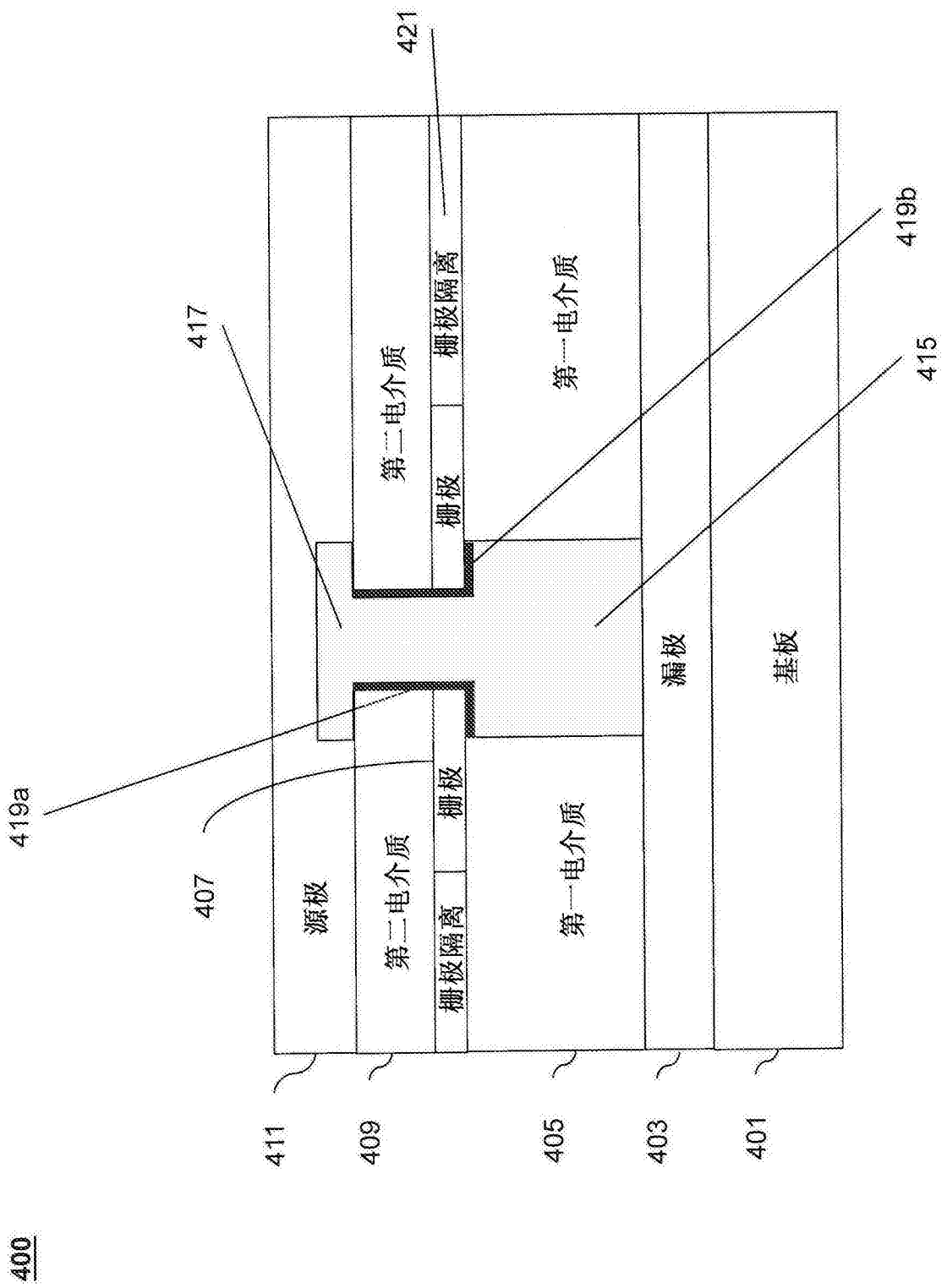


图 4

500

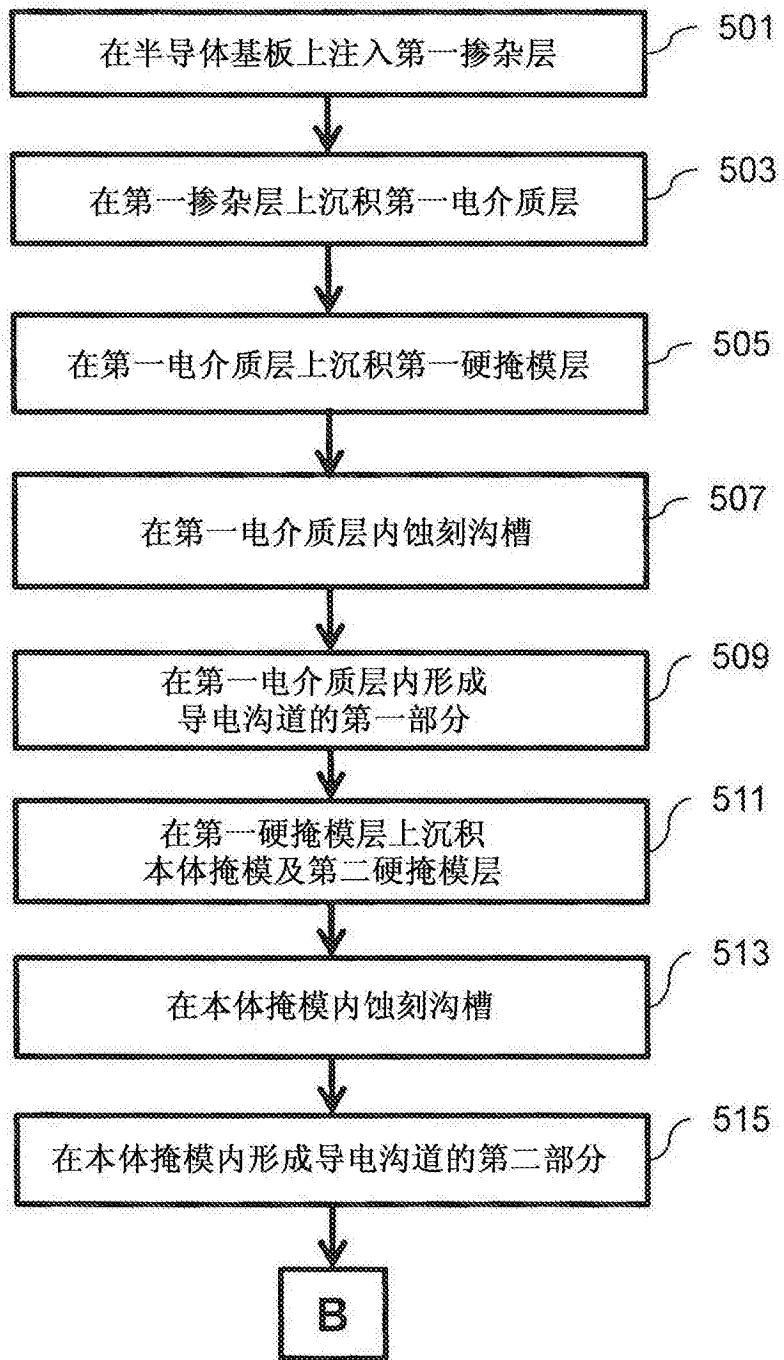


图 5a

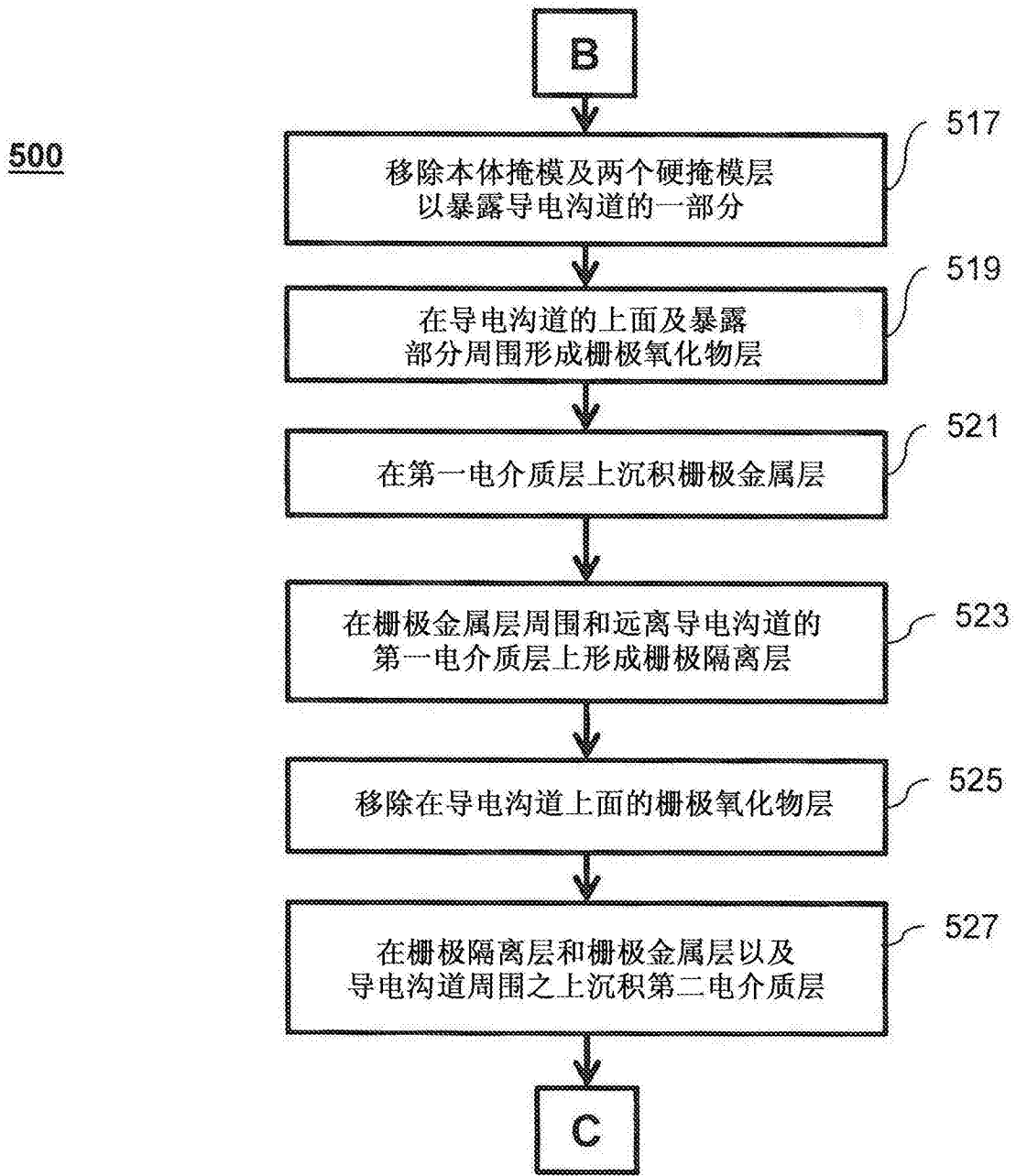


图 5b

500

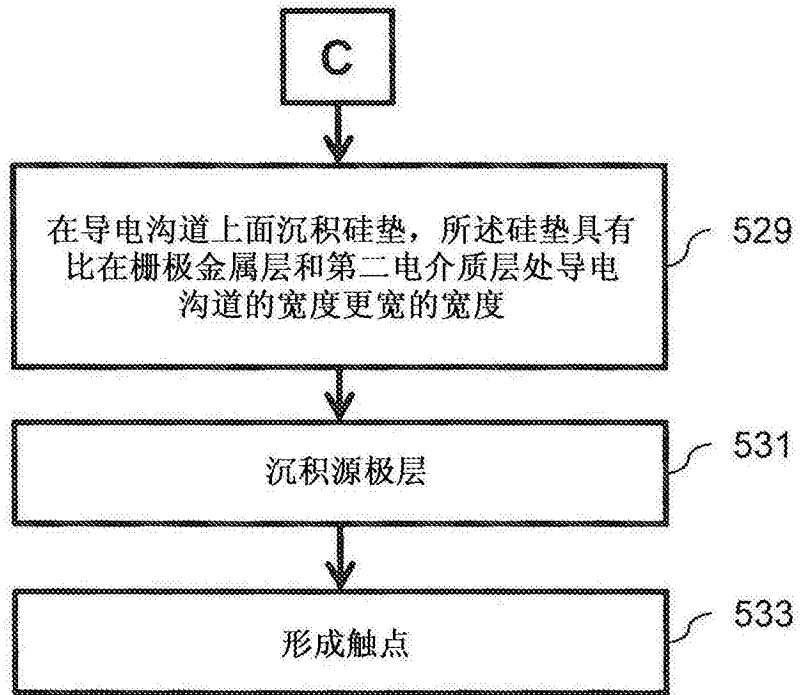


图 5c

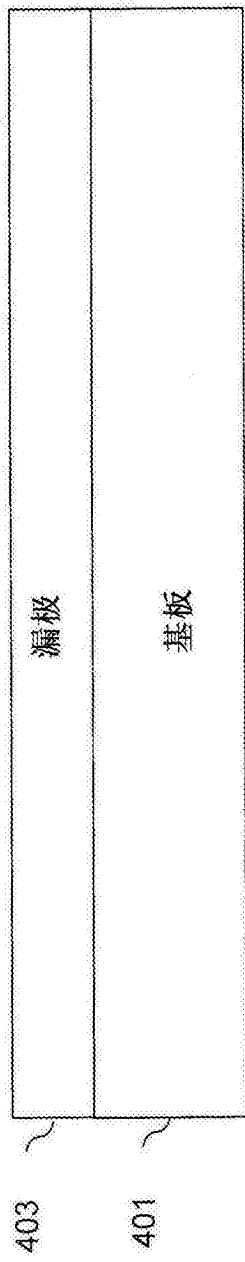


图 6a

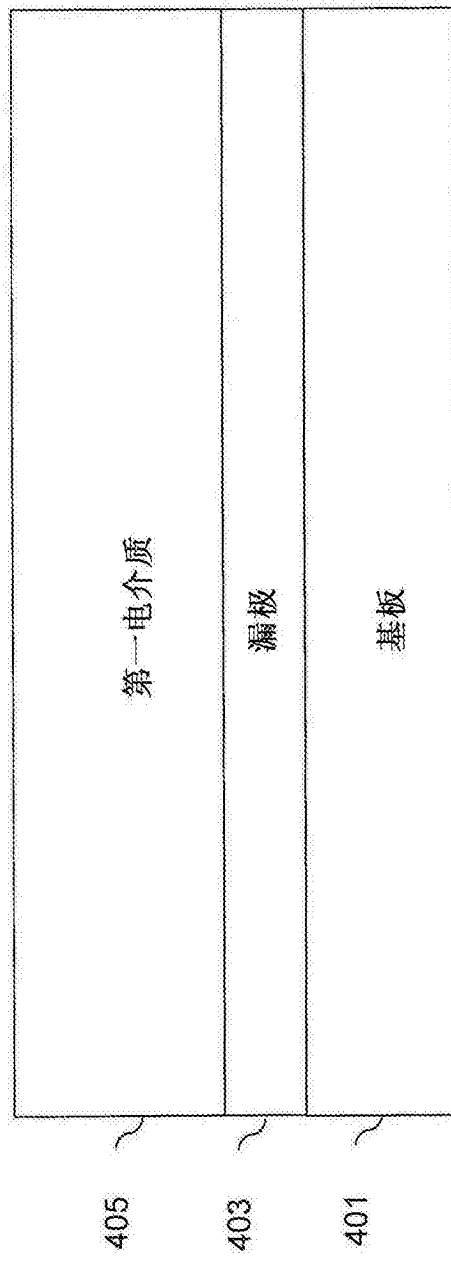


图 6b

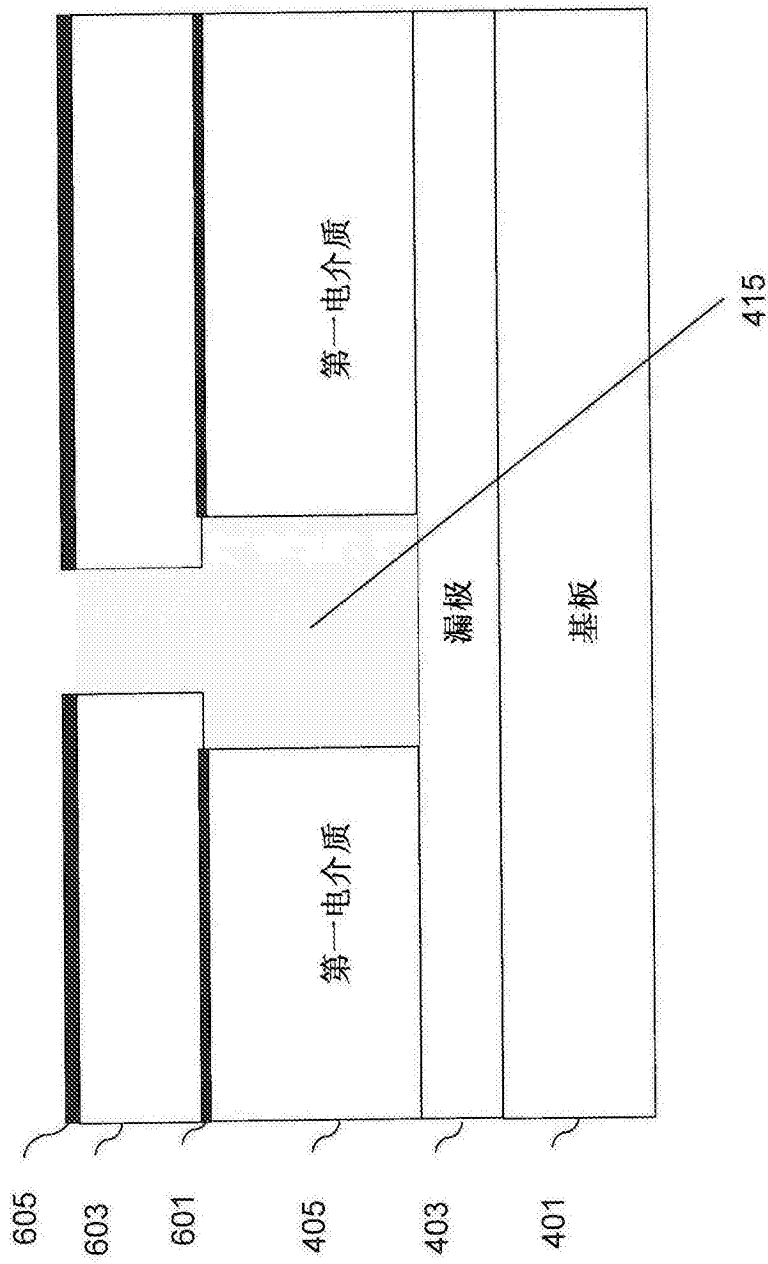


图 6c

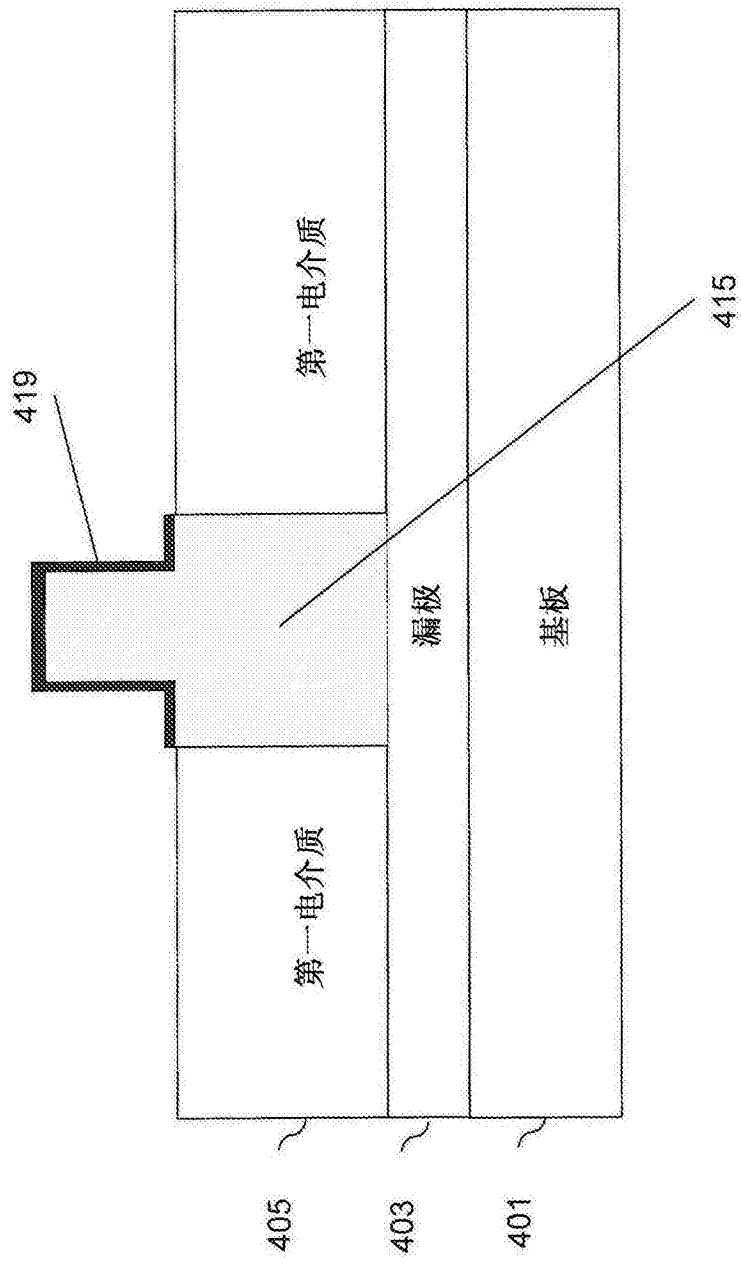


图 6d

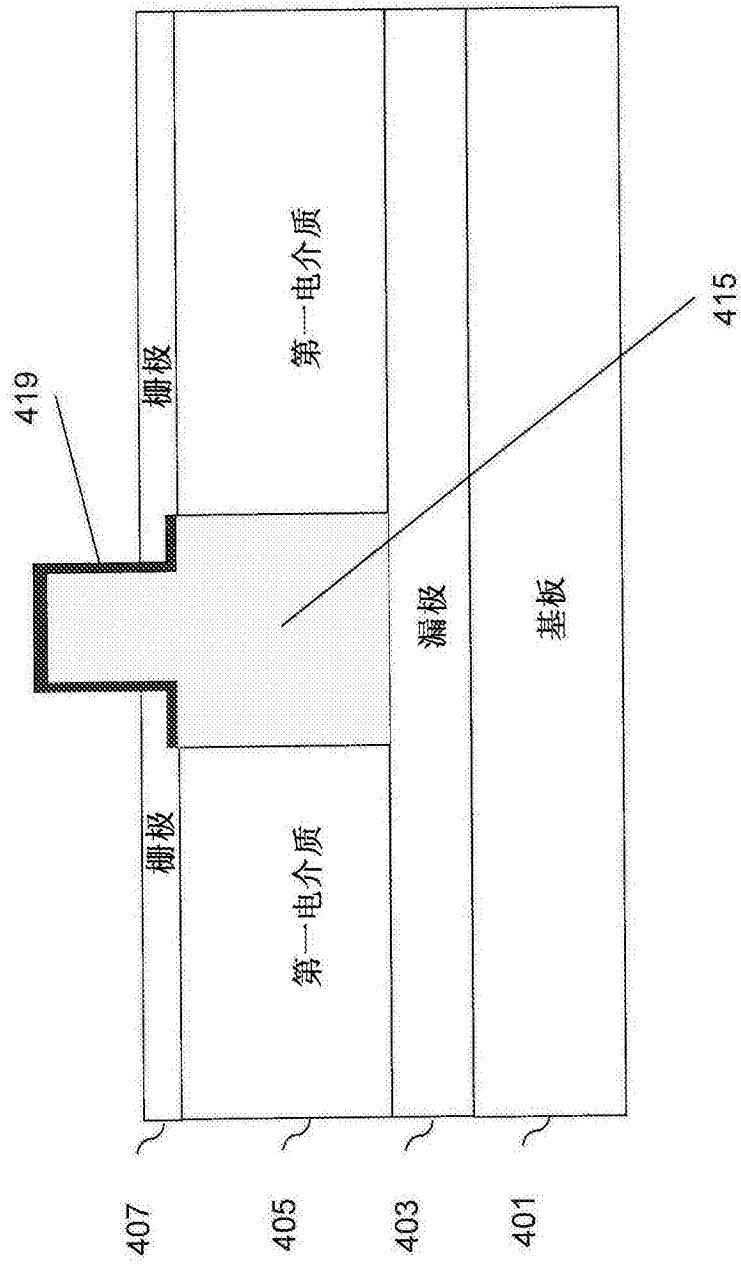


图 6e

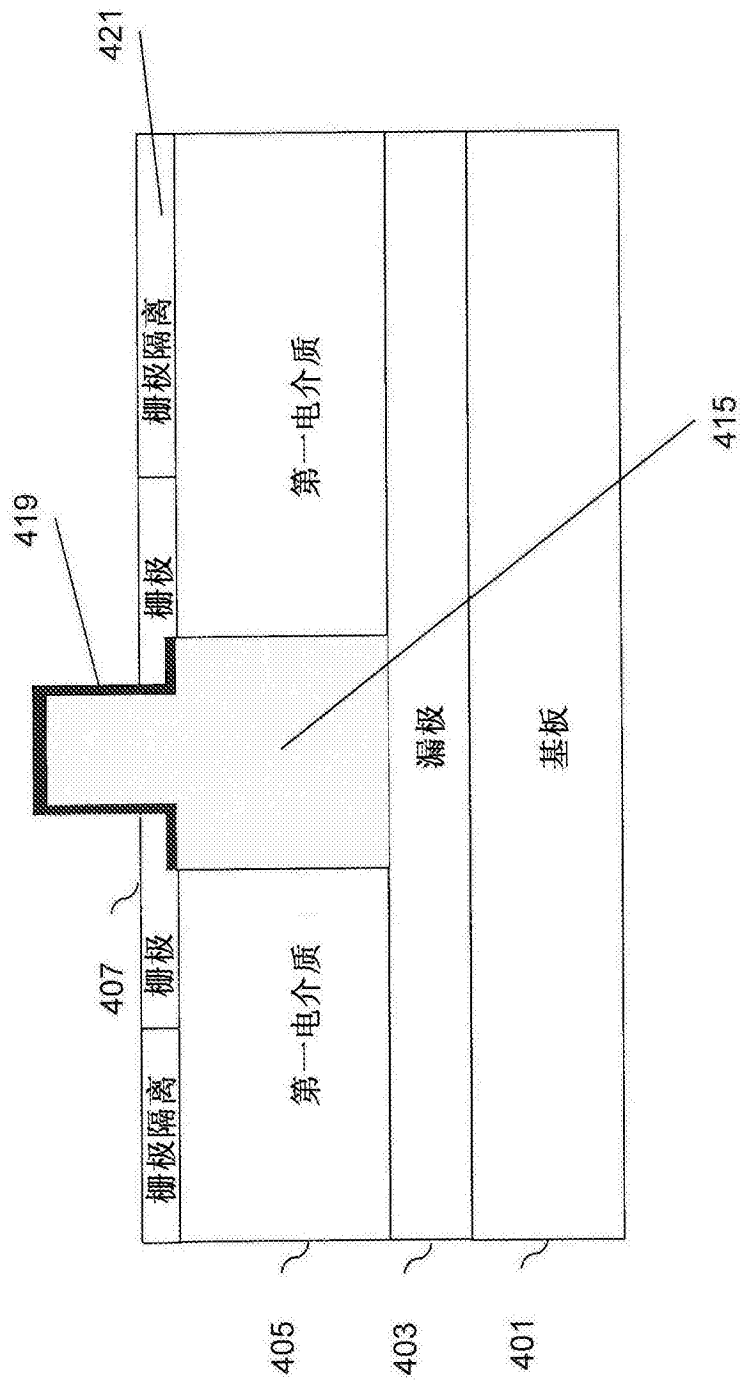


图 6f

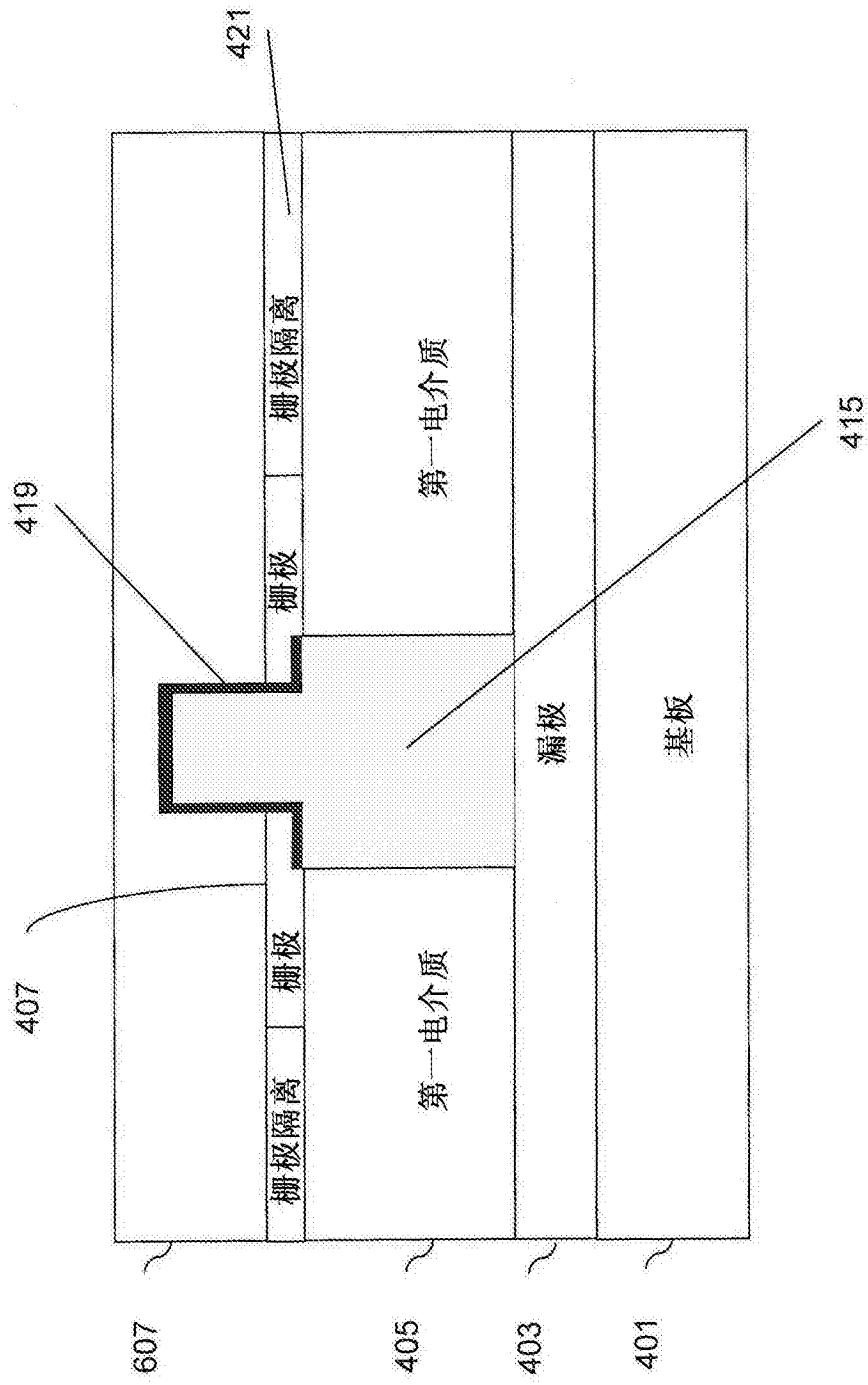


图 6g

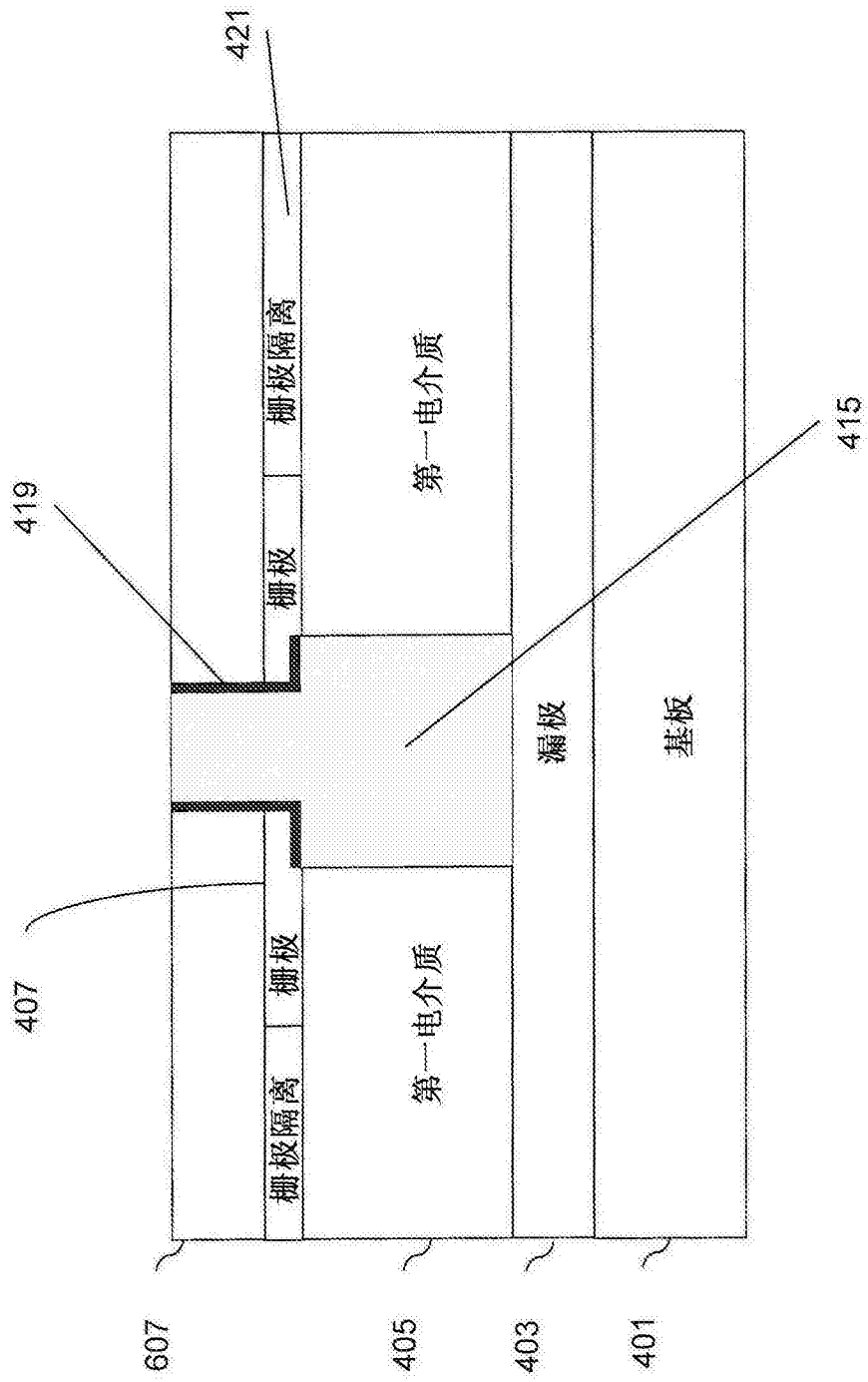


图 6h

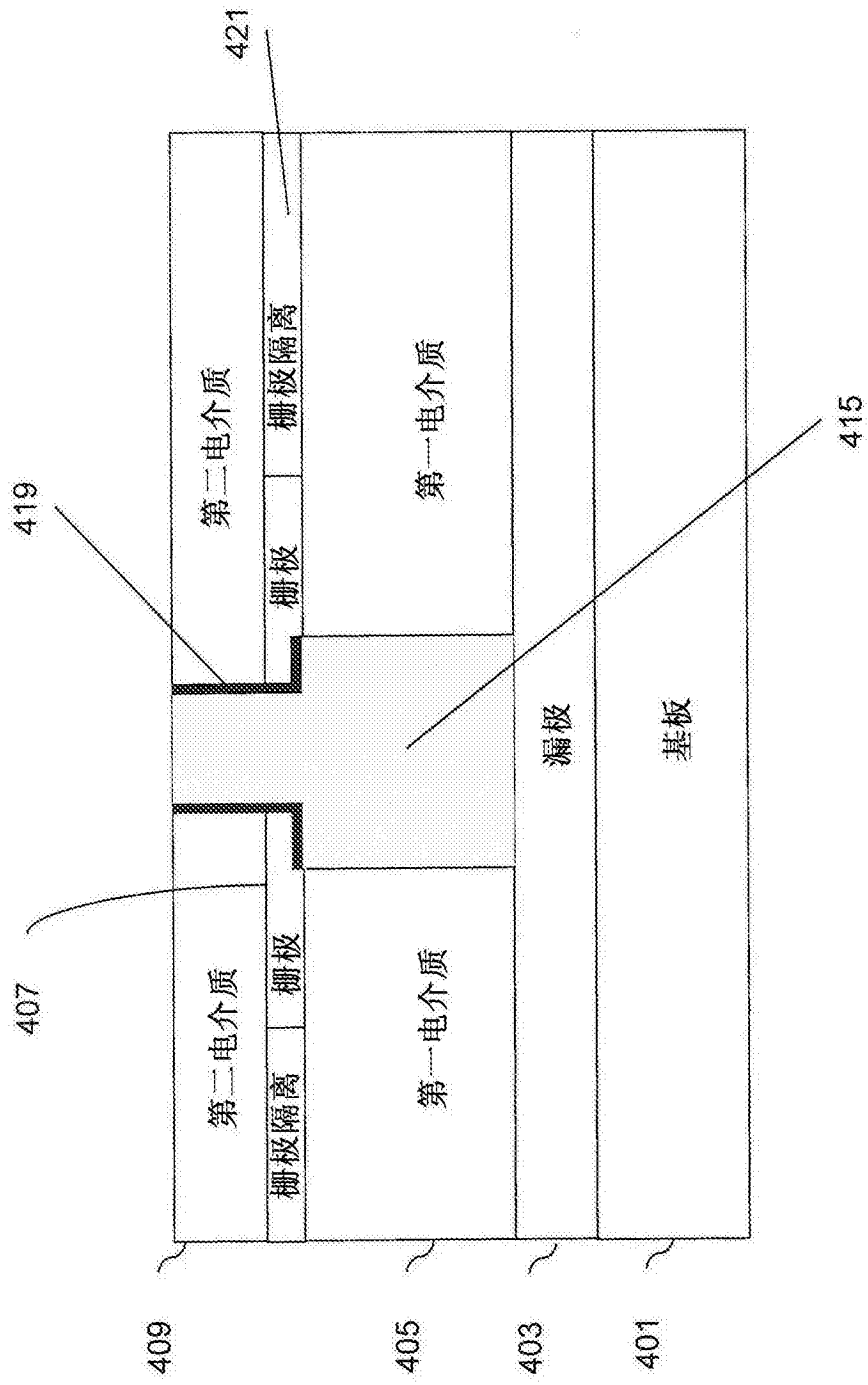


图 6i

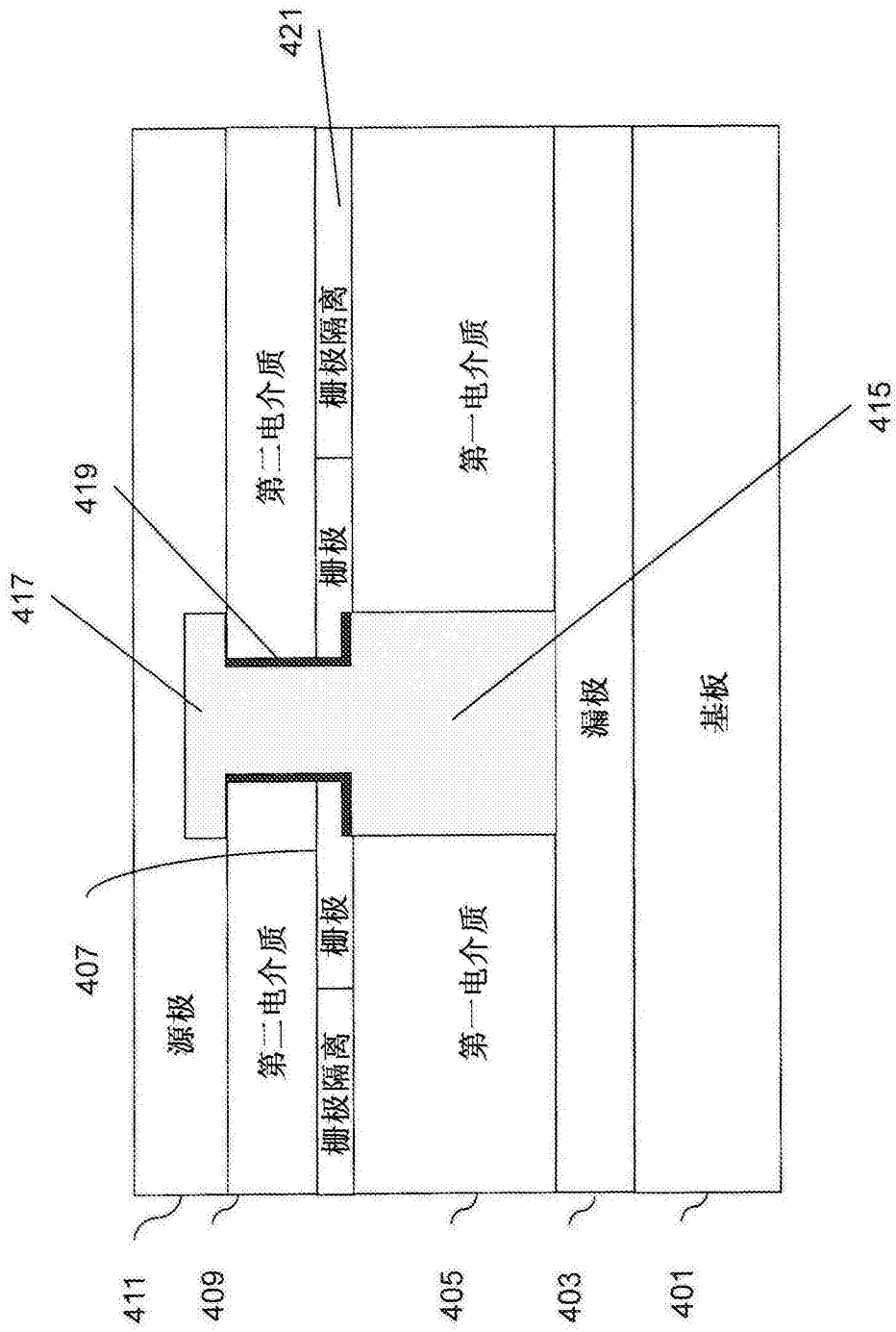


图 6j