

A1

**DEMANDE
DE BREVET D'INVENTION**

(21)

N° 81 21324

(54) Interface de passage d'une liaison en mode paquets à une liaison en mode MIC.

(51) Classification internationale (Int. Cl. ³). H 04 L 25/02; H 04 B 12/00; H 04 J 3/00, 6/00.

(22) Date de dépôt 13 novembre 1981.

(33) (32) (31) Priorité revendiquée :

(41) Date de la mise à la disposition du
public de la demande B.O.P.I. — « Listes » n° 20 du 20-5-1983.

(71) Déposant : THOMSON-CSF TELEPHONE, société anonyme. — FR.

(72) Invention de : Raymond Kakka et Serge Bueno.

(73) Titulaire : *Idem* (71)

(74) Mandataire : P. Guilguet, Thomson-CSF, SCPI,
173, bd Haussmann, 75360 Paris Cedex 08.

INTERFACE DE PASSAGE D'UNE LIAISON EN MODE
PAQUETS A UNE LIAISON EN MODE MIC

La présente invention concerne une interface de passage d'une liaison en mode paquets, obtenue en sortie d'un réseau de commutation par paquets, à une liaison en mode MIC.

On appelle mode paquets un mode de transmission de données numériques dans lequel les données numériques à transmettre sont groupées en blocs, ou paquets, et associées à l'intérieur de chaque paquet à des informations de routage, l'ensemble étant organisé selon un format déterminé.

On appelle réseau de commutation par paquets un ensemble d'opérateurs, ou noeuds de commutation, reliés entre eux par des liaisons internes au réseau selon une loi appelée loi de maillage du réseau, et communiquant également avec l'extérieur du réseau au moyen de liaisons externes au réseau. Un tel réseau a pour but d'assurer l'aiguillage de données numériques transmises sur l'une de ces liaisons externes vers l'une ou l'autre de ces mêmes liaisons externes, le trajet suivi par ces données à l'intérieur du réseau étant fixe pendant une même communication. Lorsque les paquets sont autodirigés, c'est-à-dire lorsque les informations de routage contenues dans chaque paquet correspondent aux adresses des différents opérateurs devant être traversés par ce paquet, l'acheminement des paquets à travers le réseau est déterminé par les paquets eux-mêmes.

Le réseau de commutation par paquets communique notamment avec l'extérieur au moyen de liaisons en mode MIC.

On appelle mode MIC ou modulation par impulsion et codage un mode de transmission dans lequel un signal analogique, notamment un signal de parole, est échantillonné, et la grandeur de chaque échantillon par rapport à une référence fixe est quantifiée et convertie par codage en un signal numérique. Sur une liaison de transmission en mode MIC, les échantillons relatifs à plusieurs conversations sont multiplexés par répartition dans le temps à raison de trente-deux échantillons de huit éléments

binaires chacun occupant trente-deux intervalles de temps, ou voies, par trame. Les caractéristiques de transmission du mode MIC sont définies par les avis G.732 et G.733 des normes internationales données par le CCITT.

- 5 Il est alors nécessaire de prévoir à l'entrée du réseau des interfaces d'adaptation des deux modes de transmission distincts que constituent le mode MIC et le mode paquets.

Une interface de passage d'une liaison en mode MIC à une liaison en mode paquets a ainsi fait l'objet d'une demande de brevet déposée le 17
10 juin 1980 au nom de la demanderesse, sous le numéro 80 13 413.

La présente invention a pour objet une interface de passage d'une liaison en mode paquets à une liaison en mode MIC.

- Pour la conversion du mode paquets au mode MIC, un problème nouveau se pose qui est dû au fait que si plusieurs paquets se présentent
15 simultanément pour emprunter une même liaison interne au réseau, il se forme une file d'attente des paquets à transmettre sur cette liaison. Il en résulte des fluctuations de débit imprévisibles sur la liaison en mode paquets, qui viennent s'ajouter au problème plus classique de passage du débit binaire associé à l'un des modes de transmission au débit binaire
20 associé à l'autre mode de transmission. L'interface conforme à l'invention permet de résoudre ce problème.

Par ailleurs l'interface conforme à l'invention permet de convertir en mode MIC à la fois des paquets transmis selon le mode bande de base et selon le mode large bande.

- 25 Un paquet destiné à une liaison MIC, obtenu en sortie d'un réseau de commutation par paquets, est constitué de manière conventionnelle par une succession d'octets, le premier octet contenant le numéro de voie de destination sur la liaison MIC, du premier octet utile du paquet, les octets suivants, ou octets utiles, contenant les informations utiles à la communi-
30 cation. Un paquet contient au maximum quatre octets utiles.

On entend par bande de base un mode de transmission de paquets selon lequel les quatre octets utiles d'un paquet sont affectés à une voie de rang r donné (égal au numéro de voie de destination fourni par le premier octet du paquet) de quatre trames successives de la liaison en

mode "MIC", les octets utiles des paquets suivants se rapportant à la même communication étant affectés à la voie de même rang r des trames suivantes.

On entend par large bande un mode de transmission de paquets selon lequel les octets utiles de P paquets successifs formant un groupement de paquets large bande sont affectés à des voies successives d'une même trame de la liaison en mode MIC, comptées à partir du numéro de voie de destination fourni par le premier octet du premier paquet, les octets utiles de P paquets suivants se rapportant à la même communication étant affectés à des voies successives de la trame suivante, et ainsi de suite. Si le nombre d'octets utiles des P paquets formant un même groupement large bande n'est pas multiple de quatre, le dernier paquet de ce groupement contient un nombre d'octets inférieur à quatre.

Le mode large bande convient plus particulièrement pour la transmission de données ayant une bande passante relativement large, et notamment plus large que celle de signaux de parole pour la transmission desquels le mode "bande de base" suffit.

Selon l'invention, l'interface de passage d'une liaison en mode paquets à une liaison en mode MIC comporte une mémoire tampon du type "premier entre premier sorti", apte à stocker les paquets reçus sur la liaison en mode paquets, un circuit de commande de décalage en écriture de cette mémoire tampon, apte à assurer un stockage, dans la mémoire tampon, des octets constituant les paquets reçus sur la liaison en mode paquets, à leur rythme d'arrivée sur la liaison en mode paquets, un circuit de commande de décalage en lecture de la mémoire tampon, apte à assurer une synchronisation, par rapport au temps généré localement, des octets stockés dans la mémoire tampon, et une reconstitution des paquets stockés dans la mémoire tampon, suivant le nombre d'octets de ces paquets, une mémoire vive, dite mémoire d'échantillons, organisée en voies et en trames, à l'image des données transmises sur une liaison MIC, et apte à stocker les octets lus dans la mémoire tampon, un circuit d'adressage en lecture de la mémoire d'échantillons, apte à assurer une lecture séquentielle de la mémoire d'échantillons, au rythme d'émission des échantillons constituant les données transmises sur la liaison en mode

MIC, et un circuit d'adressage en écriture de la mémoire d'échantillons apte à déterminer, à partir d'informations de connexion fournies par une interface assurant le passage inverse d'une liaison en mode MIC à une liaison en mode paquets, et d'informations de destination fournies par les
5 paquets reçus sur liaison en mode paquets, l'adresse d'écriture dans la mémoire d'échantillons des octets lus dans la mémoire tampon, de manière que cette adresse d'écriture corresponde aux numéros de voie et de trame devant être occupés par ces octets sur la liaison en mode MIC.

Les objets et caractéristiques de l'invention apparaîtront plus clairement à la lecture de la description suivante d'un exemple de réalisation, ladite description étant faite en relation avec les dessins ci-annexés dans
10 lesquels :

- la figure 1 est un schéma synoptique de l'interface conforme à l'invention et de son environnement ;
- 15 - les figures 2 et 3 représentent un schéma détaillé de l'interface conforme à l'invention, la figure 2 représentant plus particulièrement un schéma de la mémoire tampon et de ses circuits de commande de décalage en lecture et en écriture et la figure 3 un schéma de la mémoire d'échantillons et de ses circuits d'adressage en lecture et en écriture ;
- 20 - la figure 4 est un diagramme des temps montrant le déroulement du traitement d'un paquet par l'interface représentée sur les figures 2 et 3 ;
- la figure 5 est un organigramme destiné à illustrer le fonctionnement de l'interface représentée sur les figures 2 et 3.
- 25 Des éléments identiques représentés sur des figures différentes portent des références identiques.

Sur la figure 1, on a représenté un réseau 1 de commutation par paquets qui communique avec l'extérieur de ce réseau au moyen de liaisons externes au réseau telles que des liaisons en mode MIC, dont une
30 liaison aller 2 en mode MIC et une liaison retour 3 en mode MIC.

Une interface 4 de passage d'une liaison en mode MIC à une liaison en mode paquets est interposée entre la liaison aller 2 en mode MIC et la liaison 5 d'entrée du réseau de commutation par paquets. L'interface 4 communique avec un microprocesseur 6 qui a pour but d'assurer une

répartition correcte des échantillons reçus sur la liaison 2 dans les différents paquets, et une inscription du contenu du premier octet de ces paquets, en fonction notamment de la signalisation associée à ces échantillons reçue par exemple sur la liaison 2. L'interface 4 ne constitue
5 pas l'objet de la présente invention. La présente invention a pour objet une interface 7 de passage de la liaison en mode paquets 8 obtenue en sortie du réseau 1 à la liaison retour 3 en mode MIC.

Conformément à l'invention, l'interface 7 comporte essentiellement une mémoire tampon 9, du type "premier entré-premier sorti", apte à
10 stocker les données reçues sur la liaison 8 en mode paquets, un circuit 10 de commande de décalage en écriture de cette mémoire tampon 9, apte à assurer un stockage, dans la mémoire tampon 9, des octets reçus sur la liaison 8 en mode paquets, à leur rythme d'arrivée sur la liaison 8 en mode paquets, un circuit 11 de commande de décalage en lecture de la mémoire
15 tampon 9, apte à assurer une synchronisation, par rapport au temps généré localement, des octets stockés dans la mémoire tampon 9, et une reconstitution des paquets stockés dans la mémoire tampon 9, suivant le nombre d'octets de ces paquets, une mémoire vive 12, dite mémoire d'échantillons, apte à stocker les octets lus dans la mémoire tampon 9, un
20 circuit 13 d'adressage en lecture de la mémoire 12, apte à assurer une lecture séquentielle de la mémoire 12, au rythme d'émission des échantillons sur la liaison 3 en mode MIC, et un circuit 14 d'adressage en écriture de la mémoire 12, apte à assurer une écriture de chaque octet utile d'un paquet reçu sur la liaison 8 de la façon suivante.

25 La mémoire 12 comporte $32n$ mots de huit éléments binaires (avec n supérieur ou égal à deux fois le nombre d'octets utiles maximum d'un paquet), chacun des n ensembles de trente-deux mots de huit éléments binaires étant stocké à des emplacements consécutifs de la mémoire 12 et étant identifié à une trame de trente-deux échantillons de la liaison MIC,
30 la mémoire 12 contenant alors n trames. Le premier octet utile du premier paquet valide d'une communication transmis selon le mode bande de base ou selon le mode large bande est écrit à une adresse telle que l'écart entre le numéro de la trame qu'il occupe dans la mémoire 12 et le numéro de la trame utilisé au même moment en lecture de la mémoire 12

soit égal à deux. Les octets utiles suivants d'un paquet transmis suivant le mode bande de base sont écrits à une adresse telle que le numéro de la trame qu'ils occupent soit égal au numéro de la trame occupée par l'octet utile précédent du même paquet, augmenté de 1. Les octets utiles
5 suivants d'un paquet transmis selon le mode large bande sont écrits à une adresse telle que le numéro de trame qu'ils occupent soit égal au numéro de la trame occupée par le premier.

Le numéro de trame en écriture étant ainsi déterminé, le numéro de voie en écriture des octets utiles constituant un paquet est simplement
10 déterminé à partir du numéro de voie de destination du paquet contenu dans le premier octet d'un paquet. Les octets utiles d'un paquet transmis suivant le mode bande de base ont tous comme numéro de voie en écriture le numéro de voie de destination du paquet. Le numéro de voie en écriture du premier octet utile d'un paquet transmis suivant le mode large bande
15 est égal au numéro de voie de destination du paquet, le numéro de voie en écriture des octets utiles suivants étant obtenu en ajoutant au numéro de voie de destination du paquet une valeur égale au rang occupé par ce octet utile à l'intérieur du paquet.

Le circuit 10 de commande de décalage en écriture de la mémoire tampon 9 est commandé par un signal d'horloge distante récupéré notamment sur la liaison 8 en mode paquets.
20

Le circuit 11 de commande de décalage en lecture de la mémoire tampon 9, et les circuits 13 et 14 d'adressage en lecture et en écriture de la mémoire 12 sont commandés par un séquenceur 15 fournissant divers
25 signaux d'horloge générés localement et destinés à assurer le bon déroulement des opérations de traitement des paquets par l'interface 7.

Les informations utiles à l'élaboration de l'adresse d'écriture de la mémoire 12, notamment le mode de transmission (bande de base ou large bande), sont fournies par un microprocesseur 16. Ce microprocesseur 16
30 communique, par l'intermédiaire du réseau 1, avec le microprocesseur 6 assurant le passage inverse du mode MIC au mode paquets, en raison de la nécessaire coordination qui doit s'établir entre ces deux opérations inverses.

Sur la figure 2, on a représenté la mémoire tampon 9 et ses circuits

de commande de décalage en lecture et en écriture. Dans le cas où la transmission des paquets sur la liaison 8 se fait suivant le mode série un registre série-parallèle 20 est prévu en amont de la mémoire tampon 9.

5 Ce registre 20 est muni d'une entrée de données série reliée à la liaison 8, et d'une entrée d'horloge qui reçoit un signal d'horloge H de fréquence égale à la fréquence de transmission des éléments binaires sur la liaison 8, récupéré sur une liaison annexe à la liaison 8 pour le cas où la transmission sur la liaison 8 se fait suivant le mode horloge séparée, ou reconstitué à partir des données reçues sur la liaison 8, grâce à un circuit
10 21 de reconstitution d'horloge, pour le cas contraire. Les sorties du registre 20 sont reliées aux entrées de données de la mémoire tampon 9.

L'entrée SI de commande de décalage en écriture de la mémoire tampon 9 est reliée à la sortie d'un circuit 10 de commande de décalage en écriture, dans la mémoire tampon 9, des octets obtenus en sortie du
15 registre série-parallèle 20. Ce circuit 10 est constitué par un compteur modulo 8, dont l'entrée d'horloge est reliée à la sortie du circuit 21 de reconstitution d'horloge, et dont la sortie de retenue R (fournissant un signal CBF) est reliée à l'entrée SI de commande de décalage en écriture de la mémoire tampon 9.

20 L'entrée SO de commande de décalage en lecture de la mémoire tampon 9 est reliée à la sortie d'un circuit 11 de commande de décalage en lecture de la mémoire tampon 9.

Ce circuit 11 comporte une mémoire tampon 25 munie d'entrées de données reliées aux sorties d'un compteur 26 muni lui-même d'une entrée
25 d'horloge reliée à la sortie de retenue R du compteur 10 et d'une entrée EN d'autorisation de comptage reliée à la sortie d'un détecteur d'enveloppe 27. Le détecteur d'enveloppe 27 a son entrée reliée à la liaison 8 et a pour but de faire une distinction entre la présence et l'absence de modulation sur la liaison 8, c'est-à-dire entre la présence et l'absence d'un
30 paquet sur cette liaison 8.

La mémoire tampon 25 a son entrée SI de commande de décalage en écriture reliée à la sortie du détecteur d'enveloppe 27.

L'entrée SO de commande de décalage en lecture de la mémoire tampon 25 est reliée à la sortie d'une bascule 28 du type D. Cette bascule

28 a son entrée D reliée à la sortie d'une porte "ET" 29 munie de deux entrées reliées respectivement aux sorties OR d'indication de données prêtes des mémoires tampons 9 et 25, ces deux sorties fournissant respectivement des signaux ORO et ORP. L'entrée d'horloge de la bascule
 5 28 reçoit un signal d'horloge t_0 fourni par le séquenceur 15. Une des entrées de forçage P de la bascule 28 reçoit un signal d'horloge t_1 fourni également par le séquenceur 15. L'allure de ces signaux d'horloge sera décrite en même temps que le fonctionnement du circuit représenté à la figure 2.

10 Le circuit 11 de commande de décalage en lecture des octets dans la mémoire tampon 9 comporte également une porte "ET" 31 munie d'une première entrée qui reçoit un signal d'horloge H_2 fourni par le séquenceur 15, de fréquence égale à la fréquence de transmission des éléments binaires sur une liaison MIC (soit 2,048 MHz).

15 La porte "ET" 31 est munie d'une deuxième entrée reliée à la sortie d'une bascule 32 du type D munie elle-même d'une entrée D reliée à la sortie de la porte "ET" 29 et d'une entrée d'horloge qui reçoit le signal d'horloge t_0 .

20 La porte "ET" 31 est munie d'une troisième entrée reliée à la sortie (fournissant un signal DOC) d'une mémoire morte 33 munie elle-même de premières entrées d'adresse reliées aux sorties de la mémoire tampon 25, d'une seconde entrée d'adresse qui reçoit le signal d'horloge H_2 , et d'une troisième et d'une quatrième entrées d'adresse qui reçoivent respectivement des signaux d'horloge B_0 et B_1 également fournis par le séquen-
 25 ceur 15.

Un registre 34, muni d'entrées de données reliées aux sorties de la mémoire tampon 9, et d'une entrée d'horloge qui reçoit le signal d'horloge t_0 , est enfin prévu en sortie de la mémoire tampon 9.

30 On décrit maintenant le fonctionnement du circuit représenté à la figure 2 en relation avec le diagramme des temps représenté à la figure 4.

L'interface conforme à l'invention est conçue pour traiter chaque paquet reçu pendant une durée maximum égale au temps d'émission d'un octet sur la liaison MIC (soit $3,9 \mu s$), c'est-à-dire pendant huit périodes consécutives de 488 ns, S_0 à S_7 , du signal d'horloge H_2 représenté sur la

figure 4.

Lorsqu'un paquet arrive sur la liaison 8 à l'entrée de l'interface, ce paquet est découpé en octets grâce au registre série-parallèle 20. Ces octets sont ensuite stockés dans la mémoire tampon 9, à un rythme égal
5 au rythme de réception des octets sur la liaison 8, grâce au signal CBF de commande de décalage en écriture de la mémoire tampon 9.

Pendant que les octets d'un même paquet sont ainsi stockés à des emplacements successifs de la mémoire tampon 9, le compteur 26 compte le nombre d'octets contenus dans ce paquet et lorsque le dernier octet a
10 été reçu, c'est-à-dire lorsque le détecteur d'enveloppe ne détecte plus aucune modulation, le nombre ainsi obtenu est stocké dans la mémoire tampon 25.

Les nombres d'octets contenus dans les paquets reçus successivement sur la liaison 8 sont stockés à des emplacements successifs de la
15 mémoire tampon 25, grâce à la commande de décalage en écriture de la mémoire tampon 25 au moyen du signal de sortie du détecteur d'enveloppe 27.

Le rythme de transmission des éléments binaires sur une liaison paquets (32 MHz) étant très supérieur au rythme de transmission des
20 éléments binaires sur une liaison MIC (2 MHz) un paquet au moins peut ainsi être inscrit dans la mémoire tampon 9 pendant une période de $3,9 \mu s$ fixée pour le traitement d'un paquet. Pendant une période de $3,9 \mu s$ suivante, ce paquet est lu de la manière suivante.

Chacune des périodes S_0 à S_7 de 488 ns (avec i variable de 0 à 7)
25 représentées sur la figure 3, est divisée en deux sous-périodes référencées T_i (avec i variable de 0 à 15) et on appelle t_i (avec i égal 0 ou 1) un signal logique présentant une impulsion seulement lors de la $i^{\text{ème}}$ de ces sous périodes.

Au début de chaque période de $3,9 \mu s$, si les sorties d'indication de
30 données prêtes des mémoires tampon 9 et 25 indiquent que des données sont à lire dans ces mémoires, une commande de décalage en lecture est transmise aux mémoires tampons 9 et 25 lors de la période T_0 . Un nombre d'octets est alors lu dans la mémoire tampon 25 et ce nombre sert à adresser la mémoire morte 33.

Des données sont également lues dans la mémoire tampon 9, mais, en raison de la présence de la porte logique 31, ces données ne sont lues que lorsque le signal DOC de sortie de la mémoire morte 33 le permet. Les octets contenus dans la mémoire tampon 9 sont lus au rythme du
 5 signal d'horloge H_2 , c'est-à-dire lors de chaque période S , c'est-à-dire encore toutes les 488 ns.

Le nombre d'octets du paquet, lu dans la mémoire tampon 25, sert à adresser la mémoire morte 33, en combinaison avec les signaux H_2 , B_0 et B_1 . Cette mémoire morte contient une loi de correspondance entre le
 10 nombre d'octets contenus dans un paquet, et la période de l'horloge H_2 où se produit la lecture du dernier octet de ce paquet dans la mémoire tampon 9. Les signaux B_0 et B_1 fournissent les références de temps supplémentaires permettant d'établir cette correspondance. Le signal B_0 a une période double de celle du signal H_2 , et le signal B_1 une période
 15 double de celle du signal B_0 .

Ainsi un octet est obtenu en sortie de la mémoire tampon 9 lors de chaque période S , et ceci jusqu'au dernier octet du paquet. Par exemple, si un paquet contient cinq octets, le premier octet est obtenu en sortie de la mémoire tampon 9 au cours de la période S_0 , comme cela est représenté
 20 sur la figure 4 au moyen de l'inscription L 1^{er} OC dans la colonne S_0 , le deuxième au cours de la période S_1 (inscription L 2^e OC dans la colonne S_1), le troisième au cours de la période S_2 (inscription L 3^e OC dans la colonne S_2), le quatrième au cours de la période S_3 (inscription L 4^e OC dans la colonne S_3) et le cinquième au cours de la période S_4 (inscription L
 25 5^e OC dans la colonne S_4).

On remarquera également que le premier octet du paquet indiquant le numéro VL de voie de destination du paquet se trouve mémorisé dans le registre 34 pendant toute la durée de traitement du paquet.

La mémoire tampon 9 et ses circuits de commande de décalage en
 30 écriture et en lecture permettent d'absorber les variations de débit sur la liaison en mode paquets.

Sur la figure 3, on a représenté la mémoire d'échantillons 12 apte à stocker les octets OCT obtenus en sortie de la mémoire tampon 9,

et ses circuits d'adressage en lecture 13 et en écriture 14.

Le circuit d'adressage en lecture 13 est constitué par un compteur modulo 256 (ou plus généralement modulo $32n$) incrémenté par un signal d'horloge h de fréquence égale à la fréquence d'émission des échantillons
5 sur la liaison MIC (soit 256 kHz) fourni par le séquenceur 15.

Le circuit d'adressage en écriture 14 comporte une mémoire vive 36, dite mémoire de connexion, munie d'entrées de données reliées aux sorties du microprocesseur 16, d'entrées d'adresse reliées aux sorties du registre 34, et d'une entrée de commande de lecture-écriture qui reçoit un signal
10 de commande C_1 fourni par le séquenceur 15 (visible sur la figure 2) et que l'on décrira ultérieurement. Les sorties de la mémoire 36, fournissant des informations dites de connexion, sont reliées aux entrées d'un registre 37 dont les sorties fournissent elles-mêmes un premier signal CBB indiquant le mode de transmission (bande de base ou large bande) du
15 paquet ayant un numéro de voie de destination égal au numéro de voie appliqué sur les entrées d'adresse de cette mémoire, et un deuxième et un troisième signal, respectivement intitulés VP et VD. Ces deux derniers signaux servent à identifier respectivement le premier, et le dernier paquet d'un groupement large bande. L'entrée d'horloge du registre 37
20 reçoit un signal de commande C_2 fourni par le séquenceur 15.

Le circuit d'adressage en écriture 14 comporte également une mémoire vive 38, dite mémoire de numéro de voie principale associé, munie d'entrées de données reliées aux sorties, fournissant un signal NVPA, d'un multiplexeur 39 muni lui-même de premières entrées de
25 données qui reçoivent en permanence la valeur 0, de secondes entrées de données reliées aux sorties, fournissant un signal NVPA', d'un multiplexeur 40, et d'une entrée de commande qui reçoit un signal de commande C_3 fourni par le séquenceur 15. Le multiplexeur 39 est muni lui-même de premières entrées de données reliées aux sorties du registre 34 (visible sur
30 la figure 2), de secondes entrées de données reliées aux sorties d'un registre 41, et d'une entrée de commande qui reçoit le signal VP de sortie de la mémoire vive 36. L'entrée de sélection de lecture écriture de la mémoire vive 38 reçoit un signal de commande C_4 fourni par le séquenceur 15. Les entrées d'adresse de la mémoire vive 38 sont reliées

aux sorties d'un multiplexeur 42 muni de premières entrées de données reliées aux sorties du registre 34 (visible sur la figure 1) de secondes entrées de données, et d'une entrée de commande qui reçoit un signal de commande C_5 fourni par le séquenceur 15.

5 Les entrées de données du registre 41 sont reliées aux sorties de la mémoire vive 38 et son entrée d'horloge reçoit un signal de commande C_6 fourni par le séquenceur 15. Un comparateur 41' est connecté en sortie du registre 41. Ce comparateur est destiné à comparer la valeur présente sur les sorties du registre 41 avec la valeur zéro, et il fournit un signal
10 d'alarme AL au microprocesseur 16.

Le circuit d'adressage en écriture 14 comporte également une mémoire morte 43, dite mémoire de calcul de numéro de trame en écriture, munie de premières entrées d'adresse reliées aux sorties de poids fort du compteur d'adressage-lecture 13 correspondant au numéro de
15 trame en lecture NTRL de la mémoire d'échantillons, de secondes entrées d'adresse qui reçoivent les signaux CBB, VP et VD, de troisièmes entrées d'adresse qui reçoivent les signaux d'horloge H_2 , B_0 et B_1 , et de quatrièmes entrées d'adresse. Les sorties de la mémoire morte 43 sont connectées aux entrées d'un registre 43' muni d'une entrée d'horloge qui
20 reçoit un signal de commande C_9 fourni par le séquenceur 15 et de sorties qui fournissent un signal CATS.

Le circuit d'adressage en écriture 14 comporte également une mémoire morte 44, dite mémoire de calcul de numéro de voie en écriture, munie de premières entrées d'adresse reliées aux sorties du registre 34,
25 (visible sur la figure 2) de secondes entrées d'adresse reliées aux sorties du registre 41, de troisièmes entrées d'adresse qui reçoivent les signaux CBB, VP et VD et de quatrièmes entrées d'adresse qui reçoivent les signaux d'horloge H_2 , B_0 et B_1 . Les sorties de la mémoire morte 44 sont reliées aux entrées d'un registre 44' muni d'une entrée d'horloge qui reçoit un
30 signal de commande C_{10} fourni par le séquenceur 15 et de sorties qui fournissent un signal AEC. Les sorties du registre 44' sont reliées aux secondes entrées de données du multiplexeur 42 d'adressage de la mémoire 38 de numéro de voie principale associée.

Le circuit d'adressage en écriture 14 comporte également une

mémoire vive 45, dite mémoire de numéro de trame d'écriture du prochain paquet, munie d'entrées de données reliées aux sorties du registre 43' et d'entrées d'adresse reliées aux sorties d'un multiplexeur 46 muni lui-même de premières entrées de données reliées aux sorties du registre 34 (visible sur la figure 1) et de secondes entrées de données reliées aux sorties du registre 44'. L'entrée de commande du multiplexeur 46 et l'entrée de commande de lecture-écriture de la mémoire 45 reçoivent un signal de commande C_7 fourni par le séquenceur 15. Les sorties de la mémoire 45 sont reliées aux entrées d'un registre 45' muni d'une entrée d'horloge qui reçoit un signal de commande C_8 fourni par le séquenceur et de sorties qui fournissent un signal CAT. Les sorties du registre 45' sont reliées aux quatrièmes entrées d'adresse de la mémoire morte 43.

Un multiplexeur 47 est prévu pour l'adressage de la mémoire d'échantillons 12. Ce multiplexeur 47 est muni de premières entrées de données reliées aux sorties du compteur 13, de secondes entrées de données reliées aux sorties juxtaposées des registres 43' et 44' (le registre 43' fournissant les données de poids fort), et d'une entrée de commande qui reçoit comme l'entrée de commande de lecture écriture de la mémoire d'échantillons 10, un signal de commande C_{11} fourni par le séquenceur 15.

Un registre parallèle-série 48 est également prévu en sortie de la mémoire d'échantillons 12. L'entrée d'horloge de ce registre reçoit le signal d'horloge h et sa sortie série est reliée à la liaison 3 en mode MIC.

On décrit maintenant le fonctionnement du circuit représenté à la figure 3, en relation avec le diagramme des temps représenté à la figure 4 et avec l'organigramme représenté à la figure 5. On fixe toujours la durée maximum de traitement d'un paquet à $3,9 \mu s$ et on s'intéresse au déroulement des opérations entre les périodes S_0 et S_7 ou encore T_0 à T_{15} .

Le signal C_{11} de sélection de lecture écriture de la mémoire d'échantillons est tel que cette mémoire est lue cycliquement lors de chaque période T_0 . Ceci est représenté sur le diagramme des temps par le symbole L placé en regard de la période T_0 sur la ligne intitulée C_{11} . Un échantillon est ainsi disponible sur la liaison 3 en mode MIC toutes les $3,9 \mu s$, ce qui correspond bien au débit d'une liaison MIC.

Il suffit par ailleurs de lire ces échantillons de manière cyclique, au

moyen du compteur 13, car le circuit d'adressage en écriture 14 permet d'écrire préalablement ces échantillons à une adresse correspondant aux numéros de voie et de trame qu'ils occuperont réellement sur la liaison en mode MIC.

- 5 L'écriture de la mémoire d'échantillons 12 se produit, comme cela a été représenté sur le diagramme des temps au moyen d'un symbole L sur la ligne C_{11} , lors des périodes T_2 , T_4 , T_6 et T_8 , les adresses d'écriture (numéro de voie d'écriture AEC et numéro de trame d'écriture CATS) étant préalablement calculées pour le premier, le deuxième, le troisième
10 et le quatrième octets utiles respectivement lors des périodes T_1 , T_3 , T_5 et T_7 (comme représenté également sur le diagramme des temps). Ce calcul des adresses d'écriture se fait de la façon suivante.

- La mémoire de connexion 36 est adressée en lecture au temps T_0 (comme représenté sur la ligne C_1 du diagramme des temps), avec le
15 contenu du registre 34, c'est-à-dire avec le premier octet du paquet, correspondant à son numéro de voie de destination sur la liaison MIC. Les données lues dans la mémoire de connexion 36 sont stockées dans le registre 37 au cours de la période T_0 , comme cela est représenté sur le diagramme des temps à la ligne C_2 . Elles restent disponibles dans ce
20 registre pendant toute la durée de traitement du paquet. L'information CBB fournie par le registre 37 indique le mode de transmission du paquet traité (bande de base ou large bande).

- On considère tout d'abord le cas où le paquet traité est transmis suivant le mode large bande (LB), et on considère plus particulièrement le
25 cas où le paquet traité est le premier paquet d'un groupement large bande, (ceci étant indiqué par le signal VP).

- Pour ce premier paquet, on fixe le numéro de trame en écriture égal au numéro de trame en lecture utilisé au temps T_0 de la période de $3,9\mu s$ considérée, augmenté de deux trames. Cet écart ménagé entre les trames
30 traitées respectivement en lecture et en écriture permet d'éviter de compenser les variations de durée de traversée des paquets dans le réseau.

Ce numéro de trame est fourni par la mémoire morte 43, qui repète ce calcul identiquement aux temps T_1 , T_3 , T_5 et T_7 , puisque les octets d'un paquet transmis suivant le mode large bande doivent être émis sur

une même trame.

Quant aux numéros de voie d'écriture des différents octets de ce paquet, ils sont calculés aux temps T_1 , T_3 , T_5 et T_7 par la mémoire morte 44 de la façon suivante.

5 Le numéro de voie d'écriture du premier octet utile du paquet est égal au numéro de voie de destination VL contenu dans le premier octet. Les numéros de voie d'écriture des deuxième, troisième et quatrième octets utiles sont égaux au numéro de voie de destination VL augmenté respectivement des valeurs un, deux et trois.

10 Après avoir procédé au calcul de l'adresse d'écriture, dans la mémoire d'échantillons, des octets constituant le paquet traité, à savoir ici le premier paquet d'un groupement large bande, les mémoires mortes 43 et 44 procèdent au calcul du numéro de trame d'écriture, dans la
15 mémoire d'échantillons, du deuxième paquet attendu, et du numéro de voie d'écriture, dans cette même mémoire, du premier octet utile constituant ce deuxième paquet, c'est-à-dire du numéro de voie de destination de ce deuxième paquet.

 Le calcul de numéro de trame d'écriture du prochain paquet à la fin du traitement du paquet actuel, qui se limite dans notre hypothèse à une
20 mémorisation du numéro de trame d'écriture du premier paquet, mais qui dans tous les cas nécessite au moins une telle mémorisation, est nécessaire si l'on veut effectuer une inscription du prochain paquet à une adresse de trame correcte. En effet, si un paquet contient des informations concernant l'adresse de voie d'écriture de ses différents octets, il
25 ne contient par contre aucune information concernant leur adresse de trame d'écriture. La mémorisation du numéro de trame d'écriture du paquet actuel se fait dans la mémoire vive 45.

 Cette mémoire 45 est donc écrite en fin de traitement d'un paquet par exemple au temps T_{12} comme cela a été représenté sur la ligne C_7 de
30 la figure 4, à une adresse correspondant au numéro de voie de destination du prochain paquet, avec les données fournies par la mémoire morte 43 à cet instant, et lue, au début du traitement d'un paquet, par exemple au temps T_0 , à l'adresse correspondant au numéro de voie de destination du paquet traité.

Le calcul du numéro de voie de destination du prochain paquet, c'est-à-dire du numéro de voie d'écriture du premier octet utile du prochain paquet est donc nécessaire pour le stockage dans la mémoire 45 du numéro de trame d'écriture du prochain paquet. Mais ce calcul est également utile pour d'autres raisons. Il est nécessaire, pour les paquets
5 transmis suivant le mode large bande, de vérifier la bonne succession des paquets des différents groupements large bande se rapportant à une même communication. Il se pourrait en effet qu'un paquet se perde, auquel cas tous les calculs de numéros de voie et de trame d'écriture se trouveraient
10 faussés. C'est pourquoi on décide d'émettre un signal d'alarme à destination du microprocesseur 16, dans le cas où des paquets transmis suivant le mode large bande ne se succèdent pas dans le bon ordre.

Une première étape dans la vérification de la bonne succession des paquets consiste, à la fin du traitement du paquet actuel, à faire un calcul
15 préalable du numéro de voie de destination du premier octet utile du prochain paquet, et à affecter à ce numéro de voie une valeur prédéterminée, différente des valeurs affectées à tous les autres numéros de voies possibles.

Cette première étape peut par exemple consister à écrire dans une
20 mémoire vive, en l'occurrence la mémoire 38, à une adresse égale au numéro de voie d'écriture du premier octet utile du prochain paquet (adresse calculée par la mémoire morte 44,) une valeur prédéterminée différente des valeurs inscrites à toutes les autres adresses, ces autres adresses correspondant à tous les autres numéros de voies possibles.

25 Une deuxième étape dans la vérification de la bonne succession des paquets consiste, à l'arrivée du prochain paquet, à adresser la mémoire vive 38 avec le numéro de voie de destination VL contenu dans le premier octet de ce paquet, et à vérifier que la valeur inscrite à cette adresse est bien la valeur prédéterminée en question. Le choix de cette valeur
30 prédéterminée a ici été fait en fonction des considérations suivantes.

Si le paquet actuellement traité est le dernier paquet d'un groupement large bande, le calcul du numéro de voie d'écriture du premier octet utile du premier paquet du prochain groupement appartenant à la même communication ne peut plus être effectué dans la mémoire morte 44 par

simple addition d'une valeur constante au numéro de voie de destination VL du paquet traité actuellement car un changement de groupement large bande correspond à un changement de trame. Le numéro de voie d'écriture du premier octet utile du premier paquet du prochain groupement étant
 5 égal au numéro de voie de destination VL du premier paquet du groupement actuel, il est intéressant de mémoriser pendant toute la durée de traitement d'un groupement large bande, le numéro de voie de destination VL du premier paquet de ce groupement, appelé numéro de voie principale associée (NVPA).

10 Ce numéro de voie principale associée NVPA peut donc avantageusement constituer la valeur prédéterminée nécessaire à la vérification de la bonne succession des paquets d'un groupement large bande. On décide alors de transférer le numéro VL de voie de destination du premier paquet du groupement actuel d'un paquet à l'autre de ce groupement, et ceci
 15 jusqu'à l'arrivée du dernier paquet de ce groupement, auquel cas ce numéro de voie de destination est transféré au premier paquet du groupement suivant. Ceci est obtenu en mémorisant le numéro de voie de destination du premier paquet du groupement actuel, à chaque transfert, à l'adresse de la mémoire vive 38 correspondant au numéro de voie
 20 d'écriture du premier octet utile du prochain paquet attendu.

Aux autres adresses de la mémoire 38, on peut notamment mémoriser la valeur zéro. Il est alors nécessaire de remettre à zéro, lors de chaque début de traitement d'un paquet, les données stockées à l'adresse de la mémoire 38 correspondant au numéro de voie de destination VL du
 25 paquet traité actuellement, par exemple au temps T_2 comme cela a été représenté sur la figure 4.

Ceci explique l'allure des signaux C_3 , C_4 , C_5 , C_6 et C_7 telle que représentée sur le diagramme des temps.

On remarque également que lors du traitement de chaque paquet, et
 30 dans notre hypothèse lors du traitement du premier paquet d'un groupement large bande, après que la mémoire de connexion 36 ait été lue au temps T_0 , cette mémoire est écrite par le microprocesseur 16, par exemple au temps T_5 , avec les données correspondant aux informations de connexion du prochain paquet.

Le traitement des paquets qui suivent le premier paquet d'un groupement large bande s'effectue de manière identique à ce qui a été décrit ci-dessus.

5 Seule change, suivant le rang occupé par le paquet traité à l'intérieur du groupement large bande, la méthode de calcul des numéros de voie et de trame d'écriture du prochain paquet, et la nature des données stockées dans la mémoire de numéro de voie principale associée. Ces différentes méthodes sont indiquées sur l'organigramme représenté à la figure 5.

10 Si le paquet traité actuellement est le premier paquet d'un groupement large bande, le numéro de voie d'écriture AECP du premier octet utile du prochain paquet est égal au numéro de voie de destination VL du paquet actuel, c'est-à-dire au numéro de voie contenu dans le premier octet de ce paquet, augmenté de quatre, pour tenir compte des voies
15 occupées par les quatre octets utiles de ce paquet. Dans cette même hypothèse le numéro de trame d'écriture CATSP du prochain paquet est égal au numéro de trame d'écriture du paquet actuel, d'après la définition même du mode large bande. Le numéro de voie principale associée NVPAP du prochain paquet est, lui, constitué par le numéro de voie de destination
20 VL de ce premier paquet, c'est-à-dire par le contenu du premier octet de ce paquet.

 Si le paquet traité actuellement est un paquet intermédiaire d'un groupement large bande, c'est-à-dire si ce paquet n'est ni le premier, ni le dernier du groupement, le numéro de voie d'écriture AECP du premier
25 octet utile du prochain paquet est aussi égal au numéro de voie de destination VL du paquet actuel, augmenté de quatre. De même le numéro de trame d'écriture CATSP du prochain paquet est égal au numéro de trame d'écriture du paquet actuel. Le numéro de voie principale associée NVPAP du prochain paquet est, lui, constitué par les données stockées
30 dans la mémoire 38 de numéro de voie principale associée, à l'adresse correspondant au numéro de voie de destination VL de ce paquet intermédiaire.

 Si maintenant le paquet traité actuellement est le dernier paquet d'un groupement large bande, le numéro de voie d'écriture AECP du

premier octet utile du prochain paquet est égal au numéro de voie principale associée lu dans la mémoire 38, à l'adresse correspondant au numéro de voie de destination VL de ce paquet. Le numéro de trame d'écriture CATSP du prochain paquet est égal au numéro de trame d'écriture du paquet traité actuellement, augmenté de la valeur un. Le
 5 Le numéro de voie principale associée NVPAP du prochain paquet est également constitué par les données lues dans la mémoire 38, à l'adresse correspondant au numéro de voie de destination VL de ce paquet.

On considère maintenant le cas où le paquet traité est transmis
 10 suivant le mode bande de base (BB).

Pour des raisons de simplification du matériel, on a calqué le fonctionnement du dispositif représenté à la figure 2 sur son fonctionnement pour le mode large bande.

Au temps T_0 , le numéro de voie de destination VL de ce paquet
 15 adresse la mémoire de connexion 36. L'information CBB indiquant qu'il s'agit d'un paquet en bande de base, les numéros de voie et de trame d'écriture des quatre octets utiles de ce paquet sont calculés par les mémoires mortes 43 et 44 aux temps T_1 , T_3 , T_5 et T_7 de la façon suivante.

Les numéros de voie en écriture AEC_1 , AEC_2 , AEC_3 ET AEC_4 de
 20 ces quatre octets sont tous égaux au numéro de voie de destination du paquet. Les numéros de trame en écriture $CATS_1$, $CATS_2$, $CATS_3$ et $CATS_4$ de ces quatre octets sont respectivement égaux au numéro de trame en lecture NTRL, et au numéro de trame en lecture NTRL
 25 augmenté respectivement de une, deux et trois trames.

Au temps T_9 , les mémoires mortes 43 et 44 procèdent au calcul du
 numéro de voie et de trame d'écriture du premier octet utile du prochain paquet. On remarquera que le calcul du numéro de voie en écriture du prochain paquet est ici inutile. Il est cependant effectué comme cela a
 30 été expliqué précédemment pour des raisons de simplification du matériel.

Le numéro de trame en écriture CATSP du prochain paquet en bande de base se rapportant à la même communication est égal au numéro de trame en écriture du paquet actuel augmenté d'une trame. Le numéro de voie en écriture AEC_P de ce prochain paquet est égal au numéro de voie

de destination du paquet actuel. Le numéro de voie principale associée NVPAP du paquet suivant est égal au numéro de voie de destination VL du paquet traité actuellement.

- 5 Au terme de cette description on remarquera que l'allure des signaux de commande représentée sur le diagramme des temps n'a été donnée qu'à titre d'exemple, et que peu importe leur allocation temporelle exacte pourvu que leurs allocations temporelles relatives soient telles que les différentes étapes du traitement des paquets se déroulent dans l'ordre indiqué.

REVENDICATIONS

1. Interface de passage d'une liaison (8) en mode paquets à une liaison (3) en mode MIC, la liaison (8) en mode paquets étant obtenue en sortie d'un réseau (1) de commutation par paquets, la liaison (3) en mode MIC constituant une liaison MIC retour, et une interface (4) assurant le passage inverse d'une liaison aller (2) en mode MIC à une liaison (5) en mode paquets étant également prévue en entrée du réseau (1) de commutation par paquets, caractérisée en ce qu'elle comporte une mémoire tampon (9), du type "premier entré-premier sorti", apte à stocker les paquets reçus sur la liaison (8) en mode paquets, un circuit (10) de commande de décalage en écriture de cette mémoire tampon (9), apte à assurer un stockage, dans la mémoire tampon (9), des octets constituant les paquets reçus sur la liaison (8) en mode paquets, à leur rythme d'arrivée sur la liaison (8) en mode paquets, un circuit (11) de commande de décalage en lecture de la mémoire tampon (9), apte à assurer une synchronisation, par rapport au temps généré localement, des octets stockés dans la mémoire tampon (9), et une reconstitution des paquets stockés dans la mémoire tampon (9), suivant le nombre d'octets de ces paquets, une mémoire vive (12), dite mémoire d'échantillons, organisée en voies et en trames, à l'image des données transmises sur une liaison MIC, et apte à stocker les octets lus dans la mémoire tampon (9), un circuit (13) d'adressage en lecture de la mémoire d'échantillons (12), apte à assurer une lecture séquentielle de la mémoire d'échantillons (12), au rythme d'émission des échantillons constituant les données transmises sur la liaison (3) en mode MIC, et un circuit (14) d'adressage en écriture de la mémoire d'échantillons (12) apte à déterminer, à partir d'informations de connexion fournies par l'interface (4) assurant le passage inverse d'une liaison (2) en mode MIC à une liaison (5) en mode paquets, et d'informations de destination fournies par les paquets reçus sur la liaison (8) en mode paquets, l'adresse d'écriture dans la mémoire d'échantillons (12) des octets lus dans la mémoire tampon (9), de manière que cette adresse d'écriture corresponde aux numéros de voie et de trame devant être occupés par ces octets sur la liaison (3) en mode MIC.

2. Interface selon la revendication 1, dans laquelle la transmission sur la liaison (8) en mode paquets, des éléments binaires constituant les octets, se fait suivant le mode série, caractérisée en ce que le circuit (10) de commande de décalage en écriture de la mémoire tampon (9) comporte
5 un compteur (10) d'éléments binaires, modulo huit, incrémenté au rythme de la réception des éléments binaires sur la liaison (8) en mode paquets, et dont la sortie de retenue est reliée à l'entrée de commande de décalage en écriture de la mémoire tampon (9).

3. Interface selon la revendication 1, dans laquelle la durée maximum de traitement d'un paquet reçu sur la liaison (8) en mode paquets est
10 fixée égale au temps de transmission d'un échantillon sur une liaison en mode MIC, le temps de transmission d'un paquet sur une liaison en mode paquets étant lui-même inférieur au temps de transmission d'un échantillon sur une liaison en mode MIC, caractérisée en ce que le circuit (11) de
15 commande de décalage en lecture de la mémoire tampon (9) consiste en un circuit de prise en compte d'un signal d'horloge H_2 généré localement, de rythme égal au rythme de transmission des éléments binaires constituant les échantillons transmis sur une liaison en mode MIC, entre le début de chaque période d'un signal d'horloge h généré localement, de
20 rythme égal au rythme de transmission des échantillons sur une liaison MIC, et la $m^{\text{ième}}$ période du signal d'horloge H_2 à l'intérieur de la période considérée du signal d'horloge h , m étant égal au nombre d'octets par paquet.

4. Interface selon les revendications 2 et 3, caractérisée en ce que
25 ce circuit de prise en compte comporte une porte "ET" (31) munie d'une première entrée recevant le signal d'horloge H_2 , d'une deuxième entrée reliée à la sortie d'une mémoire morte (33), munie elle-même de premières entrées d'adresse reliées aux sorties d'une mémoire tampon (25), cette mémoire tampon (25) étant munie d'entrées de données reliées
30 aux sorties d'un compteur d'octets (26) incrémenté par le signal fourni par la sortie de retenue du compteur (10) d'éléments binaires et validé par le signal de sortie d'un circuit (27) de détection de présence de modulation sur la liaison (8) en mode paquets, cette mémoire tampon (25) étant également munie d'une entrée de commande de décalage en écriture

reliée à la sortie du circuit (27) de détection de présence de modulation, et d'une entrée de commande de décalage en lecture activée par le signal d'horloge h , la mémoire morte (33) étant par ailleurs munie de secondes entrées d'adresse recevant le signal d'horloge H_2 , et deux autres signaux d'horloge, générés localement, de périodes double et quadruple de celle du signal d'horloge H_2 , la porte "ET" (31) étant munie d'une troisième entrée activée par le signal d'horloge h .

5. Interface selon la revendication 1, dans laquelle les paquets reçus sur la liaison (8) en mode paquets peuvent être transmis suivant le mode bande de base ou suivant le mode large bande et dans laquelle le premier octet de chaque paquet contient le numéro de voie de destination du premier octet utile au paquet, les octets suivants, ou octets utiles, contenant les informations utiles à la communication, caractérisée en ce que le circuit (14) d'adressage en écriture de la mémoire d'échantillons (12) comporte premièrement une mémoire morte (43), dite mémoire de calcul de numéro de trame en écriture, et un circuit d'adressage de cette mémoire, destinés à assurer, pour ce qui concerne le mode large bande, l'écriture du premier octet utile du premier paquet d'un premier groupement large bande se rapportant à une communication en large bande, à un numéro de trame égal au numéro de trame utilisé en lecture de la mémoire d'échantillons, augmenté de deux trames, l'écriture du $i^{\text{ème}}$ octet utile de ce premier paquet d'un premier groupement large bande à un numéro de trame égal au numéro de trame en écriture du $(i-1)^{\text{ème}}$ octet utile de ce paquet, l'écriture du premier octet utile de chaque paquet suivant du même groupement large bande à un numéro de trame égal au numéro de trame en écriture du dernier octet utile du paquet précédent, l'écriture du $i^{\text{ème}}$ octet utile de chaque paquet suivant à un numéro de trame égal au numéro de trame en écriture du $(i-1)^{\text{ème}}$ octet utile de ce paquet, l'écriture du premier octet utile du premier paquet de chaque groupement suivant à un numéro de trame égal au numéro de trame en écriture du dernier octet utile du dernier paquet du groupement précédent, augmenté d'une trame, l'écriture du $i^{\text{ème}}$ octet utile du premier paquet de chaque groupement suivant à un numéro de trame égal au numéro de trame en écriture du $(i-1)^{\text{ème}}$ octet de ce paquet, et

l'écriture des octets utiles des paquets suivants de ce groupement comme les octets utiles de chaque paquet du groupement précédent, et pour ce qui concerne le mode bande de base, l'écriture du premier octet utile d'un premier paquet se rapportant à une communication en mode bande de base, à un numéro de trame égal au numéro de trame utilisé en lecture de la mémoire d'échantillons, augmenté de deux trames, l'écriture du $i^{\text{ième}}$ octet utile de ce paquet à un numéro de trame égal au numéro de trame en écriture du $(i-1)^{\text{ième}}$ octet utile de ce paquet, augmenté d'une trame, l'écriture du premier octet utile du paquet suivant se rapportant à la même communication à un numéro de trame égal au numéro de trame en écriture du dernier octet utile du paquet précédent, augmenté d'une trame, l'écriture du $i^{\text{ième}}$ octet utile de ce paquet à un numéro de trame égal au numéro de trame en écriture du $(i-1)^{\text{ième}}$ octet utile de ce paquet, augmenté d'une trame, et de même pour les paquets suivants se rapportant à la même communication, et en ce que le circuit (14) d'adressage en écriture de la mémoire d'échantillons (12) comporte deuxièmement une mémoire morte (44), dite mémoire de calcul de numéro de voie en écriture, et un circuit d'adressage de cette mémoire, destinés à assurer, pour ce qui concerne le mode large bande, l'écriture du premier octet utile d'un paquet à un numéro de voie égal au numéro de voie de destination de ce paquet, et l'écriture du $i^{\text{ième}}$ octet utile d'un paquet à un numéro de voie égal au numéro de voie de destination de ce paquet, augmenté de $(i-1)$ voies, et pour ce qui concerne le mode bande de base, l'écriture de tous les octets utiles d'un paquet à un numéro de voie égal au numéro de voie de destination de ce paquet.

6. Interface selon l'une des revendications 1 à 5, caractérisée en ce qu'elle comporte des moyens pour vérifier la bonne succession des paquets d'une communication en large bande.

7. interface selon la revendication 6, caractérisée en ce que les moyens pour vérifier la bonne succession des paquets d'une communication en large bande comportent des moyens pour calculer en fin de traitement du paquet actuel, le numéro de voie de destination du premier octet utile du prochain paquet attendu, une mémoire vive destinée à mémoriser, à une adresse égale au numéro de voie de destination ainsi calculé, une

valeur prédéterminée, différente des valeurs mémorisées à toutes les autres adresses, ces autres adresses correspondant à tous les autres numéros de voie de destination possibles, des moyens pour lire cette mémoire, lors de la réception du prochain paquet, à une adresse égale au
5 numéro de voie de destination du premier octet utile du paquet reçu, et des moyens pour vérifier que la valeur ainsi lue est égale à la valeur prédéterminée, auquel cas les paquets considérés se succèdent dans le bon ordre.

8. Interface selon la revendication 7, caractérisée en ce que la
10 valeur prédéterminée est constituée par le numéro de voie de destination du premier octet utile du premier paquet d'un groupement large bande, ou numéro de voie principale associée.

9. Interface selon les revendications 1, 3, 5 et 6, caractérisé en ce que le circuit d'adressage de la mémoire morte (43) de calcul de numéro
15 de trame en écriture et les moyens de vérification de la bonne succession des paquets d'une communication en large bande comportent en commun une mémoire vive (38), dite mémoire de numéro de voie principale associée, munie d'entrées de données reliées aux sorties d'un premier multiplexeur (39) muni lui-même de premières entrées de données rece-
20 vant en permanence la valeur zéro, de secondes entrées de données reliées aux sorties d'un second multiplexeur (40) muni lui-même de premières entrées de données reliées aux sorties de la mémoire (38) de numéro de voie principale associée, de secondes entrées de données reliées aux sorties d'un registre (34) de numéro de voie de destination, et d'une entrée
25 de commande recevant une information de connexion permettant d'identifier le premier paquet d'un groupement large bande, le registre (34) de numéro de voie de destination étant muni d'entrées de données reliées aux sorties de la mémoire tampon (9), et étant activé par le signal d'horloge h, le premier multiplexeur (39) étant commandé de manière à inscrire la
30 valeur zéro dans la mémoire (38) de numéro de voie principale associée au début du traitement du paquet traité actuellement, et la valeur fournie par le second multiplexeur (40) en fin de traitement du paquet actuel, la mémoire (38) de numéro de voie principale associée étant adressée en écriture par l'information fournie par la mémoire morte (44) de calcul de

numéro de voie en écriture en fin de traitement du paquet actuel, et par l'information fournie par le registre de voie de destination en début de traitement du paquet actuel, la mémoire (38) de numéro de voie principale associée étant adressée en lecture, avant l'écriture effectuée en début de traitement du paquet actuel, par l'information fournie par le registre de voie de destination, la mémoire morte (44) de calcul de numéro de voie en écriture étant munie de premières entrées d'adresse reliées aux sorties de la mémoire (38) de numéro de voie principale associée, et la mémoire morte (44) de calcul de numéro de voie en écriture étant par ailleurs munie de secondes entrées d'adresse recevant l'information fournie par le registre (34) de numéro de voie de destination, et de troisièmes entrées d'adresse recevant les informations de connexion.

10. Interface selon les revendications 1, 5 et 9, caractérisée en ce que le circuit d'adressage de la mémoire de calcul de numéro de trame d'écriture comporte une mémoire vive (45), dite mémoire de numéro de trame d'écriture du prochain paquet, munie d'entrées de données reliées aux sorties de la mémoire morte (43) de calcul de numéro de trame d'écriture, adressée en écriture, en fin de traitement du paquet actuel, par les données fournies par la mémoire morte (44) de calcul de numéro de voie en écriture, et en lecture, en début de traitement du paquet actuel, par les données fournies par le registre (34) de numéro de voie de destination, la mémoire (43) de calcul de numéro de trame en écriture étant munie de premières entrées d'adresse reliées aux sorties de la mémoire (45) de numéro de trame d'écriture du prochain paquet, de secondes entrées d'adresse qui reçoivent le numéro de trame utilisé en lecture de la mémoire d'échantillons (12), fourni par le circuit (13) d'adressage en lecture de la mémoire d'échantillons (12), et de troisièmes entrées d'adresse qui reçoivent les informations de connexion.

1/5

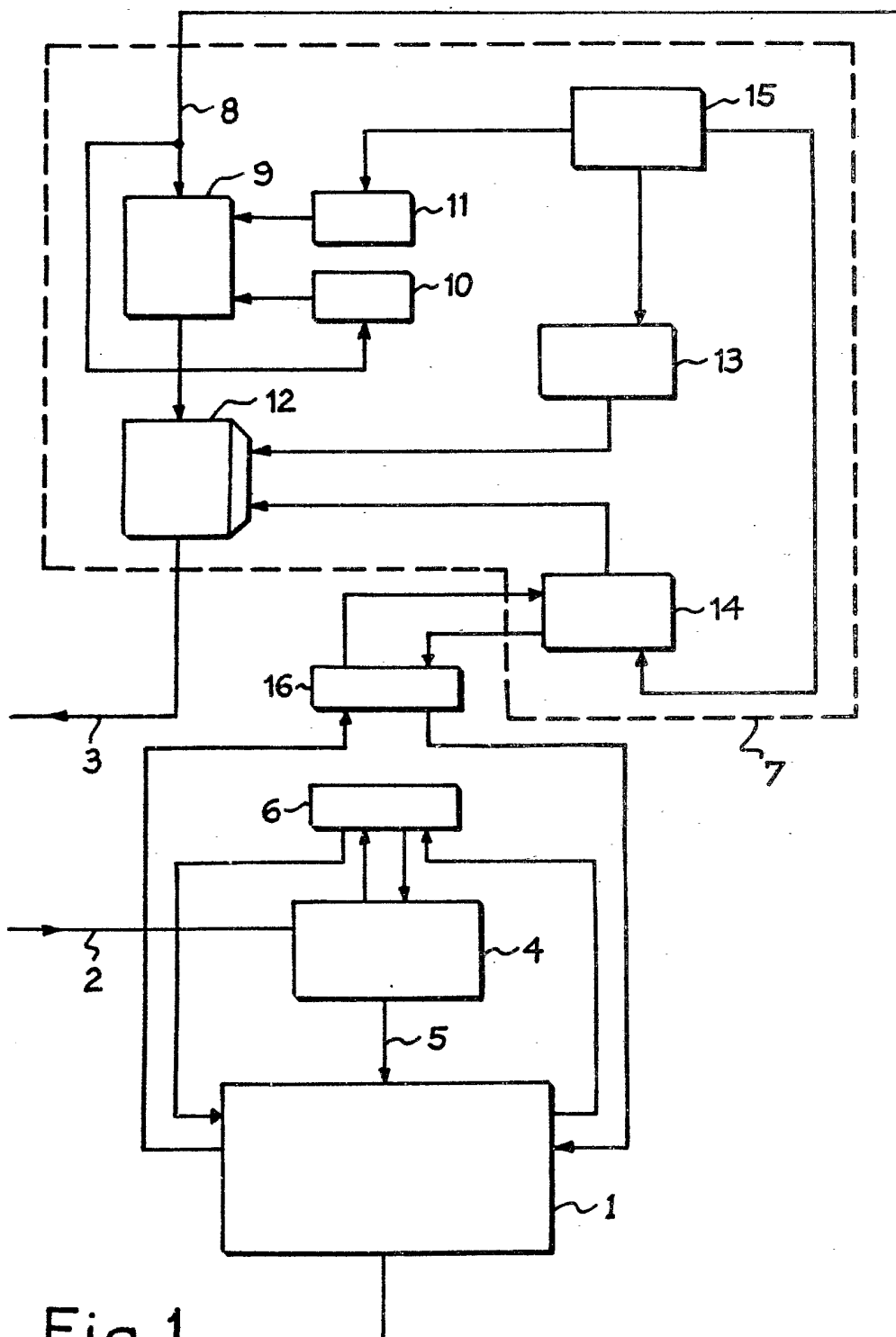
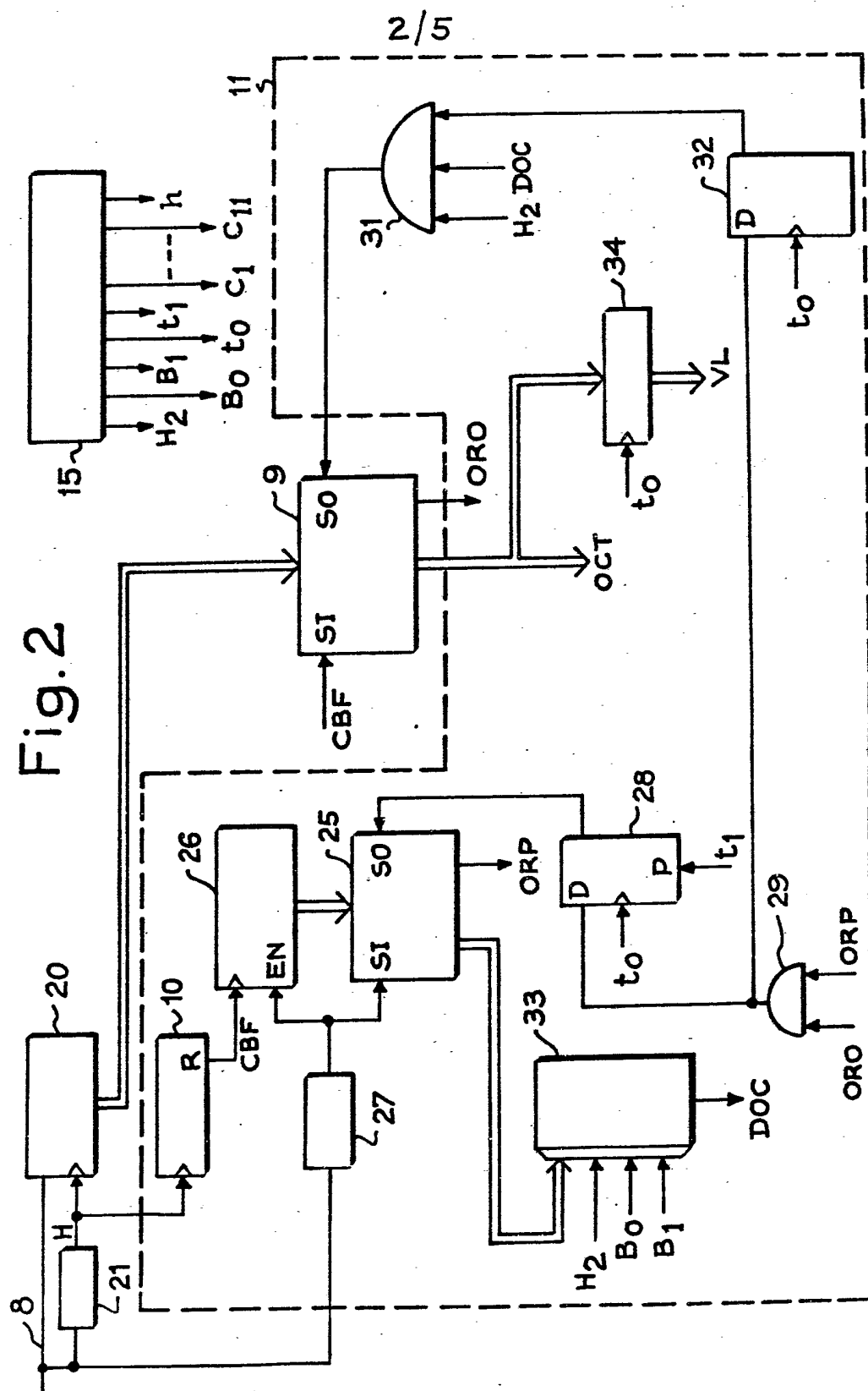


Fig.1

Fig. 2



4. 9. 11

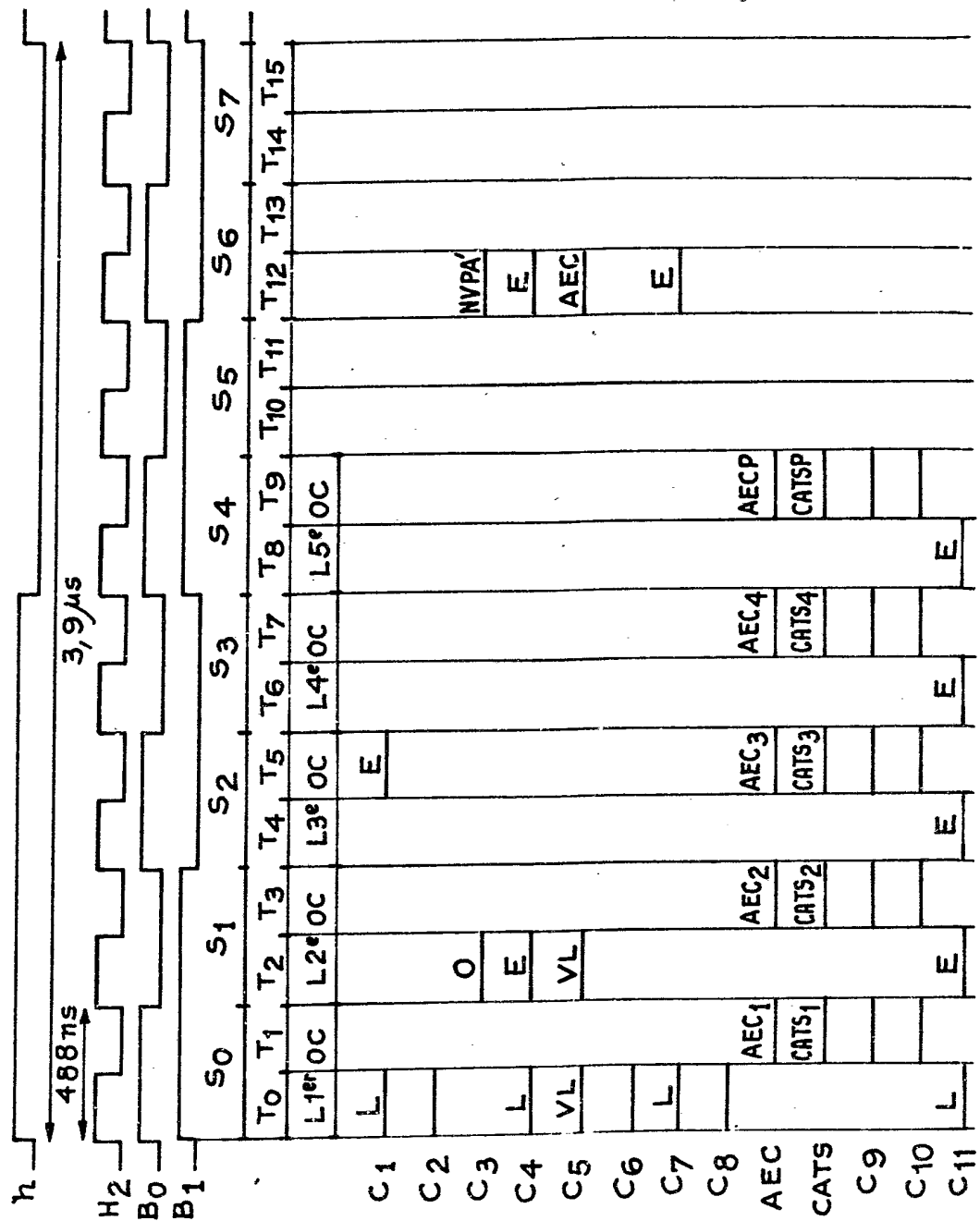


Fig.5

