



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I612548 B

(45)公告日：中華民國 107 (2018) 年 01 月 21 日

(21)申請案號：104104989

(22)申請日：中華民國 104 (2015) 年 02 月 13 日

(51)Int. Cl. : H01H73/02 (2006.01)

(30)優先權：2014/08/22 日本

2014-168897

(71)申請人：三菱電機股份有限公司 (日本) MITSUBISHI ELECTRIC CORPORATION (JP)
日本

(72)發明人：金山健志 KANAYAMA, KENJI (JP)；佐藤和志 SATOU, KAZUSHI (JP)；長畑和宏 NAGAHATA, KAZUHIRO (JP)

(74)代理人：洪武雄；陳昭誠

(56)參考文獻：

TW I336483

TW I348174

JP 2009-95125A

審查人員：郭炎淋

申請專利範圍項數：3 項 圖式數：7 共 35 頁

(54)名稱

漏電斷路器

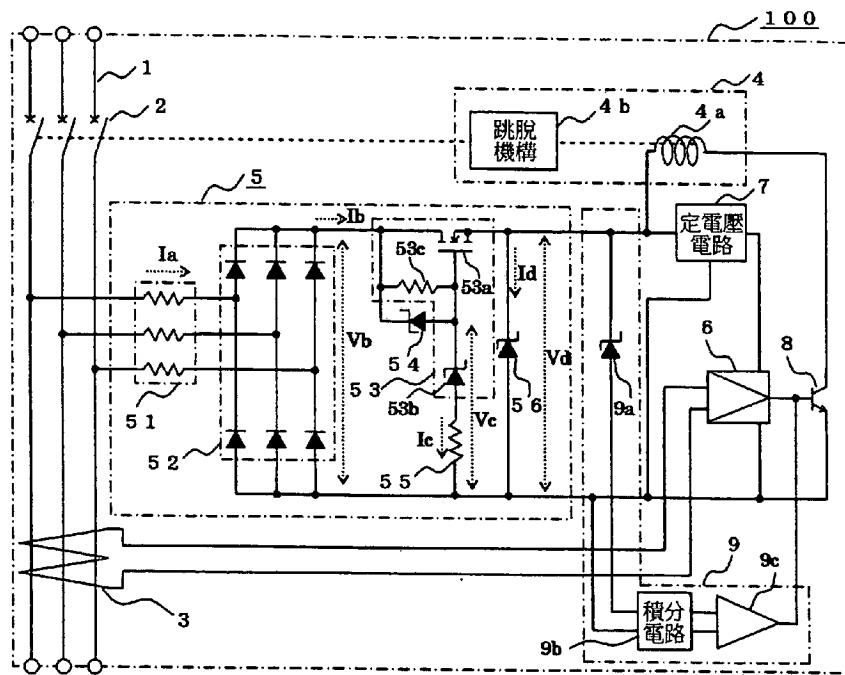
LEAKAGE CIRCUIT BREAKER

(57)摘要

本發明之目的在於獲得即使是在耐電壓試驗等持續地施加過電壓於交流線路的情形中，藉由令漏電斷路器斷路而能夠防止內建的電源電路故障之漏電斷路器。本發明的漏電斷路器係具備：整流電路，係將供給自交流線路 1 的交流電壓轉換成直流電壓；第 2 定電壓電路 53，係將整流電路的輸出電壓降壓；第 2 齊納二極體 54，係從整流電路的輸出電壓檢測過電壓；第 2 電阻器 55，係當該第 2 齊納二極體 54 檢測出過電壓時使第 2 定電壓電路 53 的輸出電壓升壓；第 3 齊納二極體 56，係當第 2 定電壓電路 53 的輸出電壓達第 1 預定值時吸收突波電流；及過電壓檢測電路 9，係檢測出第 2 定電壓電路 53 的輸出電壓達預定之值而驅動跳脫裝置。

The purpose of the present invention is to provide a leakage circuit breaker, which can prevent a built-in power circuit from breakdown by cutting off the leakage circuit breaker even in a condition such as a voltage withstand testing in which overvoltage is applied on an AC circuit continuously. The leakage circuit breaker of the present invention comprises: a rectification circuit for converting an AC voltage supplied from a AC circuit 1 to a DC voltage; a second constant voltage circuit 53 of stepping down the voltage output from the rectification circuit; a second zener diode 54 for detecting overvoltage from the output voltage of the rectification circuit; a second resistor 55 for stepping up the output voltage of the second constant voltage circuit 53 while the overvoltage is detected by the second zener diode 54; a third zener diode 56 for absorbing surge current while the output voltage of the second constant voltage circuit 53 reaches to a first predetermined value; and an overvoltage detection circuit 9 for detecting whether the output voltage of the second constant voltage circuit 23 reaches to the predetermined value so as to activate a tripping device.

指定代表圖：



第1圖

Vb 至 Vd . . . 電壓

Vb 至 Vd . . . 電壓

壓的施加造成漏電斷路器故障。

【圖式簡單說明】

【0008】

第 1 圖係顯示使用本發明實施形態 1 的電源電路的漏電斷路器之電路圖。

第 2 圖係顯示第 1 圖中所示積分電路的一細部例之電路圖。

第 3 圖係顯示使用本發明實施形態 2 的電源電路的漏電斷路器之電路圖。

第 4 圖係顯示第 3 圖中所示漏電檢測電路的一細部例之方塊圖。

第 5 圖係顯示使用本發明實施形態 3 的電源電路的直流用漏電斷路器之電路圖。

第 6 圖係顯示使用本發明實施形態 4 的電源電路的直流用漏電斷路器之電路圖。

第 7 圖係以在控制盤安裝習知技術的漏電斷路器時的電路圖供說明本發明課題之說明圖。

【實施方式】

【0009】實施形態 1.

第 1 圖係顯示使用本發明實施形態 1 的電源電路的漏電斷路器的構成之電路圖，第 2 圖係顯示第 1 圖中所示積分電路的一細部例之電路圖。

在第 1 圖中，漏電斷路器 100 係具有：開閉接點 2，係開閉交流線路 1；漏電檢測電路 6，係連接至插入在交流

線路 1 中的零相比流器 3 即漏電流檢測器，且根據該檢測信號檢測漏電；跳脫裝置 4，係具有藉由該漏電檢測電路 6 的輸出信號而透過開關(switching)手段 8 賦予勢能的跳脫線圈(trip coil)4a 以及於該跳脫線圈 4a 的賦予勢能時驅動開閉接點 2 跳開的跳脫機構 4b；及電源電路 5，係供電給漏電檢測電路 6 與跳脫裝置 4 雙方。

【0010】 電源電路 5 係將從交流線路 1 輸入的交流電壓轉換成預定的直流電壓而供給激磁電流至跳脫線圈 4a，並且藉由第 1 定電壓電路 7 轉換成比電源電路 5 的輸出電壓低的預定之電壓後供給至漏電檢測電路 6。

【0011】 以下，針對電源電路 5 的詳情進行說明。

在連接於交流線路 1 且限制電流的限流電阻器 51 即限流電路的後段，係連接有由全二極體電橋(full diode bridge)構成的整流電路 52 即整流電路。在該整流電路 52 的輸出側，係連接有將該輸出電壓降壓的第 2 定電壓電路 53 即降壓電路，該第 2 定電壓電路 53 係由以下元件構成：場效應電晶體(field effect transistor)(以下稱為 FET)53a，係其汲極(drain)連接至整流電路 52 的輸出正側；第 1 齊納二極體(Zener diode)53b，係連接在 FET 53a 的閘極(gate)與整流電路 52 的輸出負側之間；及第 1 電阻器 53c(電阻值為數百 $k\Omega$ 至數 $M\Omega$ 程度)，係連接在供給齊納電流至第 1 齊納二極體 53b 的 FET 53a 的汲極與閘極之間。

【0012】 在第 2 定電壓電路 53 的第 1 電阻器 53c，係並聯連接有第 2 齊納二極體 54(齊納電壓>整流電路 52

的輸出電壓)即電壓檢測電路，藉由此第 2 齊納二極體 54，從整流電路 52 的輸出電壓檢測突波電壓。在 FET 53a 的閘極與整流電路 52 的輸出負側之間，係連接有與第 1 齊納二極體 53b 串聯連接的第 2 電阻器 55(電阻值為數十 Ω 至數百 Ω 程度)即升壓電路，當第 2 齊納二極體 54 檢測出突波電壓時，藉由該第 2 電阻器 55 使第 2 定電壓電路 53 的輸出電壓上升。在 FET 53a 的源極(source)與整流電路 52 的輸出負側之間，係連接有第 3 齊納二極體 56 即電流吸收電路，當第 2 定電壓電路 53 的輸出電壓達到第 3 齊納二極體 56 的齊納電壓即第 1 預定值時，藉由第 3 齊納二極體 56 吸收突波電流。

【0013】 此外，在電源電路 5 的輸出端係設有與第 3 齊納二極體 56 並聯連接，當過電壓從交流線路 1 持續輸入達預定時間便驅動跳脫裝置 4 的過電壓檢測電路 9。

過電壓檢測電路 9 係由以下元件構成：第 4 齊納二極體 9a(例如齊納電壓為 23V 程度)，係其陰極(cathod)連接至第 3 齊納二極體 56 的陰極，當第 2 定電壓電路 53 的輸出電壓超過第 2 預定值時導通(on)；積分電路 9b，係其輸入連接有該第 4 齊納二極體 9a 的陽極(anode)及第 3 齊納二極體 56 的陽極；比較電路 9c，係檢測該積分電路 9b 的輸出超過預定值亦即電源電路 5 的輸出電壓達第 2 預定電壓且電源電路 5 的輸出電壓達第 2 預定電壓的時間超過預定時間(例如 20msec)，而驅動開關手段 8。

【0014】 如第 2 圖所示，積分電路 9b 係由以下元件

構成：電阻器 9b1(電阻值為 $1\text{k}\Omega$ 至 $10\text{k}\Omega$ 程度)，係一端連接至第 4 齊納二極體 9a 的陽極；電容器 9b2(電容量為 $0.1\mu\text{F}$ 至數 μF 程度)，係一端連接至該電阻器 9b1 的另一端，而另一端連接至第 3 齊納二極體 56 的陽極；及電阻器 9b3(電阻值為 $1\text{k}\Omega$ 至 $10\text{k}\Omega$ 程度)，係與該電容器 9b2 並聯連接，並且兩端連接至比較電路 9c。此處，電阻器 9b3 係當電容器 9b2 關斷(off)時供電容器 9b2 的電荷放電之用。

【0015】 此外，在電源電路 5 的輸出端係還連接有跳脫裝置 4 與第 1 定電壓電路 7。

另外，雖然是第 1 齊納二極體 53b 設在 FET 53a 的閘極側，第 2 電阻器 55 設在整流電路 52 的輸出負側，但亦可將第 2 電阻器 55 設在 FET 53a 的閘極側，將第 1 齊納二極體 53b 設在整流電路 52 的輸出負側。

【0016】 接著，針對動作進行說明。

在通常狀態中，當從交流線路 1 供給 AC100V 至 AC400V 程度的交流電壓，交流的電流 I_a 便流通於限流電阻器 51，由整流電路 52 轉換成直流電壓 V_b 。藉由從整流電路 52 輸出的電流 I_b ，電流 I_c 係經第 1 電阻器 53c 流通於第 1 齊納二極體 53b 及第 2 電阻器 55。另一方面，因為第 2 齊納二極體 54 的齊納電壓比整流電路 52 的輸出電壓 V_b 高，故第 2 齊納二極體 54 不導通，電流不會經第 2 齊納二極體 54 流通於第 1 齊納二極體 53b 及第 2 電阻器 55。

【0017】 此時，相對於第 1 電阻器 53c 為數百 $\text{k}\Omega$ 至數 $\text{M}\Omega$ 的大電阻值，第 2 電阻器 55 為數十 Ω 至數百 Ω

的小電阻值，因此流通在第 2 電阻器 55 的電流 I_c 大致取決於第 1 電阻器 53c，成為例如數十 μA 至數百 μA 的微小電流。因此第 2 電阻器 55 上的電壓降基本上能夠忽略。因此，若設施加在第 2 電阻器 55 與第 1 齊納二極體 53b 的電壓(FET 53a 的閘極電壓)為 V_c ，則 $V_c \doteq$ (第 1 齊納二極體 53b 的齊納電壓)。

此外，第 2 定電壓電路 53 的輸出電壓 V_d 係成為 $V_d = V_c - (\text{FET 53a 的導通電壓})$ ，而如前述， $V_c \doteq$ (第 1 齊納二極體 53b 的齊納電壓)，故 $V_d \doteq$ (第 1 齊納二極體 53b 的齊納電壓) - (FET 53a 的導通電壓)，此為電源電路 5 的額定電壓。

此處，若設 FET 53a 的導通電壓為 3V 程度，設第 1 齊納二極體 53b 的齊納電壓為 24V 程度，則第 2 定電壓電路 53 的輸出電壓 V_d 係成為 $V_d \doteq 24V - 3V = 21V$ 程度。

【0018】 此外，若設第 3 齊納二極體 56 的齊納電壓為 24V 程度，則施加在第 3 齊納二極體 56 的電壓 V_d 為 21V 程度並沒有超過第 3 齊納二極體 56 的齊納電壓。因此，第 3 齊納二極體 56 沒導通，沒有電流 I_d 流通。

【0019】 此外，若設第 4 齊納二極體 9a 的齊納電壓即第 2 預定值為 23V 程度，則因為施加在第 4 齊納二極體 9a 的電壓 V_d 為 21V 程度，故第 4 齊納二極體 9a 也沒導通。

【0020】 結果，從電源電路 5 的輸出端係對跳脫線圈 4a 及第 1 定電壓電路 7 供給 DC21V 程度的電壓，第 1 定電壓電路 7 係將電源電路 5 的輸出電壓降壓後供電預定的一定電壓(例如 DC5V)給漏電檢測電路 6。

【0021】 在上述的供電狀態中，當交流線路 1 發生漏電時，零相比流器 3 的輸出會產生信號，由漏電檢測電路 6 判別零相比流器 3 的輸出信號電位(level)超過了預定的基準值而輸出漏電跳脫信號至開關手段 8。開關手段 8 係藉由該輸出而導通，激磁電流從電源電路 5 經開關手段 8 流通於跳脫線圈 4a，並藉由跳脫機構 4b 動作而使開閉接點 2 脫接。

【0022】 另外，申請專利範圍中所述的「第 1 預定值」係指上述的第 3 齊納二極體 56 的齊納電壓；同樣地，申請專利範圍中所述的「第 2 預定值」係指上述的第 4 齊納二極體 9a 的齊納電壓。

【0023】 接著，針對交流線路中的交流電壓有瞬間的突波電壓疊加時的情形進行說明。

當數 kV 的突波電壓疊加於交流電壓，施加在第 2 齊納二極體 54 與第 1 齊納二極體 53b 之串聯電路的施加電壓便超過第 2 齊納二極體 54 與第 1 齊納二極體 53b 的合計齊納電壓值，因此第 2 齊納二極體 54 亦導通。

【0024】 此時，流過第 2 電阻器 55 的電流 I_c 係比通常時的數十 μA 至數百 μA 增大為數十 mA 而在第 2 電阻器 55 產生電壓降，施加在第 2 電阻器 55 與第 1 齊納二極體 53b 的電壓 V_c 係上升。例如若設第 2 電阻器 55 的電阻值為 100Ω 程度、設電流 I_c 為 40mA 程度，則第 2 電阻器 55 上的電壓降便成為 4V 程度，施加在第 2 電阻器 55 與第 1 齊納二極體 53b 的電壓 V_c 便成為 $V_c=24V+4V=28V$ 程度。

第 2 定電壓電路 53 的輸出電壓 V_d 係在通常時的額定電壓 21V 程度又加上第 2 電阻器 55 上的電壓降即 4V 程度而應上升至 25V 程度。然而，因為超過了第 3 齊納二極體 56 的齊納電壓(24V 程度)，故第 3 齊納二極體 56 導通，第 2 定電壓電路 53 的輸出電壓 V_d 便被抑制在第 3 齊納二極體 56 的齊納電壓(24V 程度)。

【0025】 此外，此時，超過了第 4 齊納二極體 9a 的齊納電壓 23V，而因有電阻器 9b1 串聯連接，電阻器 9b1 分擔了電壓並限制了電流，因此電源電路 5 的電壓係維持在第 3 齊納二極體 56 的齊納電壓(24V)。結果，第 4 齊納二極體 9a 保持導通，積分電路 9b 中經電阻器 9b1 開始電容器 9b2 的充電。然而，在為瞬間的突波電壓的情形中，突波電壓疊加於交流線路 1 中的交流電壓的時間非常短(例如 1msec 至 2msec 程度)。因此電容器 9b2 的電壓上升得不夠高，亦即，因為電源電路 5 的輸出電壓超過第 2 預定電壓的時間比預定時間短，故比較電路 9c 的輸出沒導通，漏電斷路器 100 不進行斷路動作。

如上述，漏電斷路器 100 不進行斷路動作，但電源電路 5 的輸出電壓係被抑制在第 3 齊納二極體 56 的齊納電壓，而保護了漏電檢測電路 6 和跳脫裝置 4 不受突波電壓的破壞。

【0026】 接著，針對有持續性的過電壓疊加於交流線路時的情形進行說明。

當數 kV 的過電壓持續地施加於交流線路 1，施加於第

2 齊納二極體 54 與第 1 齊納二極體 53b 之串聯電路的施加電壓便超過第 2 齊納二極體 54 與第 1 齊納二極體 53b 的合計齊納電壓值，因此第 2 齊納二極體 54 亦導通。

【0027】 此時，流過第 2 電阻器 55 的電流 I_c 係比通常時的數十 μA 至數百 μA 增大為數十 mA 而在第 2 電阻器 55 產生電壓降，施加在第 2 電阻器 55 與第 1 齊納二極體 53b 的電壓 V_c 係上升。若例如設第 2 電阻器 55 的電阻值為 100Ω 程度、設電流 I_c 為 40mA 程度，則第 2 電阻器 55 上的電壓降便成為 4V 程度，施加在第 2 電阻器 55 與第 1 齊納二極體 53b 的電壓 V_c 便成為 $V_c = 24V + 4V = 28V$ 程度。第 2 定電壓電路 53 的輸出電壓 V_d 係在通常時的額定電壓 21V 程度又加上第 2 電阻器 55 的電壓降即 4V 程度而應上升至 25V 程度。然而，因為超過了第 3 齊納二極體 56 的齊納電壓(24V 程度)，故第 3 齊納二極體 56 導通，第 2 定電壓電路 53 的輸出電壓 V_d 係被抑制在第 3 齊納二極體 56 的齊納電壓(24V 程度)。

【0028】 此時，因為超過了第 4 齊納二極體 9a 的齊納電壓 23V，故第 4 齊納二極體 9a 亦導通，積分電路 9b 中經電阻器 9b1 開始電容器 9b2 的充電。在為持續性的過電壓的情形中，電容器 9b2 的電壓上升得夠高，電源電路 5 的輸出電壓超過第 2 預定值的時間超過預定時間，比較電路 9c 的輸出係導通，輸出至開關手段 8。藉由比較電路 9c 的輸出，開關手段 8 亦導通，激磁電流從電源電路 5 經開關手段 8 流通於跳脫線圈 4a，跳脫機構 4b 動作，藉此，

開閉接點 2 脫接。而藉由開閉接點 2 脫接，給電源電路 5 的供電便停止。

【0029】 依據本實施形態，係具備電源電路 5、第 3 齊納二極體 56 及過電壓檢測電路 9。其中，電源電路 5 係由以下元件構成：第 2 定電壓電路 53，係將供給自交流線路 1 的電力降壓成定電壓的電力；第 2 齊納二極體 54，係從整流電路 52 的輸出電壓檢測過電壓；及第 2 電阻器 55，係當該第 2 齊納二極體 54 檢測出過電壓時使第 2 定電壓電路 53 的輸出電壓升壓。此外，第 3 齊納二極體 56 係設置在該電源電路 5 的輸出側，當電源電路 5 的輸出電壓達第 1 預定值時吸收突波電流。此外，過電壓檢測電路 9 係設置在電源電路 5 的輸出側，當電源電路 5 的輸出電壓超過比電源電路 5 的額定電壓高但比第 1 預定值低的第 2 預定值時驅動跳脫裝置 4。因此，即使是在耐電壓試驗等持續地施加過電壓於交流線路 1 的情形中，藉由令漏電斷路器 100 斷路也能夠保護漏電斷路器 100 不故障。

【0030】 此外，過電壓檢測電路 9 具備積分電路 9b，當電源電路 5 的輸出電壓達到比電源電路 5 的額定電壓高但比第 1 預定值低的第 2 預定值的時間超過預定時間時驅動跳脫裝置 4，因此不會因瞬間性的突波電壓所造成的過電壓而動作，而能夠防止誤跳脫。

【0031】 此外，漏電檢測電路 6 中所使用的一般性的漏電檢測 IC(Integrated Circuit；積體電路)係內建有比較電路 9c，因此過電壓檢測電路 9 係能夠以第 4 齊納二極體 9a

及由電阻器 9b1、9b3、電容器 9b2 構成的積分電路 9b 構成。因此，能夠以低成本保護漏電斷路器 100 不會因耐電壓試驗等持續地施加過電壓於交流線路 1 而導致故障。

【0032】 此外，電源電路 5 係當過電壓施加，其輸出電壓便上升，故能夠將過電壓檢測電路 9 設置在電源電路 5 的輸出側即低電壓側，所用零件的小型化成為可能，可謀求漏電斷路器的小型化。

【0033】 實施形態 2.

第 3 圖係顯示使用本發明實施形態 2 的電源電路的漏電斷路器的構成之電路圖，第 4 圖係顯示第 3 圖中所示漏電檢測電路的一細部例之方塊圖。

本實施形態的漏電斷路器 101 係設置含有過電壓檢測電路的漏電測試(test)電路 10 取代實施形態 1 的過電壓檢測電路 9 者，係達到同前述實施形態 1 的各種效果者。

【0034】 在第 3 圖中，漏電斷路器 101 的漏電測試電路 10 係由以下元件構成：第 4 齊納二極體 9a，係其陰極連接至第 3 齊納二極體 56 的陰極；測試開關 10a，係一端連接至第 1 定電壓電路 7 的輸出，另一端連接至第 4 齊納二極體 9a 的陽極；測試電流產生電路 10b，係其輸入連接至第 4 齊納二極體 9a 的陽極及測試開關 10a 的另一端；電阻器 10c，係一端連接至第 4 齊納二極體 9a 的陰極；及電晶體 10d，係其基極(base)連接至測試電流產生電路 10b 的輸出，集極(collector)連接至電阻器 10c 的另一端。

【0035】 此外，漏電測試電路 10 的輸出即電晶體 10d

【0042】 接著，針對有持續性的過電壓疊加於交流線路 1 時的情形進行說明。

當數 kV 的過電壓持續地施加於交流線路，同實施形態 1，施加在第 2 齊納二極體 54 與第 1 齊納二極體 53b 之串聯電路的施加電壓便超過第 2 齊納二極體 54 與第 1 齊納二極體 53b 的合計齊納電壓值，因此第 2 齊納二極體 54 亦導通。

【0043】 此時，流過第 2 電阻器 55 的電流 I_c 係比通常時的數十 μA 至數百 μA 增大為數十 mA 而在第 2 電阻器 55 產生電壓降，施加在第 2 電阻器 55 與第 1 齊納二極體 53b 的電壓 V_c 係上升。若例如設第 2 電阻器 55 的電阻值為 100Ω 程度、設電流 I_c 為 40mA 程度，則第 2 電阻器 55 上的電壓降便成為 4V 程度，施加在第 2 電阻器 55 與第 1 齊納二極體 53b 的電壓 V_c 便成為 $V_c=24V+4V=28V$ 程度。第 2 定電壓電路 53 的輸出電壓 V_d 係在通常時的額定電壓 21V 程度又加上第 2 電阻器 55 上的電壓降即 4V 程度而應上升至 25V 程度。然而，因為超過了第 3 齊納二極體 56 的齊納電壓(24V 程度)，故第 3 齊納二極體 56 導通，第 2 定電壓電路 53 的輸出電壓 V_d 係被抑制在第 3 齊納二極體 56 的齊納電壓(24V 程度)。

【0044】 此外，因為第 2 定電壓電路 53 的輸出電壓 V_d 超過了第 4 齊納二極體 9a 的齊納電壓 23V，故第 4 齊納二極體 9a 導通，測試電流產生電路 10b 獲得電源供給，使電晶體 10d 切換開關，藉此，測試電流流通於測試繞線

由以下元件構成：整流電路 52，係將供給自交流線路 1 的交流電壓轉換成直流電壓；第 2 定電壓電路 53，係將該整流電路 52 的輸出降壓；第 2 齊納二極體 54，係從整流電路 52 的輸出電壓檢測過電壓；及第 2 電阻器 55，係當該第 2 齊納二極體 54 檢測出過電壓時使第 2 定電壓電路 53 的輸出電壓升壓。此外，第 3 齊納二極體 56 係設置在該電源電路 5 的輸出側，當電源電路 5 的輸出電壓達第 1 預定值時吸收突波電流。此外，漏電測試電路 10 係設置在電源電路 5 的輸出側，含有當電源電路 5 的輸出電壓達比電源電路 5 的額定電壓高但比第 1 預定值低的第 2 預定值時驅動跳脫裝置 4 的過電壓檢測電路。因此，即使是在耐電壓試驗等持續地施加過電壓於交流線路 1 的情形中，藉由令漏電斷路器 101 斷路也能夠保護漏電斷路器 101 不故障。

【0048】 此外，漏電檢測電路 6 係針對漏電信號以大約商用頻率重複的情形進行計數來進行判別，因此漏電測試電路 10 係在電源電路 5 的輸出電壓超過第 2 預定值的時間達預定時間時驅動跳脫裝置 4，不會因瞬間性的突波電壓所造成的過電壓而動作，從而能夠防止誤斷路。

【0049】 此外，關於含有過電壓檢測電路的漏電測試電路 10，通常只要在具有漏電斷路器作為必要功能的漏電測試電路添加第 4 齊納二極體 9a 作為過電壓檢測電路即可，因此能夠以低成本保護漏電斷路器 101 不會因耐電壓試驗等持續地施加過電壓於交流線路 1 而導致故障。

【0050】 實施形態 3.

第 5 圖係顯示使用本發明實施形態 3 的電源電路的直流用漏電斷路器的構成之電路圖。

在第 5 圖中，本實施形態的漏電斷路器 102 係將實施形態 1 的過電壓檢測電路 9 適用至直流用漏電斷路器者。在實施形態 1 中係使用零相比流器作為漏電流檢測器，而本實施形態係使用能夠檢測直流漏電流的磁通閘感測器 (fluxgate sensor) 31 作為漏電流檢測器者，係達到同前述實施形態 1 的各種效果者。

【0051】 如第 5 圖所示，磁通閘感測器 31 係具備：環狀的磁芯 (core) 31a，係供直流線路 11 插通；線圈 (coil) 31b，係捲繞在磁芯 31a；驅動電路 31c，係以使線圈 31b 的磁通密度一邊反轉方向一邊飽和之方式於線圈 31b 以正負對稱的矩形波施加電壓；及檢測電路 31d，係從對應於流過線圈 31b 的線圈電流而變化的量測電壓檢測漏電流。

【0052】 此外，為了防止正極與負極接反時的故障，亦可設置實施形態 1 中所設置的整流電路 52，惟在直流線路用中並非必要，故移除之，直接將第 2 定電壓電路 53 連接至限流電阻器 51。詳細而言，第 2 定電壓電路 53 的 FET 53a 的汲極係連接至從直流線路 11 供給的電壓的正側，第 3 齊納二極體的陽極與第 2 電阻器 55 的連接點係連接至從直流線路 11 供給的電壓的負側。關於本實施形態的電源電路 5 的動作，因為與實施形態 1 中藉由整流電路 52 進行直流電壓化後的動作相同，故省略說明。

【0053】 依據本實施形態，係具備電源電路 5、第 3 齊納二極體 56 及過電壓檢測電路 9。其中，電源電路 5 係由以下元件構成：第 2 定電壓電路 53，係將供給自直流線路 11 的電力降壓成定電壓的電力；第 2 齊納二極體 54，係檢測來自直流線路 11 的過電壓；及第 2 電阻器 55，係當該第 2 齊納二極體 54 檢測出過電壓時使第 2 定電壓電路 53 的輸出電壓升壓。此外，第 3 齊納二極體 56 係設置在該電源電路 5 的輸出側，當電源電路 5 的輸出電壓達第 1 預定值時吸收突波電流。此外，過電壓檢測電路 9 係設置在電源電路 5 的輸出側，當電源電路 5 的輸出電壓超過比電源電路 5 的額定電壓高但比第 1 預定值低的第 2 預定值時驅動跳脫裝置 4。因此，即使是在耐電壓試驗等持續地於直流線路 11 施加過電壓的情形中，藉由令漏電斷路器 102 斷路而能夠保護漏電斷路器 102 不故障。

【0054】 實施形態 4.

第 6 圖係顯示本發明實施形態 4 的直流用漏電斷路器的構成之電路圖。

在第 6 圖中，本實施形態的漏電斷路器 103 係將實施形態 2 的含有過電壓檢測電路的漏電測試電路 10 適用至實施形態 3 所示直流用漏電斷路器者。同實施形態 3，使用能夠檢測直流漏電流的磁通閘感測器 31 作為漏電流檢測器，此外，設置含有過電壓檢測電路的漏電測試電路 10 取代實施形態 3 的過電壓檢測電路 9。此外，係達到同上述實施形態 2 及實施形態 3 的各種效果者。

當該第 2 齊納二極體 54 檢測出過電壓時使第 2 定電壓電路 53 的輸出電壓升壓。此外，第 3 齊納二極體 56 係設置在該電源電路 5 的輸出側，當電源電路 5 的輸出電壓達第 1 預定值時吸收突波電流。此外，漏電測試電路 10 係設置在電源電路 5 的輸出側，含有當電源電路 5 的輸出電壓超過比電源電路 5 的額定電壓高但比第 1 預定值低的第 2 預定值時驅動跳脫裝置 4 的過電壓檢測電路。因此，即使是在耐電壓試驗等持續地施加過電壓於直流線路 11 的情形中，藉由令漏電斷路器 103 斷路而能夠保護漏電斷路器 103 不故障。

【符號說明】

【0064】

1	交流線路	2	開閉接點
3	零相比流器	4	跳脫裝置
4a	跳脫線圈	4b	跳脫機構
5	電源電路	6	漏電檢測電路
6a	濾波器	6b	電位判定器
6c	信號寬度判別器	6d	計數器
6e	計時器	6f	觸發器電路
7	第 1 定電壓電路	8	開關手段
9	過電壓檢測電路	9a	第 4 齊納二極體
9b	積分電路	9b1、9b3、10c	電阻器
9b2	電容器	9c	比較電路
10	漏電測試電路	10a	測試開關

公告本

發明摘要

※ 申請案號：104104989

※ 申請日：104/02/13

※ I P C 分類：H01H 73/02 (2006.01)

【發明名稱】(中文/英文)

漏電斷路器

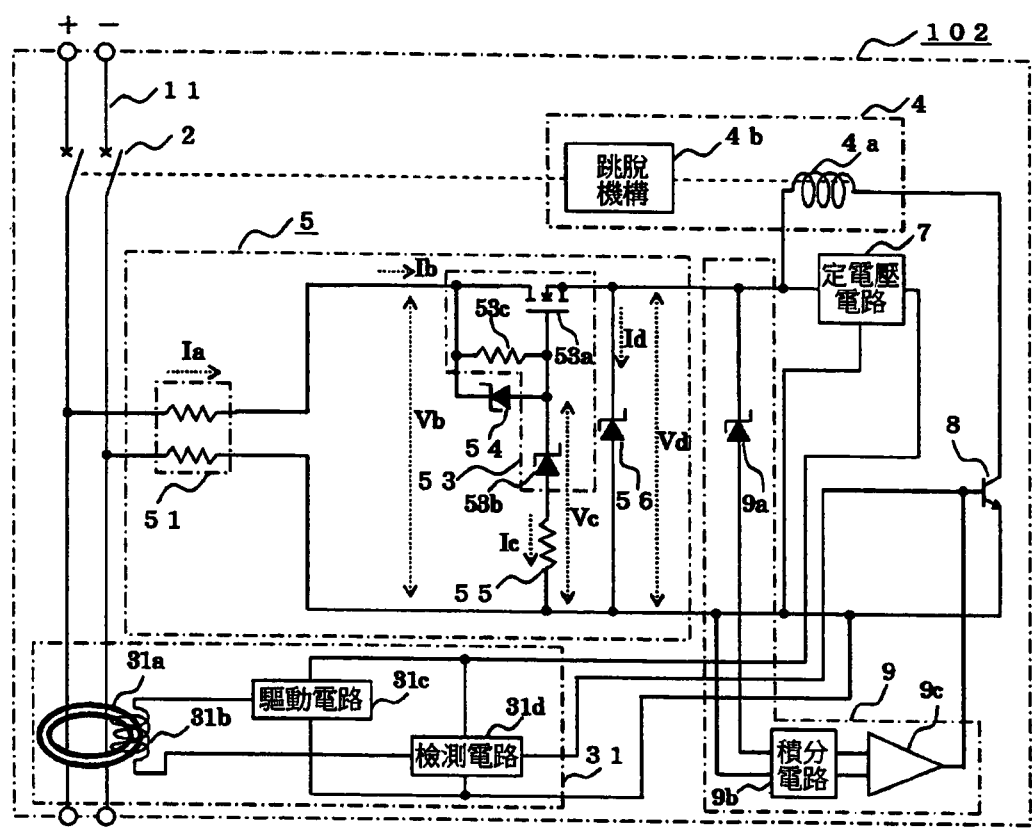
LEAKAGE CIRCUIT BREAKER

【中文】

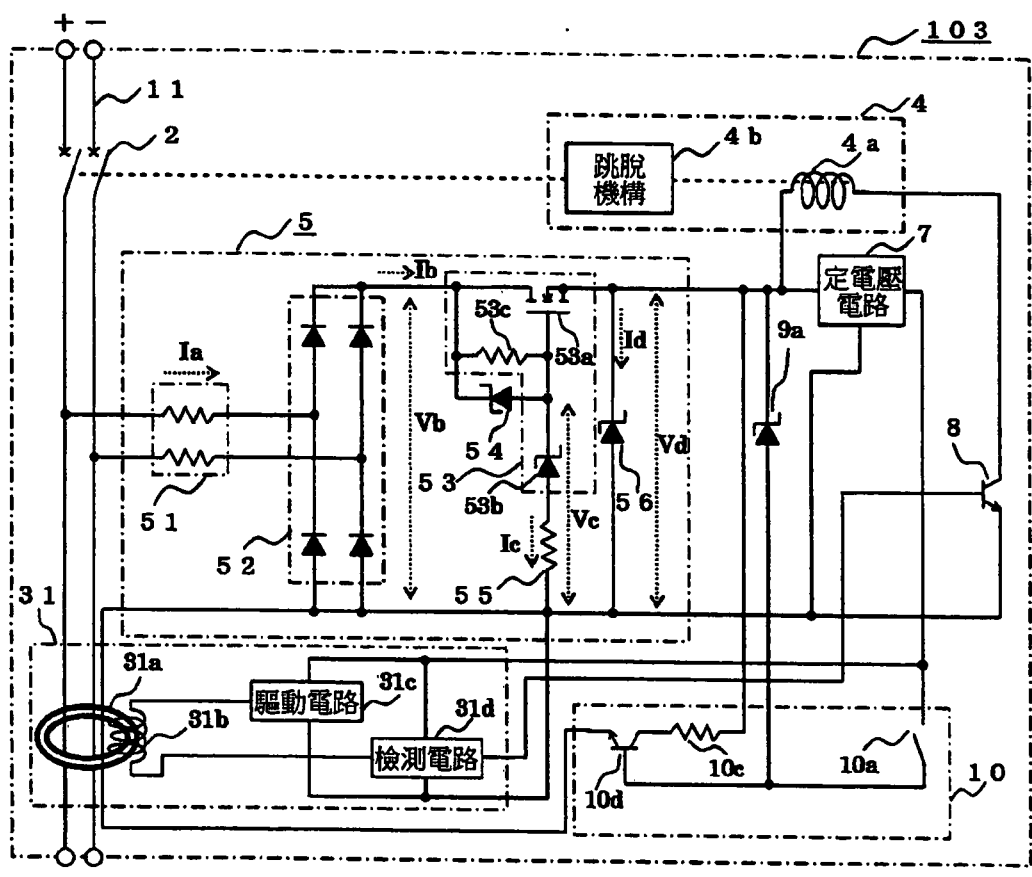
本發明之目的在於獲得即使是在耐電壓試驗等持續地施加過電壓於交流線路的情形中，藉由令漏電斷路器斷路而能夠防止內建的電源電路故障之漏電斷路器。本發明的漏電斷路器係具備：整流電路，係將供給自交流線路 1 的交流電壓轉換成直流電壓；第 2 定電壓電路 53，係將整流電路的輸出電壓降壓；第 2 齊納二極體 54，係從整流電路的輸出電壓檢測過電壓；第 2 電阻器 55，係當該第 2 齊納二極體 54 檢測出過電壓時使第 2 定電壓電路 53 的輸出電壓升壓；第 3 齊納二極體 56，係當第 2 定電壓電路 53 的輸出電壓達第 1 預定值時吸收突波電流；及過電壓檢測電路 9，係檢測出第 2 定電壓電路 53 的輸出電壓達預定之值而驅動跳脫裝置。

【英文】

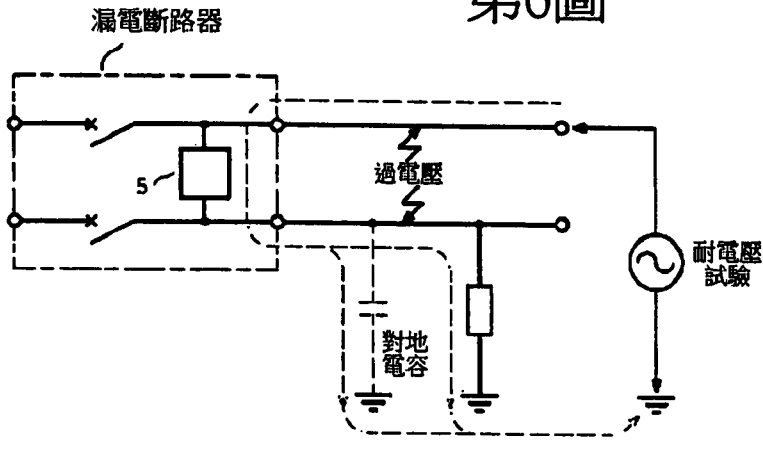
The purpose of the present invention is to provide a leakage circuit breaker, which can prevent a built-in power circuit from breakdown by cutting off the leakage circuit breaker even in a condition such as a voltage withstand testing in which overvoltage is applied on an AC circuit continuously. The leakage circuit breaker of the present invention comprises: a rectification circuit for converting an AC voltage supplied from a AC circuit 1 to a DC voltage; a second constant voltage circuit 53 of stepping down the voltage output from the rectification circuit; a second zener diode 54 for detecting overvoltage from the output voltage of the rectification circuit; a second resistor 55 for stepping up the output voltage of the second constant voltage circuit 53 while the overvoltage is detected by the second zener diode 54; a third zener diode 56 for absorbing surge current while the output voltage of the second constant voltage circuit 53 reaches to a first predetermined value; and a overvoltage detection circuit 9 for detecting whether the output voltage of the second constant voltage circuit 23 reaches to the predetermined value so as to activate a tripping device.



第5圖



第6圖



第7圖

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

1	交流線路	2	開閉接點
3	零相比流器	4	跳脫裝置
4a	跳脫線圈	4b	跳脫機構
5	電源電路	6	漏電檢測電路
7	第 1 定電壓電路	8	開關手段
9	過電壓檢測電路	9a	第 4 齊納二極體
9b	積分電路	9c	比較電路
51	限流電阻器	52	整流電路
53	第 2 定電壓電路	53a	場效應電晶體 (FET)
53b	第 1 齊納二極體	53c	第 1 電阻器
54	第 2 齊納二極體	55	第 2 電阻器
56	第 3 齊納二極體	100	漏電斷路器
Ia 至 Id	電流	Vb 至 Vd	電壓

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

本案無化學式

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

漏電斷路器

LEAKAGE CIRCUIT BREAKER

【技術領域】

【0001】 本發明係有關當給電電路的漏電流達預定值以上時將該給電電路斷開的漏電斷路器(Earth-leakage Circuit Breaker)，具體而言係有關漏電斷路器的動作電源。

【先前技術】

【0002】 關於內建在該種漏電斷路器的電源電路，其係藉由整流電路將供給自交流線路的交流電壓(例如 AC100V)轉換成直流電壓，然後再藉由降壓電路將整流後的直流電壓轉換成更低電壓的直流電壓(例如 DC24V)，作為驅動電源供給至漏電檢測電路和跳脫裝置。

在上述的電源電路中，係必須在交流線路因落雷或電弧接地(arcing ground)等而感應生成突波電壓(surge voltage)時，保護漏電檢測電路和跳脫裝置不受該突波電壓破壞。

就其保護手段而言，已知有一種設有下列電路的電源電路：電壓檢測電路，係從整流電路的輸出電壓檢測突波電壓；升壓電路，係當該電壓檢測電路檢測出突波電壓時使降壓電路的輸出電壓升壓；及電流吸收電路，係設置在降壓電路的輸出側，當降壓電路的輸出電壓達預定之值時吸收突波電流(surge current)(參照例如下述之專利文獻 1)。

〔 先前技術文獻 〕

〔 專利文獻 〕

【 0003 】

專利文獻 1：日本國特開 2009-95125 號公報

【發明內容】

（發明所欲解決之課題）

【0004】 在習知技術的漏電斷路器的電源電路中，係於突波電壓感應生成時，藉由升壓電路使降壓電路的輸出電壓升壓，當降壓電路的輸出電壓達預定之值時使電流通過吸收突波電流的電流吸收電路，藉此箝位(clamp)在一定的電壓，防止構成漏電檢測電路的零件因過電壓而故障。一般而言，突波電壓的脈波(pulse)寬度就算再大，推估最多為數 m 秒。然而降壓電路和電流吸收電路所能夠通過的能量當然有其極限，因此當過電壓持續施加時，將會超過該極限而導致降壓電路和電流吸收電路故障。

就可能發生持續施加上述過電壓的情形而言，可想到的有：在搭載漏電斷路器的控制盤等中，為了確認含有漏電斷路器的交流線路的相間或交流線路與地(ground(earth))間為絕緣狀態而實施耐電壓試驗(例如 2000V、1 分鐘)。

通常，對於漏電斷路器這類於給電電路中連接有電子電路的產品，相間的耐電壓試驗是受到禁止的，僅對交流線路與地間實施耐電壓試驗。也因此並不會在相間施加過電壓。然而，當如第 7 圖所示有負載電路連接至漏電斷路器，便會經由連接至地間的元件(例如突波吸收用電容器和

雜訊濾波器(noise filter)等)、電線的對地電容而非刻意下地持續施加過電壓於相間，結果，有可能造成漏電斷路器的電源電路故障。

【0005】 本發明乃係為了解決上述課題而研創者，目的在於獲得一種對於持續性過電壓的施加具有保護功能的漏電斷路器。

(解決課題的手段)

【0006】 本發明的漏電斷路器係具備：開閉接點，係開閉給電電路；漏電流檢測器，係檢測給電電路的漏電流；漏電檢測電路，係連接至該漏電流檢測器，且根據漏電流檢測器的檢測信號而檢測漏電；跳脫裝置，係由該漏電檢測電路所驅動而使開閉接點跳開；及電源電路，係由以下元件構成：降壓電路，係將供給自給電電路的電力降壓成定電壓的電力；電壓檢測電路，係檢測來自給電電路的過電壓；及升壓電路，係當該電壓檢測電路檢測出過電壓時使降壓電路的輸出電壓升壓；該漏電斷路器更具備：電流吸收電路，係設置在電源電路的輸出側，且當電源電路的輸出電壓達第 1 預定值時吸收突波電流；及過電壓檢測電路，係設置在電源電路的輸出側，且當電源電路的輸出電壓超過第 2 預定值時驅動跳脫裝置，該第 2 預定值係比電源電路的額定電壓高但比第 1 預定值低。

(發明的效果)

【0007】 本發明係藉由檢測持續性過電壓的過電壓檢測電路來使開閉接點跳開，因此能夠防止因持續性過電

的射極(emitter)係連接至測試繞線 21 的一端，測試繞線 21 的另一端係在穿過零相比流器 3 後連接至整流電路 52 的輸出負側。

藉由漏電測試電路 10 與測試繞線 21，構成用來檢查漏電斷路器處於正常的漏電測試功能。

【0036】 利用第 4 圖詳細說明漏電檢測電路 6。在第 4 圖中，漏電檢測電路 6 係由以下元件構成：濾波器(filter)6a，係連接至零相比流器 3，從零相比流器 3 的輸出信號將比交流線路 1 的電源頻率高的諧波成分予以去除；電位判定器 6b，係接受濾波器 6a 的輸出信號之輸入，判定濾波器 6a 的輸出信號的輸出電位；信號寬度判別器 6c，係判別電位判定器 6b 的輸出信號的時間寬度；計數器(counter)6d，係計數信號寬度判別器 6c 的輸出信號達預定次數便輸出脈波信號；計時器(timer)6e，係接受信號寬度判別器 6c 最後的輸出信號，待一定時間後將計數器 6d 重置(reset)；及觸發器(trigger)電路 6f，係接受計數器 6d 的脈波信號而驅動開關元件 8。

關於其他的構成及動作，因為與實施形態 1 相同，故省略說明。

【0037】 接著針對動作進行說明。

在爲了通常的漏電測試動作而令測試開關 10a 導通的情形中，係從第 1 定電壓電路 7 供給電源至測試電流產生電路 10b，使電晶體 10d 切換開關，藉此，測試電流、亦即漏電模擬電流便經電阻器 10c 流通於測試繞線 21。當測

試電流通於測試繞線 21，零相比流器 3 的輸出便產生信號，而當由漏電檢測電路 6 判別為漏電，便輸出至開關手段 8。開關手段 8 係藉由該輸出而導通，激磁電流從電源電路 5 經開關手段 8 流通於跳脫線圈 4a，跳脫機構 4b 動作，藉此，開閉接點 2 脫接，漏電斷路器 101 斷路。

【0038】 針對交流線路中的交流電壓有瞬間的突波電壓疊加時的情形進行說明。

當數 kV 的突波電壓疊加於交流電壓，施加在第 2 齊納二極體 54 與第 1 齊納二極體 53b 之串聯電路的施加電壓便超過第 2 齊納二極體 54 與第 1 齊納二極體 53b 的合計齊納電壓值，因此第 2 齊納二極體 54 亦導通。

【0039】 此時，流過第 2 電阻器 55 的電流 I_c 係比通常時的數十 μA 至數百 μA 增大為數十 mA 而在第 2 電阻器 55 產生電壓降，施加在第 2 電阻器 55 與第 1 齊納二極體 53b 的電壓 V_c 係上升。若例如設第 2 電阻器 55 的電阻值為 100Ω 程度、設電流 I_c 為 40mA 程度，則第 2 電阻器 55 上的電壓降便成為 4V 程度，施加在第 2 電阻器 55 與第 1 齊納二極體 53b 的電壓 V_c 便成為 $V_c = 24V + 4V = 28V$ 程度。第 2 定電壓電路 53 的輸出電壓 V_d 係在通常時的額定電壓 21V 程度又加上第 2 電阻器 55 上的電壓降即 4V 程度而應上升至 25V 程度。然而，因為超過了第 3 齊納二極體 56 的齊納電壓(24V 程度)，故第 3 齊納二極體 56 導通，第 2 定電壓電路 53 的輸出電壓 V_d 係被抑制在第 3 齊納二極體 56 的齊納電壓(24V 程度)。

【0040】 此外，此時，因為超過了第 4 齊納二極體 9a 的齊納電壓 23V，故第 4 齊納二極體 9a 導通，測試電流產生電路 10b 獲得電源供給，使電晶體 10d 切換開關，藉此，測試電流流通於測試繞線 21。當測試電流流通於測試繞線 21，零相比流器 3 的輸出便產生信號，如第 4 圖所示，來自該零相比流器 3 的漏電信號係經濾波器 6a 去除高頻成分後輸入至電位判定器 6b 判定該電位。若漏電信號為預定的電位以上，便接著以信號寬度判別器 6c 判別信號的時間寬度。若漏電信號的時間寬度亦為判定值以上，再藉由計數器 6d 於直到計時器 6e 將計數器 6d 重置為止的期間針對漏電信號以大約商用頻率重複的情形進行計數。

【0041】 然而，在為突波電壓的情形中，突波電壓疊加於交流線路中的交流電壓的時間非常短(例如 1msec 至 2msec 程度)。因此，突波電壓所造成的漏電信號即使輸入至信號寬度判別器 6c，也會由於信號寬度不足而不會從信號寬度判別器 6c 輸出，或者即使從信號寬度判別器 6c 輸出，計數器 6d 也不會持續計數而不會從計數器 6d 輸出脈波。亦即，因為電源電路 5 的輸出電壓超過第 2 預定值的時間比預定時間短，故觸發器電路 6f 的輸出沒導通，漏電斷路器 101 不進行斷路動作。

如上述，漏電斷路器 101 不進行斷路動作，但第 2 定電壓電路 53 的輸出電壓 V_d 被抑制在第 3 齊納二極體 56 的齊納電壓，而保護了漏電檢測電路 6 和跳脫裝置 4 不受突波電壓破壞。

21。當模擬漏電流通於測試繞線 21，零相比流器 3 的輸出便產生信號，如第 4 圖所示，經濾波器 6a 去除高頻成分後輸入至電位判定器 6b 輸入而判定電位。在為持續性的過電壓的情形中，因為是預定的電位以上，故輸入至信號寬度判別器 6c。接著，以信號寬度判別器 6c 判別信號的時間寬度，因漏電信號的時間寬度亦為判定值以上，再藉由計數器 6d 於直到計時器 6e 將計數器 6d 重置為止的期間針對漏電信號以大約商用頻率重複的情形進行計數，故判別為漏電，並輸出至開關手段 8。開關手段 8 係藉由該輸出而導通，激磁電流從電源電路 5 經開關手段 8 流通於跳脫線圈 4a，跳脫機構 4b 動作，藉此，開閉接點 2 脫接。藉由開閉接點 2 脫接，給電源電路 5 的供電便停止。

【0045】 如上述，當過電壓持續地施加於交流線路 1，電源電路 5 的輸出電壓便超過第 2 預定值，由於超過該第 2 預定值的時間超過預定時間而驅動漏電測試裝置 10，藉此，使漏電斷路器 101 進行漏電斷路動作，藉此而能夠保護電源電路 5 不故障。

【0046】 此外，為了防止因瞬間性的突波導致誤動作，如前所述，漏電檢測電路 6 係計數漏電信號以大約商用頻率重複的情形來進行判別，藉由此功能，便不會因瞬間性的突波所造成的過電壓而動作，僅在施加有持續預定時間以上的過電壓時才動作。

【0047】 依據本實施形態，係具有電源電路 5、第 3 齊納二極體 56 及漏電測試電路 10。其中，電源電路 5 係

另外，在本實施形態中，爲了防止正極與負極接反時的故障而設有在實施形態 3 中未設置的整流電路 52。

【0055】 磁通閘感測器 31 係具備：環狀的磁芯 31a，係供直流線路 11 插通；線圈 31b，係捲繞在磁芯 31a；驅動電路 31c，係以使線圈 31b 的磁通密度一邊反轉方向一邊飽和之方式於線圈 31b 以正負對稱的矩形波施加電壓；及檢測電路 31d，係從對應於流過線圈 31b 的線圈電流而變化的量測電壓檢測漏電流。

【0056】 漏電測試電路 10 係由以下元件構成：第 4 齊納二極體 9a，係其陰極連接至第 3 齊納二極體 56 的陰極；測試開關 10a，係一端連接至第 1 定電壓電路 7 的輸出，另一端連接至第 4 齊納二極體 9a 的陽極；電阻器 10c，係一端連接至第 4 齊納二極體 9a 的陰極；及電晶體 10d，係其基極連接至測試開關 10a 的另一端，集極連接至電阻器 10c 的另一端。

【0057】 此外，漏電測試電路 10 的輸出即電晶體 10d 的射極係連接至測試繞線 21 的一端，測試繞線 21 的另一端係在穿過磁通閘感測器 31 的磁芯 31a 後連接至整流電路 52 的輸出負側。

藉由漏電測試電路 10 與測試繞線 21，構成檢查漏電斷路器處於正常所需的漏電測試功能。

關於其他的構成及動作，因爲與實施形態 3 相同，故省略說明。

【0058】 接著，針對動作進行說明。

在爲了通常的漏電測試動作而令測試開關 10a 導通的情形中，係從第 2 定電壓電路 53 供給電源，使電晶體 10d 切換開關，藉此，測試電流、亦即漏電模擬電流便經電阻器 10c 流通於測試繞線 21。當測試電流流通於測試繞線 21，便藉由檢測電路 31d 從磁芯 31a 的輸出判別爲漏電，便從檢測電路 31d 輸出至開關手段 8。開關手段 8 係藉由該輸出而導通，激磁電流從電源電路 5 經開關手段 8 流通於跳脫線圈 4a，跳脫機構 4b 動作，藉此，開閉接點 2 脫接，漏電斷路器 103 斷路。

【0059】 接著，針對有持續性的過電壓疊加於直流線路 11 時的情形進行說明。

當數 kV 的過電壓持續地施加於直流線路 11，同實施形態 2，施加在第 2 齊納二極體 54 與第 1 齊納二極體 53b 之串聯電路的施加電壓便超過第 2 齊納二極體 54 與第 1 齊納二極體 53b 的合計齊納電壓值，因此第 2 齊納二極體 54 亦導通。

【0060】 此時，流過第 2 電阻器 55 的電流 I_c 係比通常時的數十 μA 至數百 μA 增大爲數十 mA 而在第 2 電阻器 55 產生電壓降，施加在第 2 電阻器 55 與第 1 齊納二極體 53b 的電壓 V_c 係上升。若例如設第 2 電阻器 55 的電阻值爲 100Ω 程度、設電流 I_c 爲 40mA 程度，則第 2 電阻器 55 上的電壓降便成爲 4V 程度，施加在第 2 電阻器 55 與第 1 齊納二極體 53b 的電壓 V_c 便成爲 $V_c=24V+4V=28V$ 程度。第 2 定電壓電路 53 的輸出電壓 V_d 係在通常時的額定電壓

21V 程度又加上第 2 電阻器 55 上的電壓降即 4V 程度而應上升至 25V 程度。然而，因為超過了第 3 齊納二極體 56 的齊納電壓(24V 程度)，故第 3 齊納二極體 56 導通，第 2 定電壓電路 53 的輸出電壓 V_d 係被抑制在第 3 齊納二極體 56 的齊納電壓(24V 程度)。

【0061】 此外，因為第 2 定電壓電路 53 的輸出電壓 V_d 超過了第 4 齊納二極體 9a 的齊納電壓 23V，故第 4 齊納二極體 9a 導通，使電晶體 10d 導通，藉此，模擬漏電流通於測試繞線 21。當模擬漏電流通於測試繞線 21，磁芯 31a 的輸出便發生變化，當檢測電路 31d 將該變化判別為漏電，便從檢測電路 31d 輸出至開關手段 8。開關手段 8 係藉由該輸出而導通，激磁電流從電源電路 5 經開關手段 8 流通於跳脫線圈 4a，跳脫機構 4b 動作，藉此，開閉接點 2 脫接。藉由開閉接點 2 脫接，給電源電路 5 的供電便停止。另外，檢測電路 31d 係當來自磁芯 31a 的輸出的變化超過預定時間時判斷漏電。

【0062】 如上述，當過電壓持續施加一定時間時驅動漏電測試裝置 10，藉此使漏電斷路動作進行，而能夠保護電源電路 5 不故障。

【0063】 依據本實施形態，係具有電源電路 5、第 3 齊納二極體 56 及漏電測試電路 10。其中，電源電路 5 係由以下元件構成：第 2 定電壓電路 53，係將供給自直流線路 11 的電力降壓成定電壓的電力；第 2 齊納二極體 54，係檢測來自直流線路 11 的過電壓；及第 2 電阻器 55，係

10b	測試電流產生電路		
10d	電晶體	11	直流線路
21	測試繞線	31	磁通閘感測器
31a	磁芯	31b	線圈
31c	驅動電路	31d	檢測電路
51	限流電阻器	52	整流電路
53	第 2 定電壓電路	53a	場效應電晶體 (FET)
53b	第 1 齊納二極體	53c	第 1 電阻器
54	第 2 齊納二極體	55	第 2 電阻器
56	第 3 齊納二極體	100 至 103	漏電斷路器
Ia 至 Id	電流	Vb 至 Vd	電壓

申請專利範圍

1. 一種漏電斷路器，係具備：

開閉接點，係開閉給電電路；漏電流檢測器，係檢測前述給電電路的漏電流；漏電檢測電路，係連接至該漏電流檢測器，且根據前述漏電流檢測器的檢測信號而檢測漏電；跳脫裝置，係由該漏電檢測電路所驅動而使前述開閉接點跳開；及

電源電路，係由以下元件構成：降壓電路，係將供給自前述給電電路的電力降壓成定電壓的電力；電壓檢測電路，係檢測來自前述給電電路的過電壓；及升壓電路，係當該電壓檢測電路檢測出過電壓時使前述降壓電路的輸出電壓升壓；

該漏電斷路器更具備：

電流吸收電路，係設置在前述電源電路的輸出側，且當前述電源電路的輸出電壓達第 1 預定值時吸收突波電流；及

過電壓檢測電路，係設置在前述電源電路的輸出側，且當前述電源電路的輸出電壓超過第 2 預定值並且超過前述第 2 預定值的時間達預定時間時驅動前述跳脫裝置，該第 2 預定值係比前述電源電路的額定電壓高但比前述第 1 預定值低。

2. 如申請專利範圍第 1 項所述之漏電斷路器，其中，前述過電壓檢測電路係驅動開關元件，該開關元件係連接至前述跳脫裝置。

3. 如申請專利範圍第 1 項所述之漏電斷路器，更具備二次繞線，該二次繞線係用以流通模擬漏電流而貫穿過前述漏電流檢測器者，且前述過電壓檢測電路係藉由讓前述模擬漏電流流通於前述二次繞線而使前述漏電檢測電路作動而驅動前述跳脫裝置。

