

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2006 年 5 月 4 日 (04.05.2006)

PCT

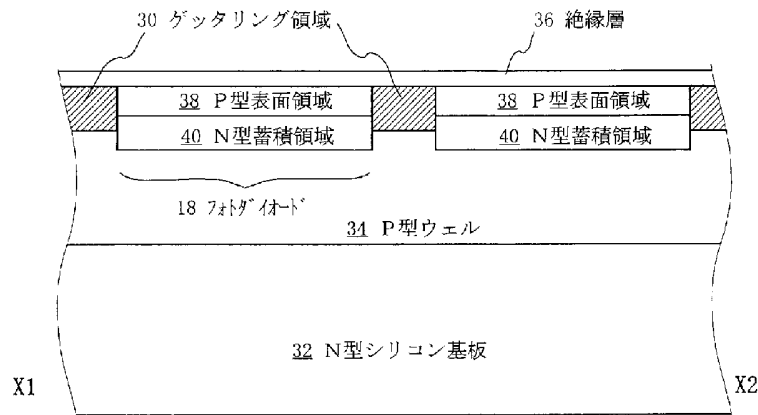
(10) 国際公開番号
WO 2006/046385 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01) H01L 21/322 (2006.01)
H04N 5/335 (2006.01)
- (71) 出願人 (米国を除く全ての指定国について): 株式会社
ニコン (NIKON CORPORATION) [JP/JP]; 〒1008331
東京都千代田区丸の内三丁目 2 番 3 号 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2005/018151 (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 釜下 敦 (KA-
MASHITA, Atsushi) [JP/JP]; 〒1008331 東京都千代田
区丸の内三丁目 2 番 3 号 株式会社ニコン知的財産
部内 Tokyo (JP).
- (22) 国際出願日: 2005 年 9 月 30 日 (30.09.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語 (74) 代理人: 古谷 史旺, 外 (FURUYA, Fumio et al.); 〒
1600023 東京都新宿区西新宿 1 丁目 1 9 番 5 号 第
2 明宝ビル 9 階 Tokyo (JP).
- (30) 優先権データ:
特願 2004-315331
2004 年 10 月 29 日 (29.10.2004) JP (81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
特願 2004-371498
2004 年 12 月 22 日 (22.12.2004) JP BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,

[続葉有]

(54) Title: SOLID-STATE IMAGE PICKUP DEVICE

(54) 発明の名称: 固体撮像素子



30... GETTERING REGION
36... INSULATING LAYER
38... P TYPE SURFACE REGION
40... N TYPE ACCUMULATING REGION
18... PHOTODIODE
34... P TYPE WELL
32... N TYPE SILICON SUBSTRATE

(57) Abstract: In a solid-state image pickup element, a plurality of pixels provided with a photoelectric converting part and an emitting part are formed on a silicon substrate. The photoelectric converting part accumulates charges of a quantity that corresponds to incident light. The emitting part outputs the charges accumulated by the photoelectric converting part as pixel signals. In a semiconductor element region formed on a silicon substrate surface, a gettering region is formed for each pixel. An acceptor type impurity is diffused in the gettering region so that the product of an area rate of the gettering region occupied within one pixel and the number of the acceptor type impurity atoms per unit area in the gettering region is $3 \times 10^6 [\mu\text{m}^{-2}]$ or more. The product of $3 \times 10^6 [\mu\text{m}^{-2}]$ is obtained based on experimental data and is a value that can surely reduce dark current.

(57) 要約: 本発明の固体撮像素子では、光電変換部と、排出部とを備えた画素がシリコン基板に複数形成されている。光電変換部は入射光に応じた量の電荷

[続葉有]



WO 2006/046385 A1



DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

を蓄積する。排出部は光電変換部が蓄積した電荷を画素信号として出力する。また、シリコン基板表面に形成された半導体素子領域には、各々の画素に対してゲッターリング領域が形成されている。そして、1画素内で占めるゲッターリング領域の面積割合と、ゲッターリング領域における単位面積当たりのアクセプタ型不純物原子数との積が、 $3 \times 10^6 [\mu\text{m}^{-2}]$ 以上となるように、ゲッターリング領域にはアクセプタ型不純物が拡散されている。この $3 \times 10^6 [\mu\text{m}^{-2}]$ は、実験データに基づいて得られたものであり、暗電流を確実に低減できる数値である。

明 細 書

固体撮像素子

技術分野

- [0001] 本発明は、固体撮像素子において、暗電流の低減によりS/N比を向上する技術に関する。

背景技術

- [0002] 固体撮像素子はいくつかの種類に分類される。例えば、CCD (Charge Coupled Device) 型固体撮像素子やCMOS (Complementary Metal-Oxide Semiconductor) 型固体撮像素子がよく知られており、いずれもフォトダイオードなどからなる光電変換部を有するが電気信号の取り出し方が異なる。CCD型固体撮像素子はフォトダイオードで光を電荷に変換し、その電荷を順次横に並んだ転送部でバケツリレー方式で転送する。CMOS型固体撮像素子は電荷を転送せず、すぐに電圧に変更して読み出す。CMOS型は電圧変換時に増幅するので増幅型とも呼ばれており、低消費電力等の点でCCD型のものより優れている。
- [0003] このような増幅型固体撮像素子は、各画素の受光部で蓄積された信号電荷を、各画素内に形成された増幅用トランジスタの制御電極に導き、増幅された画素信号を主電極から出力する構成になっている。この増幅用トランジスタとしては、MOSTランジスタを使用したものが知られており、特許文献1や特許文献2などに記載されている。また、接合型電界効果トランジスタ(以下、JFETと略記)を増幅用トランジスタとして使用した増幅型固体撮像素子も知られており、特許文献3などに記載されている。
- [0004] ところで、固体撮像素子の製造工程では、半導体基板上的のエピタキシャル層またはウェル中に、画素の要部となる不純物拡散領域や、画素間を電氣的に分離するシャロートレンチ(例えば特許文献4参照)等が形成される。このような製造工程は、洗浄やエッチング等を伴うので、ウェハ内に若干の金属不純物が混入してしまう。ここでの金属不純物は、意図的に導入されるN型またはP型不純物とは異なるものであり、エピタキシャル成長の材料ガス中の金属や、プロセス装置(ガス配管など)に使用される金属などが挙げられる。

[0005] 上述の金属不純物の内、鉄、銅、ニッケルなどは、シリコンのバンドギャップに深い不純物準位を形成するため、キャリアの発生中心となる。従って、画素領域において金属不純物で汚染された箇所は、大きな暗電流を発生させ、S/N比を低下させる。暗電流の大きさは各画素毎に異なり、ショットノイズによるバラつきも含む。特に、長時間露光、高温での撮影、高感度撮影のような条件下では、通常の撮影の場合よりも、画素信号における暗電流の割合が増加し、画素毎の暗電流のバラつきによって画質が劣化してしまう。また、局所的に暗電流が大きい画素は、輝点となってしまう。

[0006] 暗電流を低減させる従来技術としては、半導体ウェハの裏面、または、ウェルの下方にゲッタリング層を形成し、ウェハ内の金属汚染をゲッタリング層により捕捉する方法が知られている。しかし、この方法では、ゲッタリング層と画素領域との間隔が大きいため、画素領域においてゲッタリング能力が不足しやすかった。特に、固体撮像素子の微細化に伴いプロセスが低温化すると、ゲッタリング能力が全般に低下するため、画素領域に対する汚染除去の効果が不十分になりやすい。そこで、特許文献5は、単位画素の領域内にゲッタリング領域を形成することで、ゲッタリング領域と単位画素との間隔を従来よりも狭め、ゲッタリング効果を高め、暗電流を低減している。

特許文献1:特開2003-17677号公報

特許文献2:特開平11-195776号公報

特許文献3:特開2000-77642号公報

特許文献4:特開平11-102960号公報

特許文献5:特開2004-31677号公報

発明の開示

発明が解決しようとする課題

[0007] 特許文献5の発明は、上述のように優れた作用効果を有するものの、暗電流はできる限り小さいことが望ましい。前述したJFETやMOSTランジスタを増幅用ランジスタとして用いる増幅型固体撮像素子は、CMOSプロセスとのマッチングがよく、周辺回路をオンチップ化できる等の点で優れており、暗電流を低減させる要望が特に強かった。

本発明の目的は、固体撮像素子にゲッタリング領域を形成することによって素子の

小型化を可能とし、特に増幅型固体撮像素子においては、暗電流を従来よりも低減し、S/N比を向上することである。

課題を解決するための手段

[0008] 以下、本発明者の着眼点を説明後、本発明の構成を説明する。

特許文献5は、暗電流を低減するためには、ゲッタリング領域におけるボロンなどの平均不純物濃度が $1 \times 10^{20} [\text{cm}^{-3}]$ 以上であることが望ましいとしている(段落[0013]参照)。しかし、画素内に形成したゲッタリング領域の平均不純物濃度が上記の条件を満たしても、ゲッタリング領域の体積(面積×厚さ)が十分大きくなければ、ゲッタリング能力が不足することに本発明者は着眼した。

[0009] より詳細には、ウェハ内には、製造工程に起因して、ウェハの厚さ方向に見た単位面積あたりに所定数以上の金属不純物が素子形成面側に混入していると考えられる。この所定数以上の金属不純物をゲッタリングするためには、金属不純物原子数に比例した数のアクセプタ型不純物原子が必要と考えられる。従って、上記条件を満たす高濃度でアクセプタ型不純物を拡散したゲッタリング領域を形成しても、そのゲッタリング領域の体積が十分大きくなければ、全ての金属不純物を捕捉するのに十分な数のアクセプタ型不純物原子が存在しないことになる。

[0010] S/N比は、信号電荷数とノイズ電荷数との比で決まり、暗電流値が大きくなると、ノイズ電荷数も大きくなる。ここで、信号電荷数、暗電流値のいずれも画素面積が大きいほど増大する。なぜなら、信号電荷数はフォトダイオードの面積にほぼ比例し、暗電流値は、単位画素当たりの金属不純物数、即ち、画素面積が大きいほど増大するからである。従って、S/N比を向上するためには、画素面積に比例した数のゲッタリング用のアクセプタ型不純物原子を各画素に含ませ、画素面積に対する暗電流値の比率を低減させればよい。即ち、暗電流の低減によりS/N比を向上させるファクターは、ゲッタリング領域内のアクセプタ型不純物濃度よりもむしろ、各画素が単位面積あたりに含むアクセプタ型不純物原子数であることを本発明者は解明した。

[0011] ここで、本明細書では、『深さ』を、半導体基板の厚さ方向の長さとして定義し、『面積』は、深さに直交する方向の面で考える。即ち、『単位面積当たり』と表現した場合、半導体基板の厚さ方向に見た単位面積で考える。従って、ある領域REの体積V[

μm^3 が面積 $A[\mu\text{m}^2]$ と深さ $D[\mu\text{m}]$ との積で与えられ、その領域RE内のアクセプタ型不純物濃度が $C[\mu\text{m}^{-3}]$ である場合、領域RE内の『単位面積当たりのアクセプタ型不純物原子数は、 $C[\mu\text{m}^{-3}]\times D[\mu\text{m}]$ となる。

[0012] また、ゲッタリング用に必要な数のアクセプタ型不純物原子を、各画素に対し形成するゲッタリング領域に含ませる場合、『単位画素におけるゲッタリング領域の面積割合』を考慮する必要がある。例えば、全画素領域に亘って $3\times 10^6[\mu\text{m}^{-2}]$ 以上のアクセプタ型不純物原子が必要であり、単位画素におけるゲッタリング領域の面積割合が10%であれば、ゲッタリング領域には $3\times 10^7[\mu\text{m}^{-2}]$ 以上のアクセプタ型不純物原子を拡散する必要がある。

[0013] 以上の着眼点に基づいて、本発明者は、単位面積当たりのアクセプタ型不純物原子数をどこまで増やせば、暗電流が殆ど減少しなくなるかを調べるため、以下の実験を行った。まず、各画素に対しゲッタリング領域が形成された増幅型固体撮像素子を複数用意した。これらの増幅型固体撮像素子は、ゲッタリング領域内のアクセプタ型不純物原子(この例ではボロン)の数がそれぞれ異なり、それ以外は全く同じ構造である。そして、これら増幅型固体撮像素子の暗電流値を、同じ条件で測定した。

[0014] 図1は、その実験結果を示すグラフである。横軸は、『ゲッタリング領域における $1\mu\text{m}$ 平方当たりのアクセプタ型不純物原子数』に『単位画素におけるゲッタリング領域の面積割合』を乗じた値である。従って、横軸は、全画素領域に亘って平均した、単位面積当たりのアクセプタ型不純物原子数に相当する。縦軸は、暗電流値であり、任意単位である。図に示すように、アクセプタ型不純物原子数が $3\times 10^6[\mu\text{m}^{-2}]$ の近辺において、暗電流値の減少カーブの変曲点が現れている。そして、アクセプタ型不純物原子数を $5\times 10^6[\mu\text{m}^{-2}]$ よりも増やしても、暗電流値はそれほど大きく低減していない。

[0015] 従って、単位面積当たりのアクセプタ型不純物原子数は、 $3\times 10^6[\mu\text{m}^{-2}]$ 以上であることが望ましく、より好ましくは $4\times 10^6[\mu\text{m}^{-2}]$ 以上であるとよい。さらに好ましくは、製造プロセスによる不純物濃度の若干のバラつきを考慮し、 $5\times 10^6[\mu\text{m}^{-2}]$ 以上になるように製造するとよい。さらに、素子間分離用に形成される高濃度P型領域や、画素内において定電圧が印加されるP型領域を上記の不純物濃度で形成すれば、そ

これらの領域がゲッタリング機能を兼用することに本発明者は着眼した。その場合、画素面積の増大を伴わずに、暗電流を確実に低減できる。本発明は、以上のように画期的な技術思想に基づくものであり、以下のように構成される。

[0016] 請求項1の発明は、入射光を電気信号に変換する光電変換部と、前記光電変換部が変換した電気信号を出力する排出部とを備えた画素がシリコン基板に複数形成された固体撮像素子である。

本請求項の発明は、以下の点を特徴とする。第1に、シリコン基板表面に形成された半導体素子領域には、各々の画素に対してゲッタリング領域がそれぞれ形成されている。第2に、ゲッタリング領域が1つの画素内で占める面積割合(0~1の無名数)と、ゲッタリング領域が単位面積あたりに含むアクセプタ型不純物原子数との積は、 $3 \times 10^6 [\mu \text{m}^{-2}]$ 以上である。

[0017] 請求項2の発明は、請求項1に記載の固体撮像素子において、前記排出部を、前記光電変換部に蓄積された電荷が転送される電荷検出領域を含むと共に、前記電荷検出領域内の電荷量に応じた画素信号を出力する増幅部とで構成することを特徴とする。請求項3の発明は、請求項1および2のいずれかに記載の固体撮像素子において、『ゲッタリング領域が1つの画素内で占める面積割合と、ゲッタリング領域が単位面積あたりに含むアクセプタ型不純物原子数との積が、 $4 \times 10^6 [\mu \text{m}^{-2}]$ 以上である』ことを特徴とする。

[0018] 請求項4の発明は、光電変換部と、増幅部と、絶縁性の素子間分離領域とを備えた画素がシリコン基板に複数形成された固体撮像素子である。光電変換部は、入射光に応じた量の電荷を生成及び蓄積する。増幅部は、光電変換部に蓄積された電荷が転送される電荷検出領域を含むと共に、電荷検出領域内の電荷量に応じた画素信号を出力する。本請求項の発明は、『隣接する画素の境界に、双方の画素の光電変換部に隣接するゲッタリング用のP型不純物拡散領域がアクティブ領域として形成されている』ことを特徴とする。

[0019] 請求項5の発明は、請求項4の固体撮像素子において、『P型不純物拡散領域が1つの画素内で占める面積割合と、P型不純物拡散領域が単位面積あたりに含むアクセプタ型不純物原子数との積が、 $3 \times 10^6 [\mu \text{m}^{-2}]$ 以上である』ことを特徴とする。

請求項6の発明は、請求項4の固体撮像素子において、『P型不純物拡散領域が1つの画素内で占める面積割合と、P型不純物拡散領域が単位面積あたりに含むアクセプタ型不純物原子数との積が、 $4 \times 10^6 [\mu \text{m}^{-2}]$ 以上である』ことを特徴とする。

[0020] 請求項7の発明は、請求項4～請求項6のいずれかの固体撮像素子において、以下の点を特徴とする。第1に、光電変換部は、N型の電荷蓄積領域を有するフォトダイオードである。第2に、増幅部は、Nチャネル型のMOSTランジスタと、電荷検出領域とからなり、電荷検出領域は、このMOSTランジスタのゲートに接続された浮遊拡散領域である。

[0021] 請求項8の発明は、光電変換部と、JFETと、リセット部とを備えた画素がシリコン基板に複数形成された固体撮像素子である。光電変換部は、入射光に応じた量の電荷を生成及び蓄積する。JFETは、光電変換部に蓄積された電荷が転送されるゲートを有すると共に、ゲート内の電荷量に応じた画素信号をソースから出力する。リセット部は、所定の電圧が印加されるリセット領域を有すると共に、リセット領域をJFETのゲートに電気的に接続して、JFETのゲート電圧を所定の電圧にリセットする。本請求項の発明は、『リセット領域が1つの画素内で占める面積割合と、リセット領域が単位面積あたりに含むアクセプタ型不純物原子数との積が、 $3 \times 10^6 [\mu \text{m}^{-2}]$ 以上である』ことを特徴とする。

[0022] 請求項9の発明は、光電変換部と、増幅部とを備えた画素がシリコン基板に複数形成された固体撮像素子である。光電変換部は、入射光に応じた量の電荷を生成及び蓄積する。増幅部は、光電変換部に蓄積された電荷が転送される電荷検出領域を含むと共に、電荷検出領域内の電荷量に応じた画素信号を出力する。本請求項の発明は、『各々の画素が、単位面積あたりに、アクセプタ型不純物原子を $3 \times 10^6 [\mu \text{m}^{-2}]$ 以上含む』ことを特徴とする。本請求項での『画素』に含める領域は、シリコン基板における素子形成面側の領域のみとする。従って、シリコン基板上のエピタキシャル層またはウェル層に画素が形成されている場合、エピタキシャル層またはウェル層の厚さを画素の深さとする。

[0023] なお、ゲッタリング用に拡散するアクセプタ型不純物は、ボロンが望ましい。また、ゲッタリング領域は、シリコン中のP型不純物拡散領域として形成する。従って、ゲッタリ

ング領域内の単位面積当たりのアクセプタ型不純物原子数の上限値は、ゲッタリング領域が電氣的にP型となり得る上限であり、例えば、次式で表される。

$$\text{上限値}[\mu\text{m}^{-2}] = 1 \times 10^9[\mu\text{m}^{-3}] \times \text{ゲッタリング領域の深さ}[\mu\text{m}]$$

但し上式は、ゲッタリング領域の体積が単純に面積と深さとの積で与えられるとした場合であり、シリコン基板中にP型領域を形成する際のアクセプタ型不純物濃度の上限を $1 \times 10^{21}[\text{cm}^{-3}]$ と考えたものである。

発明の効果

- [0024] 本発明の固体撮像素子の一形態では、シリコン基板表面には、各々の画素に対してゲッタリング領域が形成されている。そして、1画素内でゲッタリング領域が占める面積割合と、ゲッタリング領域内の単位面積のアクセプタ型不純物原子数との積は、 $3 \times 10^6[\mu\text{m}^{-2}]$ 以上である。この数値は、前述の図1において暗電流値の減少カーブの変曲点に相当する。従って、暗電流を確実に低減できる。
- [0025] 本発明の固体撮像素子の別の形態では、隣接画素の境界には、双方の光電変換部に隣接するゲッタリング用のP型不純物拡散領域が形成されているので、光電変換部内及びその近傍に存在する金属不純物を確実にゲッタリングできる。このP型不純物拡散領域は、アクティブ領域に形成されており、その上部には厚い絶縁層が存在しないので、通常の不純物拡散領域を形成する際と同様の加速エネルギーでのイオン注入により、容易に形成できる。この構成では、光電変換部に蓄積させる信号電荷を電子とし、増幅部をNチャネル型のMOSTランジスタとして形成することが望ましい。この場合、信号電荷とは反対の導電型であるP型不純物拡散領域は、素子間分離の機能を兼用可能であり、画素面積の増大や開口率の低下を伴うことなく、ゲッタリング効果が得られる。
- [0026] 本発明の固体撮像素子の別の形態では、各画素は、光電変換部と、JFETと、JFETのゲート電圧のリセット用に所定の電圧が印加されるリセット領域とを有する。そして、1画素内でリセット領域が占める面積割合と、リセット領域が単位面積当たりを含むアクセプタ型不純物原子数との積は、 $3 \times 10^6[\mu\text{m}^{-2}]$ 以上である。即ち、リセット領域は、JFETのゲート電圧をリセットするための定電圧領域であるが、ゲッタリング機能を兼用しており、上述と同様に暗電流を低減できる。

図面の簡単な説明

- [0027] [図1]増幅型固体撮像素子において、シリコン基板の表面の単位面積当たりのアクセプタ型不純物原子数と、暗電流値との関係を示す実験結果のグラフである。
- [図2]本発明の第1の実施形態における増幅型固体撮像素子の等価回路図である。
- [図3]第1の実施形態の増幅型固体撮像素子における、画素の平面模式図である。
- [図4]図3のX1－X2間の断面模式図である。
- [図5]第1の実施形態において、ゲッタリング領域の平面的配置の別の例を示す2画素分の平面模式図である。
- [図6]第1の実施形態において、ゲッタリング領域の平面的配置の別の例を示す4画素分の平面模式図である。
- [図7](a)は、第1の実施形態において、ゲッタリング領域の平面的配置の別の例を示す2画素分の平面模式図であり、(b)は、(a)のX3－X4間の断面模式図である。
- [図8]本発明の第2の実施形態における増幅型固体撮像素子の等価回路図である。
- [図9]第2の実施形態の増幅型固体撮像素子における、画素の平面模式図である。
- [図10]図9のY1－Y2間の断面模式図である。
- [図11]図9のX5－X6間の断面模式図である。

発明を実施するための最良の形態

- [0028] 以下、図面を用いて本発明の実施の形態を説明する。なお、各図において同一要素には同一符号を付し、重複する説明を省略する。

図2は、第1の実施形態における増幅型固体撮像素子の等価回路図である。図中の符号において先頭が ϕ で始まっているものは駆動電圧を示し、図中のGNDは接地線を示す。また、一部の要素の符号の最後には、配置されている画素行または画素列を示すために1、m、n等を付したが、行や列の区別が不要な場合、適宜省略して説明する。以上の表記は、後述の第2の実施形態についても同様である。また、回路構成を先に説明するが、第1の実施形態の主な特徴は、その後に説明するゲッタリング領域の配置や、ゲッタリング領域内のアクセプタ型不純物原子数である。

- [0029] 図に示すように、増幅型固体撮像素子2は、m行n列からなる多数の画素PXL1－1～PXLm－n(以下、画素と略記)と、各画素を行毎に駆動する垂直走査回路4と、

各画素に列毎に接続されている垂直信号線VSLと、暗信号出力線8と、バッファアンプ10と、暗信号出力端子VDoutと、光信号出力線12と、バッファアンプ14と、光信号出力端子VSoutと、水平走査回路16とを有する。

[0030] 尚、本発明で記述している画素とは、画像を得るために必要な最小の繰り返し単位を意味し、各画素は互いに隣接し、画素間は存在しないものとする。

また、画素アンプを複数のフォトダイオードで兼用する固体撮像素子もあるが、画像を得るために必要な最小の単位である複数のフォトダイオードと画素アンプとをまとめて単位画素として扱うものとする。

[0031] 画素PXL1-1に符号を示すように、各画素は、受光量に応じた量の信号電荷を生成及び蓄積するフォトダイオード18と、Nチャネル型の転送用MOSTランジスタ20と、フローティングディフュージョン(浮遊拡散領域)FDと、ゲートがフローティングディフュージョンFDに接続されたNチャネル型の増幅用MOSTランジスタ22と、選択用トランジスタ24と、リセット用MOSTランジスタ26とを有する。なお、請求項記載の光電変換部はフォトダイオード18に対応し、請求項記載の増幅部は、増幅用MOSTランジスタ22、及びフローティングディフュージョンFDに対応する。

[0032] リセット用MOSTランジスタ26のゲートは、リセットゲート配線RESLを介して行毎に垂直走査回路4に接続されている。リセット用MOSTランジスタ26は、ゲートに駆動電圧 ϕ RESを受けて、これに応じて導通状態となり、フローティングディフュージョンFDの電圧を電源電圧VDDにリセットする。

各転送用MOSTランジスタ20のゲートは、転送ゲート配線TXLを介して行毎に垂直走査回路4に接続されている。転送用MOSTランジスタ20は、垂直走査回路4からの駆動電圧 ϕ TXをゲートに受けて、これに応じて導通状態となり、フォトダイオード18に蓄積された信号電荷(この例では電子)をフローティングディフュージョンFDに転送する。増幅用MOSTランジスタ22は、フローティングディフュージョンFDに転送された信号電荷量に応じた電圧を、ソースから垂直信号線VSLに出力する。

[0033] 選択用トランジスタ24のゲートは、選択ゲート配線SELLを介して行毎に垂直走査回路4に接続されている。選択用トランジスタ24は、垂直走査回路4からの駆動電圧 ϕ SELをゲートに受けて、これに応じて導通状態となり、増幅用MOSTランジスタ22

のドレインに電源電圧VDDを供給する。即ち、選択用MOSTランジスタ24は、出力画素を選択する。

- [0034] 各垂直信号線VSLの一端側(図の下側)は、MOS型の垂直リセットランジスタTRV、及び定電流源PSに接続されている。垂直リセットランジスタTRVは、リセットパルス電圧 ϕ_{RV} をゲートに受けて、これに応じて導通状態となり、垂直信号線VSLを一定の電圧VRESにリセットする。定電流源PSの一方の端子には、電源電圧VCSが供給される。
- [0035] 各垂直信号線VSLの他端側(水平走査回路16側)は、2つに分岐しており、分岐した一方は、MOS型の光信号転送ランジスタTS、及びMOS型の光信号読み出しランジスタTSRを介して、光信号出力線12に接続されている。分岐した他方は、暗信号転送ランジスタTD、及び暗信号読み出しランジスタTDRを介して、暗信号出力線8に接続されている。
- [0036] 光信号転送ランジスタTSと光信号読み出しランジスタTSRとの接続ノードは、光信号蓄積コンデンサCSを介して、接地線GNDに接続されている。光信号転送ランジスタTSは、駆動パルス電圧 ϕ_{TS} をゲートに受けて、これに応じて導通状態となり、各画素からの画素信号(信号成分と、固定パターンノイズ成分との和)を光信号蓄積コンデンサCSに蓄積させる。
- [0037] 暗信号転送ランジスタTDと暗信号読み出しランジスタTDRとの接続ノードは、暗信号蓄積コンデンサCDを介して、接地線GNDに接続されている。暗信号転送ランジスタTDは、駆動パルス電圧 ϕ_{TD} をゲートに受けて、これに応じて導通状態となり、各画素からの暗信号(固定パターンノイズ成分)を暗信号蓄積コンデンサCDに蓄積させる。
- [0038] 光信号読み出しランジスタTSRのゲート、及び暗信号読み出しランジスタTDRのゲートには、水平走査回路16からの駆動パルス電圧 $\phi_{H1} \sim \phi_{Hn}$ が各列毎に印加される。この駆動パルス電圧 $\phi_{H1} \sim \phi_{Hn}$ により、前述した画素信号は光信号出力線12に読み出され、暗信号は暗信号出力線8に読み出される。そして、後段の信号処理回路において、画素信号から暗信号が差し引かれ、画素信号に含まれる固定パターンノイズ成分が消去される。

- [0039] 光信号出力線リセットトランジスタTRSのゲート、及び暗信号出力線リセットトランジスタTRDのゲートには、駆動パルス電圧 ϕ_{RH} が印加される。光信号出力線リセットトランジスタTRS及び暗信号リセットトランジスタTRDは、この駆動パルス電圧 ϕ_{RH} により導通状態となり、光信号出力線12及び暗信号出力線8の電圧を接地線GNDの電圧にリセットする。増幅型固体撮像素子2の回路動作の詳細は、公知なので説明を省略する。
- [0040] 図3は、増幅型固体撮像素子2の4画素分の平面模式図である。図のX1－X2間一点鎖線に直交する方向に、垂直信号線VSLが延在する。フォトダイオード18の受光面積を大きくするため、1画素の上側の約半分はフォトダイオード18として形成されており、信号電荷の読み出し用の各トランジスタは、画素の下側の約半分の領域に集結している。そして、水平方向に互いに隣接する画素間には、双方の画素のフォトダイオード18に隣接するように、第1の実施形態の特徴であるゲッタリング領域30が形成されている。なお、後述の図5、図6、図7も含めて、ゲッタリング領域30は斜線で示す。
- [0041] 図3の太線内(フォトダイオード18等)、及びゲッタリング領域30は、アクティブ領域である。なお、本明細書でのアクティブ領域とは、LOCOS等の厚い絶縁層が形成されていない領域であり、表面が薄い絶縁層(シリコン酸化膜、或いはシリコン窒化膜)で覆われている領域である。シリコン基板表面に形成された半導体素子領域の中で、アクティブ領域以外の領域には、素子間分離領域としてLOCOSが形成されている。なお、LOCOSではなく、例えばシャロートレンチ(特許文献4参照)により素子間分離領域を形成してもよい。
- [0042] 図4は、図3のX1－X2間の断面模式図である。図に示すように、N型のシリコン基板32の表(おもて)面側にはP型ウェル34が形成されており、画素の各部の不純物拡散領域はP型ウェル34中に形成されている。また、P型ウェル34上には絶縁層(この例ではシリコン酸化膜)36が形成されている。そして、フォトダイオード18は、その表面の空乏化を防止する高濃度P型のP型表面領域38と、N型電荷蓄積領域40とで構成されている。即ち、N型電荷蓄積領域40に蓄積される電子が、信号電荷として転送される。

[0043] 以下、第1の実施形態の特徴及び効果を説明する。

図3に戻って、第1の実施形態では一例として、単位画素内においてゲッタリング領域30が占める面積割合は、約0.08である(単位画素の面積を1.0とする)。そして、ゲッタリング領域30は、 $6.3 \times 10^7 [\mu\text{m}^2]$ 以上の数のボロン原子を有する高濃度P型領域である。この $6.3 \times 10^7 [\mu\text{m}^2]$ に、単位画素内でゲッタリング領域30が占める面積割合を乗じれば、 $5 \times 10^6 [\mu\text{m}^2]$ 以上となる。即ち、各画素は、単位面積当たり $5 \times 10^6 [\mu\text{m}^2]$ 以上のゲッタリング用のボロン原子を有する。従って、図1で説明した理由から、第1の実施形態の増幅型固体撮像素子2では、従来よりも暗電流が低減されており、S/N比が向上している。

[0044] また、ゲッタリング領域30は、N型蓄積領域40とは反対の導電型であり、隣接画素のフォトダイオード18間に配置されているので、素子間分離の機能も兼用する。即ち、第1の実施形態では、従来の構造において単なる素子間分離領域であった隣接画素間の領域にゲッタリング機能を兼用させたので、新たにゲッタリング領域を確保する必要がない。従って、画素面積の増大や開口率の低下を伴わずに、ゲッタリング効果を大きくできる。

[0045] さらに、ゲッタリング領域30は、フォトダイオード18に隣接しているので、フォトダイオード18の空乏化領域に存在する金属不純物を確実にゲッタリングでき、暗電流を顕著に低減できる。また、ゲッタリング領域30は、アクティブ領域に形成されているため、その上部には厚い絶縁層が形成されていない。従って、ゲッタリング領域30は、フォトダイオード18等の通常の不純物拡散領域を形成する際と同様の加速エネルギーでのイオン注入により、容易に形成できる。

[0046] 以下、第1の実施形態の補足事項、並びに変形例について説明する。

ゲッタリング領域30の形成深さは、図4に示したようなN型蓄積領域40の中心深さに限定されるものではない。ゲッタリング領域30は、N型蓄積領域40より深くしてもよいし、N型蓄積領域40とP型表面領域38との境界より浅くしてもよい。また、ゲッタリング領域30は、絶縁層36の直下ではなく、埋め込み型のP型領域として形成してもよい。

[0047] 第1の実施形態では、水平方向に隣接する画素のフォトダイオード18間、即ち、トラ

ンジスタ等の回路素子が1つも配置されていない領域にゲッターリング30を形成したが、そのレイアウトが容易であり、望ましい。なぜなら、垂直方向に隣接する画素のフォトダイオード18間には、トランジスタが集結しているので、その領域にゲッターリング領域を形成する場合、トランジスタの特性に影響しない位置や濃度の特定が必要となるからである。

[0048] 図3のように、フォトダイオード18同士が水平方向に対向する領域の全てをゲッターリング領域30としたが、ゲッターリング領域の平面的配置は、その形態に限定されるものではない。図5に示す2画素分の平面模式図のように、フォトダイオード18同士が対向する領域の一部のみを、ゲッターリング領域としてもよい。或いは、図6に示す4画素分の平面模式図のように、全てのフォトダイオード18に対して、その片側の境界のみがゲッターリング領域に隣接するようにしてもよい。この場合も、画素の境界を2つのフォトダイオード18間の中心(図中の一点鎖線)にあると考えれば、各画素に対しゲッターリング領域がそれぞれ形成されていることになる。

[0049] なお、図5、図6の例では、どちらも、単位画素内でゲッターリング領域が占める面積割合は、例えば約0.04である。その場合、ゲッターリング領域における単位面積当たりのボロン原子数を $1.3 \times 10^8 [\mu\text{m}^{-2}]$ 以上とすれば、 $1.3 \times 10^8 [\mu\text{m}^{-2}]$ と、0.04との積が約 $5 \times 10^6 [\mu\text{m}^{-2}]$ となり、図3の場合と同様の効果が得られる。また、図5、図6において、ゲッターリング領域以外の配置は図3と同様である。

[0050] 或いは、図7(a)に示す2画素分の平面模式図のように、隣接する画素のフォトダイオード18間において、どちらのフォトダイオード18にも隣接しないようにゲッターリング領域を形成してもよい。図7(a)では、太線内と、ゲッターリング領域のみがアクティブ領域であり、他は非アクティブ領域である。即ち、ゲッターリング領域とフォトダイオード18との間には、素子間分離領域(この例ではLOCOS)が形成されている。図7(b)は、図7(a)のX3-X4間の断面模式図である。この例でも、1画素内で占めるゲッターリング領域の面積割合と、ゲッターリング領域における単位面積当たりのボロン原子数との積は、 $5 \times 10^6 [\mu\text{m}^{-2}]$ 以上である。

[0051] 次に、第2の実施形態の増幅型固体撮像素子を説明する。第2の実施形態の増幅型固体撮像素子は、増幅用トランジスタにJFETを用いたものである。第2の実施形

態の主な特徴は、JFETのゲート電圧をリセットするための定電圧領域(リセットドレイン)がゲッタリング機能を兼用することである。回路構成や画素構造は従来と同様であるが、便宜上、それらを先に説明する。

[0052] 図8は、第2の実施形態の増幅型固体撮像素子の等価回路図である。図に示すように、増幅型固体撮像素子50は、 m 行 n 列からなる画素 $Px1-1 \sim Pxm-n$ (以下、画素と略記)と、垂直走査回路54と、垂直信号線VLと、水平信号線58と、水平走査回路60と、バッファアンプ74と、光信号出力端子Voutとを有する。画素 $Px1-n$ に符号を示すように、各画素は、フォトダイオードPDと、転送ゲート64と、リセットゲート66と、リセットドレイン70(請求項記載のリセット領域に対応)と、JFET72とを有する。

[0053] リセットドレイン70は、各行毎にリセットドレイン配線RDLを介して、共通の電源(電圧VG)に接続されている。リセットゲート66は、各行毎にリセットゲート配線RGL1～RGLmを介して、垂直走査回路54に接続されており、パルス電圧 $\phi RG1 \sim \phi RGm$ をそれぞれ受けて行毎に駆動される。即ち、リセットゲート66が導通状態になると、JFET72は、そのゲート電圧がVGにリセットされて非動作状態になる。また、リセットゲート66が非導通状態になると、JFET72は、そのゲートがフローティング状態となり、動作状態になる。

[0054] 転送ゲート64は、各行毎に転送ゲート配線TGL1～TGLmを介して、垂直走査回路54に接続されている。転送ゲート64は、垂直走査回路54からパルス電圧 $\phi TG1 \sim \phi TGm$ をそれぞれ受けて行毎に駆動され、フォトダイオードPDの蓄積電荷(この例では正孔)をJFET72のゲートに転送する。JFET72のソースは列毎に垂直信号線VLに接続されており、JFET72のドレインは共通のドレイン電源(電圧VD)に接続されている。JFET72は、動作時には、フォトダイオードPDからゲートに転送された電荷量に応じた信号電圧をソースから出力する。

[0055] 垂直信号線VLの一端側(図の下側)には、定電流源PSと、垂直リセットトランジスタTRVとが接続されている。垂直リセットトランジスタTRVは、リセットパルス電圧 ϕRV をゲートに受けて、これに応じて導通状態となり、垂直信号線VLを一定の電圧VRVにリセットする。定電流源PSの一方の端子には、電源電圧VCSが供給される。垂直信号線VLの他端側(水平走査回路60側)には、JFET72の動作帯域を制限する垂

直負荷容量 C_v と、列バッファアンプAPと、CDSコンデンサ C_c と、CDSトランジスタ T_c と、列選択トランジスタ $Th1 \sim Thn$ とが接続されている。

[0056] 列選択トランジスタ $Th1 \sim Thn$ は、水平走査回路60から駆動パルス電圧 $\phi H1 \sim \phi Hn$ をゲートにそれぞれ受けて、垂直信号線 $VL1 \sim VLn$ を水平信号線58にそれぞれ接続する。CDSトランジスタ T_c は、ゲートに駆動パルス電圧 ϕC を受ける。このCDSトランジスタ T_c とCDSコンデンサ C_c は、信号電荷の転送前後におけるJFET72の出力電圧に相関二重サンプリング処理を施す。水平信号線58には、水平リセットトランジスタ TRH と、出力バッファアンプ74とが接続されている。水平リセットトランジスタ TRH は、駆動パルス電圧 ϕRH をゲートに受けて、水平信号線58を一定電圧(この例では接地線GNDの電位)にリセットする。増幅型固体撮像素子50の画素信号の読み出し動作は、特許文献3の図1のものと同様である。

[0057] 図9は、増幅型固体撮像素子50の単位画素の平面模式図であり、図10は図9における $Y1 - Y2$ 間の断面模式図であり、図11は図9における $X5 - X6$ 間の断面模式図である。以下、図9～図11を用いて、画素の構造を説明する。図9に示すように、画素は、フォトダイオードPD、JFET72、リセットドレイン70を有し、リセットゲート配線RGL、転送ゲート配線TGL、垂直信号線VLが複数の画素に跨って形成されている。図には示していないが、フォトダイオードPDの上部のみ開口するように、全画素に繋がってリセットドレイン配線RDLが形成されている。リセットドレイン配線RDLは遮光膜としても機能する。

[0058] 図10に示すように、高濃度N型のシリコン基板80の表(おもて)面側にはN型エピタキシャル層84が形成されており、画素の各部の不純物拡散領域はN型エピタキシャル層84中に形成されている。N型エピタキシャル層84上には絶縁層(二酸化ケイ素)88が形成されており、絶縁層88中には、リセットドレイン配線RDLやリセットゲート配線RGL等の配線が形成されている。

[0059] フォトダイオードPDは、表面N型領域98とP型電荷蓄積領域100とで構成されており、正孔を信号電荷としてP型電荷蓄積領域100に蓄積する。また、フォトダイオードPD及びリセットドレイン70に隣接して、高濃度N型の不純物拡散領域であるチャネルストップ93(素子間分離領域)が形成されている。なお、図には断面を示していな

いが、転送ゲート64の電圧に応じて反転層が形成されて、P型電荷蓄積領域100からJFET72のゲートに信号電荷が転送される。

[0060] 図11に示すように、JFET72は、ゲートをP型とするNチャネル型である。JFETのドレインは、N型エピタキシャル層84、高濃度N型のシリコン基板80を介してドレイン電源の電圧VDを受ける。リセットドレイン70は、P型として形成されており、中継配線92を介してリセットドレイン配線RDLに接続されている。そして、JFET72のゲート、及びリセットドレイン70をソースまたはドレインとし、リセットゲート66をゲートとするPチャネル型MOSFETが形成されている（請求項記載のリセット部に対応）。従って、リセットゲート66の電圧に応じて反転層が形成され、JFET72のゲート内の電荷量はリセットされる。

[0061] 第2の実施形態の主な特徴は、1画素内で占めるリセットドレイン70の面積割合と、リセットドレイン70内の単位面積当たりのボロン原子数との積を $5 \times 10^6 [\mu \text{m}^{-2}]$ 以上としたことである。ここでは一例として、単位画素内でリセットドレイン70が占める面積割合は約0.05であり（図9～図11ではそれよりも大きく記載）、リセットドレイン70における単位面積当たりのボロン原子数は $1.0 \times 10^8 [\mu \text{m}^{-2}]$ 以上である。

[0062] 即ち、リセットドレイン70は本来、JFET72のゲート電圧をリセットするための定電圧領域であるが、ゲッタリング領域としての機能を兼用している。素子間分離領域にゲッタリング機能を兼用させた第1の実施形態に対し、第2の実施形態は、P型の定電圧領域にゲッタリング機能を兼用させたものである。従って、第2の実施形態においても、第1の実施形態と同様の効果が得られる。

[0063] なお、本明細書では、増幅用トランジスタとしてMOSTランジスタまたはJFETを用いる実施形態を説明したが、本発明の原理は、他のタイプの増幅型固体撮像素子のみならず増幅型以外の固体撮像素子においても適用可能である。

産業上の利用可能性

[0064] 本発明は、固体撮像素子において利用可能である。

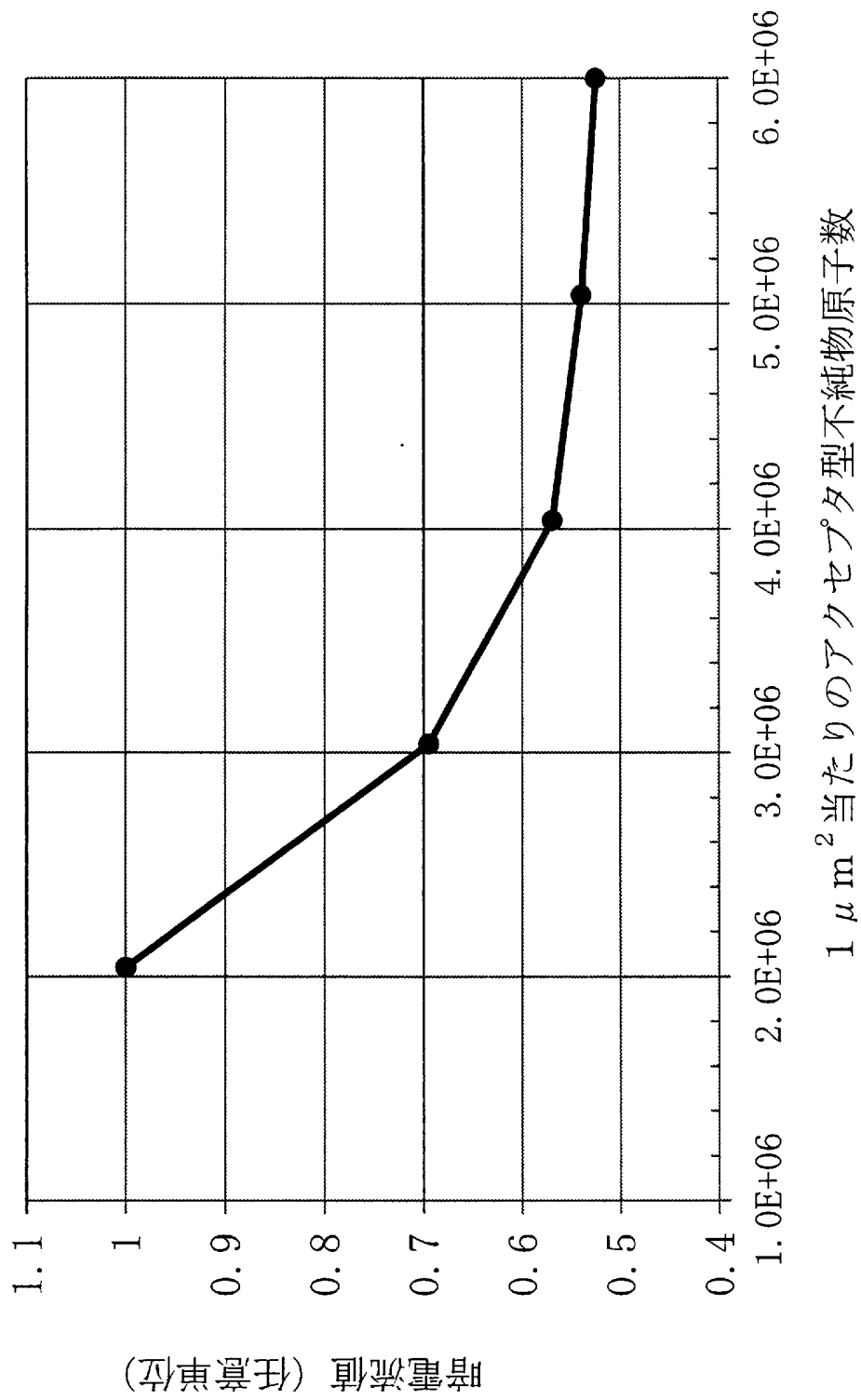
請求の範囲

- [1] 入射光に応じた量の電荷を生成及び蓄積する光電変換部と、
前記光電変換部が変換した電荷を画素信号として出力する排出部と、
を備えた画素がシリコン基板に複数形成された固体撮像素子であって、
前記シリコン基板表面に形成された半導体素子領域には、各々の前記画素に対してゲッタリング領域がそれぞれ形成されており、
前記ゲッタリング領域が1つの前記画素内で占める面積割合(無名数)と、前記ゲッタリング領域が単位面積あたりに含むアクセプタ型不純物原子数との積は、 $3 \times 10^6 \mu\text{m}^{-2}$ 以上である
ことを特徴とする固体撮像素子。
- [2] 請求項1に記載の固体撮像素子において、
前記排出部を、前記光電変換部に蓄積された電荷が転送される電荷検出領域を含むと共に、前記電荷検出領域内の電荷量に応じた画素信号を出力する増幅部とで構成する
ことを特徴とする固体撮像素子。
- [3] 請求項1および2のいずれかに記載の固体撮像素子において、
前記ゲッタリング領域が1つの前記画素内で占める面積割合と、前記ゲッタリング領域が単位面積あたりに含むアクセプタ型不純物原子数との積は、 $4 \times 10^6 \mu\text{m}^{-2}$ 以上である
ことを特徴とする固体撮像素子。
- [4] 入射光に応じた量の電荷を生成及び蓄積する光電変換部と、
前記光電変換部に蓄積された電荷が転送される電荷検出領域を含むと共に、前記電荷検出領域内の電荷量に応じた画素信号を出力する増幅部と、
絶縁性の素子間分離領域と
を備えた画素がシリコン基板に複数形成された固体撮像素子であって、
隣接する前記画素の境界には、双方の前記画素の前記光電変換部に隣接するゲッタリング用のP型不純物拡散領域が、アクティブ領域として形成されている
ことを特徴とする固体撮像素子。

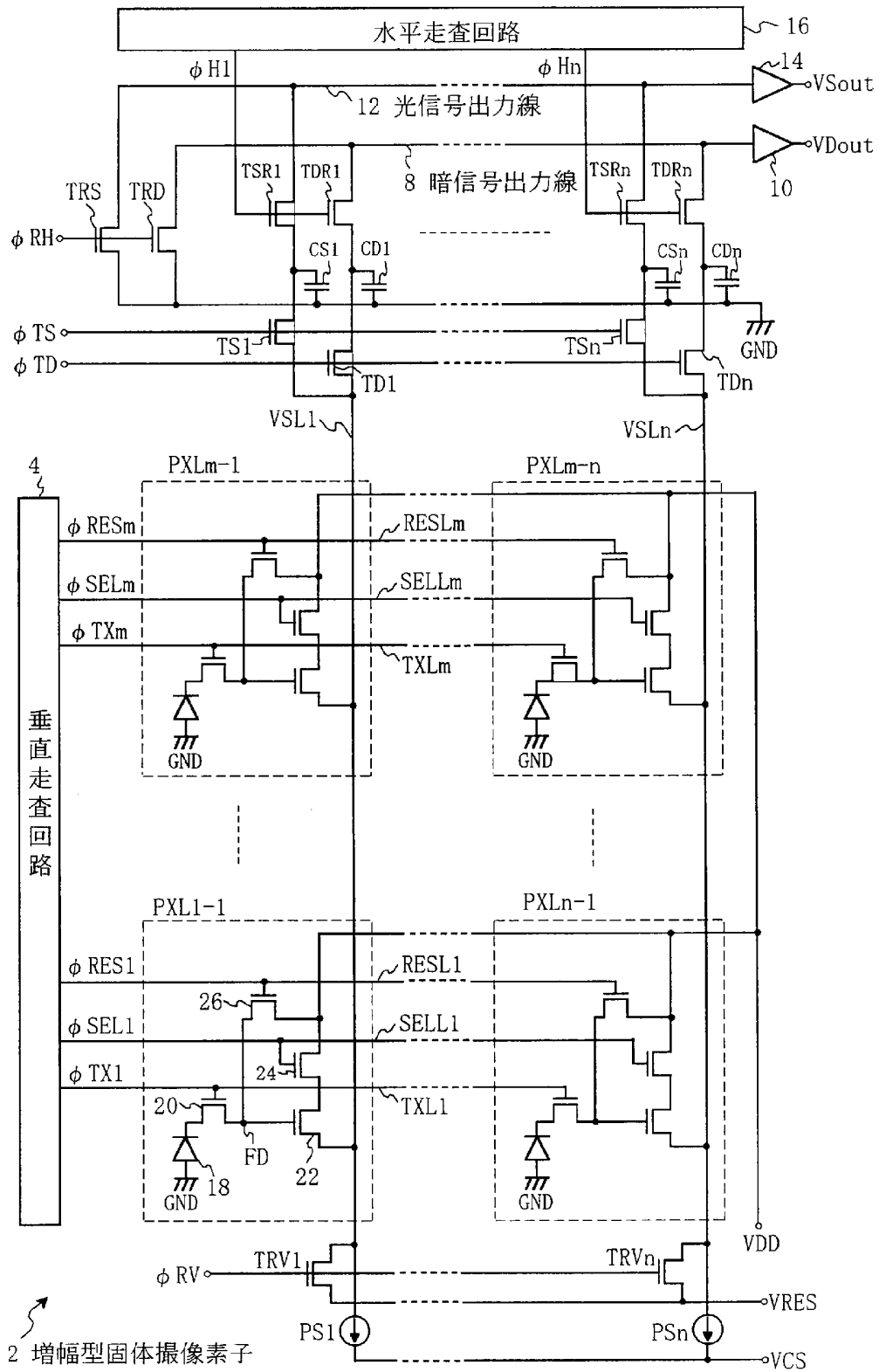
- [5] 請求項4に記載の固体撮像素子において、
前記P型不純物拡散領域が1つの前記画素内で占める面積割合と、前記P型不純物拡散領域が単位面積あたりに含むアクセプタ型不純物原子数との積は、 $3 \times 10^6 \mu\text{m}^{-2}$ 以上である
ことを特徴とする固体撮像素子。
- [6] 請求項4に記載の固体撮像素子において、
前記P型不純物拡散領域が1つの前記画素内で占める面積割合と、前記P型不純物拡散領域が単位面積あたりに含むアクセプタ型不純物原子数との積は、 $4 \times 10^6 \mu\text{m}^{-2}$ 以上である
ことを特徴とする固体撮像素子。
- [7] 請求項4～請求項6のいずれかに記載の固体撮像素子において、
前記光電変換部は、N型の電荷蓄積領域を有するフォトダイオードであり、
前記増幅部は、Nチャネル型のMOSTランジスタと、前記電荷検出領域とからなり、
前記電荷検出領域は、前記MOSTランジスタのゲートに接続された浮遊拡散領域である
ことを特徴とする固体撮像素子。
- [8] 入射光に応じた量の電荷を生成及び蓄積する光電変換部と、
前記光電変換部に蓄積された電荷が転送されるゲートを有すると共に、前記ゲート内の電荷量に応じた画素信号をソースから出力する接合型電界効果トランジスタと、
所定の電圧が印加されるリセット領域を有すると共に、前記リセット領域を前記ゲートに電氣的に接続して、前記ゲートの電圧を前記所定の電圧にリセットするリセット部と
を備えた画素がシリコン基板に複数形成された固体撮像素子であって、
前記リセット領域が1つの前記画素内で占める面積割合と、前記リセット領域が単位面積あたりに含むアクセプタ型不純物原子数との積は、 $3 \times 10^6 \mu\text{m}^{-2}$ 以上である
ことを特徴とする固体撮像素子。
- [9] 入射光に応じた量の電荷を生成及び蓄積する光電変換部と、

前記光電変換部に蓄積された電荷が転送される電荷検出領域を含むと共に、前記電荷検出領域内の電荷量に応じた画素信号を出力する増幅部と
を備えた画素がシリコン基板に複数形成された固体撮像素子であって、
各々の前記画素は、単位面積あたりに、アクセプタ型不純物原子を $3 \times 10^6 \mu\text{m}^{-2}$
以上含む
ことを特徴とする固体撮像素子。

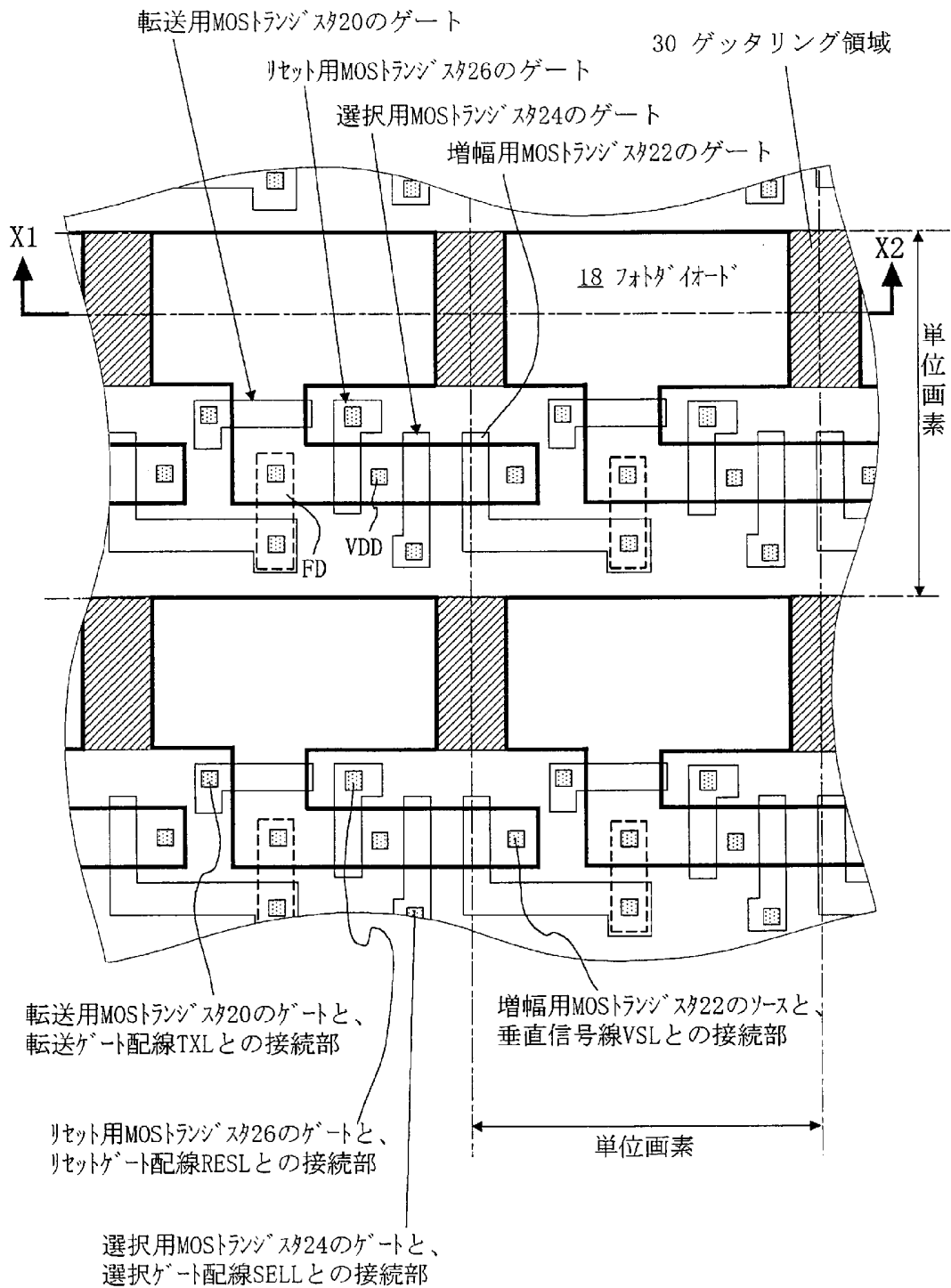
[図1]



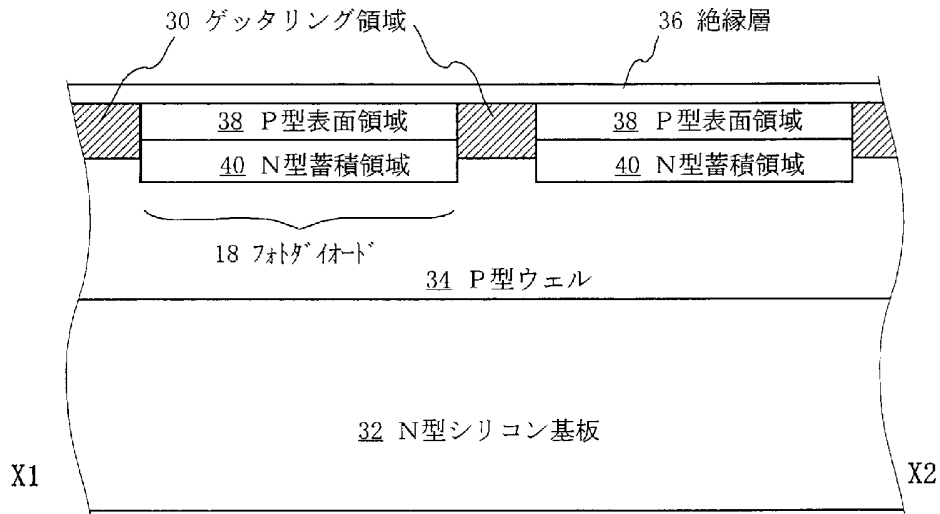
[図2]



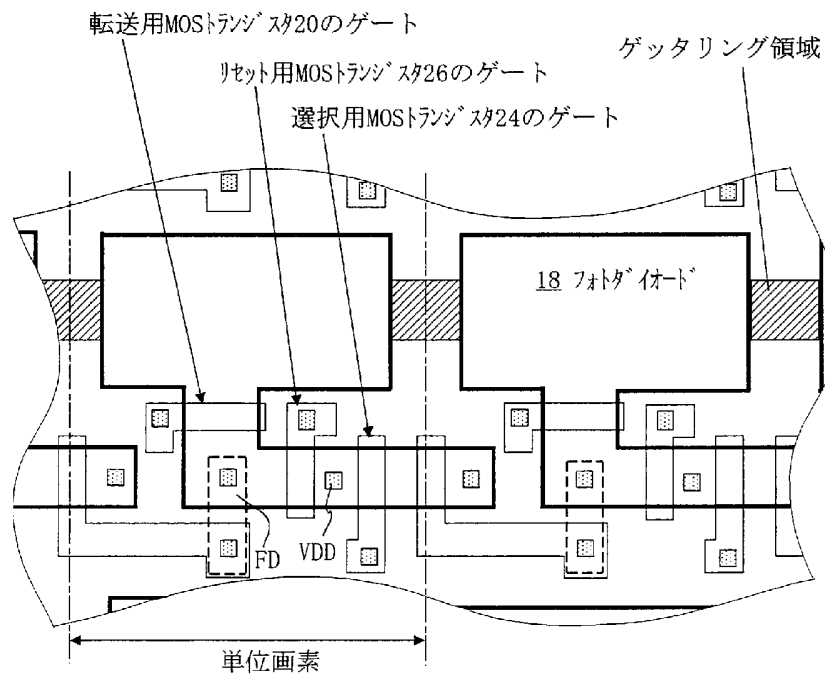
[図3]



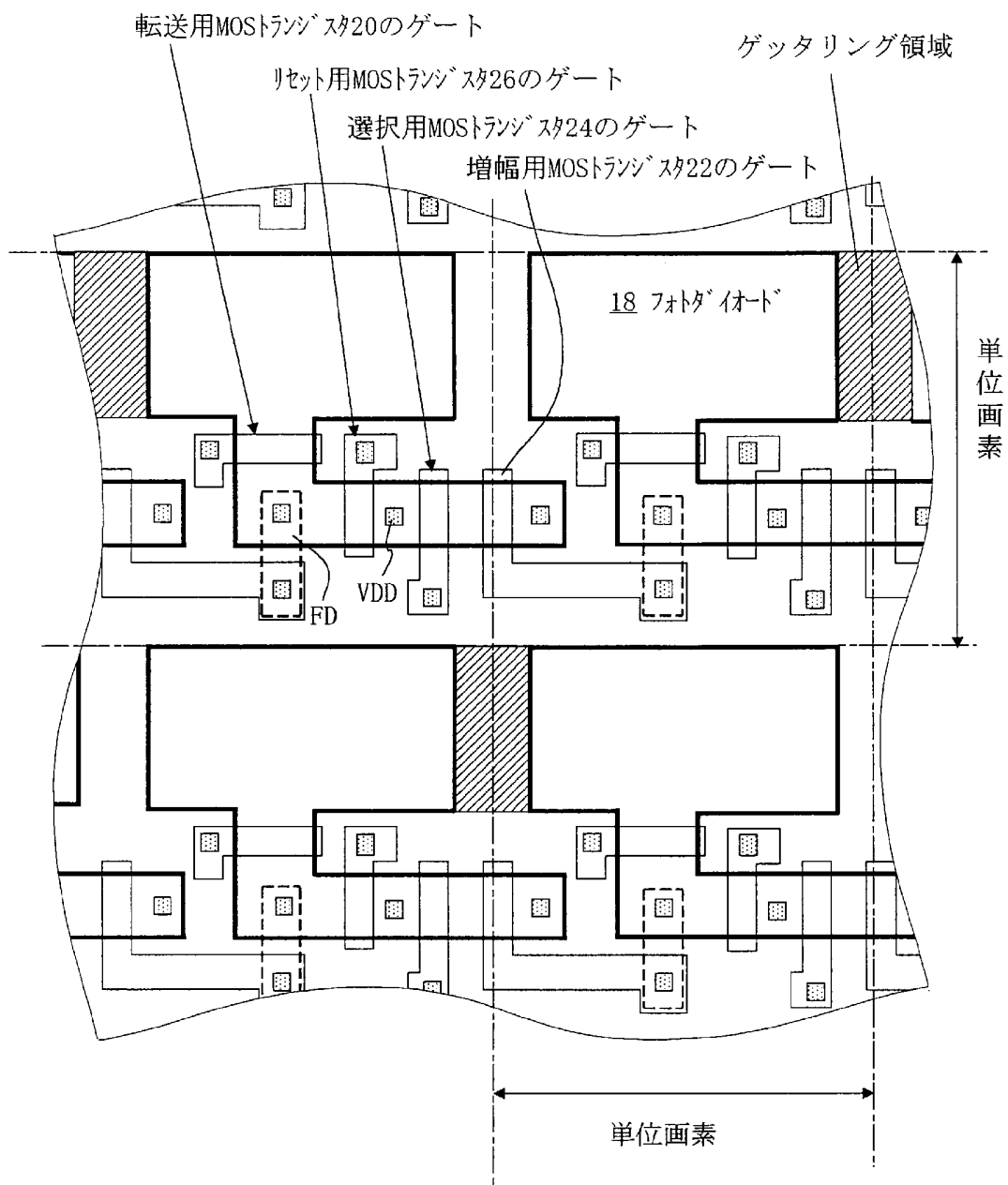
[図4]



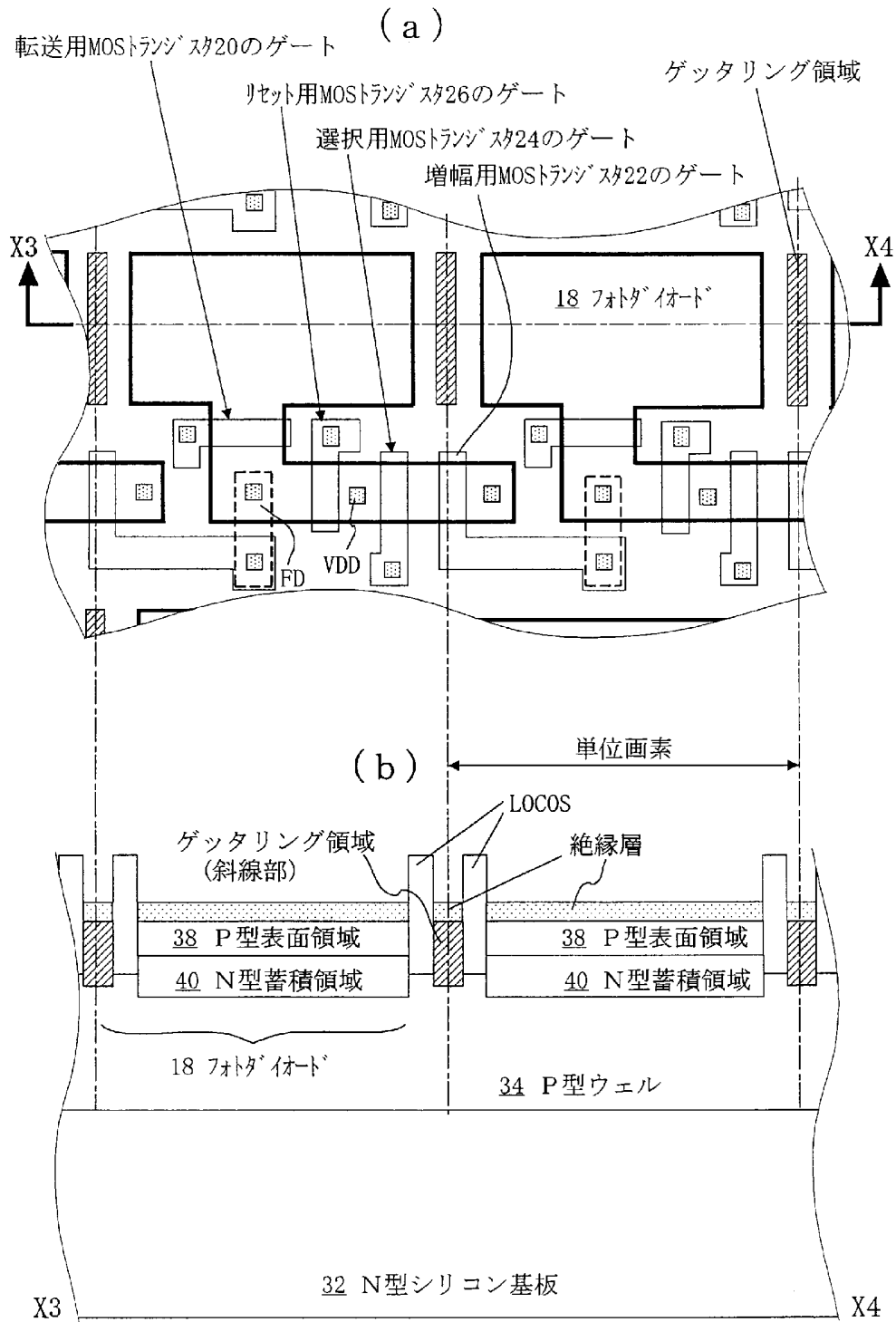
[図5]



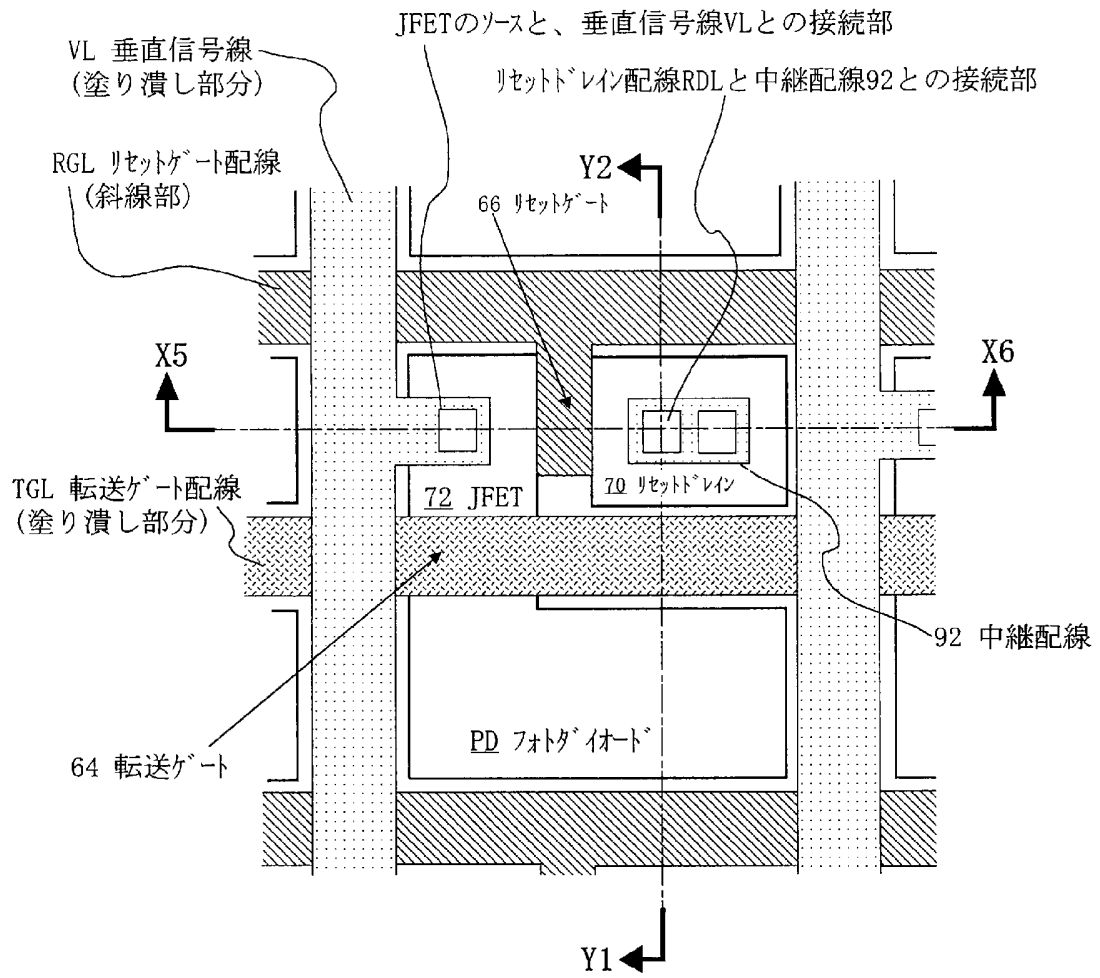
[図6]



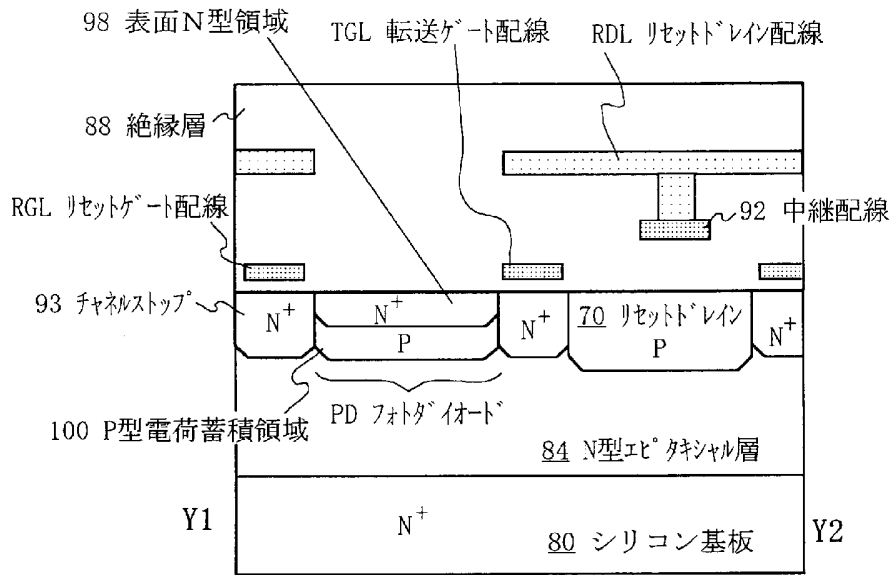
[図7]



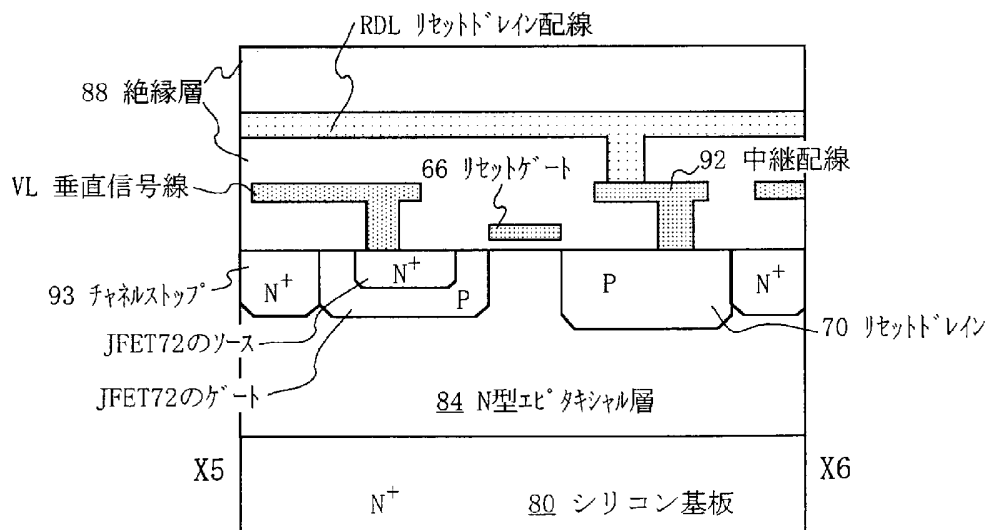
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/018151

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/146 (2006.01), **H04N5/335** (2006.01), **H01L21/322** (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146 (2006.01), **H04N5/335** (2006.01), **H01L21/322** (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-235609 A (Canon Inc.), 19 August, 2004 (19.08.04), Full text; all drawings & US 2004/188597 A1	1-7, 9
Y	JP 5-110053 A (Matsushita Electronics Corp.), 30 April, 1993 (30.04.93), Full text; all drawings (Family: none)	1-7, 9
Y	JP 9-82933 A (Toshiba Corp.), 28 March, 1997 (28.03.97), Full text; all drawings (Family: none)	1-7, 9

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19 October, 2005 (19.10.05)Date of mailing of the international search report
01 November, 2005 (01.11.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/018151

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-77642 A (Nikon Corp.), 14 March, 2000 (14.03.00), Full text; all drawings (Family: none)	8, 9
Y	JP 2001-135816 A (NEC Corp.), 18 May, 2001 (18.05.01), Full text; all drawings (Family: none)	8, 9

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H01L27/146 (2006.01), H04N5/335 (2006.01), H01L21/322 (2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H01L27/146 (2006.01), H04N5/335 (2006.01), H01L21/322 (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2004-235609 A (キヤノン株式会社) 2004.08.19, 全文, 全図 &US 2004/188597 A1	1-7, 9
Y	J P 5-110053 A (松下電子工業株式会社) 1993.04.30, 全文, 全図 (ファミリーなし)	1-7, 9
Y	J P 9-82933 A (株式会社東芝) 1997.03.28, 全文, 全図 (ファミリーなし)	1-7, 9

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

19.10.2005

国際調査報告の発送日

01.11.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

柴山 将隆

4 L

3035

電話番号 03-3581-1101 内線 3498

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2000-77642 A (株式会社ニコン) 2000.03.14, 全文, 全図 (ファミリーなし)	8,9
Y	J P 2001-135816 A (日本電気株式会社) 2001.05.18, 全文, 全図 (ファミリーなし)	8,9