

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年10月6日(06.10.2022)



(10) 国際公開番号

WO 2022/209366 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01) *H04N 5/369* (2011.01)
- (21) 国際出願番号: PCT/JP2022/005787
- (22) 国際出願日: 2022年2月15日(15.02.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-058633 2021年3月30日(30.03.2021) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (72) 発明者: 西田 慶次(NISHIDA, Keiji); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 関口 浩司(SEKIGUCHI, Koji); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (74) 代理人: 弁理士法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT

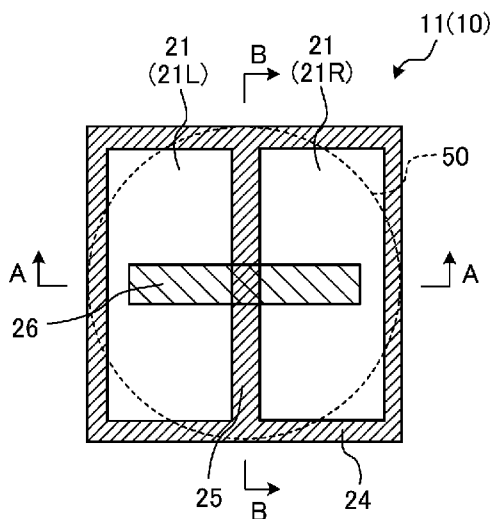
OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

(54) Title: SOLID STATE IMAGING ELEMENT AND ELECTRONIC DEVICE

(54) 発明の名称: 固体撮像素子および電子機器



(57) Abstract: This solid state imaging element (1) comprises a plurality of light-receiving pixels (11) arranged in a matrix shape inside a semiconductor layer (20). In addition, the light-receiving pixels (11) have a pair of photoelectric converting units, a first separation region (24), a second separation region (25), and a third separation region (26). The pair of photoelectric converting units are disposed adjacent to each other. The first separation region (24) is disposed so as to surround the pair of photoelectric converting units and is provided so as to pass through the semiconductor layer (20). The second separation region (25) is disposed between the pair of photoelectric converting units and is provided so as to pass through the semiconductor layer (20). The third separation region (26) is disposed in the region surrounded by the first separation region (24) and is provided midway between a light incident surface (20a) of the semiconductor layer (20) and the semiconductor layer (20).

添付公開書類：

一 国際調査報告（条約第21条(3)）

(57) 要約：本開示に係る固体撮像素子（１）は、半導体層（２０）の内部に行列状に配列される複数の受光画素（１１）を備える。また、受光画素（１１）は、一对の光電変換部と、第１分離領域（２４）と、第２分離領域（２５）と、第３分離領域（２６）と、を有する。一对の光電変換部は、互いに隣接して配置される。第１分離領域（２４）は、一对の光電変換部を囲むように配置され、半導体層（２０）を貫通するように設けられる。第２分離領域（２５）は、一对の光電変換部同士の間配置され、半導体層（２０）を貫通するように設けられる。第３分離領域（２６）は、第１分離領域（２４）によって囲まれる領域に配置され、半導体層（２０）の光入射面（２０a）から半導体層（２０）の途中まで設けられる。

明 細 書

発明の名称： 固体撮像素子および電子機器

技術分野

[0001] 本開示は、固体撮像素子および電子機器に関する。

背景技術

[0002] 近年、裏面照射型のCMOS (Complementary Metal Oxide Semiconductor) イメージセンサにおいて、同じオンチップレンズから一対のフォトダイオードに光を入射させることにより、位相差の検出を実現させる技術がある（たとえば、特許文献1 参照）。

先行技術文献

特許文献

[0003] 特許文献1：米国特許出願公開第2018／0219040号明細書

発明の概要

発明が解決しようとする課題

[0004] しかしながら、上記の従来技術では、同じオンチップレンズから一対のフォトダイオードに光を入射させることにより、入射した光が一対のフォトダイオード同士の間には設けられる分離領域で大きく散乱され、不均一な混色が発生する場合がある。

[0005] そこで、本開示では、混色の不均一性を改善することができる固体撮像素子および電子機器を提案する。

課題を解決するための手段

[0006] 本開示によれば、固体撮像素子が提供される。固体撮像素子は、半導体層の内部に行列状に配列される複数の受光画素を備える。また、前記受光画素は、一対の光電変換部と、第1分離領域と、第2分離領域と、第3分離領域と、を有する。一対の光電変換部は、互いに隣接して配置される。第1分離領域は、前記一対の光電変換部を囲むように配置され、前記半導体層を貫通するように設けられる。第2分離領域は、前記一対の光電変換部同士の間には

配置され、前記半導体層を貫通するように設けられる。第3分離領域は、前記第1分離領域によって囲まれる領域に配置され、前記半導体層の光入射面から前記半導体層の途中まで設けられる。

図面の簡単な説明

[0007] [図1]本開示の各実施形態に係る固体撮像素子の概略構成例を示すシステム構成図である。

[図2]本開示の第1実施形態に係る画素アレイ部の受光画素およびオンチップレンズの配置例を説明するための平面図である。

[図3]図2に示すA-A線の矢視断面図である。

[図4]図2に示すB-B線の矢視断面図である。

[図5]本開示の第1実施形態の変形例1に係る画素アレイ部の受光画素およびオンチップレンズの配置例を説明するための平面図である。

[図6]本開示の第1実施形態の変形例2に係る画素アレイ部の受光画素およびオンチップレンズの配置例を説明するための平面図である。

[図7]図6に示すC-C線の矢視断面図である。

[図8]本開示の第1実施形態の変形例3に係る画素アレイ部の受光画素およびオンチップレンズの配置例を説明するための平面図である。

[図9]本開示の第1実施形態の変形例4に係る画素アレイ部の受光画素およびオンチップレンズの配置例を説明するための平面図である。

[図10]本開示の第1実施形態の変形例5に係る画素アレイ部の各受光画素および第3分離領域の配置例を説明するための平面図である。

[図11]本開示の第1実施形態に係る受光画素の製造工程の一例を示す図である。

[図12]本開示の第1実施形態に係る受光画素の製造工程の一例を示す図である。

[図13]本開示の第1実施形態に係る受光画素の製造工程の一例を示す図である。

[図14]本開示の第1実施形態に係る受光画素の製造工程の一例を示す図であ

る。

[図15]本開示の第1実施形態に係る受光画素の製造工程の一例を示す図である。

[図16]本開示の第1実施形態に係る受光画素の製造工程の一例を示す図である。

[図17]本開示の第1実施形態に係る受光画素の製造工程の一例を示す図である。

[図18]本開示の第1実施形態に係る受光画素の製造工程の一例を示す図である。

[図19]本開示の第2実施形態に係る画素アレイ部の各受光画素の配置例を説明するための平面図である。

[図20]本開示の第2実施形態に係る画素アレイ部の受光画素およびオンチップレンズの配置例を説明するための平面図である。

[図21]図20に示すD-D線の矢視断面図である。

[図22]本開示の参考例における受光画素に入射する光の状態を説明するための断面図である。

[図23]本開示の第2実施形態に係る受光画素に入射する光の状態を説明するための断面図である。

[図24]本開示の第2実施形態に係る画素アレイ部の受光画素およびオンチップレンズの別の配置例を説明するための平面図である。

[図25]本開示の第2実施形態に係る画素アレイ部の受光画素およびオンチップレンズの別の配置例を説明するための平面図である。

[図26]本開示の第2実施形態に係る画素アレイ部の受光画素およびオンチップレンズの別の配置例を説明するための平面図である。

[図27]本開示の第2実施形態の変形例1に係る画素アレイ部の受光画素およびオンチップレンズの配置例を説明するための平面図である。

[図28]本開示の第2実施形態の変形例2に係る画素アレイ部の受光画素およびオンチップレンズの配置例を説明するための平面図である。

[図29]本開示の第2実施形態の変形例3に係る画素アレイ部の受光画素およびオンチップレンズの配置例を説明するための平面図である。

[図30]本開示の第2実施形態の変形例4に係る画素アレイ部の受光画素およびオンチップレンズの配置例を説明するための平面図である。

[図31]本開示の第2実施形態の変形例5に係る画素アレイ部の受光画素およびオンチップレンズの配置例を説明するための平面図である。

[図32]本開示の第2実施形態の変形例6に係る画素アレイ部の受光画素およびオンチップレンズの配置例を説明するための平面図である。

[図33]本開示の第2実施形態の変形例7に係る画素アレイ部の受光画素およびオンチップレンズの配置例を説明するための平面図である。

[図34]本開示の第2実施形態の変形例8に係る画素アレイ部の受光画素およびオンチップレンズの配置例を説明するための平面図である。

[図35]本開示の第2実施形態の変形例9に係る画素アレイ部の受光画素およびオンチップレンズの配置例を説明するための平面図である。

[図36]本開示に係る技術を適用した電子機器としての撮像装置の構成例を示すブロック図である。

発明を実施するための形態

[0008] 以下に、本開示の各実施形態について図面に基づいて詳細に説明する。なお、以下の各実施形態において、同一の部位には同一の符号を付することにより重複する説明を省略する。

[0009] 近年、裏面照射型のCMOS (Complementary Metal Oxide Semiconductor) イメージセンサにおいて、同じオンチップレンズから一対のフォトダイオードに光を入射させることにより、位相差の検出を実現させる技術がある。

[0010] しかしながら、上記の従来技術では、同じオンチップレンズから一対のフォトダイオードに光を入射させることにより、入射した光が一対のフォトダイオード同士の間設けられる分離領域で大きく散乱する場合がある。そして、この大きく散乱した光が別のフォトダイオードに入射することにより、

画素アレイ部内で混色が発生する恐れがある。

[0011] また、かかる混色の発生は、分離領域が延びる方向とは垂直な方向に隣接する別のフォトダイオードで特に顕著である。すなわち、上記の従来技術では、一对のフォトダイオードの周囲に配置される複数のフォトダイオードにおいて、混色が不均一に発生する恐れがある。

[0012] そこで、上述の問題点を克服し、混色の不均一性を改善することができる技術の実現が期待されている。

[0013] [固体撮像素子の構成]

図1は、本開示の各実施形態に係る固体撮像素子1の概略構成例を示すシステム構成図である。図1に示すように、CMOSイメージセンサである固体撮像素子1は、画素アレイ部10と、システム制御部12と、垂直駆動部13と、カラム読出し回路部14と、カラム信号処理部15と、水平駆動部16と、信号処理部17とを備える。

[0014] これら画素アレイ部10、システム制御部12、垂直駆動部13、カラム読出し回路部14、カラム信号処理部15、水平駆動部16および信号処理部17は、同一の半導体基板上または電氣的に接続された複数の積層半導体基板上に設けられる。

[0015] 画素アレイ部10には、入射光量に応じた電荷量を光電変換して内部に蓄積し、信号として出力することが可能な光電変換素子（フォトダイオード21（図2参照））を有する受光画素11が行列状に2次元配置されている。

[0016] また、画素アレイ部10は、受光画素11の他に、フォトダイオード21を持たない構造のダミー画素や、受光面を遮光することで外部からの光入射が遮断された遮光画素などが、行および／または列状に配置されている領域を含む場合がある。

[0017] なお、遮光画素は、受光面が遮光された構造である以外は、受光画素11と同様の構成を備えていてもよい。また、以下では、入射光量に応じた電荷量の光電荷を、単に「電荷」とも呼称し、受光画素11を、単に「画素」とも呼称する場合もある。

- [0018] 画素アレイ部 10 には、行列状の画素配列に対して、行ごとに画素駆動線 L D が図面中の左右方向（画素行の画素の配列方向）に沿って形成され、列ごとに垂直画素配線 L V が図面中の上下方向（画素列の画素の配列方向）に沿って形成される。画素駆動線 L D の一端は、垂直駆動部 13 の各行に対応した出力端に接続される。
- [0019] カラム読出し回路部 14 は、少なくとも、画素アレイ部 10 内の選択行における受光画素 11 に列ごとに定電流を供給する回路、カレントミラー回路および読出し対象となる受光画素 11 の切替えスイッチなどを含む。
- [0020] そして、カラム読出し回路部 14 は、画素アレイ部 10 内の選択画素におけるトランジスタとともに増幅器を構成し、光電荷信号を電圧信号に変換して垂直画素配線 L V に出力する。
- [0021] 垂直駆動部 13 は、シフトレジスタやアドレスデコーダなどを含み、画素アレイ部 10 の各受光画素 11 を、全画素同時や行単位などで駆動する。この垂直駆動部 13 は、その具体的な構成については図示を省略するが、読出し走査系と、掃出し走査系あるいは一括掃出しおよび一括転送系とを有する構成となっている。
- [0022] 読出し走査系は、受光画素 11 から画素信号を読み出すために、画素アレイ部 10 の受光画素 11 を行単位で順に選択走査する。行駆動（ローリングシャッタ動作）の場合、掃出しについては、読出し走査系によって読出し走査が行われる読出し行に対して、その読出し走査よりもシャッタスピードの時間分だけ先行して掃出し走査が行なわれる。
- [0023] また、グローバル露光（グローバルシャッタ動作）の場合は、一括転送よりもシャッタスピードの時間分先行して一括掃出しが行なわれる。このような掃出しにより、読出し行の受光画素 11 のフォトダイオード 21 から不要な電荷が掃出し（リセット）される。そして、不要電荷の掃出し（リセット）により、いわゆる電子シャッタ動作が行われる。
- [0024] ここで、電子シャッタ動作とは、直前までフォトダイオード 21 に溜まっていた不要な光電荷を捨てて、新たに露光を開始する（光電荷の蓄積を開始

する)動作のことをいう。

[0025] 読出し走査系による読出し動作によって読み出される信号は、その直前の読出し動作または電子シャッタ動作以降に入射した光量に対応するものである。行駆動の場合は、直前の読出し動作による読出しタイミングまたは電子シャッタ動作による掃出しタイミングから、今回の読出し動作による読出しタイミングまでの期間が、受光画素 11 における光電荷の蓄積時間(露光時間)となる。グローバル露光の場合は、一括掃出しから一括転送までの時間が蓄積時間(露光時間)となる。

[0026] 垂直駆動部 13 によって選択走査された画素行の各受光画素 11 から出力される画素信号は、垂直画素配線 LV の各々を通してカラム信号処理部 15 に供給される。カラム信号処理部 15 は、画素アレイ部 10 の画素列ごとに、選択行の各受光画素 11 から垂直画素配線 LV を通して出力される画素信号に対して所定の信号処理を行うとともに、信号処理後の画素信号を一時的に保持する。

[0027] 具体的には、カラム信号処理部 15 は、信号処理として少なくとも、ノイズ除去処理、たとえば CDS (Correlated Double Sampling : 相関二重サンプリング) 処理を行う。このカラム信号処理部 15 による CDS 処理により、リセットノイズや増幅トランジスタ AMP の閾値ばらつきなどの画素固有の固定パターンノイズが除去される。

[0028] なお、カラム信号処理部 15 には、ノイズ除去処理以外に、たとえば、A/D 変換機能を持たせて、画素信号をデジタル信号として出力するように構成することもできる。

[0029] 水平駆動部 16 は、シフトレジスタやアドレスデコーダなどを含み、カラム信号処理部 15 の画素列に対応する単位回路を順番に選択する。この水平駆動部 16 による選択走査により、カラム信号処理部 15 で信号処理された画素信号が順番に信号処理部 17 に出力される。

[0030] システム制御部 12 は、各種のタイミング信号を生成するタイミングジェネレータなどを含み、タイミングジェネレータで生成された各種のタイミン

グ信号を基に、垂直駆動部 13、カラム信号処理部 15、水平駆動部 16 などの駆動制御を行う。

[0031] 固体撮像素子 1 は、さらに、信号処理部 17 と、図示しないデータ格納部とを備える。信号処理部 17 は、少なくとも加算処理機能を有し、カラム信号処理部 15 から出力される画素信号に対して加算処理などの種々の信号処理を行う。

[0032] データ格納部は、信号処理部 17 での信号処理にあたって、その処理に必要なデータを一時的に格納する。これら信号処理部 17 およびデータ格納部については、固体撮像素子 1 とは別の基板に設けられる外部信号処理部、たとえば DSP (Digital Signal Processor) やソフトウェアによる処理であってもよいし、固体撮像素子 1 と同じ基板上に搭載されてもよい。

[0033] [第 1 実施形態]

つづいて、第 1 実施形態に係る画素アレイ部 10 の詳細な構成について、図 2 ～図 4 を参照しながら説明する。図 2 は、本開示の第 1 実施形態に係る画素アレイ部 10 の受光画素 11 およびオンチップレンズ 50 の配置例を説明するための平面図である。また、図 3 は、図 2 に示す A-A 線の矢視断面図であり、図 4 は、図 2 に示す B-B 線の矢視断面図である。

[0034] 図 3 などに示すように、画素アレイ部 10 は、半導体層 20 と、平坦化膜 30 と、カラーフィルタ 40 と、オンチップレンズ 50 とを備える。

[0035] 半導体層 20 は、たとえば、シリコンを含む。半導体層 20 は、複数のフォトダイオード (PD) 21 を有する。フォトダイオード 21 は、光電変換部の一例である。なお、1つの受光画素 11 には、一対のフォトダイオード 21 (以下、フォトダイオード 21 L、21 Rとも呼称する。) が設けられる。また、受光画素 11 は平面視で略正形状であり、フォトダイオード 21 は平面視で略長形状である。

[0036] フォトダイオード 21 は、第 1 導電型 (たとえば、N 型) の不純物を含む第 1 不純物領域 22 と、第 2 導電型 (たとえば、P 型) の不純物を含む第 2 不純物領域 23 とで構成される。

- [0037] 第1不純物領域22は、フォトダイオード21の中央部に配置され、第2不純物領域23は、かかる第1不純物領域22の側部および底部（光Lが入射する側とは反対側の部位）に沿って配置される。
- [0038] また、受光画素11は、第1分離領域24と、第2分離領域25と、第3分離領域26とを有する。第1分離領域24は、図2に示すように、1つの受光画素11において一对のフォトダイオード21を囲むように配置される。
- [0039] また、第1分離領域24は、図3および図4に示すように、半導体層20を貫通するように設けられる。かかる第1分離領域24は、たとえば、酸化シリコン（ SiO_2 ）などの低屈折率の誘電体で構成される。これにより、第1分離領域24は、互いに隣接する複数の受光画素11同士の間を光学的および電氣的に分離することができる。
- [0040] 第2分離領域25は、図2に示すように、1つの受光画素11において互いに隣接する一对のフォトダイオード21同士の間配置される。また、第2分離領域25は、図4に示すように、半導体層20を貫通するように設けられる。
- [0041] かかる第2分離領域25は、たとえば、酸化シリコンなどの低屈折率の誘電体で構成される。これにより、第2分離領域25は、互いに隣接する複数のフォトダイオード21同士の間を光学的および電氣的に分離することができる。
- [0042] このように、第1実施形態では、第2分離領域25を用いて一对のフォトダイオード21同士を互いに分離することができることから、一对のフォトダイオード21を用いて入射する光Lの位相差を検出することができる。
- [0043] 一方で、受光画素11に第2分離領域25が設けられることにより、かかる第2分離領域25における光入射側の端部に入射した光Lは、フォトダイオード21との大きな屈折率差によって大きく散乱される。そして、この大きく散乱した光Lが別の受光画素11に入射することにより、画素アレイ部10内で混色が発生する恐れがある。

- [0044] また、かかる混色の発生は、第2分離領域25が延びる方向とは垂直な方向（図2では左右方向）に隣接する別の受光画素11で特に顕著である。すなわち、第2分離領域25によって、受光画素11の周囲に配置される複数の受光画素11において、混色が不均一に発生する恐れがある。
- [0045] そこで、第1実施形態では、受光画素11内に第3分離領域26を設けることにより、画素アレイ部10における混色の不均一性を改善することとした。
- [0046] 具体的には、第3分離領域26は、図2に示すように、第1分離領域24によって囲まれる領域に配置される。また、第3分離領域26は、平面視で第2分離領域25が延びる方向（図2では上下方向）とは異なる方向（図2では左右方向）に沿って配置される。
- [0047] また、図3および図4に示すように、第3分離領域26は、半導体層20の光入射面20aから半導体層20の途中まで（すなわち、半導体層20を貫通しないように）設けられる。第3分離領域26は、たとえば、第2分離領域25と同じ材料（低屈折率の誘電体）で構成される。
- [0048] このような第3分離領域26を受光画素11に設けることにより、第2分離領域25とは異なる方向にも光Lを散乱させることができる。したがって、第1実施形態によれば、画素アレイ部10における混色の不均一性を改善することができる。
- [0049] また、第1実施形態では、第3分離領域26が、平面視で第2分離領域25を跨ぐように設けられるとよい。これにより、平面視で第2分離領域25とは異なる方向に多くの光Lを散乱させることができることから、画素アレイ部10における混色の不均一性をさらに改善することができる。
- [0050] また、第1実施形態では、第3分離領域26が第1分離領域24および第2分離領域25と同じ材料（たとえば、酸化シリコン）で構成されるとよい。これにより、後述する受光画素11の製造工程において、第3分離領域26を第1分離領域24および第2分離領域25と同じ工程で形成することができる。

[0051] したがって、第1実施形態によれば、画素アレイ部10の製造工程を簡素化することができることから、固体撮像素子1の製造コストを低減することができる。

[0052] 一方で、第1実施形態では、第3分離領域26が第1分離領域24および第2分離領域25と異なる材料で構成されてもよい。たとえば、第3分離領域26が、第1分離領域24および第2分離領域25よりも屈折率の高い材料（たとえば、酸化タンタル（ Ta_2O_5 ）や酸化チタン（ TiO_2 ）など）で構成されてもよい。

[0053] これにより、第3分離領域26による光Lの散乱の度をさまざまに制御することができることから、画素アレイ部10における混色の不均一性を改善することができる。

[0054] また、第1実施形態では、第3分離領域26が半導体層20を貫通しないように設けられるとよい。これにより、フォトダイオード21の体積が第3分離領域26によって減少することを抑制することができる。

[0055] したがって、第1実施形態によれば、第3分離領域26によってフォトダイオード21の飽和信号電荷量が減少することを抑制することができる。さらに、第1実施形態では、第3分離領域26が半導体層20を貫通しないように設けられることにより、フォトダイオード21が第3分離領域26によって電氣的に分離されることを抑制することができる。

[0056] 画素アレイ部10におけるその他の部位の説明を続ける。平坦化膜30は、半導体層20の光入射面20aに配置され、かかる光入射面20aを平坦化する。平坦化膜30は、たとえば、酸化シリコンで構成される。

[0057] なお、第1実施形態では、フォトダイオード21と第1分離領域24、第2分離領域25および平坦化膜30との間に、図示しない固定電荷膜が配置されてもよい。かかる固定電荷膜は、フォトダイオード21と第1分離領域24、第2分離領域25および平坦化膜30との界面に電荷（ここでは、正孔）を固定する機能を有する。

[0058] 固定電荷膜の材料としては、固定電荷を多く有する高誘電材料を用いるこ

とが好ましい。固定電荷膜は、たとえば、酸化ハフニウム (HfO_2)、酸化アルミニウム (Al_2O_3)、酸化タンタル、酸化ジルコニウム (ZrO_2)、酸化チタン、酸化マグネシウム (MgO_2)、酸化ランタン (La_2O_3) などで構成される。

[0059] また、固定電荷膜は、酸化プラセオジム (Pr_2O_3)、酸化セリウム (CeO_2)、酸化ネオジム (Nd_2O_3)、酸化プロメチウム (Pm_2O_3)、酸化サマリウム (Sm_2O_3)、酸化ユウロピウム (Eu_2O_3) などで構成されてもよい。

[0060] また、固定電荷膜は、酸化ガドリニウム (Gd_2O_3)、酸化テルビウム (Tb_2O_3)、酸化ジスプロシウム (Dy_2O_3)、酸化ホルミウム (Ho_2O_3)、酸化エルビウム (Er_2O_3)、酸化ツリウム (Tm_2O_3) などで構成されてもよい。

[0061] また、固定電荷膜は、酸化イッテルビウム (Yb_2O_3)、酸化ルテチウム (Lu_2O_3)、酸化イットリウム (Y_2O_3)、窒化アルミニウム (AlN)、酸窒化ハフニウム (HfON)、酸窒化アルミニウム膜 (AlON) などで構成されてもよい。

[0062] カラーフィルタ 40 は、入射する光 L のうちの所定の波長領域の光を透過させる光学的なフィルタであり、オンチップレンズ 50 と平坦化膜 30 との間に設けられる。

[0063] オンチップレンズ 50 は、半導体層 20 に対して光 L が入射する側に設けられ、対応する受光画素 11 に向かって光 L を集光させる機能を有する。オンチップレンズ 50 は、たとえば、有機材料や酸化シリコンなどで構成される。

[0064] 第 1 実施形態では、図 2 などに示すように、1 つの受光画素 11 ごとに 1 つのオンチップレンズ 50 (すなわち、一对のフォトダイオード 21 ごとに 1 つのオンチップレンズ 50) が設けられる。

[0065] [第 1 実施形態の各種変形例]

つづいて、第 1 実施形態の各種変形例について、図 5 ~ 図 10 を参照しな

がら説明する。

[0066] <変形例 1>

図 5 は、本開示の第 1 実施形態の変形例 1 に係る画素アレイ部 10 の受光画素 11 およびオンチップレンズ 50 の配置例を説明するための平面図である。

[0067] 第 1 実施形態の変形例 1 では、図 5 に示すように、4 つの受光画素 11 で 1 つの受光画素群 100 が構成される。かかる受光画素群 100 は、カラーフィルタ 40R を有する赤色画素 11R と、カラーフィルタ 40Gr を有する緑色画素 11Gr と、カラーフィルタ 40Gb を有する緑色画素 11Gb と、カラーフィルタ 40B を有する青色画素 11B とを有する。

[0068] カラーフィルタ 40R は、入射する光 L のうちの赤色の波長領域の光を透過させるカラーフィルタ 40 であり、カラーフィルタ 40Gr、40Gb は、入射する光 L のうちの緑色の波長領域の光を透過させるカラーフィルタ 40 である。また、カラーフィルタ 40B は、入射する光 L のうちの青色の波長領域の光を透過させるカラーフィルタ 40 である。

[0069] さらに、1 つの受光画素群 100 の内部において、カラーフィルタ 40R、40Gr、40Gb、40B は、規則的な色配列（たとえばベイヤー配列）で配置される。

[0070] そして、受光画素群 100 に含まれる赤色画素 11R は、カラーフィルタ 40R を透過した赤色光を受光し、かかる赤色光の入射光量に応じた電荷量を光電変換して内部に蓄積する。

[0071] 同様に、緑色画素 11Gr、11Gb は、カラーフィルタ 40Gr、40Gb を透過した緑色光を受光し、かかる緑色光の入射光量に応じた電荷量を光電変換して内部に蓄積する。また、青色画素 11B は、カラーフィルタ 40B を透過した青色光を受光し、かかる青色光の入射光量に応じた電荷量を光電変換して内部に蓄積する。

[0072] このように、第 1 実施形態の変形例 1 に係る受光画素群 100 では、2 種類以上（図 5 の例では 3 種類）の波長領域の光を個別の受光画素 11 で受光

する。

[0073] そして、第1実施形態の変形例1では、図5に示すように、同じ受光画素群100に含まれる複数の受光画素11が、互いに異なる形状の第3分離領域26を有する。

[0074] たとえば、図5に示すように、赤色画素11Rは、平面視で第2分離領域25と略垂直な方向に延びるとともに、矩形状の第1分離領域24における一方の辺から他方の辺まで延びるように配置される第3分離領域26Rを有する。

[0075] また、緑色画素11Grは、平面視で第2分離領域25と略垂直な方向に延びるとともに、矩形状の第1分離領域24における一方の辺から他方の辺までは延びないように配置される第3分離領域26Grを有する。

[0076] また、緑色画素11Gbは、平面視で第2分離領域25と右上から左下に向けて斜めに交差する方向に延びるとともに、矩形状の第1分離領域24における一方の辺から他方の辺までは延びないように配置される第3分離領域26Gbを有する。なお、第1実施形態の変形例1において、青色画素11Bには第3分離領域26が設けられない。

[0077] このように、同じ受光画素群100に含まれる複数の受光画素11がさまざまな形状の第3分離領域26を有することにより、第3分離領域26による光Lの散乱の程度をさまざまに制御することができる。したがって、第1実施形態の変形例1によれば、画素アレイ部10における混色の不均一性を改善することができる。

[0078] なお、この変形例1において、それぞれの受光画素11に配置される第3分離領域26の平面形状は図5の例に限られず、さまざまな平面形状を有していてもよい。

[0079] <変形例2>

図6は、本開示の第1実施形態の変形例2に係る画素アレイ部10の受光画素11およびオンチップレンズ50の配置例を説明するための平面図であり、図7は、図6に示すC-C線の矢視断面図である。

[0080] 第1実施形態の変形例2では、上述の変形例1と同様に、同じ受光画素群100に含まれる複数の受光画素11が互いに異なる形状の第3分離領域26を有する。

[0081] そして、図7に示すように、かかる変形例2では、同じ受光画素群100において、1つの受光画素11に設けられる第3分離領域26が、異なる受光画素11に設けられる第3分離領域26よりも深く形成されてもよい。たとえば、図7の例では、赤色画素11Rに設けられる第3分離領域26Rが、緑色画素11Gbに設けられる第3分離領域26Gbよりも深く形成される。

[0082] このように、同じ受光画素群100に含まれる複数の受光画素11がさまざまな深さの第3分離領域26を有することにより、第3分離領域26による光Lの散乱の程度をさまざまに制御することができる。したがって、第1実施形態の変形例2によれば、画素アレイ部10における混色の不均一性を改善することができる。

[0083] <変形例3>

ここまで説明した第1実施形態および各種変形例では、受光画素11において第2分離領域25が平面視で上下方向に向いている場合について示したが、本開示はかかる例に限られない。図8は、本開示の第1実施形態の変形例3に係る画素アレイ部10の受光画素11およびオンチップレンズ50の配置例を説明するための平面図である。

[0084] 図8に示すように、第1実施形態の変形例3では、受光画素11において第2分離領域25が平面視で左右方向に向いている。

[0085] そして、かかる変形例3では、第3分離領域26が、平面視で第2分離領域25が延びる方向とは異なる方向に沿って配置される。これにより、第2分離領域25とは異なる方向にも光Lを散乱させることができることから、画素アレイ部10における混色の不均一性を改善することができる。

[0086] さらに、この変形例3では、同じ受光画素群100に含まれる複数の受光画素11が、互いに異なる形状の第3分離領域26を有するとよい。

[0087] たとえば、図8に示すように、赤色画素11Rは、平面視で第2分離領域25と略垂直な方向（図8では上下方向）に延びるとともに、矩形状の第1分離領域24における一方の辺から他方の辺まで延びるように配置される第3分離領域26Rを有する。

[0088] また、緑色画素11Gbは、平面視で第2分離領域25と略垂直な方向（図8では上下方向）に延びるとともに、矩形状の第1分離領域24における一方の辺から他方の辺までは延びないように配置される第3分離領域26Gbを有する。

[0089] また、緑色画素11Grは、平面視で第2分離領域25と左上から右下に向けて斜めに交差する方向に延びるとともに、矩形状の第1分離領域24における一方の辺から他方の辺までは延びないように配置される第3分離領域26Grを有する。なお、第1実施形態の変形例3において、青色画素11Bには第3分離領域26が設けられない。

[0090] このように、同じ受光画素群100に含まれる複数の受光画素11がさまざまな形状の第3分離領域26を有することにより、第3分離領域26による光Lの散乱の程度をさまざまに制御することができる。したがって、第1実施形態の変形例3によれば、画素アレイ部10における混色の不均一性をさらに改善することができる。

[0091] なお、この変形例3において、それぞれの受光画素11に配置される第3分離領域26の平面形状は図8の例に限られず、さまざまな平面形状を有していてもよい。

[0092] <変形例4>

上述の変形例1および変形例3では、1つの受光画素群100が4つの受光画素11で構成される例について示したが、本開示はかかる例に限られない。図9は、本開示の第1実施形態の変形例4に係る画素アレイ部10の受光画素11およびオンチップレンズ50の配置例を説明するための平面図である。

[0093] 図8に示すように、第1実施形態の変形例4では、1つの受光画素群10

0が16個の受光画素11で構成される。具体的には、4つの緑色画素11 Gr1～11 Gr4が平面視で受光画素群100の左上に2行2列で配置される。また、4つの赤色画素11 R1～11 R4が平面視で受光画素群100の右上に2行2列で配置される。

[0094] また、4つの青色画素11 B1～11 B4が平面視で受光画素群100の左下に2行2列で配置される。また、4つの緑色画素11 Gb1～11 Gb4が平面視で受光画素群100の右下に2行2列で配置される。

[0095] そして、第1実施形態の変形例4では、図9に示すように、同じ受光画素群100に含まれ、同じ色を受光する複数の受光画素11が、互いに異なる形状の第3分離領域26を有する。

[0096] たとえば、図9に示すように、緑色画素11 Gr1、11 Gr2は、平面視で第2分離領域25と略垂直な方向に延びるとともに、緑色画素11 Gr1、11 Gr2を横断するように配置される第3分離領域26 Gr1を有する。

[0097] また、赤色画素11 R1は、平面視で第2分離領域25と左上から右下に向けて斜めに交差する方向に延びるとともに、矩形状の第1分離領域24における一方の辺から他方の辺までは延びないように配置される第3分離領域26 R1を有する。

[0098] また、赤色画素11 R2は、平面視で第2分離領域25と右上から左下に向けて斜めに交差する方向に延びるとともに、矩形状の第1分離領域24における一方の辺から他方の辺までは延びないように配置される第3分離領域26 R2を有する。

[0099] また、赤色画素11 R3は、平面視で第2分離領域25と右上から左下に向けて斜めに交差する方向に延びるとともに、矩形状の第1分離領域24における一方の辺から他方の辺までは延びないように配置される第3分離領域26 R3を有する。

[0100] また、赤色画素11 R4は、平面視で第2分離領域25と左上から右下に向けて斜めに交差する方向に延びるとともに、矩形状の第1分離領域24に

おける一方の辺から他方の辺までは延びないように配置される第3分離領域26R4を有する。

[0101] また、青色画素11B2は、平面視で第2分離領域25と略垂直な方向（図9では左右方向）に延びるとともに、矩形状の第1分離領域24における一方の辺から他方の辺まで延びないように配置される第3分離領域26B2を有する。

[0102] また、青色画素11B3は、平面視で第2分離領域25と略垂直な方向（図9では左右方向）に延びるとともに、矩形状の第1分離領域24における一方の辺から他方の辺まで延びないように配置される第3分離領域26B3を有する。

[0103] また、緑色画素11Gb3、11Gb4は、平面視で第2分離領域25と略垂直な方向に延びるとともに、緑色画素11Gb3、11Gb4を横断するように配置される第3分離領域26Gb3を有する。

[0104] このように、同じ受光画素群100に含まれ、同じ色を受光する複数の受光画素11がさまざまな形状の第3分離領域26を有することにより、第3分離領域26による光Lの散乱の程度をさまざまに制御することができる。したがって、第1実施形態の変形例4によれば、画素アレイ部10における混色の不均一性をさらに改善することができる。

[0105] なお、この変形例4において、それぞれの受光画素11に配置される第3分離領域26の平面形状は図9の例に限られず、さまざまな平面形状を有していてもよい。

[0106] <変形例5>

図10は、本開示の第1実施形態の変形例5に係る画素アレイ部10の各受光画素11および第3分離領域26の配置例を説明するための平面図である。

[0107] 多数の受光画素11を有する画素アレイ部10において、中央部に位置する受光画素11CCと、端部に位置する受光画素11（たとえば、右上の角部にある受光画素11RU）とでは、オンチップレンズ50からの光Lの入

射角度が異なる。

[0108] これにより、端部の受光画素 11 では、第 3 分離領域 26 による光の散乱状態が中央部に位置する受光画素 11 CC と異なってくる。すなわち、画素アレイ部 10 では、像高が異なる受光画素 11 において、第 3 分離領域 26 による光の散乱状態が異なる。

[0109] ここで、「像高」とは、光軸（たとえば、画素アレイ部 10 の中心）からの距離のことをいう。光軸が画素アレイ部 10 の中心の場合、かかる中心はたとえば、「像高が低い」「像高中心」と表現され、画素アレイ部 10 の端部はたとえば「像高が高い」「高像高」と表現される。

[0110] そして、第 1 実施形態の変形例 5 では、受光画素 11 の画素アレイ部 10 上の像高に応じて、第 3 分離領域 26 の位置や形状を変化させる。たとえば、かかる変形例 5 では、図 10 に示すように、像高が異なる複数の受光画素 11 には、互いに異なる位置および形状の少なくとも一方を有する第 3 分離領域 26 が配置される。

[0111] たとえば、像高中心の受光画素 11 CC には、かかる受光画素 11 CC の重心と略等しい位置に重心が配置される第 3 分離領域 26 CC を有する。一方で、画素アレイ部 10 の右上の端部に位置する受光画素 11 RU は、かかる受光画素 11 RU の重心から左下にずれた位置に重心が配置される第 3 分離領域 26 RU を有する。

[0112] また、画素アレイ部 10 の上中央の端部に位置する受光画素 11 CU は、かかる受光画素 11 CU の重心から下にずれた位置に重心が配置される第 3 分離領域 26 CU を有する。また、画素アレイ部 10 の左下の端部に位置する受光画素 11 LD は、かかる受光画素 11 LD の重心から右上にずれた位置に重心が配置される第 3 分離領域 26 LC を有する。

[0113] このように、像高が異なる複数の受光画素 11 には、互いに異なる位置を有する第 3 分離領域 26 が配置されることにより、第 3 分離領域 26 による光 L の散乱の程度をさまざまに制御することができる。したがって、第 1 実施形態の変形例 5 によれば、画素アレイ部 10 における混色の不均一性をさ

らに改善することができる。

[0114] なお、図10の例では、画素アレイ部10上の像高に応じて第3分離領域26の位置を変化させた例について示したが、画素アレイ部10上の像高に応じて第3分離領域26の形状を変化させてもよいし、第3分離領域26の位置と形状とを両方変化させてもよい。

[0115] [製造工程]

つづいて、第1実施形態に係る受光画素11の製造工程の一例について、図11～図18を参照しながら説明する。図11～図18は、本開示の第1実施形態に係る受光画素11の製造工程の一例を示す図である。

[0116] 受光画素11の製造工程では、図11に示すように、まず、第1導電型の不純物を含む半導体層20の一方の主面20b側に従来公知の手法でトレンチT1が形成される。そして、かかるトレンチT1の内壁面および主面20bを介して第2導電型の不純物が従来公知の手法で拡散処理される。

[0117] これにより、半導体層20の内部に第1不純物領域22および第2不純物領域23が形成される。なお、このトレンチT1は、第1分離領域24および第2分離領域25が設けられる部位に形成される。

[0118] 次に、トレンチT1の内壁面に従来公知の手法で酸化膜71が形成され、さらにトレンチT1の残りの空間を埋めるようにポリシリコン膜72が従来公知の手法で形成される。

[0119] 次に、図12に示すように、半導体層20の主面20bの表面に、配線層60が形成される。かかる配線層60は、層間絶縁膜61内に複数の画素トランジスタ62および複数の配線膜63が設けられて構成され、従来公知の手法で形成される。

[0120] 次に、図13に示すように、半導体層20における主面20bとは反対側の面が研削処理されて、酸化膜71およびポリシリコン膜72が露出するように半導体層20が薄肉化される。これにより、半導体層20に光入射面20aが形成される。

[0121] 次に、図14に示すように、半導体層20の光入射面20aにおいて第3

分離領域 26 が設けられる部位に、従来公知の手法でトレンチ T2 が形成される。なお、かかるトレンチ T2 を形成する際のエッチング処理は、シリコンと酸化膜との選択比が低い条件で実施される。

[0122] 次に、図 15 に示すように、半導体層 20 の光入射面 20a およびトレンチ T2 を覆うように、マスク M1 が従来公知の手法で形成される。また、かかるマスク M1 には、ポリシリコン膜 72 が露出するように、開口部 M1a が形成される。

[0123] 次に、図 16 に示すように、マスク M1 の開口部 M1a を介して、ポリシリコン膜 72 が従来公知の手法でエッチング処理される。これにより、半導体層 20 においてポリシリコン膜 72 が形成されていた部位にトレンチ T3 が形成される。

[0124] 次に、図 17 に示すように、マスク M1 が従来公知の手法で除去され、酸化膜 71 が従来公知の手法でエッチング処理される。これにより、半導体層 20 において酸化膜 71 およびポリシリコン膜 72 が形成されていた部位にトレンチ T4 が形成される。

[0125] 次に、図 18 に示すように、トレンチ T2 およびトレンチ T4 の内壁面に固定電荷膜（図示せず）が従来公知の手法で形成され、さらにトレンチ T2 およびトレンチ T4 の残りの空間を埋めるように酸化シリコン膜が従来公知の手法で形成される。

[0126] かかる酸化シリコン膜のうち、トレンチ T2 に設けられる酸化シリコン膜は第 3 分離領域 26 を構成し、トレンチ T4 に設けられる酸化シリコン膜は第 2 分離領域 25 を構成する。

[0127] ここまで説明したように、第 1 実施形態に係る受光画素 11 の製造工程では、第 3 分離領域 26 を第 2 分離領域 25 と同じ工程で形成することができる。また、詳細な説明は省略したが、第 1 分離領域 24 も第 2 分離領域 25 と同様の工程で形成することができる。

[0128] すなわち、第 1 実施形態によれば、受光画素 11 の製造工程において、第 3 分離領域 26 を第 1 分離領域 24 および第 2 分離領域 25 と同じ工程で形

成することができる。

[0129] したがって、第1実施形態によれば、画素アレイ部10の製造工程を簡素化することができることから、固体撮像素子1の製造コストを低減することができる。

[0130] また、第1実施形態では、配線層60の形成工程の前に形成されるトレンチT1を用いることにより、第1不純物領域22の底部のみならず側部にも第2不純物領域23を形成することができる。

[0131] したがって、第1実施形態によれば、フォトダイオード21のPN接合面の面積を拡大することができることから、フォトダイオード21の飽和信号電荷量を増やすことができる。

[0132] [第2実施形態]

近年、裏面照射型のCMOSイメージセンサにおいて、同じオンチップレンズから一対のフォトダイオードに光を入射させることにより、位相差の検出を実現させる技術がある。

[0133] また、かかる一対のフォトダイオード同士の間における一部の領域に不純物領域を形成することにより、この不純物領域をオーバーフローパスとして機能させることができることから、両方のフォトダイオードに蓄積される電荷量を均等にするすることができる。

[0134] しかしながら、上記の従来技術では、像高が高い部位に配置される受光画素において、斜めに入射する同じ光が、一対のフォトダイオード同士の間で設けられる不純物領域を介して、一対のフォトダイオードの両方に入射する場合がある。

[0135] そして、同じ光が一対のフォトダイオードの両方に入射することにより、一対のフォトダイオード同士の分離比が低下してしまうことから、位相差検出の精度が低下してしまう恐れがある。

[0136] そこで、上述の問題点を克服し、一対のフォトダイオード同士の分離比を向上させることができる技術の実現が期待されている。

[0137] まずは、第2実施形態に係る画素アレイ部10の詳細な構成について、図

19～図23を参照しながら説明する。図19は、本開示の第2実施形態に係る画素アレイ部10の各受光画素11の配置例を説明するための平面図である。

[0138] 図19に示すように、第2実施形態に係る画素アレイ部10は、像高中心に位置する受光画素11CCと、左中央の端部に位置する受光画素11LCと、上中央の端部に位置する受光画素11CUと、左上の端部に位置する受光画素11LUとを少なくとも有する。

[0139] 図20は、本開示の第2実施形態に係る画素アレイ部10の受光画素11およびオンチップレンズ50の配置例を説明するための平面図であり、図21は、図20に示すD-D線の矢視断面図である。

[0140] なお、図20および図21では、画素アレイ部10に設けられる複数の受光画素11のうち、左中央の端部に位置する受光画素11LCにおける実施形態を示している。

[0141] 図21などに示すように、画素アレイ部10は、半導体層20と、平坦化膜30と、カラーフィルタ40と、オンチップレンズ50とを備える。

[0142] 半導体層20は、たとえば、シリコンを含む。半導体層20は、複数のフォトダイオード(PD)21を有する。フォトダイオード21は、光電変換部の一例である。なお、1つの受光画素11には、一対のフォトダイオード21(以下、フォトダイオード21L、21Rとも呼称する。)が設けられる。また、受光画素11は平面視で略正形状であり、フォトダイオード21は平面視で略長形状である。

[0143] フォトダイオード21は、第1導電型(たとえば、N型)の不純物を含む第1不純物領域22と、第2導電型(たとえば、P型)の不純物を含む第2不純物領域23とで構成される。

[0144] 第1不純物領域22は、フォトダイオード21の中央部に配置され、第2不純物領域23は、かかる第1不純物領域22の側部および底部(光Lが入射する側とは反対側の部位)に沿って配置される。

[0145] また、受光画素11は、第1分離領域24と、第2分離領域25と、第3

分離領域 26 とを有する。第 1 分離領域 24 は、図 20 に示すように、1 つの受光画素 11 において一対のフォトダイオード 21 を囲むように配置される。

[0146] また、第 1 分離領域 24 は、図 21 に示すように、半導体層 20 を貫通するように設けられる。かかる第 1 分離領域 24 は、たとえば、酸化シリコンなどの低屈折率の誘電体で構成される。これにより、第 1 分離領域 24 は、互いに隣接する複数の受光画素 11 同士の間を光学的および電氣的に分離することができる。

[0147] 第 2 分離領域 25 は、図 20 に示すように、1 つの受光画素 11 において互いに隣接する一対のフォトダイオード 21 同士の間配置される。また、第 2 分離領域 25 は、第 1 分離領域 24 と同様に、半導体層 20 を貫通するように設けられる。

[0148] かかる第 2 分離領域 25 は、たとえば、酸化シリコンなどの低屈折率の誘電体で構成される。これにより、第 2 分離領域 25 は、互いに隣接する複数のフォトダイオード 21 同士の間を光学的および電氣的に分離することができる。

[0149] このように、第 2 実施形態では、第 2 分離領域 25 を用いて一対のフォトダイオード 21 同士を互いに分離することができることから、一対のフォトダイオード 21 を用いて入射する光 L の位相差を検出することができる。

[0150] また、第 2 実施形態では、受光画素 11 LC が、一対のフォトダイオード 21 同士の間において平面視で第 2 分離領域 25 とは異なる位置に配置され、第 2 導電型の不純物を含む第 2 不純物領域 27 を有する。第 2 不純物領域 27 は、不純物領域の一例である。

[0151] かかる第 2 不純物領域 27 は、フォトダイオード 21 L とフォトダイオード 21 R との間のオーバーフローパスとして機能する。これにより、第 2 実施形態では、両方のフォトダイオード 21 L、21 R に蓄積される電荷量を均等にすることができる。

[0152] 一方で、一対のフォトダイオード 21 同士の上に第 2 不純物領域 27 を形

成することにより、図 22 に示すような弊害が生じる場合がある。図 22 は、本開示の参考例における受光画素 11LC に入射する光 L の状態を説明するための断面図である。

[0153] 図 22 に示すように、像高が高い部位に配置される受光画素 11LC では、斜めに入射する光 L が、フォトダイオード 21R の領域 X と第 2 不純物領域 27 とを介して、フォトダイオード 21L に入射する。

[0154] すなわち、像高が高い部位に配置される受光画素 11LC では、斜めに入射する同じ光 L が、第 2 不純物領域 27 を介してフォトダイオード 21L、21R の両方に入射する場合がある。

[0155] そして、同じ光 L がフォトダイオード 21L、21R の両方に入射することにより、フォトダイオード 21L、21R 同士の分離比が低下してしまうことから、位相差検出の精度が低下してしまう恐れがある。

[0156] そこで、第 2 実施形態では、図 20 および図 21 に示すように、像高が高い部位に配置される受光画素 11LC に対して、第 3 分離領域 26 を設けることにより、かかる問題点を解決することとした。

[0157] 具体的には、第 2 実施形態に係る第 3 分離領域 26 は、図 20 に示すように、第 1 分離領域 24 によって囲まれる領域に配置される。また、第 3 分離領域 26 は、第 2 不純物領域 27 に対して斜めに入射する光 L を遮ることができる位置（たとえば、第 2 不純物領域 27 に対して像高中心側に寄った位置）に配置される。

[0158] また、第 3 分離領域 26 は、第 2 分離領域 25 が延びる方向と同じ方向（図 20 では上下方向）に沿って延び、平面視で第 2 不純物領域 27 に隣接して配置される。

[0159] また、第 3 分離領域 26 は、上述の第 1 実施形態と同様に、半導体層 20 の光入射面 20a から半導体層 20 の途中まで（すなわち、半導体層 20 を貫通しないように）設けられる。第 3 分離領域 26 は、たとえば、第 2 分離領域 25 と同じ材料（低屈折率の誘電体）で構成される。

[0160] このような第 3 分離領域 26 を受光画素 11LC に設けることで、図 23

に示すように、フォトダイオード 21 R の領域 X（図 22 参照）と第 2 不純物領域 27 とを介して、フォトダイオード 21 L に入射する光 L の大部分を、第 3 分離領域 26 で遮ることができる。図 23 は、本開示の第 2 実施形態に係る受光画素 11 LC に入射する光 L の状態を説明するための断面図である。

[0161] したがって、第 2 実施形態によれば、一对のフォトダイオード 21 同士の分離比を向上させることができる。

[0162] また、第 2 実施形態では、第 3 分離領域 26 が第 1 分離領域 24 および第 2 分離領域 25 と同じ材料（たとえば、酸化シリコン）で構成されるとよい。これにより、受光画素 11 の製造工程において、第 3 分離領域 26 を第 1 分離領域 24 および第 2 分離領域 25 と同じ工程で形成することができる。

[0163] したがって、第 2 実施形態によれば、画素アレイ部 10 の製造工程を簡素化することができることから、固体撮像素子 1 の製造コストを低減することができる。

[0164] 一方で、第 2 実施形態では、第 3 分離領域 26 が第 1 分離領域 24 および第 2 分離領域 25 と異なる材料で構成されてもよい。

[0165] たとえば、図 24 に示すように、第 3 分離領域 26 A が、第 1 分離領域 24 および第 2 分離領域 25 よりも屈折率の高い材料（たとえば、酸化タンタルや酸化チタンなど）で構成されてもよい。図 24 は、本開示の第 2 実施形態に係る画素アレイ部 10 の受光画素 11 LC およびオンチップレンズ 50 の別の配置例を説明するための平面図である。

[0166] これにより、第 3 分離領域 26 A とフォトダイオード 21 との屈折率差を小さくすることができることから、第 3 分離領域 26 A における光入射側の端部に入射した光 L が大きく散乱されることを抑制することができる。

[0167] したがって、第 2 実施形態によれば、第 3 分離領域 26 A に起因する散乱光が別のフォトダイオード 21 に漏れ込むことを抑制することができることから、かかる散乱光による混色の発生を抑制することができる。

[0168] なお、高屈折率の材料を用いた第 3 分離領域 26 A の平面配置は、図 24

の例に限られない。図 25 および図 26 は、本開示の第 2 実施形態に係る画素アレイ部 10 の受光画素 11 LC およびオンチップレンズ 50 の別の配置例を説明するための平面図である。

[0169] たとえば、図 25 に示すように、第 3 分離領域 26 A は、2 つに分割されてもよいし、図 26 に示すように、第 3 分離領域 26 A は、かかる第 3 分離領域 26 A の中央部が両端部よりも膨らむような形状であってもよい。

[0170] これによっても、第 3 分離領域 26 A とフォトダイオード 21 との屈折率差を小さくすることができることから、第 3 分離領域 26 A における光入射側の端部に入射した光 L が大きく散乱されることを抑制することができる。

[0171] 図 20 および図 21 に戻り、画素アレイ部 10 におけるその他の部位の説明を続ける。平坦化膜 30 は、半導体層 20 の光入射面 20 a に配置され、かかる光入射面 20 a を平坦化する。平坦化膜 30 は、たとえば、酸化シリコンで構成される。

[0172] なお、第 2 実施形態では、フォトダイオード 21 と第 1 分離領域 24、第 2 分離領域 25 および平坦化膜 30 との間に、図示しない固定電荷膜が配置されてもよい。かかる固定電荷膜は、フォトダイオード 21 と第 1 分離領域 24、第 2 分離領域 25 および平坦化膜 30 との界面に電荷（ここでは、正孔）を固定する機能を有する。

[0173] 固定電荷膜の材料としては、固定電荷を多く有する高誘電材料を用いることが好ましい。固定電荷膜は、たとえば、上述の第 1 実施形態に係る固定電荷膜の材料と同様の材料を用いることができる。

[0174] カラーフィルタ 40 は、入射する光 L のうちの所定の波長領域の光を透過させる光学的なフィルタであり、オンチップレンズ 50 と平坦化膜 30 との間に設けられる。

[0175] オンチップレンズ 50 は、半導体層 20 に対して光 L が入射する側に設けられ、対応する受光画素 11 に向かって光 L を集光させる機能を有する。オンチップレンズ 50 は、たとえば、有機材料や酸化シリコンなどで構成される。

[0176] 第2実施形態では、図20などに示すように、1つの受光画素11ごとに1つのオンチップレンズ50（すなわち、一对のフォトダイオード21ごとに1つのオンチップレンズ50）が設けられる。

[0177] また、第2実施形態では、図21などに示すように、カラーフィルタ40およびオンチップレンズ50が、対応する一对のフォトダイオード21に対して像高中心側に寄った位置に配置される。

[0178] [第2実施形態の各種変形例]

つづいて、第2実施形態の各種変形例について、図27～図35を参照しながら説明する。

[0179] <変形例1>

図27は、本開示の第2実施形態の変形例1に係る画素アレイ部10の受光画素11およびオンチップレンズ50の配置例を説明するための平面図である。

[0180] なお、図27では、上述の第2実施形態と同様に、画素アレイ部10に設けられる複数の受光画素11のうち、左中央の端部に位置する受光画素11LCにおける実施形態を示している。

[0181] 第2実施形態の変形例1では、図27に示すように、4つの受光画素11LCで1つの受光画素群100が構成される。かかる受光画素群100は、赤色画素11Rと、緑色画素11Grと、緑色画素11Gbと、青色画素11Bとを有する。

[0182] 赤色画素11Rはカラーフィルタ40R（図5参照）を有し、緑色画素11Gr、11Gbはカラーフィルタ40Gr、40Gb（図5参照）を有し、青色画素11Bはカラーフィルタ40B（図5参照）を有する。

[0183] カラーフィルタ40Rは、入射する光Lのうちの赤色の波長領域の光を透過させるカラーフィルタ40であり、カラーフィルタ40Gr、40Gbは、入射する光Lのうちの緑色の波長領域の光を透過させるカラーフィルタ40である、また、カラーフィルタ40Bは、入射する光Lのうちの青色の波長領域の光を透過させるカラーフィルタ40である。

[0184] さらに、1つの受光画素群100の内部において、カラーフィルタ40R、40Gr、40Gb、40Bは、規則的な色配列（たとえばベイヤー配列）で配置される。

[0185] そして、受光画素群100に含まれる赤色画素11Rは、カラーフィルタ40Rを透過した赤色光を受光し、かかる赤色光の入射光量に応じた電荷量を光電変換して内部に蓄積する。

[0186] 同様に、緑色画素11Gr、11Gbは、カラーフィルタ40Gr、40Gbを透過した緑色光を受光し、かかる緑色光の入射光量に応じた電荷量を光電変換して内部に蓄積する。また、青色画素11Bは、カラーフィルタ40Bを透過した青色光を受光し、かかる青色光の入射光量に応じた電荷量を光電変換して内部に蓄積する。

[0187] このように、第2実施形態の変形例1に係る受光画素群100では、2種類以上（図27の例では3種類）の波長領域の光を個別の受光画素11で受光する。

[0188] そして、第2実施形態の変形例1では、図27に示すように、同じ受光画素群100に含まれるすべての受光画素11LCが、第2不純物領域27に隣接する第3分離領域26を有する。

[0189] たとえば、赤色画素11Rは第3分離領域26Rを有し、緑色画素11Gr、11Gbは第3分離領域26Gr、26Gbを有し、青色画素11Bは第3分離領域26Bを有する。

[0190] このような第3分離領域26を同じ受光画素群100に含まれるすべての受光画素11LCに設けることで、かかるすべての受光画素11LCにおいて一対のフォトダイオード21同士の分離比を向上させることができる。

[0191] <変形例2>

図28は、本開示の第2実施形態の変形例2に係る画素アレイ部10の受光画素11およびオンチップレンズ50の配置例を説明するための平面図である。

[0192] なお、図28では、上述の第2実施形態および変形例1と同様に、画素ア

レイ部 10 に設けられる複数の受光画素 11 のうち、左中央の端部に位置する受光画素 11LC における実施形態を示している。また、第 2 実施形態の変形例 2 では、上述の変形例 1 と同様に、4 つの受光画素 11LC で 1 つの受光画素群 100 が構成される。

[0193] 一方で、この変形例 2 では、上述の変形例 1 と異なり、赤色画素 11R には第 3 分離領域 26 が設けられない。かかる赤色画素 11R に入射する赤色の波長領域の光は、緑色や青色の波長領域の光と比べて第 3 分離領域 26 によって大きく散乱することから、この散乱光に起因する混色が少なからず発生する。

[0194] そこで、この変形例 2 では、赤色画素 11R に第 3 分離領域 26 を設けないことにより、混色の発生を抑制することができる。また、この変形例 2 では、緑色画素 11Gr、11Gb および青色画素 11B には第 3 分離領域 26 が設けられることから、かかる緑色画素 11Gr、11Gb および青色画素 11B において一对のフォトダイオード 21 同士の分離比を向上させることができる。

[0195] すなわち、第 2 実施形態の変形例 2 によれば、混色の抑制と分離比の向上とを両立させることができる。

[0196] <変形例 3>

図 29 は、本開示の第 2 実施形態の変形例 3 に係る画素アレイ部 10 の受光画素 11 およびオンチップレンズ 50 の配置例を説明するための平面図である。

[0197] なお、図 29 では、上述の第 2 実施形態および変形例 1、2 と同様に、画素アレイ部 10 に設けられる複数の受光画素 11 のうち、左中央の端部に位置する受光画素 11LC における実施形態を示している。また、第 2 実施形態の変形例 3 では、上述の変形例 1、2 と同様に、4 つの受光画素 11LC で 1 つの受光画素群 100 が構成される。

[0198] 一方で、この変形例 3 では、青色画素 11B に設けられる第 3 分離領域 26B の平面形状が上述の変形例 2 と異なる。具体的には、青色画素 11B に

設けられる第3分離領域26Bが、平面視で略十字形状を有する。

[0199] 換言すると、第3分離領域26Bは、平面視で第2分離領域25が延びる方向（図29では上下方向）と同じ方向に延びる部位と、第2分離領域25が延びる方向とは異なる方向（図29では左右方向）に延びる部位とを有する。

[0200] これにより、十字形状の第3分離領域26Bに入射した光Lが、青色画素11Bにおいてさまざまな方向に散乱する。したがって、第2実施形態の変形例3によれば、青色画素11Bの飽和信号電荷量を増やすことができる。

[0201] また、第2実施形態の変形例3によれば、青色画素11Bおよび緑色画素11Gr、11Gbには第3分離領域26が設けられる一方で、赤色画素11Rには第3分離領域26が設けられない。これにより、上述の変形例2と同様に、混色の抑制と分離比の向上とを両立させることができる。

[0202] <変形例4>

図30は、本開示の第2実施形態の変形例4に係る画素アレイ部10の受光画素11およびオンチップレンズ50の配置例を説明するための平面図である。

[0203] なお、図30では、上述の第2実施形態および変形例1～3と同様に、画素アレイ部10に設けられる複数の受光画素11のうち、左中央の端部に位置する受光画素11LCにおける実施形態を示している。また、第2実施形態の変形例4では、上述の変形例1～3と同様に、4つの受光画素11LCで1つの受光画素群100が構成される。

[0204] 一方で、この変形例4では、緑色画素11Gr、11Gbに設けられる第3分離領域26Grの平面形状が上述の変形例3と異なる。具体的には、緑色画素11Gr、11Gbに設けられる第3分離領域26Gr、26Gbが、平面視で略十字形状を有する。

[0205] これにより、十字形状の第3分離領域26Gr、26Gbに入射した光Lが、緑色画素11Gr、11Gbにおいてさまざまな方向に散乱する。したがって、第2実施形態の変形例4によれば、緑色画素11Gr、11Gbの

飽和信号電荷量を増やすことができる。

[0206] また、第2実施形態の変形例4によれば、青色画素11Bに十字形状の第3分離領域26Bが設けられることから、青色画素11Bの飽和信号電荷量も増やすことができる。

[0207] また、第2実施形態の変形例4によれば、青色画素11Bおよび緑色画素11Gr、11Gbには第3分離領域26が設けられる一方で、赤色画素11Rには第3分離領域26が設けられない。これにより、上述の変形例2と同様に、混色の抑制と分離比の向上とを両立させることができる。

[0208] <変形例5>

図31は、本開示の第2実施形態の変形例5に係る画素アレイ部10の受光画素11およびオンチップレンズ50の配置例を説明するための平面図である。

[0209] なお、図31では、ここまで説明した第2実施形態および各種変形例とは異なり、画素アレイ部10に設けられる複数の受光画素11のうち、左上の端部に位置する受光画素11LUにおける実施形態を示している。

[0210] 図31に示すように、第2実施形態の変形例5では、4つの受光画素11LUで1つの受光画素群100が構成される。かかる受光画素群100は、赤色画素11Rと、緑色画素11Grと、緑色画素11Gbと、青色画素11Bとを有する。

[0211] 赤色画素11Rはカラーフィルタ40R（図5参照）を有し、緑色画素11Gr、11Gbはカラーフィルタ40Gr、40Gb（図5参照）を有し、青色画素11Bはカラーフィルタ40B（図5参照）を有する。

[0212] すなわち、第2実施形態の変形例5に係る受光画素群100では、2種類以上（図31の例では3種類）の波長領域の光を個別の受光画素11で受光する。

[0213] そして、第2実施形態の変形例5では、図31に示すように、同じ受光画素群100に含まれるすべての受光画素11LUが、第2不純物領域27に隣接する第3分離領域26を有する。

[0214] 具体的には、第2実施形態の変形例5に係る第3分離領域26は、第2不純物領域27に対して斜めに入射する光Lを遮ることができる位置（たとえば、第2不純物領域27に対して像高中心側に寄った位置）に配置される。

[0215] 図19に示したように、図31の例では、平面視で像高中心が受光画素群100の右下に配置されることから、第3分離領域26は、第2不純物領域27に対して右下側に寄った位置に配置される。また、第3分離領域26は、第2分離領域25が延びる方向と同じ方向（図31では上下方向）に沿って延びる。

[0216] このような第3分離領域26を同じ受光画素群100に含まれるすべての受光画素11LUに設けることで、すべての受光画素11LUにおいて、同じ光Lが第2不純物領域27を介して一对のフォトダイオード21の両方に入射することを抑制することができる。

[0217] したがって、第2実施形態の変形例5によれば、すべての受光画素11LUにおいて一对のフォトダイオード21同士の分離比を向上させることができる。

[0218] <変形例6>

図32は、本開示の第2実施形態の変形例6に係る画素アレイ部10の受光画素11およびオンチップレンズ50の配置例を説明するための平面図である。

[0219] なお、図32では、上述の第2実施形態の変形例5と同様に、画素アレイ部10に設けられる複数の受光画素11のうち、左上の端部に位置する受光画素11LUにおける実施形態を示している。また、第2実施形態の変形例2では、上述の変形例5と同様に、4つの受光画素11LUで1つの受光画素群100が構成される。

[0220] 一方で、この変形例6では、上述の変形例5と異なり、赤色画素11Rには第3分離領域26が設けられない。かかる赤色画素11Rに入射する赤色の波長領域の光は、緑色や青色の波長領域の光と比べて、第3分離領域26によって大きく散乱することから、この散乱光に起因する混色が少なからず

発生する。

[0221] そこで、この変形例6では、赤色画素11Rに第3分離領域26を設けないことにより、混色の発生を抑制することができる。また、この変形例6では、緑色画素11Gr、11Gbおよび青色画素11Bには第3分離領域26が設けられることから、かかる緑色画素11Gr、11Gbおよび青色画素11Bにおいて一对のフォトダイオード21同士の分離比を向上させることができる。

[0222] すなわち、第2実施形態の変形例6によれば、混色の抑制と分離比の向上とを両立させることができる。

[0223] <変形例7>

図33は、本開示の第2実施形態の変形例7に係る画素アレイ部10の受光画素11およびオンチップレンズ50の配置例を説明するための平面図である。

[0224] なお、図33では、上述の第2実施形態の変形例5、6と同様に、画素アレイ部10に設けられる複数の受光画素11のうち、左上の端部に位置する受光画素11LUにおける実施形態を示している。また、第2実施形態の変形例7では、上述の変形例5、6と同様に、4つの受光画素11LUで1つの受光画素群100が構成される。

[0225] 一方で、この変形例7では、青色画素11Bに設けられる第3分離領域26Bの平面形状が上述の変形例6と異なる。具体的には、青色画素11Bに設けられる第3分離領域26Bが、平面視で略十字形状を有する。

[0226] これにより、十字形状の第3分離領域26Bに入射した光Lが、青色画素11Bにおいてさまざまな方向に散乱する。したがって、第2実施形態の変形例7によれば、青色画素11Bの飽和信号電荷量を増やすことができる。

[0227] また、第2実施形態の変形例7によれば、青色画素11Bおよび緑色画素11Gr、11Gbには第3分離領域26が設けられる一方で、赤色画素11Rには第3分離領域26が設けられない。これにより、上述の変形例6と同様に、混色の抑制と分離比の向上とを両立させることができる。

[0228] ＜変形例 8＞

図 3 4 は、本開示の第 2 実施形態の変形例 8 に係る画素アレイ部 1 0 の受光画素 1 1 およびオンチップレンズ 5 0 の配置例を説明するための平面図である。

[0229] なお、図 3 4 では、上述の第 2 実施形態の変形例 5 ～ 7 と同様に、画素アレイ部 1 0 に設けられる複数の受光画素 1 1 のうち、左上の端部に位置する受光画素 1 1 L U における実施形態を示している。また、第 2 実施形態の変形例 8 では、上述の変形例 5 ～ 7 と同様に、4 つの受光画素 1 1 L U で 1 つの受光画素群 1 0 0 が構成される。

[0230] 一方で、この変形例 8 では、緑色画素 1 1 G r、1 1 G b に設けられる第 3 分離領域 2 6 G r の平面形状が上述の変形例 7 と異なる。具体的には、緑色画素 1 1 G r、1 1 G b に設けられる第 3 分離領域 2 6 G r、2 6 G b が、平面視で略十字形状を有する。

[0231] これにより、十字形状の第 3 分離領域 2 6 G r、2 6 G b に入射した光 L が、緑色画素 1 1 G r、1 1 G b においてさまざまな方向に散乱する。したがって、第 2 実施形態の変形例 8 によれば、緑色画素 1 1 G r、1 1 G b の飽和信号電荷量を増やすことができる。

[0232] また、第 2 実施形態の変形例 8 によれば、青色画素 1 1 B に十字形状の第 3 分離領域 2 6 B が設けられることから、青色画素 1 1 B の飽和信号電荷量も増やすことができる。

[0233] また、第 2 実施形態の変形例 8 によれば、青色画素 1 1 B および緑色画素 1 1 G r、1 1 G b には第 3 分離領域 2 6 が設けられる一方で、赤色画素 1 1 R には第 3 分離領域 2 6 が設けられない。これにより、上述の変形例 6 と同様に、混色の抑制と分離比の向上とを両立させることができる。

[0234] ＜変形例 9＞

図 3 5 は、本開示の第 2 実施形態の変形例 9 に係る画素アレイ部 1 0 の受光画素 1 1 およびオンチップレンズ 5 0 の配置例を説明するための平面図である。

- [0235] なお、図35では、ここまで説明した第2実施形態および各種変形例とは異なり、画素アレイ部10に設けられる複数の受光画素11のうち、上中央の端部に位置する受光画素11CUにおける実施形態を示している。
- [0236] 図35に示すように、第2実施形態の変形例9では、4つの受光画素11CUで1つの受光画素群100が構成される。かかる受光画素群100は、赤色画素11Rと、緑色画素11Grと、緑色画素11Gbと、青色画素11Bとを有する。
- [0237] 赤色画素11Rはカラーフィルタ40R（図5参照）を有し、緑色画素11Gr、11Gbはカラーフィルタ40Gr、40Gb（図5参照）を有し、青色画素11Bはカラーフィルタ40B（図5参照）を有する。
- [0238] すなわち、第2実施形態の変形例9に係る受光画素群100では、2種類以上（図35の例では3種類）の波長領域の光を個別の受光画素11で受光する。
- [0239] そして、第2実施形態の変形例9では、図35に示すように、同じ受光画素群100に含まれるすべての受光画素11CUが、第2不純物領域27と重なるように配置される第3分離領域26を有する。また、第3分離領域26は、第2分離領域25が延びる方向と交差する方向（図35では斜め方向）に沿って延びる。
- [0240] 上述の図19に示したように、図35の例では、平面視で像高中心が受光画素群100の下方に配置されることから、斜めに入射する光Lが第2不純物領域27を介して一对のフォトダイオード21の両方に入射することは基本的にはない。
- [0241] しかしながら、このような場合でも、図35に示すように第3分離領域26を配置することにより、すべての受光画素11CUにおいて一对のフォトダイオード21同士の分離比を向上させることができる。
- [0242] なお、ここまで説明した第2実施形態および各種変形例において、受光画素11に配置される第3分離領域26の平面形状は本開示の例に限られず、さまざまな平面形状を有していてもよい。

[0243] [効果]

第1実施形態に係る固体撮像素子1は、半導体層20の内部に行列状に配列される複数の受光画素11を備える。また、受光画素11は、一对の光電変換部（フォトダイオード21）と、第1分離領域24と、第2分離領域25と、第3分離領域26と、を有する。一对の光電変換部（フォトダイオード21）は、互いに隣接して配置される。第1分離領域24は、一对の光電変換部（フォトダイオード21）を囲むように配置され、半導体層20を貫通するように設けられる。第2分離領域25は、一对の光電変換部（フォトダイオード21）同士の上に配置され、半導体層20を貫通するように設けられる。第3分離領域26は、第1分離領域24によって囲まれる領域に配置され、半導体層20の光入射面20aから半導体層20の途中まで設けられる。

[0244] これにより、画素アレイ部10における混色の不均一性を改善することができる。

[0245] また、第1実施形態に係る固体撮像素子1において、第3分離領域26は、平面視で第2分離領域25を跨ぐように設けられる。

[0246] これにより、画素アレイ部10における混色の不均一性を改善することができる。

[0247] また、第1実施形態に係る固体撮像素子1は、2種類以上の波長領域の光を受光する複数の受光画素11を有する受光画素群100を備える。また、同じ受光画素群100に含まれる複数の受光画素11には、互いに異なる位置および形状の少なくとも一方を有する第3分離領域26が配置される。

[0248] これにより、画素アレイ部10における混色の不均一性を改善することができる。

[0249] また、第1実施形態に係る固体撮像素子1において、像高が異なる複数の受光画素11には、互いに異なる位置および形状の少なくとも一方を有する第3分離領域26が配置される。

[0250] これにより、画素アレイ部10における混色の不均一性を改善することが

できる。

[0251] また、第2実施形態に係る固体撮像素子1は、半導体層20の内部に行列状に配列される複数の受光画素11を備える。また、受光画素11は、一对の光電変換部（フォトダイオード21）と、第1分離領域24と、第2分離領域25と、不純物領域（第2不純物領域27）と、第3分離領域26と、を有する。一对の光電変換部（フォトダイオード21）は、互いに隣接して配置される。第1分離領域24は、一对の光電変換部（フォトダイオード21）を囲むように配置され、半導体層20を貫通するように設けられる。第2分離領域25は、一对の光電変換部（フォトダイオード21）同士の間配置され、半導体層20を貫通するように設けられる。不純物領域（第2不純物領域27）は、一对の光電変換部（フォトダイオード21）同士の間において平面視で第2分離領域25とは異なる位置に配置される。第3分離領域26は、第1分離領域24によって囲まれる領域に配置され、半導体層20の光入射面20aから半導体層20の途中まで設けられる。

[0252] これにより、一对のフォトダイオード21同士の分離比を向上させることができる。

[0253] また、第2実施形態に係る固体撮像素子1において、第3分離領域26は、平面視で不純物領域（第2不純物領域27）に隣接して配置される。

[0254] これにより、一对のフォトダイオード21同士の分離比を向上させることができる。

[0255] また、第2実施形態に係る固体撮像素子1において、第3分離領域26は、平面視で略十字形状を有する。

[0256] これにより、混色の抑制と分離比の向上とを両立させることができる。

[0257] また、第2実施形態に係る固体撮像素子1において、像高が異なる複数の受光画素11には、互いに異なる位置および形状の少なくとも一方を有する第3分離領域26が配置される。

[0258] これにより、一对のフォトダイオード21同士の分離比を向上させることができる。

[0259] [電子機器]

なお、本開示は、固体撮像素子への適用に限られるものではない。すなわち、本開示は、固体撮像素子のほかにカメラモジュールや撮像装置、撮像機能を有する携帯端末装置、または画像読取部に固体撮像素子を用いる複写機など、固体撮像素子を有する電子機器全般に対して適用可能である。

[0260] かかる撮像装置としては、たとえば、デジタルスチルカメラやビデオカメラなどが挙げられる。また、かかる撮像機能を有する携帯端末装置としては、たとえば、スマートフォンやタブレット型端末などが挙げられる。

[0261] 図36は、本開示に係る技術を適用した電子機器1000としての撮像装置の構成例を示すブロック図である。図36の電子機器1000は、たとえば、デジタルスチルカメラやビデオカメラなどの撮像装置や、スマートフォンやタブレット型端末などの携帯端末装置などの電子機器である。

[0262] 図36において、電子機器1000は、レンズ群1001と、固体撮像素子1002と、DSP回路1003と、フレームメモリ1004と、表示部1005と、記録部1006と、操作部1007と、電源部1008とから構成される。

[0263] また、電子機器1000において、DSP回路1003、フレームメモリ1004、表示部1005、記録部1006、操作部1007、および電源部1008は、バスライン1009を介して相互に接続されている。

[0264] レンズ群1001は、被写体からの入射光（像光）を取り込んで固体撮像素子1002の撮像面上に結像する。固体撮像素子1002は、上述した各実施形態に係る固体撮像素子1に対応し、レンズ群1001によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。

[0265] DSP回路1003は、固体撮像素子1002から供給される信号を処理するカメラ信号処理回路である。フレームメモリ1004は、DSP回路1003により処理された画像データを、フレーム単位で一時的に保持する。

[0266] 表示部1005は、たとえば、液晶パネルや有機EL（Electro Luminesc

ence) パネルなどのパネル型表示装置からなり、固体撮像素子 1002 で撮像された動画または静止画を表示する。記録部 1006 は、固体撮像素子 1002 で撮像された動画または静止画の画像データを、半導体メモリやハードディスクなどの記録媒体に記録する。

[0267] 操作部 1007 は、ユーザによる操作にしたがい、電子機器 1000 が有する各種の機能についての操作指令を発する。電源部 1008 は、DSP 回路 1003、フレームメモリ 1004、表示部 1005、記録部 1006、および操作部 1007 の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0268] このように構成されている電子機器 1000 では、固体撮像素子 1002 として、上述した各実施形態の固体撮像素子 1 を適用することにより、信号品質を改善することができる。

[0269] 以上、本開示の各実施形態について説明したが、本開示の技術的範囲は、上述の各実施形態そのままに限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。また、異なる実施形態及び変形例にわたる構成要素を適宜組み合わせてもよい。

[0270] また、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0271] なお、本技術は以下のような構成も取ることができる。

(1)

半導体層の内部に行列状に配列される複数の受光画素を備え、

前記受光画素は、

互いに隣接して配置される一対の光電変換部と、

前記一対の光電変換部を囲むように配置され、前記半導体層を貫通するように設けられる第 1 分離領域と、

前記一対の光電変換部同士の間配置され、前記半導体層を貫通するように設けられる第 2 分離領域と、

前記第 1 分離領域によって囲まれる領域に配置され、前記半導体層の光入

射面から前記半導体層の途中まで設けられる第3分離領域と、を有する固体撮像素子。

(2)

前記第3分離領域は、平面視で前記第2分離領域を跨ぐように設けられる前記(1)に記載の固体撮像素子。

(3)

2種類以上の波長領域の光を受光する複数の前記受光画素を有する受光画素群を備え、

同じ前記受光画素群に含まれる複数の前記受光画素には、互いに異なる位置および形状の少なくとも一方を有する前記第3分離領域が配置される

前記(1)または(2)に記載の固体撮像素子。

(4)

像高が異なる複数の前記受光画素には、互いに異なる位置および形状の少なくとも一方を有する前記第3分離領域が配置される

前記(1)～(3)のいずれか一つに記載の固体撮像素子。

(5)

固体撮像素子と、

被写体からの入射光を取り込んで前記固体撮像素子の撮像面上に結像させる光学系と、

前記固体撮像素子からの出力信号に対して処理を行う信号処理回路と、を備え、

前記固体撮像素子は、

半導体層の内部に行列状に配列される複数の受光画素を有し、

前記受光画素は、

互いに隣接して配置される一对の光電変換部と、

前記一对の光電変換部を囲むように配置され、前記半導体層を貫通するように設けられる第1分離領域と、

前記一对の光電変換部同士の間配置され、前記半導体層を貫通するよう

に設けられる第2分離領域と、

前記第1分離領域によって囲まれる領域に配置され、前記半導体層の光入射面から前記半導体層の途中まで設けられる第3分離領域と、を有する電子機器。

(6)

前記第3分離領域は、平面視で前記第2分離領域を跨ぐように設けられる前記(5)に記載の電子機器。

(7)

2種類以上の波長領域の光を受光する複数の前記受光画素を有する受光画素群を備え、

同じ前記受光画素群に含まれる複数の前記受光画素には、互いに異なる位置および形状の少なくとも一方を有する前記第3分離領域が配置される

前記(5)または(6)に記載の電子機器。

(8)

像高が異なる複数の前記受光画素には、互いに異なる位置および形状の少なくとも一方を有する前記第3分離領域が配置される

前記(5)～(7)のいずれか一つに記載の電子機器。

(9)

半導体層の内部に行列状に配列される複数の受光画素を備え、

前記受光画素は、

互いに隣接して配置される一对の光電変換部と、

前記一对の光電変換部を囲むように配置され、前記半導体層を貫通するように設けられる第1分離領域と、

前記一对の光電変換部同士の間配置され、前記半導体層を貫通するように設けられる第2分離領域と、

前記一对の光電変換部同士の間において平面視で前記第2分離領域とは異なる位置に配置される不純物領域と、

前記第1分離領域によって囲まれる領域に配置され、前記半導体層の光入

射面から前記半導体層の途中まで設けられる第3分離領域と、を有する
固体撮像素子。

(10)

前記第3分離領域は、平面視で前記不純物領域に隣接して配置される
前記(9)に記載の固体撮像素子。

(11)

前記第3分離領域は、平面視で略十字形状を有する
前記(9)または(10)に記載の固体撮像素子。

(12)

像高が異なる複数の前記受光画素には、互いに異なる位置および形状の少
なくとも一方を有する前記第3分離領域が配置される
前記(9)～(11)のいずれか一つに記載の固体撮像素子。

(13)

固体撮像素子と、
被写体からの入射光を取り込んで前記固体撮像素子の撮像面上に結像させ
る光学系と、

前記固体撮像素子からの出力信号に対して処理を行う信号処理回路と、を
備え、

前記固体撮像素子は、
半導体層の内部に行列状に配列される複数の受光画素を有し、
前記受光画素は、
互いに隣接して配置される一对の光電変換部と、
前記一对の光電変換部を囲むように配置され、前記半導体層を貫通するよ
うに設けられる第1分離領域と、

前記一对の光電変換部同士の間配置され、前記半導体層を貫通するよう
に設けられる第2分離領域と、

前記一对の光電変換部同士の間において平面視で前記第2分離領域とは異
なる位置に配置される不純物領域と、

前記第 1 分離領域によって囲まれる領域に配置され、前記半導体層の光入射面から前記半導体層の途中まで設けられる第 3 分離領域と、を有する電子機器。

(14)

前記第 3 分離領域は、平面視で前記不純物領域に隣接して配置される前記 (13) に記載の電子機器。

(15)

前記第 3 分離領域は、平面視で略十字形状を有する前記 (13) または (14) に記載の電子機器。

(16)

像高が異なる複数の前記受光画素には、互いに異なる位置および形状の少なくとも一方を有する前記第 3 分離領域が配置される前記 (13) ~ (15) のいずれか一つに記載の電子機器。

符号の説明

- [0272] 1 固体撮像素子
10 画素アレイ部
11 受光画素
20 半導体層
20a 光入射面
21 フォトダイオード（光電変換部の一例）
24 第 1 分離領域
25 第 2 分離領域
26 第 3 分離領域
27 第 2 不純物領域（不純物領域の一例）
100 受光画素群
1000 電子機器

請求の範囲

- [請求項1] 半導体層の内部に行列状に配列される複数の受光画素を備え、
前記受光画素は、
互いに隣接して配置される一対の光電変換部と、
前記一対の光電変換部を囲むように配置され、前記半導体層を貫通するように設けられる第1分離領域と、
前記一対の光電変換部同士の間配置され、前記半導体層を貫通するように設けられる第2分離領域と、
前記第1分離領域によって囲まれる領域に配置され、前記半導体層の光入射面から前記半導体層の途中まで設けられる第3分離領域と、
を有する
固体撮像素子。
- [請求項2] 前記第3分離領域は、平面視で前記第2分離領域を跨ぐように設けられる
請求項1に記載の固体撮像素子。
- [請求項3] 2種類以上の波長領域の光を受光する複数の前記受光画素を有する受光画素群を備え、
同じ前記受光画素群に含まれる複数の前記受光画素には、互いに異なる位置および形状の少なくとも一方を有する前記第3分離領域が配置される
請求項1に記載の固体撮像素子。
- [請求項4] 像高が異なる複数の前記受光画素には、互いに異なる位置および形状の少なくとも一方を有する前記第3分離領域が配置される
請求項1に記載の固体撮像素子。
- [請求項5] 固体撮像素子と、
被写体からの入射光を取り込んで前記固体撮像素子の撮像面上に結像させる光学系と、
前記固体撮像素子からの出力信号に対して処理を行う信号処理回路

と、を備え、

前記固体撮像素子は、

半導体層の内部に行列状に配列される複数の受光画素を有し、

前記受光画素は、

互いに隣接して配置される一对の光電変換部と、

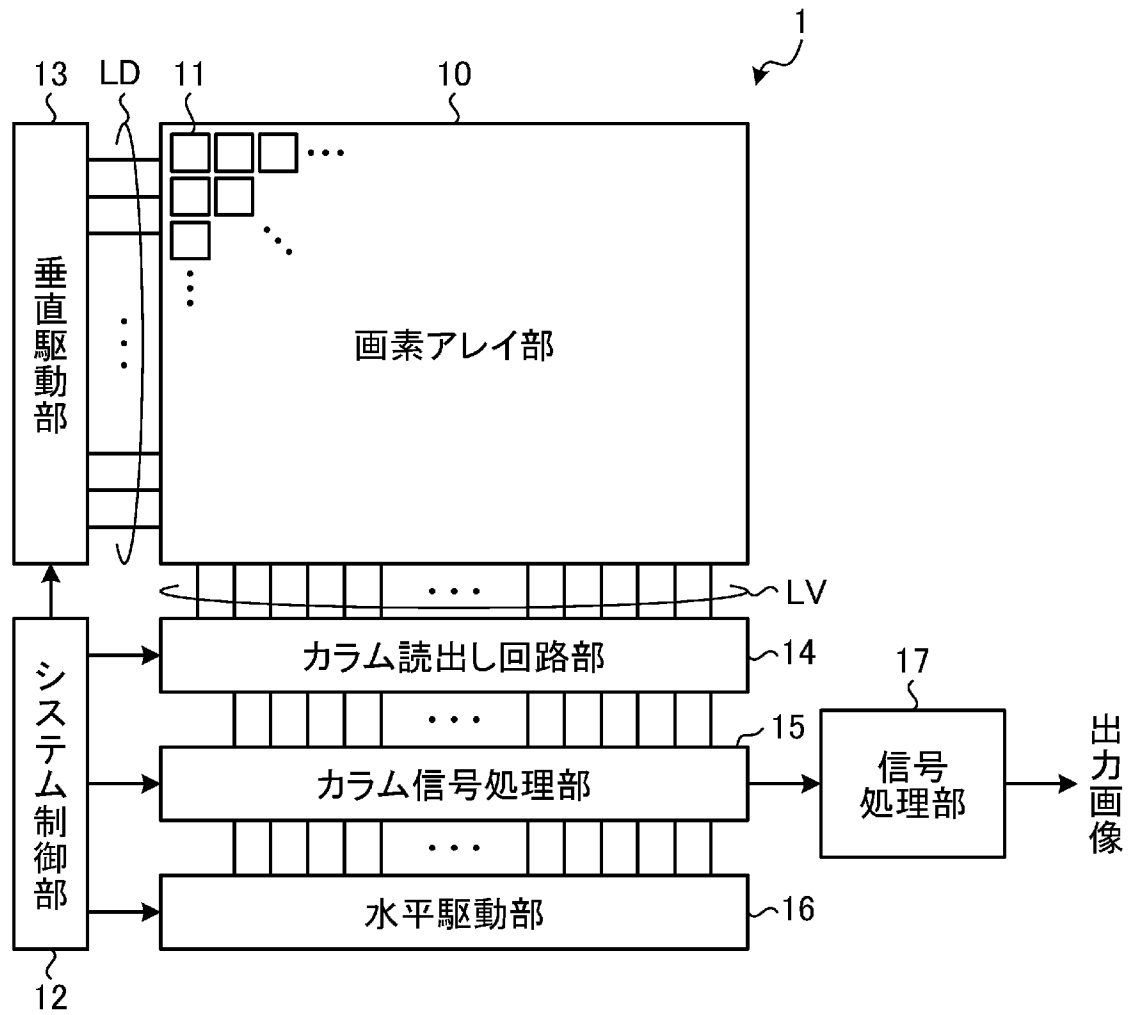
前記一对の光電変換部を囲むように配置され、前記半導体層を貫通するように設けられる第1分離領域と、

前記一对の光電変換部同士の間配置され、前記半導体層を貫通するように設けられる第2分離領域と、

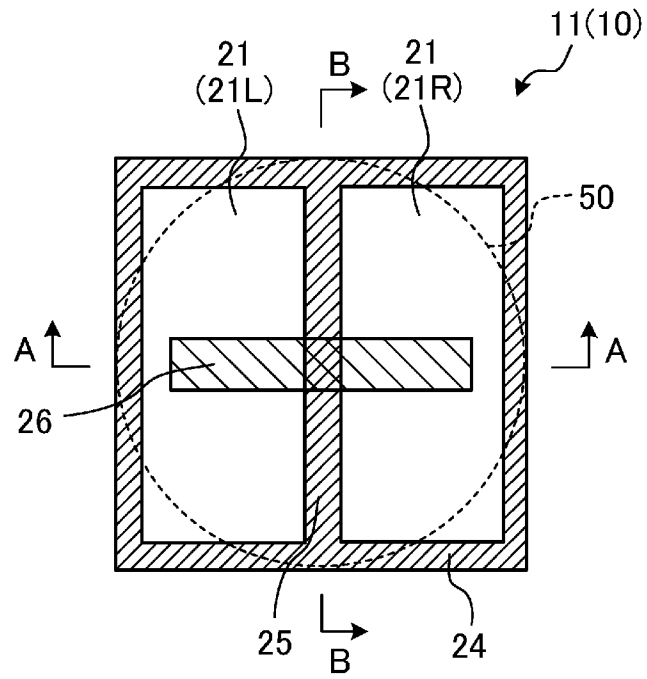
前記第1分離領域によって囲まれる領域に配置され、前記半導体層の光入射面から前記半導体層の途中まで設けられる第3分離領域と、
を有する

電子機器。

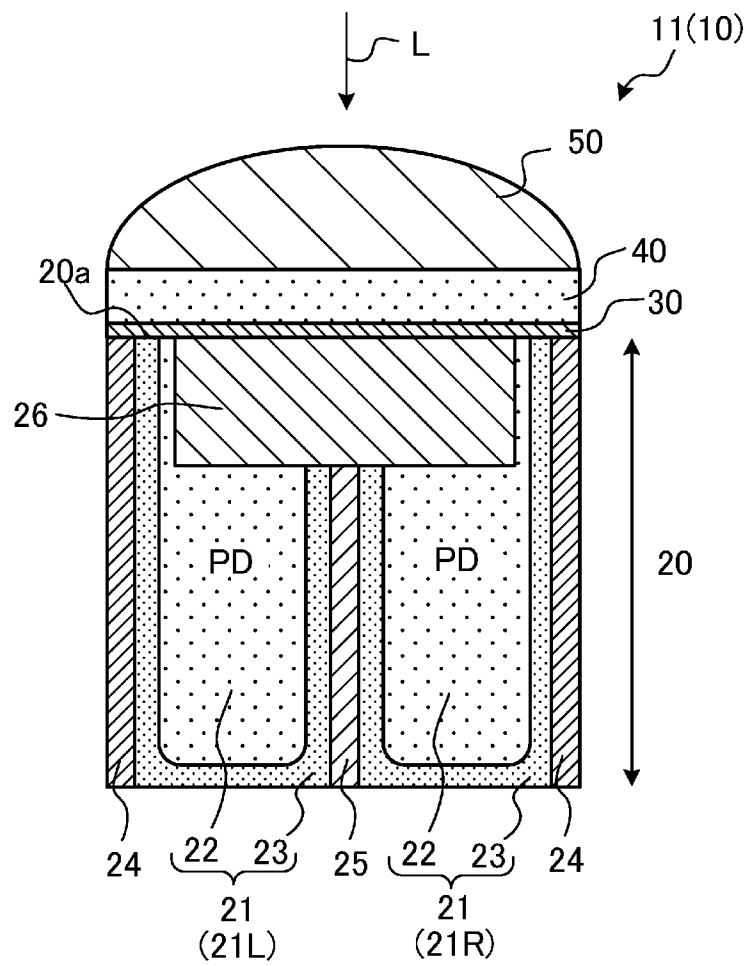
[図1]

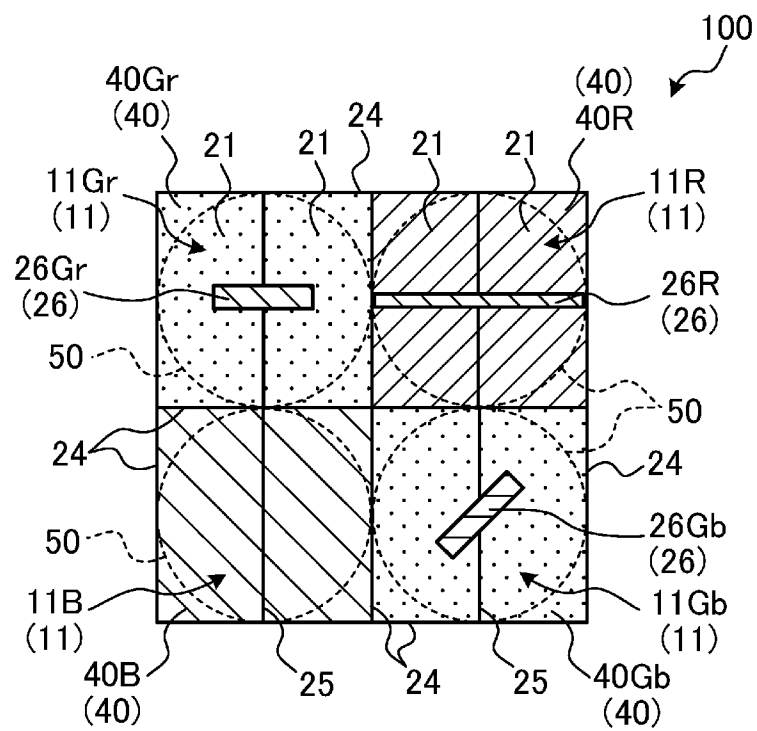
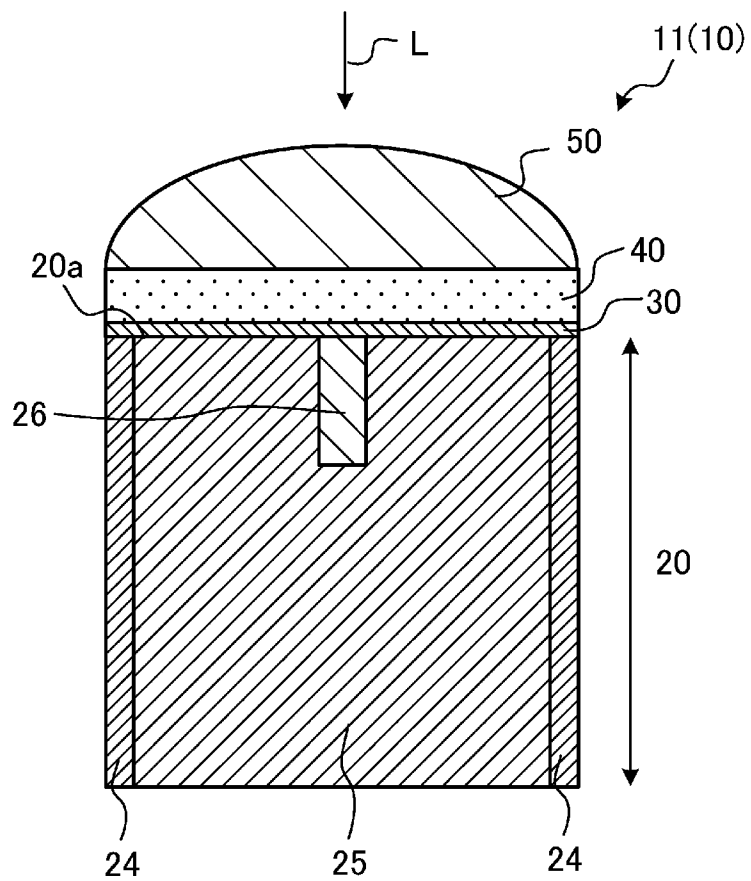


[図2]

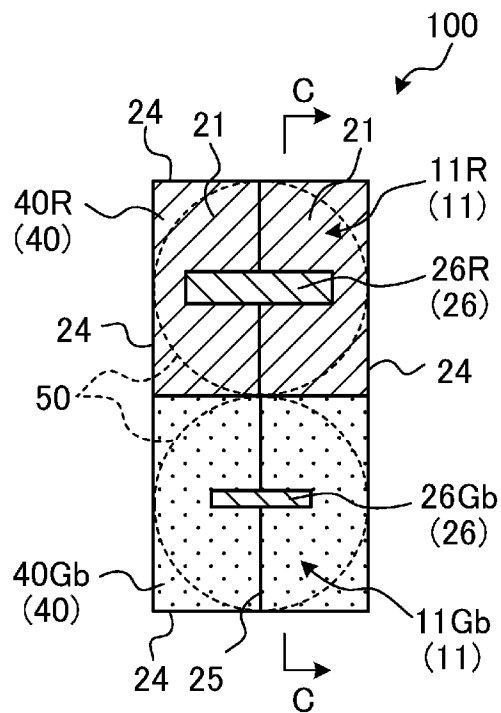


[図3]

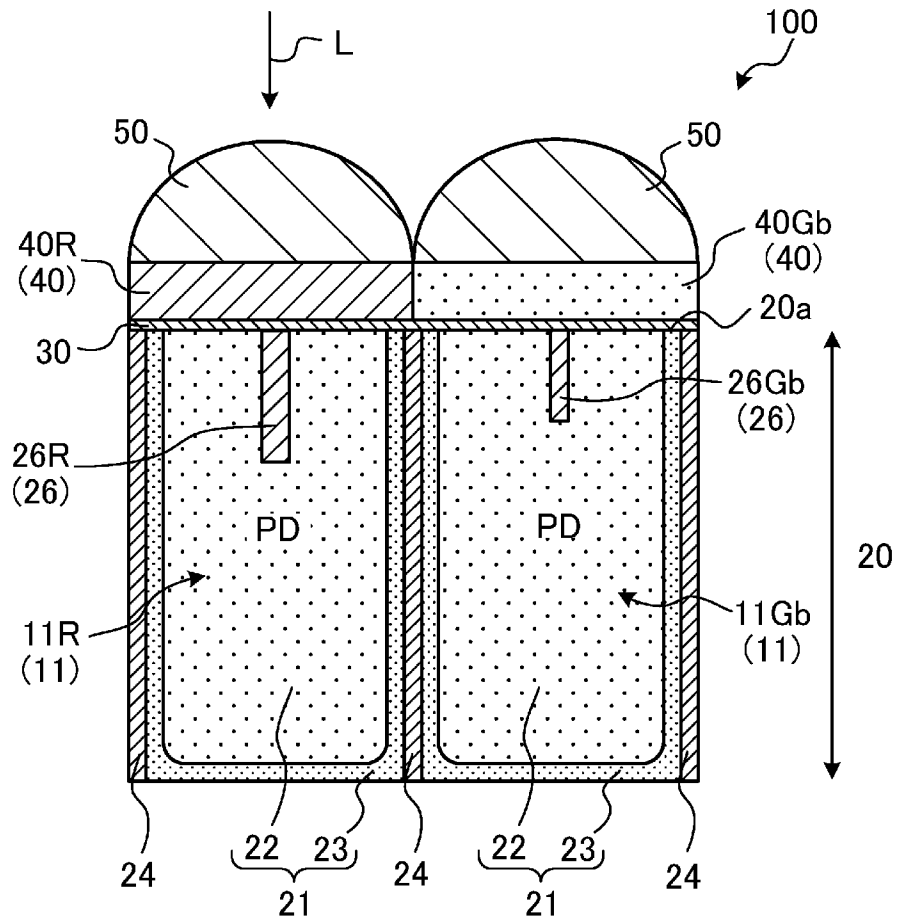




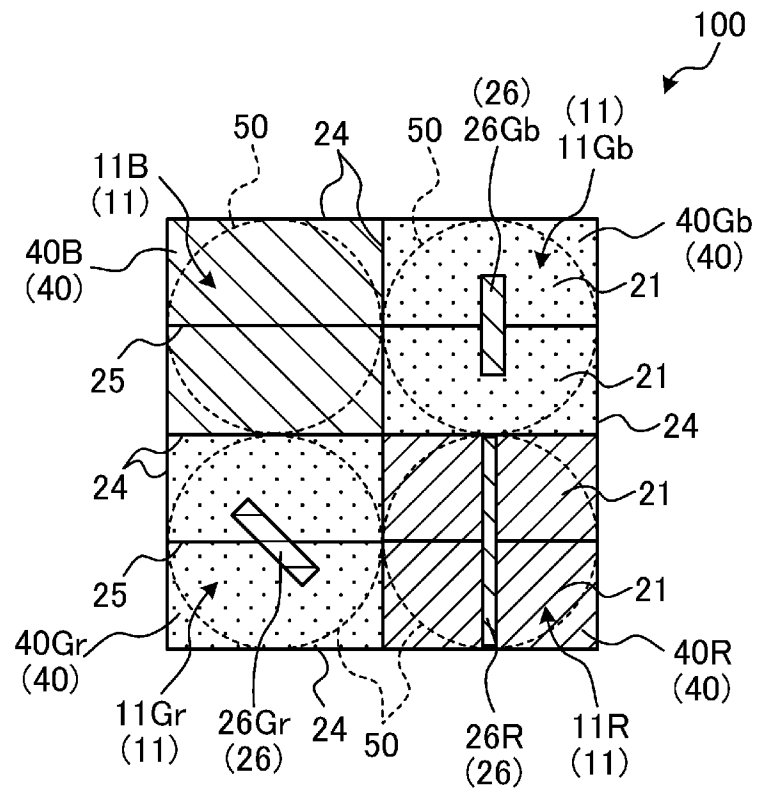
[図6]



[図7]

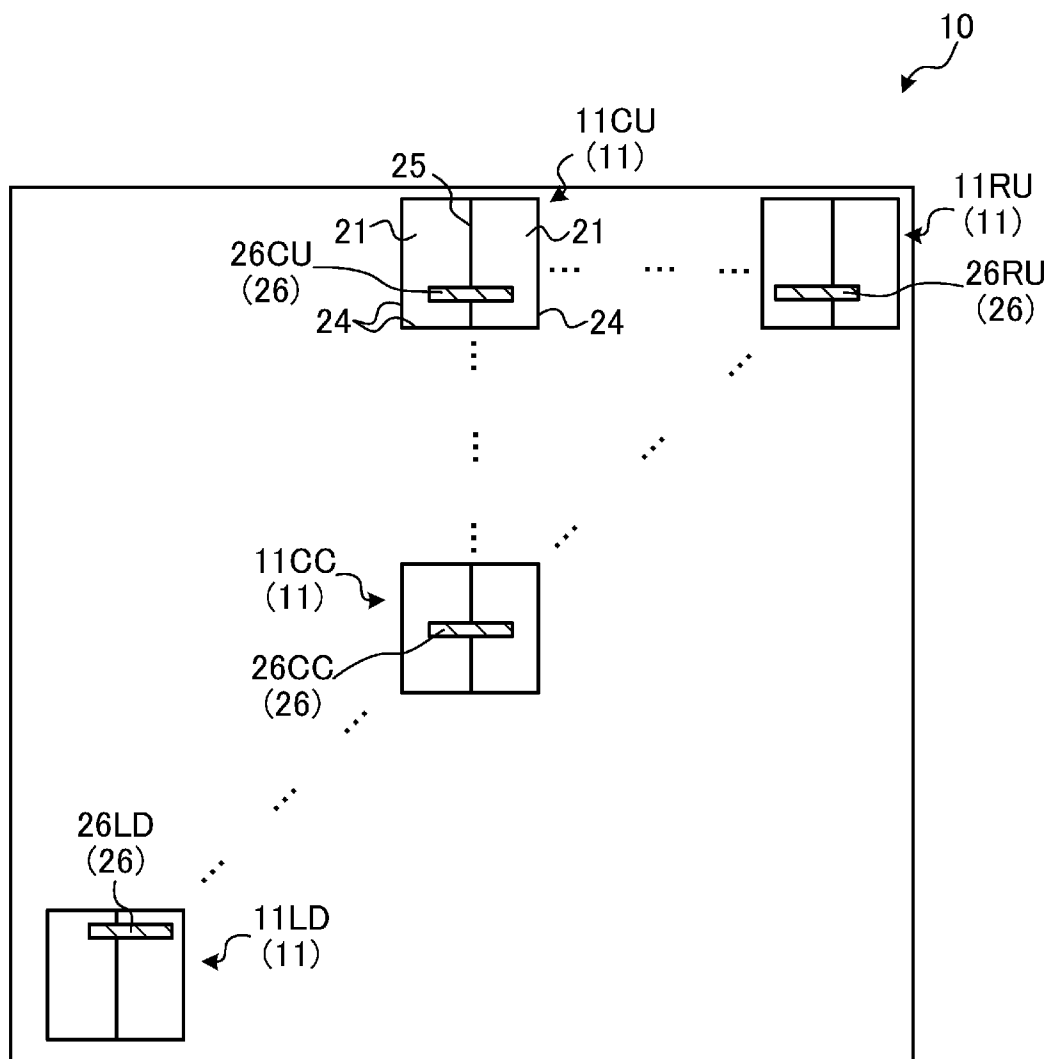


[図8]

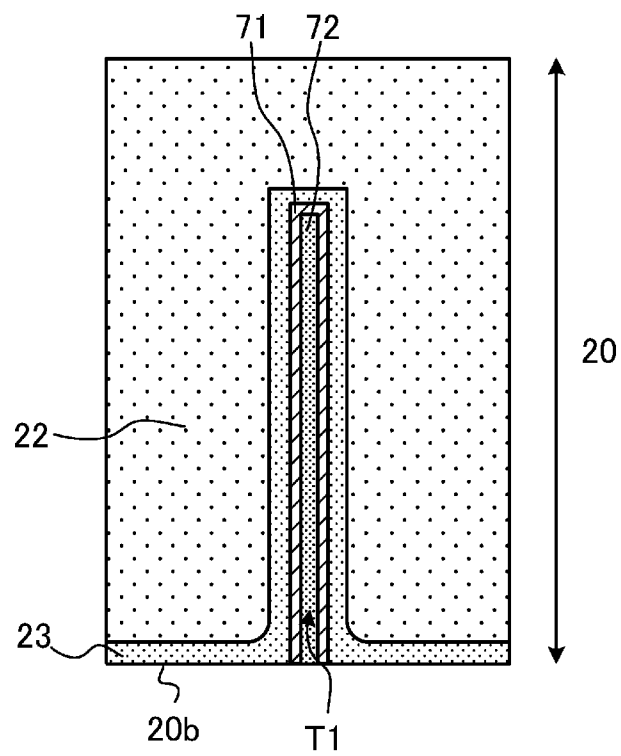


[illegible]

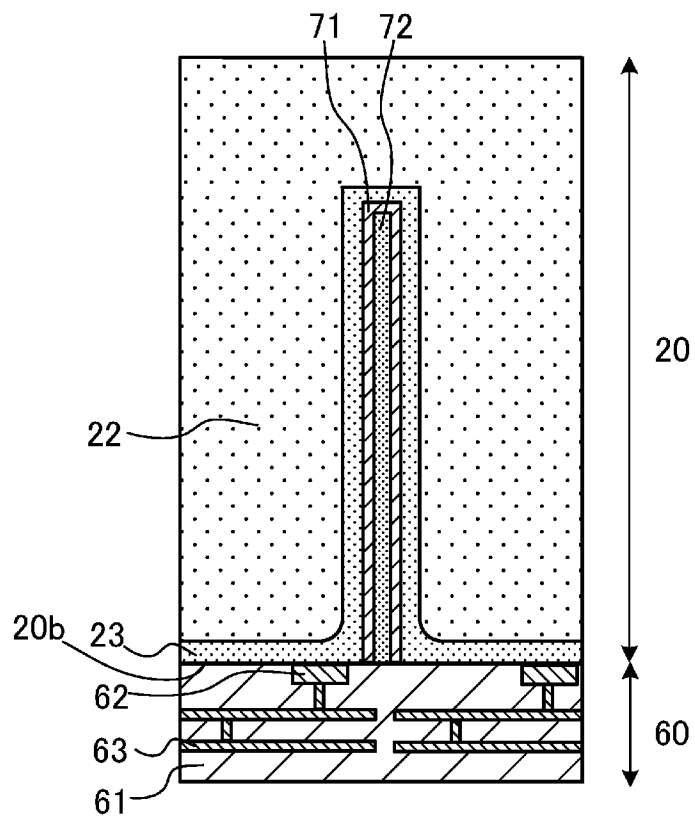
[図10]



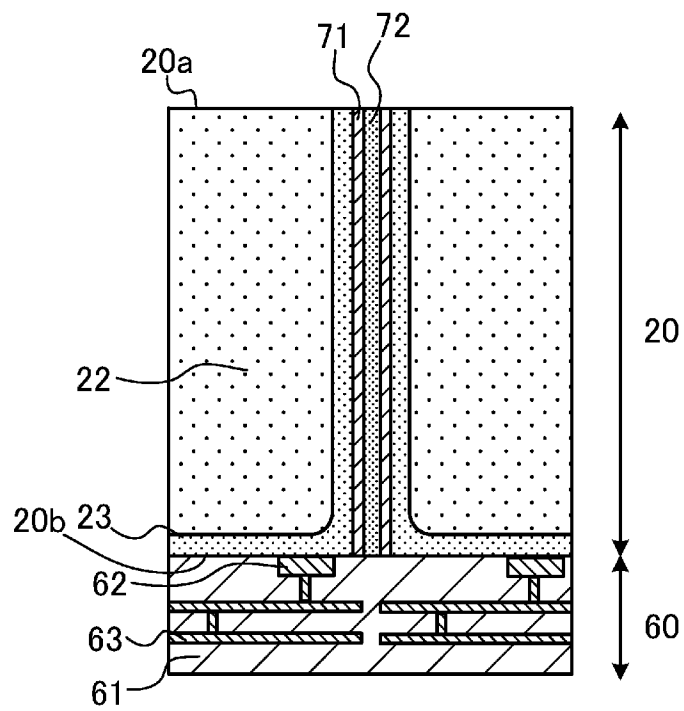
[図11]



[図12]



[図13]



[図14]

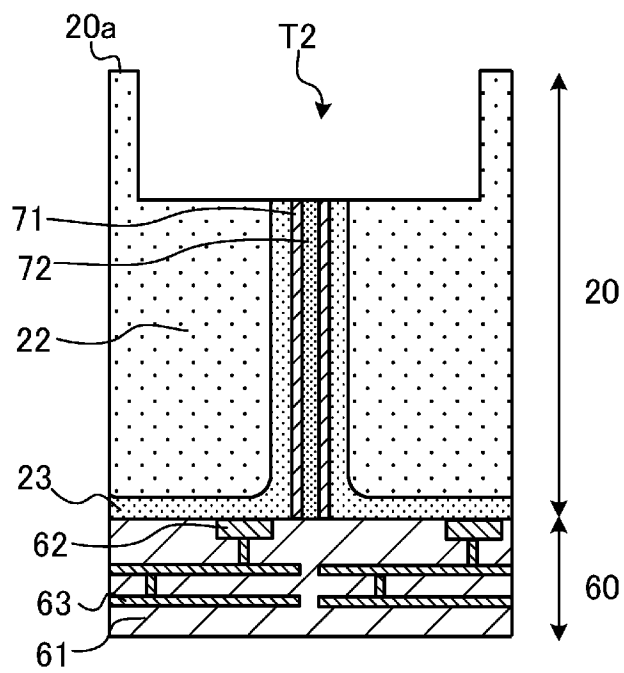
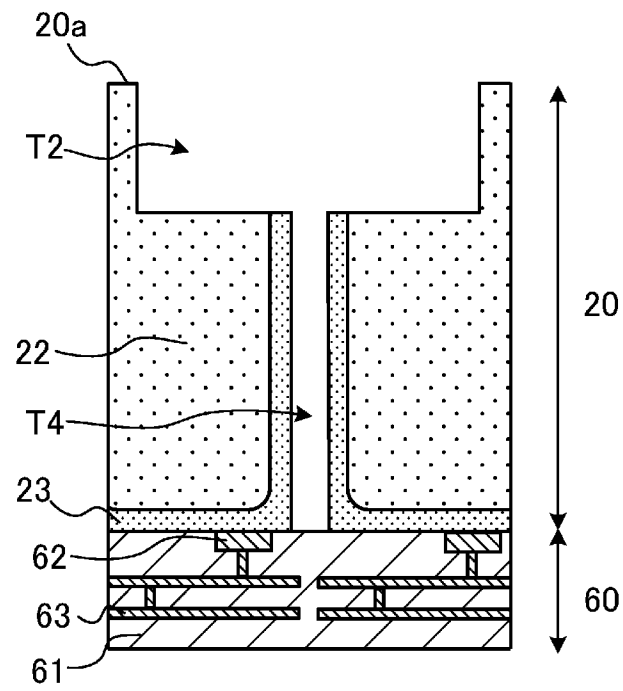


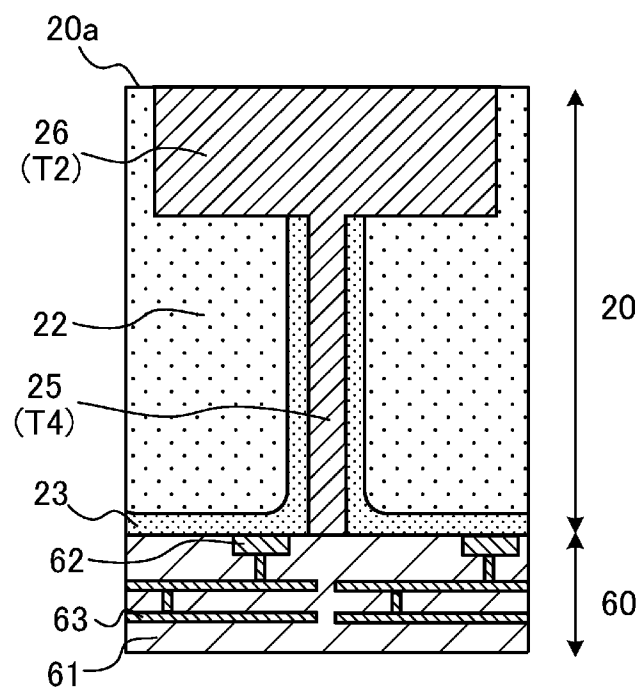
Fig. 1 is a cross-sectional view of a semiconductor device. The device consists of a substrate 61 with a base layer 62 and a patterned layer 63. A central vertical structure 71 is surrounded by a layer 72. A top layer 20a is patterned into regions M1 and M1a. A layer 22 is on the sides, and a layer 23 is at the bottom of the central structure. Dimensions 20 and 60 are indicated.

[illegible]

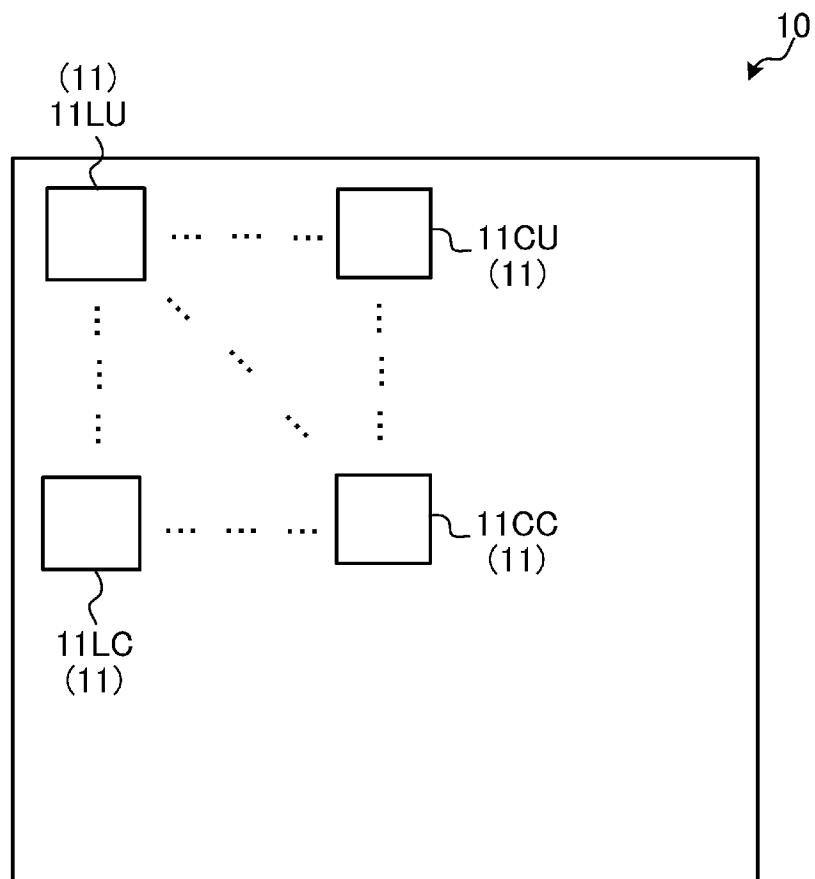
[図17]



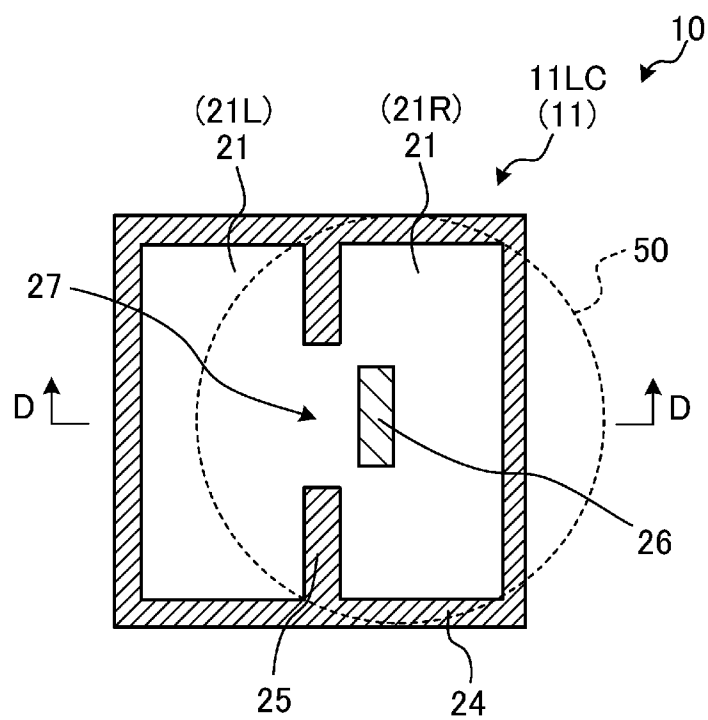
[図18]



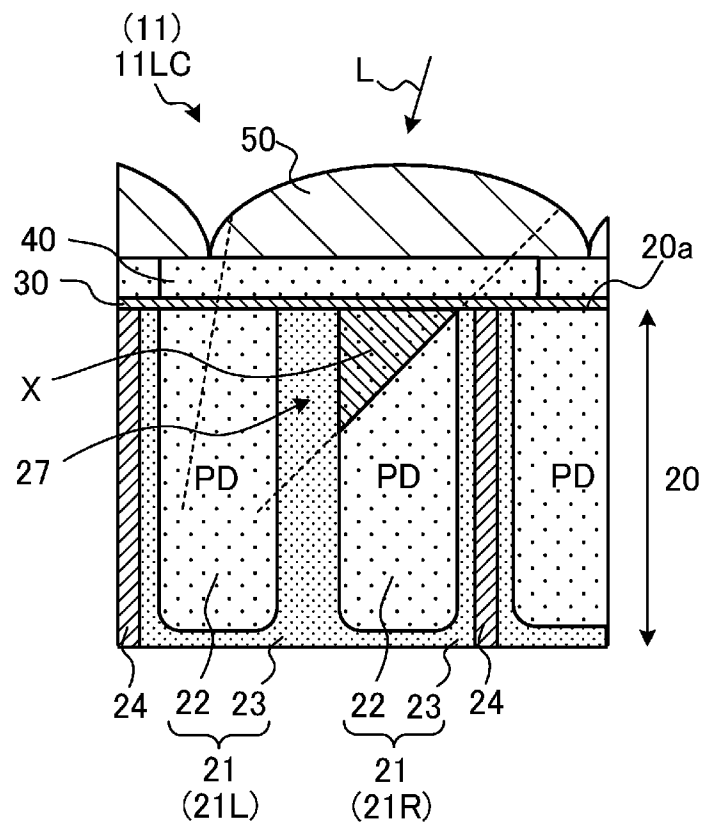
[図19]



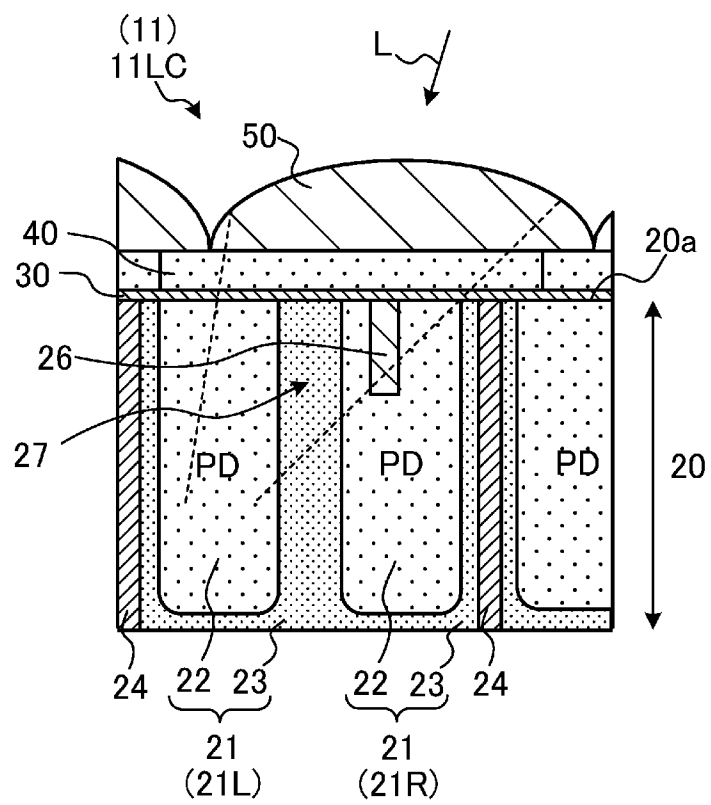
[図20]



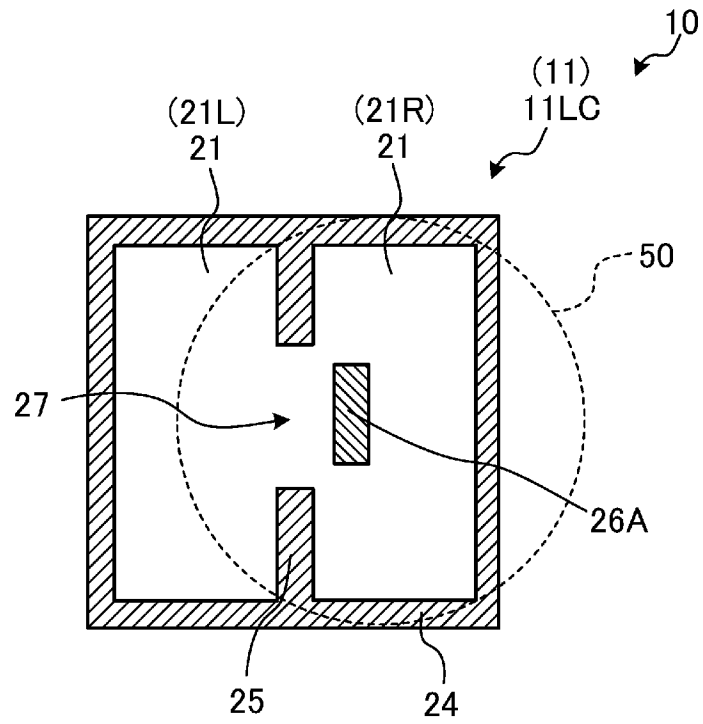
[図22]



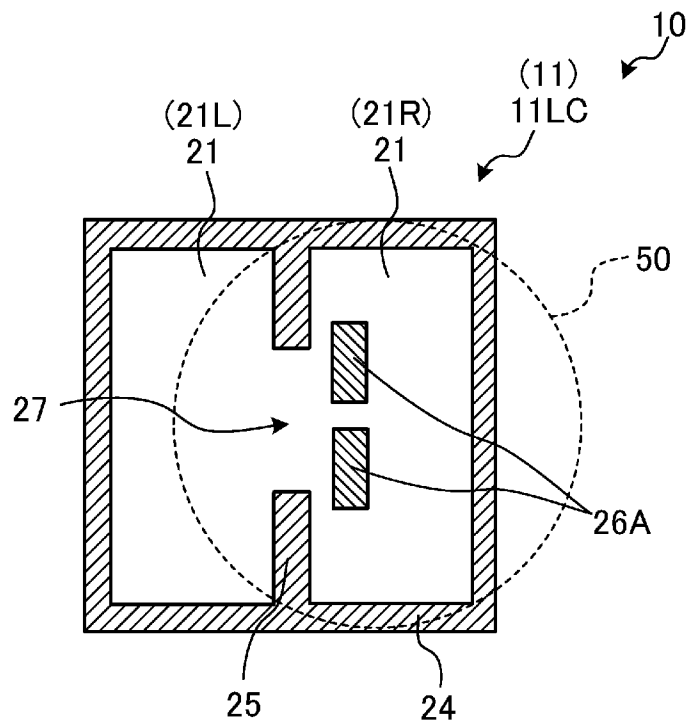
[図23]



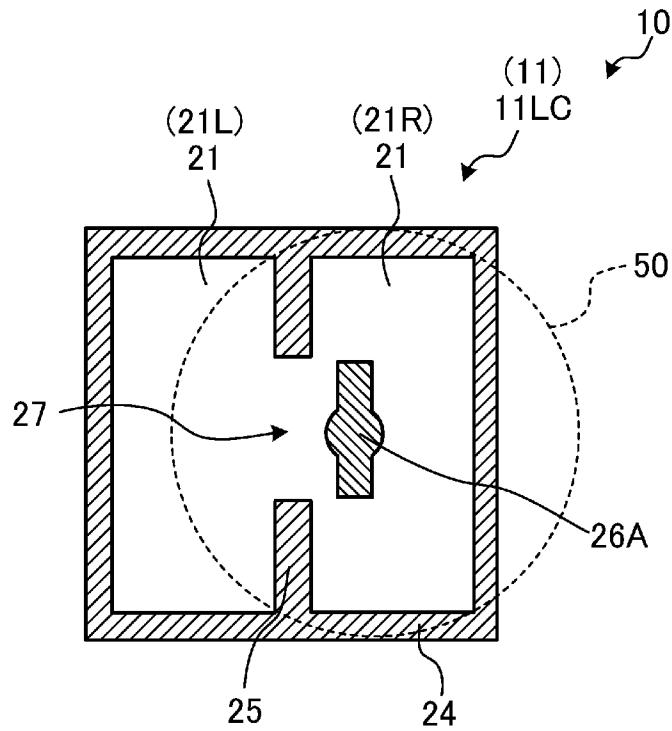
[図24]



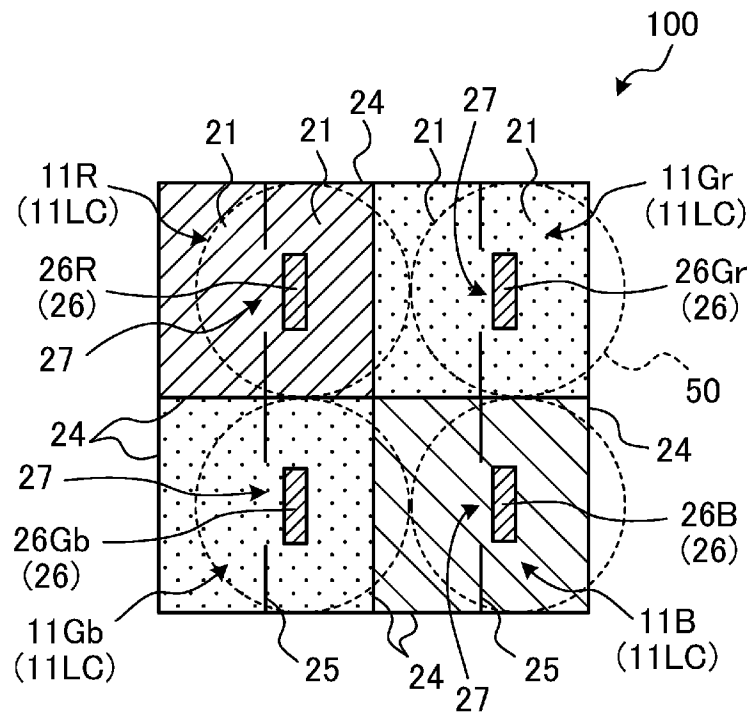
[図25]



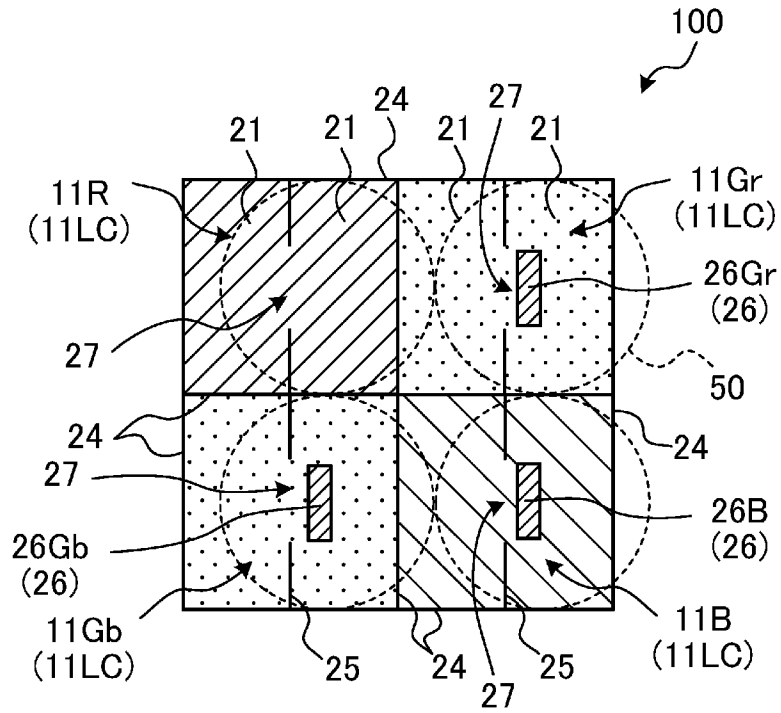
[図26]



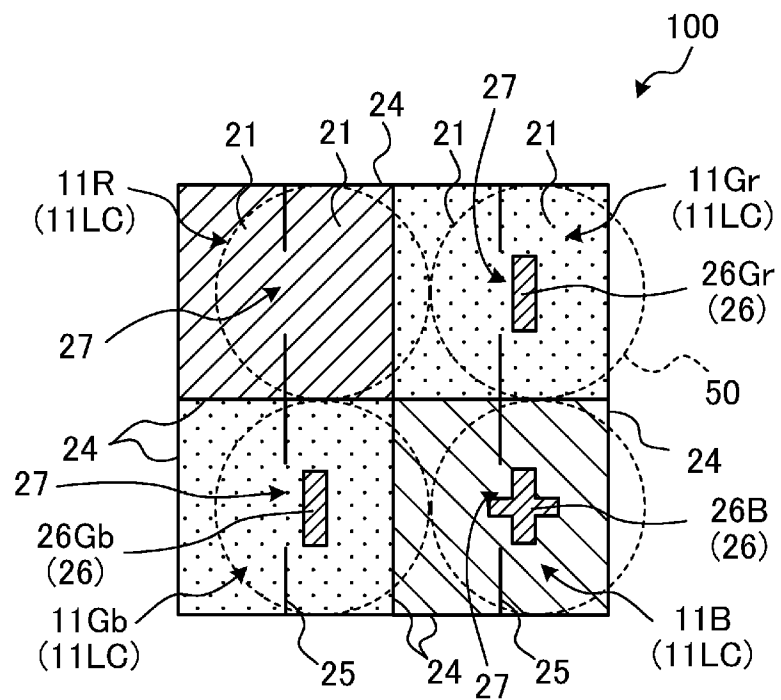
[図27]

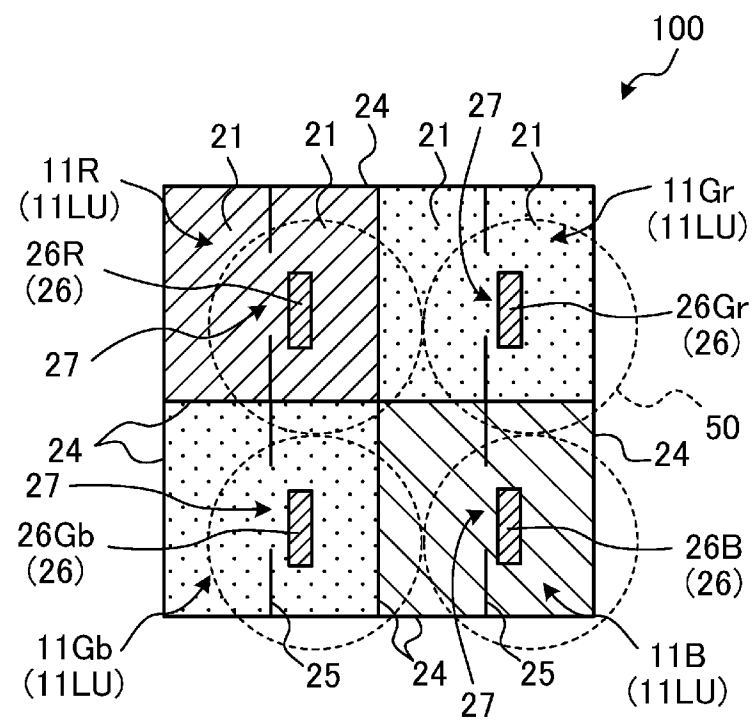


[図28]

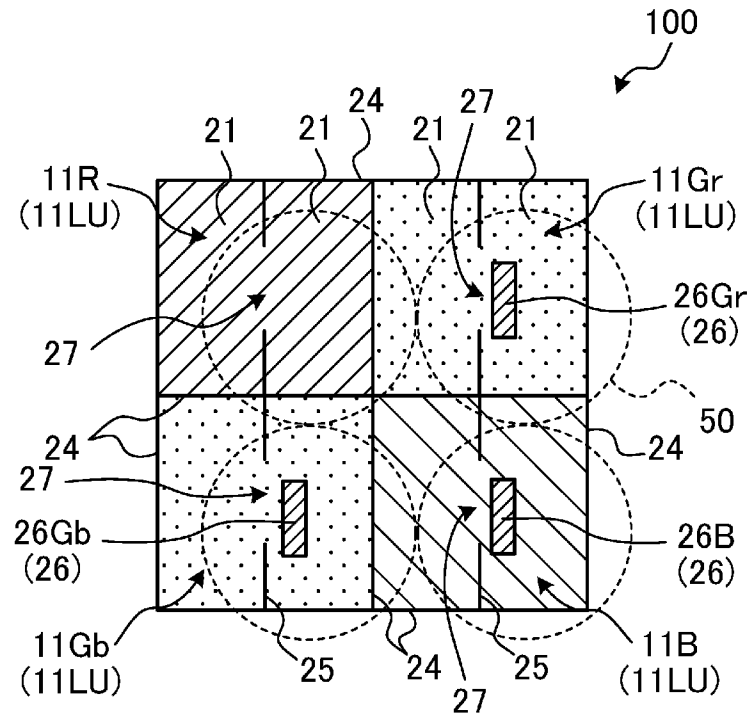


[図29]

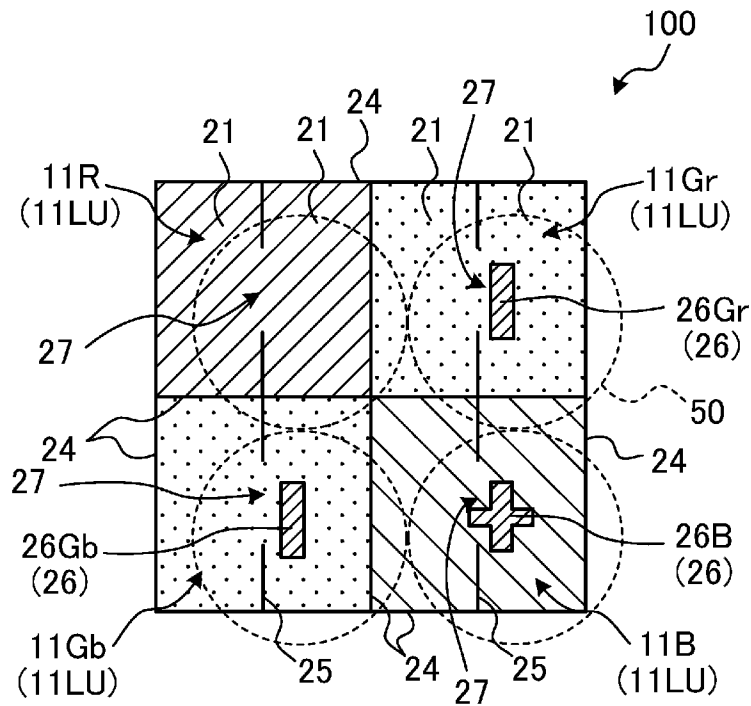




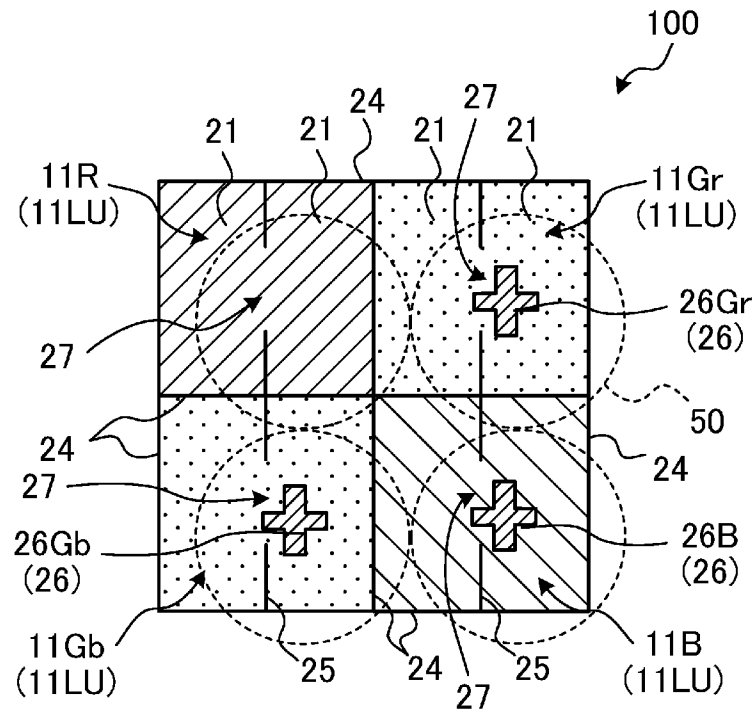
[図32]



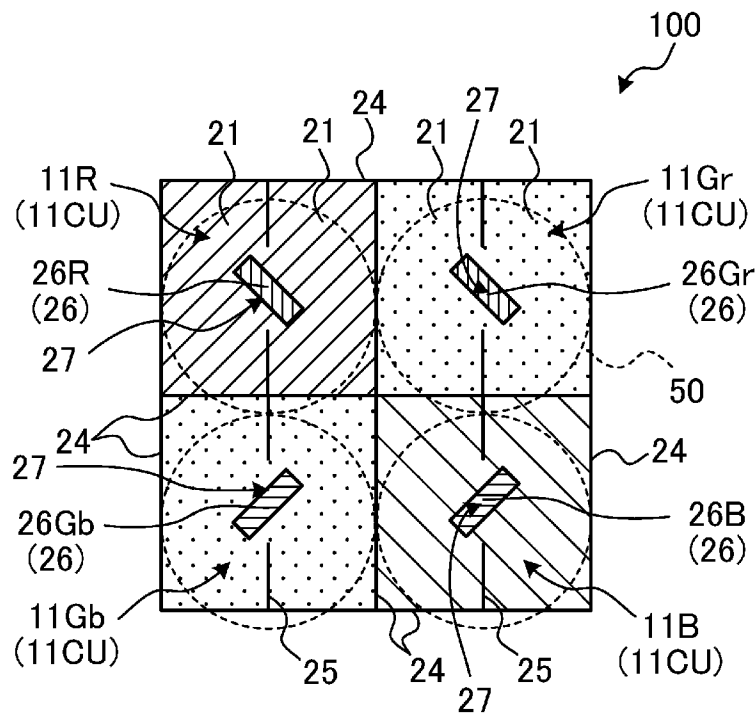
[図33]



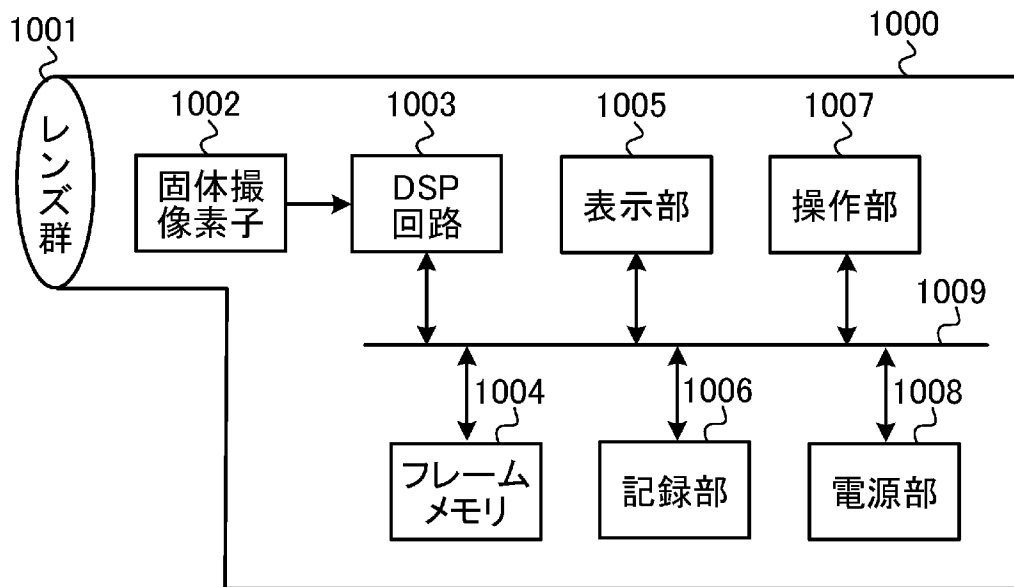
[図34]



[図35]



[図36]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/005787

A. CLASSIFICATION OF SUBJECT MATTER**H01L 27/146**(2006.01)i; **H04N 5/369**(2011.01)i

FI: H01L27/146 A; H04N5/369

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146; H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2022
 Registered utility model specifications of Japan 1996-2022
 Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2017/0170216 A1 (SAMSUNG ELECTRONICS CO., LTD.) 15 June 2017 (2017-06-15) paragraphs [0045]-[0050], [0067]-[0089], [0109]-[0115], [0132]-[0143], fig. 7, 8, 16	1, 2, 5
Y		3, 4
X	JP 2017-212351 A (CANON INC.) 30 November 2017 (2017-11-30) paragraphs [0012]-[0023], [0095]-[0111], [0123], [0137]-[0145], fig. 7	1, 4, 5
Y		3, 4
Y	US 2018/0047766 A1 (SAMSUNG ELECTRONICS CO., LTD.) 15 February 2018 (2018-02-15) fig. 5A-6, 8, 19, 20	3, 4
Y	JP 2018-201015 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 20 December 2018 (2018-12-20) paragraphs [0155]-[0164]	3, 4

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

05 April 2022

Date of mailing of the international search report

19 April 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/005787

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US	2017/0170216	A1	15 June 2017	KR 10-2017-0071184 A CN 107039475 A	
JP	2017-212351	A	30 November 2017	US 2017/0345853 A1 paragraphs [0023]-[0034], [0106]-[0122], [0134], [0148]- [0156], fig. 7A-7F	
US	2018/0047766	A1	15 February 2018	KR 10-2018-0018887 A CN 107706200 A	
JP	2018-201015	A	20 December 2018	US 2020/0235149 A1 paragraphs [0252]-[0261] WO 2018/221443 A1 CN 110383479 A KR 10-2020-0014722 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/146(2006.01)i; H04N 5/369(2011.01)i FI: H01L27/146 A; H04N5/369														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H01L27/146; H04N5/369														
最小限資料以外の資料で調査を行った分野に含まれるもの														
<table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2022年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2022年	日本国実用新案登録公報	1996-2022年	日本国登録実用新案公報	1994-2022年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2022年													
日本国実用新案登録公報	1996-2022年													
日本国登録実用新案公報	1994-2022年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
X	US 2017/0170216 A1 (SAMSUNG ELECTRONICS CO., LTD.) 15.06.2017 (2017-06-15) 段落[0045]-[0050], [0067]-[0089], [0109]-[0115], [0132]-[0143], FIG. 7, 8, 16	1, 2, 5												
Y		3, 4												
X	JP 2017-212351 A (キヤノン株式会社) 30.11.2017 (2017-11-30) 段落 [0012] - [0023], [0095] - [0111], [0123], [0137] - [0145], 【図7】	1, 4, 5												
Y		3, 4												
Y	US 2018/0047766 A1 (SAMSUNG ELECTRONICS CO., LTD.) 15.02.2018 (2018-02-15) FIG. 5A-6, 8, 19, 20	3, 4												
Y	JP 2018-201015 A (ソニーセミコンダクタソリューションズ株式会社) 20.12.2018 (2018-12-20) 段落 [0155] - [0164]	3, 4												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>"&" 同一パテントファミリー文献</td> </tr> <tr> <td>"O" 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献	"O" 口頭による開示、使用、展示等に言及する文献		"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献													
"O" 口頭による開示、使用、展示等に言及する文献														
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 05.04.2022		国際調査報告の発送日 19.04.2022												
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 脇水 佳弘 5F 3464 電話番号 03-3581-1101 内線 3516												

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/005787

引用文献			公表日	パテントファミリー文献		公表日
US	2017/0170216	A1	15.06.2017	KR 10-2017-0071184	A	
				CN 107039475	A	
JP	2017-212351	A	30.11.2017	US 2017/0345853	A1	
				段落[0023]-[0034], [0106]-[0122], [0134], [0148]-[0156], FIG. 7A-7F		
US	2018/0047766	A1	15.02.2018	KR 10-2018-0018887	A	
				CN 107706200	A	
JP	2018-201015	A	20.12.2018	US 2020/0235149	A1	
				段落[0252]-[0261]		
				WO 2018/221443	A1	
				CN 110383479	A	
				KR 10-2020-0014722	A	