



(12) 发明专利

(10) 授权公告号 CN 101425328 B

(45) 授权公告日 2011. 11. 30

(21) 申请号 200810183830. 7

CN 1480945 A, 2004. 03. 10,

(22) 申请日 2007. 02. 27

审查员 徐波

(30) 优先权数据

138429/2006 2006. 05. 18 JP

(62) 分案原申请数据

200710084807. 8 2007. 02. 27

(73) 专利权人 株式会社日立制作所

地址 日本东京都

(72) 发明人 河原尊之 竹村理一郎 伊藤显知

高桥宏昌

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华

(51) Int. Cl.

G11C 11/16 (2006. 01)

(56) 对比文件

US 20020141231 A1, 2002. 10. 03,

JP 2005-116923 A, 2005. 04. 28,

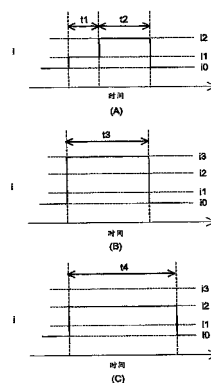
权利要求书 1 页 说明书 9 页 附图 26 页

(54) 发明名称

半导体器件

(57) 摘要

本发明提供一种半导体器件,在利用自旋注入磁化反转的存储器中,实现高速动作时的低电流重写动作,抑制每个存储器单元的离差,并抑制读出干扰。在进行重写前,提供弱脉冲,使自旋状态不稳定,降低重写电流。利用重写电流在脉冲宽度中非线性地增大的区域进行读出,对干扰进行抑制。进而,通过利用位线电荷使注入自旋量恒定的驱动方法来抑制离差。



1. 一种半导体器件,其特征在于:

包括多条字线;多条位线,配置在与上述字线交叉的方向上;以及多个存储器单元,配置在上述字线和上述位线的预定的交点上,

上述多个存储器单元的每一个,包括隧道磁阻元件,该隧道磁阻元件层叠有固定层、隧道膜及自由层;和 MOSFET,它的栅极连接在上述字线上,它的漏极连接在上述隧道磁阻元件的一端上,

上述固定层,邻接上述隧道膜地配置,该固定层的电子自旋的方向被固定在预定方向,

上述自由层,邻接上述隧道膜的一个面,该面为与上述隧道膜的邻接上述固定层的面相对的面,该自由层的电子自旋的方向相对于上述固定层取平行、反平行中的任一方向,

上述自由层的电子自旋,利用自旋注入磁化反转来写入信息,

在进行上述写入动作时,使第一电流流过上述隧道磁阻元件中后,使比上述第一电流大的第二电流流过。

2. 根据权利要求 1 所述的半导体器件,其特征在于:

施加于在上述隧道磁阻元件中流过上述第一电流时的字线上的电压,比施加于在上述隧道磁阻元件中流过上述第二电流时的字线上的电压小。

3. 根据权利要求 1 所述的半导体器件,其特征在于:

施加于在上述隧道磁阻元件中流过上述第一电流时的位线上的电压,比施加于在上述隧道磁阻元件中流过上述第二电流时的位线上的电压小。

半导体器件

[0001] 本申请是申请日为 2007 年 2 月 27 日、申请号为 200710084807.8、发明名称为“半导体器件”的发明专利申请的分案申请。

技术领域

[0002] 本发明涉及半导体器件,尤其涉及利用磁阻变化的存储器单元的写入控制方法。

背景技术

[0003] 在非易失性存储器中,利用磁阻变化的 MRAM(Magnetoresistive Random Access Memory) 有作为可高速动作的 RAM 的可能性。现有的 MRAM 的单元结构,由 1 个隧道磁阻元件 TMR 和用于读出的选择晶体管 MCT、写入字线 WWL、位线 BL、以及源极线 SL 构成。如图 30 所示,在隧道磁阻元件 TMR 中,至少有 2 层磁性层,其中,一层由自旋方向固定的固定层 PL 构成,另一层由自旋方向相对于固定层呈平行状态和反平行状态这 2 个状态的自由层 FL 构成。利用该自由层的自旋方向进行信息存储,在反平行状态,隧道磁阻元件的电阻为高阻抗状态,在平行状态,隧道磁阻元件的电阻为低阻抗状态。在读出动作中,读出隧道磁阻元件 TMR 的电阻大小。而在重写动作中,使电流流过写入的字线 WWL 和位线 BL,此时,由在隧道磁阻元件 TMR 中激励的合成磁场控制自由层的自旋方向。但是,在该重写方式中,随着隧道磁阻元件 TMR 的微细化,重写所需的磁场强度变大,因此存在流过写入的字线和位线的电流也变大的问题。针对该问题,在非专利文献 1 中公开了一种 MRAM(Spin RAM),该 MRAM 利用了通过使电流垂直地流过上述的隧道磁阻元件 TMR 来改变自由层的自旋方向的自旋注入磁化反转技术。上述重写方式,如图 31 所示,能够利用与固定层、隧道膜、自由层垂直的方向的电流来控制自由层的自旋方向。因此,由于重写所需的电流与隧道磁阻元件 TMR 的尺寸成比例,所以能够随着隧道磁阻元件 TMR 的微细化降低重写电流,在可扩缩性方面是优异的。

[0004] 专利文献 1:日本特开 2005-116923 号公报

[0005] 非专利文献 1:2005 International Electron Device Meeting Technical Digest Papers pp. 473-476

发明内容

[0006] 在自旋注入型 MRAM 中,当前重写所需的电流密度(阈值电流)需要满足 $1 \times 10^6 \sim 10^7 \text{ A/cm}^2$,在用 $50 \text{ nm} \times 100 \text{ nm}$ 的元件考虑此条件的情况下,需要 $50 \mu \text{ A}$ 的电流,这是与最小加工尺寸的 MOS 晶体管能够驱动的电流相等的水平。

[0007] 另外,发明人在研究中发现,该重写所需的电流密度(阈值电流)是写入时间(重写脉冲宽度)的函数,即,若要以短写入时间充分地使自旋方向反转就需要很大的电流。也就是说,当为自旋注入型 MRAM 时,可扩缩性优异,且高速写入性能优良,但在高速地进行写入时,需要用于流过大电流的大 MOS 晶体管,相反地,在为了减小面积而使用小 MOS 晶体管时,则无法高速地进行写入。

[0008] 另外,自旋注入型 MRAM,可扩缩性优异,能够进行微细化。但是,若进行微细化,则每个存储器单元的制造离差变大,写入电流会在每个存储器单元上产生离差。因此,在写入时需要降低流过存储器单元的电流的离差。

[0009] 进而,在自旋注入型 MRAM 中,写入与读出的差别仅是流过的电流量不同。因此,存在因读出导致的误写入的隐患。为避免上述隐患需要降低读出干扰。

[0010] 为了解决上述问题,本申请的说明书所公开的主要发明如下。

[0011] 第一,在自旋注入型 MRAM 的写入动作时,使第一电流流过隧道磁阻元件后,使比第一电流大的第二电流流过。

[0012] 第二,在自旋注入型 MRAM 的读出时,使电流流过存储器单元的时间比重写动作的时间短,电流值为相同程度。

[0013] 第三,在自旋注入型 MRAM 的写入动作时,流过的电容进行充电的电荷。

[0014] 第四,在自旋注入型 MRAM 的写入动作时,使用写入辅助线来产生磁场,对隧道磁阻元件产生影响。

[0015] 第五,在自旋注入型 MRAM 的写入动作前,使电流流过位线来产生磁场,对隧道磁阻元件产生影响。

[0016] 本发明的效果是能够实现高速写入或稳定动作。

附图说明

[0017] 图 1 是本发明的第一实施例。

[0018] 图 2 是本发明的第一实施例的动作例。

[0019] 图 3 是采用了本发明的第一实施例时的实验结果。

[0020] 图 4 是实现第一实施例时的存储器阵列的结构例。

[0021] 图 5 是图 4 的位线・源极线选择电路的结构例。

[0022] 图 6 是图 4 的读出放大器・写入电路的结构例。

[0023] 图 7 是图 4 的字驱动器的结构例。

[0024] 图 8 是图 4 至图 7 的电路动作波形图。

[0025] 图 9 是图 6 的读出放大器・写入电路的其它结构例。

[0026] 图 10 是图 6 的读出放大器・写入电路的其它结构例。

[0027] 图 11 是图 10 所示的电路的动作波形图。

[0028] 图 12 是本发明的第二实施例。

[0029] 图 13 是采用了本发明的第二实施例时的实验结果。

[0030] 图 14 是本发明的第二实施例的其它结构例。

[0031] 图 15 是本发明的第二实施例的其它结构例。

[0032] 图 16 是图 15 的结构例的动作例。

[0033] 图 17 是本发明的第三实施例。

[0034] 图 18 是本发明的第三实施例的动作例。

[0035] 图 19 是本发明的第三实施例的其它结构例。

[0036] 图 20 是图 19 的结构例的动作例。

[0037] 图 21 是本发明的第三实施例的其它结构例。

- [0038] 图 22 是图 21 的结构例的动作例。
- [0039] 图 23 是实现本发明的实施例的存储器单元阵列的布局例。
- [0040] 图 24 是图 23 的 A-A' 间的剖面图和外围电路的剖面图。
- [0041] 图 25 是图 23 的 B-B' 间的剖面图和 C-C' 间的剖面图。
- [0042] 图 26 是表示了本发明的第 4 实施例的存储器阵列的布局例。
- [0043] 图 27 是对应于图 26 的剖面结构的存储器单元的电路图。
- [0044] 图 28 是本发明的第 4 实施例的其它结构例。
- [0045] 图 29 是图 28 的结构例的动作例。
- [0046] 图 30 是隧道磁阻元件 TMR 的结构例。
- [0047] 图 31 是自由层的自旋方向控制的说明图。

具体实施方式

[0048] 使用图 1 和图 2 说明本发明的第一实施例。本结构的存储器单元 SC, 由 n 型 MOS 晶体管 M1 和隧道磁阻元件 T1 构成, 如图 1 所示那样连接在位线 BL 和源极线 SL 上, 控制 M1 栅极的是字线 W。隧道磁阻元件 T1, 如已经在图 30 中作为 TMR 说明的那样, 至少具有 2 层磁性层, 其中, 一层由自旋方向固定的固定层 PL 构成, 另一层由使自旋方向相对于固定层取为平行状态、反平行状态这 2 种状态的自由层 FL 构成。利用该自由层的自旋的方向进行信息存储, 隧道磁阻元件的电阻抗在反平行状态下为高阻抗状态, 在平行状态下为低阻抗状态。当选择字线时, 在 T1 和 M1 中, 如果 BL 侧比 SL 侧电位高则电流沿着图 1 中的 i 方向流过, 如果 SL 侧比 BL 侧电位高则电流沿相反方向流过。与此对应, 如已经在图 31 中说明的那样, 能够控制自旋的方向, 并能够写入与此相对应的信息。

[0049] 图 2 的 (A) 表示本结构的特征。取横轴为时间来示出电流 i 的值。即, 非选择时的电流值为 i_0 (例如, 取电流为 $0\mu A$), 最初的时间 t_1 的电流值为 i_1 , 之后时间 t_2 的电流值为 i_2 , i_1 具有比 i_2 小的特征。在本说明书中, 将提供最初的弱电流 i_1 的动作称为前脉冲。与此相比较, 在不提供前脉冲的情况下, 如图 2 的 (B) 所示, 当在重写动作时间 t_3 的期间流过恒定的电流 i_3 时, 该 i_3 变为比 i_2 大的值。另外, 如图 2 的 (C) 所示, 即使流过的电流与 i_2 相同, 重写动作时间 t_4 也会比 t_2 长。作为引起这种现象的原因, 考虑是由最初的弱电流 i_1 使自由层的自旋发生扰动, 导致成为方向容易改变的状态。因此, 与一次性地流过重写电流相比, 预先用最初的弱电流做成为容易改变自旋的状态、之后使原本的重写电流流过, 能够实现更小的重写电流。图 3 表示使用了本发明时的实验结果的示意图。横轴表示重写时间, 纵轴表示重写所需的电流, 为了分别用所希望的点进行标准化, 单位是任意的。如该图 3 所示, 通过如图 2 的 (A) 所示那样在最初提供弱电流 (具有前脉冲), 能够用更短的时间进行重写。

[0050] 如上所述, 采用在最初提供弱电流 i_1 , 之后提供比该电流大的电流 i_2 (图 2(A)) 的方法, 能够用更低的电流进行重写, 另外, 能够实现高速重写动作。在前脉冲动作之后, 若不流过原本的用于重写动作的电流, 存储器单元的状态会返回最初的状态, 不会成为其它的状态。另外, 可以仅对重写的存储器单元提供前脉冲, 也可以包括不重写的单元而同时提供前脉冲。

[0051] 图 4 表示使用了本发明申请的存储器阵列。存储器单元 SC 由字驱动器 WD 控制,

字线为 W1、W2, 各个存储器单元由 MT 和隧道磁阻元件 TMR 构成, 如图所示那样地连接在位线 BL 和源极线 SL 上。在图 4 中, 存储器单元 SC 配置在字线与位线的一半交点上, 但也可以配置在全部交点上。读出放大器块 SAB 配置有位线·源极线选择电路 BLSEL、放大位线的微弱信号的读出放大器 SA、以及用于对存储器单元写入数据的写入电路 WA。在图 4 中, 示出了对 1 个读出放大器·写入电路连接有 4 对位线·源极线对的例子, 但不限于此。也可以对 1 对位线·源极线对连接读出放大器·写入电路。在该情况下, 面积增大, 但由于对全部位线连接读出放大器, 因此有利于一次向外部输出大量数据。另外, 若对 4 对、8 对或 16 对等多个位线·源极线对配置 1 个读出放大器·写入电路, 则将使读出放大器·写入电路的数量减少, 因而具有能够减少小面积的优点。

[0052] 图 5 是根据位线选择信号 SEL0、SEL1、SEL2、SEL3 从 4 对位线·源极线对中选择 1 对位线·源极线对的位线·源极线选择电路例子。在该电路中还包括补偿 MOS 和预充电电路, 该补偿 MOS 用于根据补偿信号 EQ0、EQ1、EQ2、EQ3 和预充电信号 PC0、PC1、PC2、PC3 而在非选择时将位线和源极线的电位设定为预定电压 V_s , 上述预充电电路用于根据读出放大器预充电信号 PCSA 在读出时将位线和源极线的电位设定为预定读出电压 (VR)。本电路并不限于图 5 所示的结构。只要具有同样的功能, 也可以是其它电路结构。

[0053] 图 6 表示图 4 所示的读出放大器 SA 和写入电路 WA 的结构例。采用图 6 所示出的结构能够实现面积的减小。写入电路, 首先具有锁存电路, 该锁存电路由将 LTP 和 LTA 作为输出的 2 级反相器电路构成。由列选择信号 Y1 和第一写入控制信号 WE 根据输入输出线 IO 的信息来设定该锁存电路中的信息。由该设定结果的 LTP 和 LTA 的值, 并由第二写入控制信号 WE1, 使连接在此处的 MOS 晶体管导通, 则位线 BLSA 和源极线 SLSA 与 V_d 或 V_s 电连接。另外, 由位线·源极线选择电路 BLSEL 所选择的位线 BL、源极线 SL 也与 V_d 或 V_s 电连接。位线 BLSA、源极线 SLSA 与位线 BL、源极线 SL 相同地进行控制, 因此为了防止以下的说明变得复杂, 只要没有特别说明, 位线 BLSA 和位线 BL 作为相同线处理, 源极线 SLSA 和 SL 作为相同线处理。此时, 位线 BL 与 V_d 电连接时, LTP 是高电位, LTA 是低电位, 源极线 SL 与 V_s 电连接。为了对位线、源极线可靠地提供 V_d , 预先设定锁存电路的电位比 V_d 高。读出时, 能够由读出控制电路 RE1、RE 将位线 BL 的信号送入读出放大器进行放大, 或者将读出放大器的信号通过由列选择信号 Y1 所控制的 MOS 晶体管输出至 IO。通过采用该图 6 的电路结构, 能够进行在图 1 ~ 图 3 中所说明的本发明的动作。

[0054] 图 7 是图 4 所示的字驱动器 WD 的电路例子。图 7 的字驱动器 WD 表示用于通过控制字线来实现前脉冲的结构。这里, 该字驱动器是通过由例示出 Ai1 和 Ai2 这二者的外部地址所选择的信号 (译码信号) 来选择字线 W1 和 W2 的电路, 此时, 能够通过切换 HW 来对字线提供两种电压, 上述两种电压分别是电压值比 V_{d1} 少了 nMOS 的阈值量的电压和电压值等于 V_{d1} 的电压。即, 在非选择状态, Ai1、Ai2 及 HW 为高电平, 因此字线为 V_s 电平。在此, 当 Ai1 被选择而成为低电平时, 利用接收了该低电平的反相器的输出, 插入在 V_{d1} 和 W1 之间的 nMOS 的栅极电压成为 V_{d1} 。因此, 在字线输出电压值比 V_{d1} 低了 nMOS 的阈值量的电压。接着, HW 也成为低电平, 则插入在 V_{d1} 和 W1 之间的串联的 2 个 pMOS 的栅极成为低电平, 在字线输出电压值等于 V_{d1} 的电压。根据该例子, 能够发生 2 种电压, 能够实现本发明所需的流过 2 种电流值的电流的动作。

[0055] 图 8 表示图 4 ~ 图 7 的电路的动作例。是从 IO 取入重写数据, 利用本发明的方法

进行重写的动作。IO 为初始低电压,作为重写数据取为高电位。通过将 Y1 和 WE 置为高电位将其锁存地读入。结果 LTP 由低电位切换为高电位, LTA 由高电位切换为低电位。预充电信号 PC 和补偿信号 EQ 此时为高电位,因此位线 BL 和源极线 SL 都为低电位 V_s 。如果切换 WE1,源极线 SL 成为能够与高电位 V_d 电连接的状态,位线 BL 成为能够与低电位 V_s 电连接的状态。接着,PC 和 EQ 成为低电位,位线 BL 和源极线 SL 从低电位 V_s 电切换出来。之后,WE1 成为高电位,源极线 SL 电连接高电位 V_d ,位线 BL 与低电位 V_s 电连接。此时,译码信号 Ai1 被切换,字驱动器 WD1 进行动作,字线 W1 首先成为 V_1 电位(前脉冲动作)。该 V_1 的值,如图 7 的电路图所示,为电压值比 V_{d1} 低了 MOS 的阈值量的电压。由此,使对应图 2 的小电流 i_1 流过存储器单元。因此,存储器单元中的自旋成为容易改变方向的状态。之后,信号线 HW 被切换。这样,如图 7 的电路图所示,由电压 V_{d1} 经由 pMOS 对字线施加电压,字线 W1 成为比 $V_2 (= V_{d1})$ 高的电压。使比对应图 2 电流大的重写电流即 i_2 流过存储器单元。由此,存储器单元中的自旋成为朝向所希望的方向,能够进行重写动作。此时,最初对字线提供 V_1 之后提供 V_2 的动作,与一次性地对字线提供用于重写动作的电压的情况相比,能够使 V_2 变低或者使提供的时间缩短(即,能够进行高速重写)。这样,本发明能够降低重写电流,进行重写的高速化。当重写结束时,使字线返回最初的低电位,将 WE1 置为低电位,将 PC 置为高电位。因此,位线 BL 和源极线 SL 都为低电位 V_s 。

[0056] 图 9 表示实现本发明时的写入电路的其它结构。与图 6 的差别在于:由差动信号(互补信号线)构成输入输出线;连接 V_d 、位线 BL 以及源极线 SL 的 MOS 晶体管为 p 型 MOS 晶体管。首先,采用差动信号能够进行高速且稳定的读出。另外,采用 p 型 MOS 晶体管具有锁存的电源电压即使为 V_d 也能够将 V_d 的电位提供给位线 BL 或源极线 SL 的特征。

[0057] 具体而言,为了将输入输出线 IO 取为差动信号,输入输出线为 IO 和 IOB 这 2 条,在此信号线上表现差动信号。为此,第一写入控制信号 WE 和读出控制信号 RE 控制 2 个 MOS 晶体管。另外,读出放大器两端的输出经由用 RE 控制的 MOS 晶体管与输入输出线 IO 和 IOB 连接。另外,为了使连接 V_d 和位线 BL 或源极线 SL 的 MOS 晶体管为 p 型 MOS 晶体管,作为锁存电路的输出 LTP 和 LTA,如上所述,输入到连接 V_d 和位线 BL 或源极线 SL 的 p 型晶体管的栅极。另外,第二写入控制信号也为两种,分别是 WE1 和与 WE1 相位相反的信号输出 WE1B,由 WE1B 控制用于连接 V_d 和位线 BL 或源极线 SL 的另一 p 型晶体管。动作与图 5 相比仅具有以下不同点:成为差动的输入输出线 IO 和 IOB;在 WE1 的基础上添加与 WE1 相位相反的信号输出 WE1B;锁存电路的输出的高电位可以为 V_d 电位。在本实施例中,说明了使输入输出信号线 IO 成为差动信号线和使连接 V_d 和位线 BL 或源极线 SL 的 MOS 晶体管为 p 型 MOS 晶体管这两者,不言而喻,当然也可以仅选择合适的一者。

[0058] 图 10 表示实现本发明时的写入电路的其它结构例。该电路的特征在于,不用字线电压进行前脉冲的动作,而用位线 BL 和源极线 SL 进行前脉冲的动作。因此,字线不用采用在图 8 中进行了说明的有 2 种高电位的结构,如后面所述,高电位可以为 1 种。因此,字驱动器 WD 也不用采用图 7 所示的电路,而能够使用通常的字驱动器 WD。为了通过驱动位线、源极线实现前脉冲动作,在图 10 所示的电路中,能够对位线 BL 和源极线 SL 施加 V_d 和 V_{d2} 这 2 种高电位。此时, V_{d2} 为比 V_{d1} 低的电位。在前脉冲动作时,使用该 V_{d2} ,在其后的重写动作时使用 V_d 。因此,如图 10 所示, V_{d2} 和位线 BL 或源极线 SL 成为响应锁存电路的输出,利用 WE1 信号进行电连接的结构,并且 V_d 和位线 BL 或源极线 SL 成为响应锁存电路的

输出,利用 WE2 信号进行电连接的结构。

[0059] 图 11 表示图 10 所示的电路的动作例。与图 6 所示的动作的不同点在于,在此例子中,使用 WE1 信号进行控制,在源极线 SL 表现第一高电位,之后用 WE2 信号进行控制,在源极线 SL 表现第二高电位。通过由第一高电位产生的电流而使自旋的方向容易变化,通过由第二高电位产生的电流而使该自旋的方向容易反转。本例子是以在源极线 SL 上表现这样的电位作为例子的,但也有在位线 BL 上表现这样的电流的例子。这是由于如图 31 所说明的那样,在重写时根据要写入的信息而具有 2 个方向的缘故。该电路的动作如下所述。通过进行这样的动作,能够做成自旋方向容易变化的状态,因此能够实现重写电流的降低和重写时间的缩短,实现低功耗和高速化。

[0060] 使用图 12 说明本发明的第二实施例。在读出动作和写入动作时,观察在存储器单元中流过的电流和其脉冲宽度。本发明的特征是读出和写入的电流量几乎相等,读出时的脉冲宽度比写入时小。即,电流值都等于 i_4 ,读出时的脉冲宽度 t_5 与写入时的 t_6 相比, t_5 小于 t_6 。将此与闪速存储器相比,例如 NAND 型闪速存储器,每个存储器单元的写入电流比读出电流小,另外,所需的脉冲宽度在写入时比读出时大。利用电流在布线上产生磁场进行重写的 MRAM,写入时的电流大。与这些例子不同,本发明进行具有如图 12 所示的特征的读出和写入。发明人发现这样能够大大地降低读出时的干扰。发现这是与通过缩短读出时的脉冲宽度,利用其施加时间而一般性地降低干扰完全不同的原理。用图 13 说明该原理。

[0061] 图 13 表示使用了本发明的第二实施例时的实验结果的示意图。横轴取为重写时间,纵轴表示重写所需的电流。另外,与图 3 同样地分别用所希望的点进行标准化。这里,所谓读出干扰是指在读出动作中,引起弱重写动作,导致写入的数据变化的现象。如该图所示,当使重写时间逐渐缩短时,重写所需的电流逐渐增加。重写所需的电流的增加不利于用低电流进行重写,这表示相同的重写电流难以引起写入。例如,尝试用 i_4 这样的电流值观察。此时,如果取重写时间为 t_6 ,则该电流比重写所需的电流足够大,因此能够可靠地进行重写。通常,不会用重写所需的最低限度的电流进行重写。这是由于在存储器单元中所具有的大量的自旋中,会残留没有变为重写所需要的方向的自旋。另一方面,此时,尝试将重写时间取为 t_5 来进行观察。此时, i_4 这样的电流值比重写所需的电流足够小。这意味着即使流过该电流也不能引起重写。而利用该区域内的电流能够读取存储器单元的信息。即,如图 30 所述,利用自由层的自旋的方向,能够使隧道磁阻元件的电阻不同,能够读取该电阻的大小。此时,如上所述,该区域内的电流难以引起写入动作。由此,即使反复进行读出也难以引起干扰。根据利用了这种特征的本发明,若结合图 12 再次进行叙述,则能够利用在读出和重写中相同的电流值 i_4 ,仅改变其脉冲宽度地进行读出和重写。这样,在重写时和读出时,存储器单元施加的电压也可以相同,能够采用简单的电路结构,能够实现低成本的半导体存储器件。

[0062] 图 14 是本发明的第二实施例的其它结构例。这里,在读出和写入中,最大电流 i_4 的值几乎相等,但在写入中,还使用前脉冲动作。因此,能够使 i_4 成为更小的值,能够缩短重写时间 t_7 。与此相对应,能够选择读出的脉冲宽度 t_5 和公共电流 i_4 ,实现低功耗化和高速化。图 14 示出电流值,但在写入时和读出时,能够通过有位线施加相同的电压来实现。

[0063] 图 15 是用短的读出时间高速地放大信号的结构的一个例子。在位线 BL 上连接有读出放大器和由 RE1 控制的 MOS 晶体管,通过由 PC1 控制的 MOS 晶体管将位线 BL 连接至

V_s , 通过由 PP1 控制的 MOS 晶体管将与读出放大器的连接节点 NS 连接至 V_d 。此处的特征在于, NS 的电压由 PP1 的信号而变为 V_d , 从而位线 BL 的电压被嵌位在比 RE1 的电压低了 MOS 晶体管的阈值电压量的电压。因此, 当使存储器单元导通时, 寄生电容比 BL 小的 NS 的电位高速地变化。因此, 能够用读出放大器直接地放大该信号, 可以使存储器单元断开。这样, 能够缩短预先使存储器单元导通的时间。如上所示, 流过的时间越短写入所需的电流越大, 因此作为其结果, 将大大提高读出动作中的抗干扰性。使用本结构, 用难以引起干扰的短暂的读出时间, 以读出放大器进行放大也能够得到足够的信号电压。对于源极线 SL 也可以具备同样的结构。如上所述, 通过采用本实施例的电路结构, 用 PP1 控制的 MOS 晶体管成为所谓的源极浮置模式, 对于位线 BL 的电压变化使连接节点 NS 的电压高速地变化。由此能够进行高速的读出动作。

[0064] 图 16 是表示图 15 的电路的动作例子的图。PC1 由高电位成为低电位, 之后, PP1 成为低电位, 则 NS 电连接至 V_d 。在此状态下, RE1 成为高电位, 通过在栅极上连接了 RE1 的 n 型 MOS 晶体管, 位线 BL 预充电至比 RE1 的电压低了该 n 型 MOS 晶体管的阈值电压量的电压。这里, 当选择字线 W 时, 使电流流过存储器单元。但是, 位线被嵌位在比 RE1 的电位低了上述 n 型 MOS 晶体管的阈值电压量的电压。该结果, NS 的寄生电容远小于位线 BL 的寄生电容, 因此 NS 的电位变大。其结果, 能导通读出放大器, 在此之前使 RE1 返回低电压, 另外, 能够关闭字线。由此, 能够缩短电流流过存储器单元的时间。另外, 本结构与将位线的大寄生电容直接放电的情况相比, 能够高速地进行动作。

[0065] 图 17 是表示本发明的第三实施例的图。在该实施例中, 为了提供对位线 BL 的电位, 准备了电容 CS、用于将该电容与电源 V_d 连接的开关 S1、以及用于将电容与位线 BL 连接的开关 S2。即, 至此的结构是为了对位线 BL 提供电位而用开关连接电源 V_d 、位线 BL 的结构。这样, 当与电源直接连接时, 由于构成存储器单元的 MOS 晶体管的性能等原因, 流过的电流随每个存储器单元的不同而出现离差。本实施例与此不同, 最初闭合开关 S1, 用 V_d 为电容 CS 充电。之后, 断开开关 S1, 闭合开关 S2, 由电容 CS 电荷为位线 BL 提供电流。采用此种结构, 因为仅使用由电容 CS 所存储的恒定的电荷, 所以利用位线在存储器单元中流过的电流的总量、电荷的离差变小。通过该流过的电荷的自旋, 存储器单元中的状态发生变化, 成为电流源的恒定的电荷量与每个存储器单元的自旋的变化量相一致。因此, 通过采用本实施例, 能实现离差小的重写之后的状态。通过对源极线 SL 也形成相同的结构, 改变重写电流的方向, 能够重写所需要的信息。电容 C 能够用 MOS 电容和 MIM 电容形成。

[0066] 图 18 表示图 17 的电路的动作例。最初, 开关 S1 和开关 S2 都断开 (打开)。首先, 开关 S1 闭合。由此, 虽未图示, 但图 17 的电容 CS 开始充电。结束后, 开关 S1 断开, 然后开关 S2 闭合。由此, 利用电容 CS 而流过电流 i_5 。在此图中, 示意性地标注为恒定的电流值, 但这段时间内的总电荷量会影响重写后的状态。在本实施例中, 因为在电容 CS 充完电的值返回原来的状态, 所以在重写时, 在存储器单元中流过的总电荷量的离差变小。

[0067] 图 19 是表示本发明的第三实施例的其它的结构例子的图。在此结构例子中, 准备 CS1 和 CS2 这两种电容。用开关 S1 对两种电容预充电至 V_d 。CS1 经由 S2 连接在位线 BL, CS2 经由 S3 连接在位线 BL。采用该结构, 能够进行前脉冲动作, 另外, 能够使 CS1 电容变化来实现用于使此时的自旋方向容易变化的电流。另外, 在重写时, 因为对电容 CS1 和 CS2 充电的电荷返回原来的值, 所以离差变小。为了进行前脉冲动作, C1 的电容值比 C2 的电容值

小。

[0068] 图 20 是表示图 19 的电路的动作例子的图,并且,用 S1 对 CS1 和 CS2 进行预充电,用 S2 和 S3 使存储器单元与这些电容连接,使电流流过存储器单元。S2 的脉冲宽度比 S3 的脉冲宽度小。由此,能够在存储器单元中提供前脉冲动作,能够变为容易改变自旋方向的状态。然后,利用 S3 提供重写电流(电荷)。闭合开关 S2 后,在开关 S2 断开前,闭合开关 S3,则电容 CS1 和电容 CS2 暂时性地同时成为负载,因此存储器单元耗尽电荷的动作延迟。因此,当进行控制使得前脉冲和重写脉冲不发生重叠时,电容 CS1 不成为负载,因此存储器单元能高速地耗尽电容 CS2 的电荷。因此,在图 20 中,前脉冲和重写脉冲不连续。但是,如果缩短它们的间隔时间(数 ns 左右),能够充分地得到前脉冲的效果。也可以控制开关 S2、S3 使得前脉冲和重写脉冲连续。在该情况下,能够最大限度地实现用前脉冲扰动自旋的效果。当在写入过程中断开开关 S2 时,则会在电容 CS1 中残留一部分蓄积在电容 CS2 中的电荷,因此在使前脉冲和重写脉冲连续的情况下,最好是在写入结束之后再断开开关 S2。

[0069] 图 21 是表示本发明的第三实施例的其它结构例子的图。该例子的特征在于,由位线 BL 和源极线 SL 的寄生电容 CB1、CB2 构成在图 17 中说明过的 CS。另外,为了实现在该寄生电容进行预充电的动作,设置用 WEP 控制的 MOS 晶体管。由 WED 控制,将位线 BL 或源极线 SL 的电位放电至 V_s 。由此,不需要形成 MOS 电容和 MIM 电容,能够减小面积。在还使用前脉冲动作的情况下,使用寄生电容形成电容 CS1,使用 MOS 电容和 MIM 电容形成 CS2 即可。该情况下,开关仅为连接图 19 的位线和电容的开关 S3,因此能够连续进行前脉冲动作和写入动作,最大程度地实现由前脉冲扰动自旋的效果。

[0070] 图 22 表示图 21 的结构例的动作例。进行与至此说明过的动作相同的动作后,WEP 成为高电位。由此根据写入数据,所指定的 SL 被充电。此时,该 SL 具有寄生电容。然后,使 WEP 返回到低电位,选择字线,并使 WED 为高电位。由此,使蓄积在源极线 SL 的寄生电容中的电荷流过存储器单元。利用存储器单元晶体管的性能,源极线(和位线)的电容的偏差小,因此能在存储器单元中流过恒定的电荷。

[0071] 图 23 是实现本发明的实施例的存储器单元阵列的布局例。在设字线或位线的布线节距为 $2F$ 情况下,存储器单元的面积为 $8F^2$ 。另外,图 24 表示图 23 的 A-A' 间的剖面图和外围电路的剖面图。图 25 是图 23 的 B-B' 间的剖面图和 C-C' 间的剖面图。存储器单元 MC 由 1 个 nMOS 晶体管和隧道磁阻 TMR 构成。字线 WL 连接在晶体管的栅极 GP 上。栅极材料是 P 型多晶硅或者是在 P 型多晶硅的上部层叠硅化物或钨(W),形成低电阻化。存储器单元晶体管形成在 P 型半导体区域 pWEL 中。P 型半导体区域 pWEL 形成在 n 型半导体区域 DWEL 中,该 DWEL 形成在 P-Sub 上。在 nMOS 晶体管的扩散层 LN 的一侧配置源极线触点 SLC。源极线触点与相邻的存储器单元 MC 共用来实现小面积化。在源极线触点上沿与字线垂直的方向配置源极线。在未配置源极触点的扩散层 LP 上配置与隧道磁阻 TMR 连接的下部电极触点 BEC。下部电极触点 BEC 连接在用于配置隧道磁阻的下部电极 BE 上。在下部电极 BE 上,配置由多个磁性体膜和隧道膜构成的隧道磁阻 TMR。隧道磁阻 TMR 至少具有 1 层隧道膜 TB 和配置在其两侧的固定层 PL、自由层 FL。在磁性体的固定层 PL 中内部电子的自旋方向被固定为恒定方向。而在磁性体的自由层 FL 中,内部电子的自旋方向相对于固定层为平行、反平行状态这 2 种状态中的任一状态。在本结构中,在隧道膜 TB 和下部电极间配置固定层 PL,在隧道磁阻 TMR 的上层布线的位线 BL 和隧道膜 TB 之间配置自由层 FL。与字线

垂直、与源极线平行地布置位线。隧道磁阻 TMR, 其位线布置方向与字线布置方向相比, 呈较长的长方形或椭圆形。由此, 通过做成长宽比不同的形状, 具有以下优点: 能够表现出磁异向性, 就是说使自由层的磁化难以在该自由层相对于固定层 PL 呈平行、反平行状态之外的方向进行, 并且, 自由层 FL 的自旋方向的保持特性优良。

[0072] 图 26 是示出本发明的第 4 实施例的存储器阵列的布局例。仅表示对应图 24 的部分。本实施例的特征是在下部电极 BE 的下方配置与字线平行地进行布置的辅助字线 AW。能够通过使电流流过该辅助字线 AW 来产生磁场, 能够对 TMR 元件的动作产生影响。

[0073] 图 27 是对应图 26 的剖面结构的存储器单元的电路图。字线 W 和辅助字线 AW 平行地配置, 用箭头表示能够由使电流流过辅助字线 AW 而产生的磁场对 TMR 元件 T1 产生影响。用 (A) 和 (B) 表示作为此动作的例子。即, 最初如 (A) 所示, 仅使辅助字线导通来使电流流过。因此, 通过实际产生的磁场, 能够将 T1 内部的自旋方向做成容易改变的状态。接着, 在 (B) 的动作中, 使字线 W 导通, 使重写电流流过。因为已经通过辅助字线 AW 的动作使自旋变得容易反转, 所以能够用更小的电流进行重写。仅使电流流过辅助字线, 自旋成为容易反转的状态, 但会立即返回最初的状态。

[0074] 这样的动作能够用非图 26 的结构的其他方法实现。图 28 表示本发明的第 4 实施例的其他结构例。这样, 在位线 BL 和电流源 i_0 之间设置开关 S2 即可。图 29 示出该动作。首先, 如 (A) 所示, 闭合开关 S2, 流过电流 i_0 。由此, 在位线 BL 产生磁场。根据图 24 的剖面图, 位线 BL 连接在 TMR 元件上地进行配置。由此, 根据该磁场, TMR 元件受到影响, 自旋变得容易反转。接着, 如 (B) 所示, 断开开关 S2, 通过激活字线 W 来流过重写电流 i_9 。通过 (A) 的动作自旋变得容易反转, 因此, 能够用更小的电流进行重写。如果 (A) 的动作之后仅断开了开关 2, 则 TMR 元件直接返回到原来的状态。

[0075] 以上, 基于上述实施例对本发明进行了说明, 但在不脱离本发明的主旨的范围内可以进行各种变更。

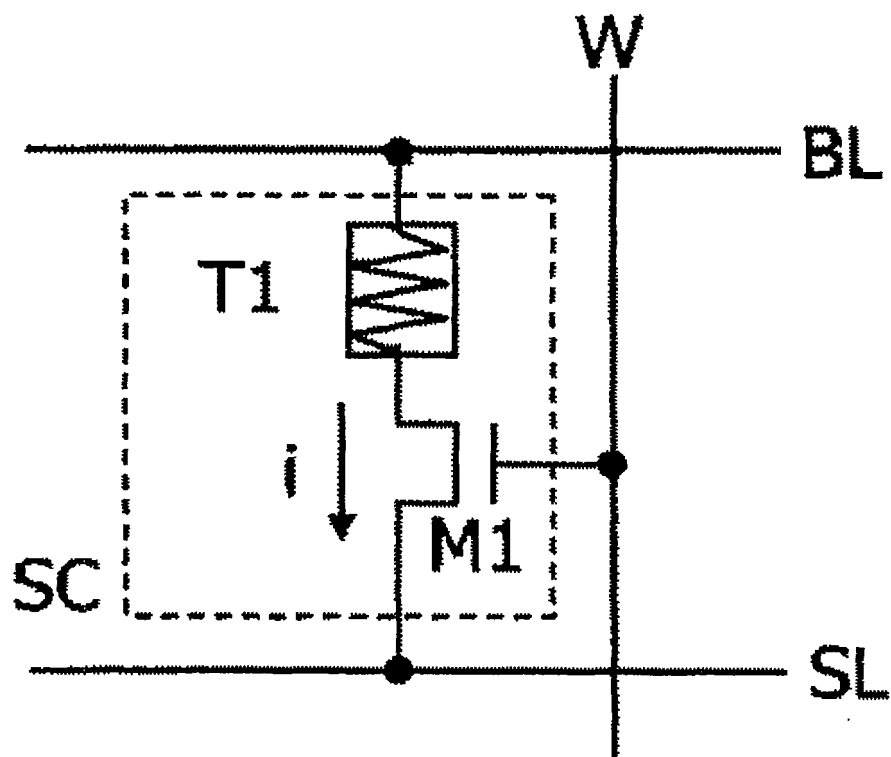
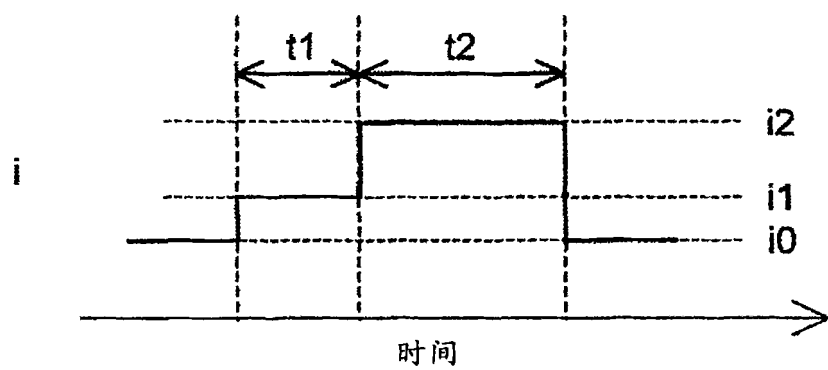
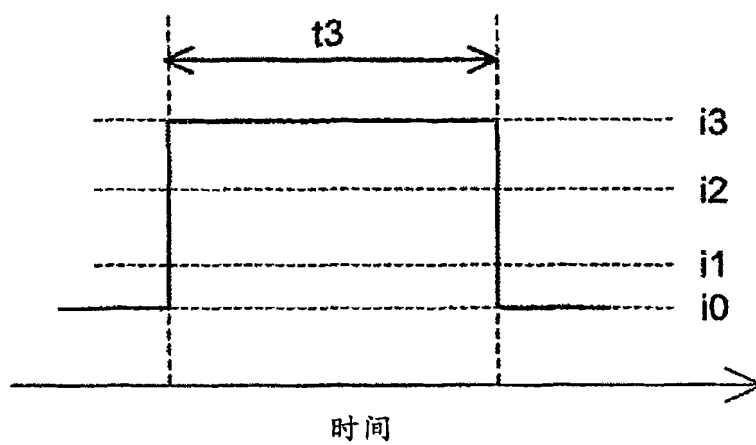


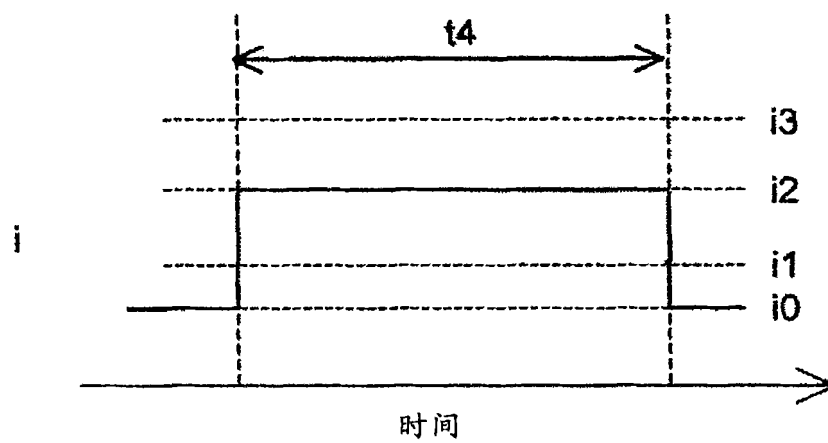
图 1



(A)



(B)



(C)

图 2

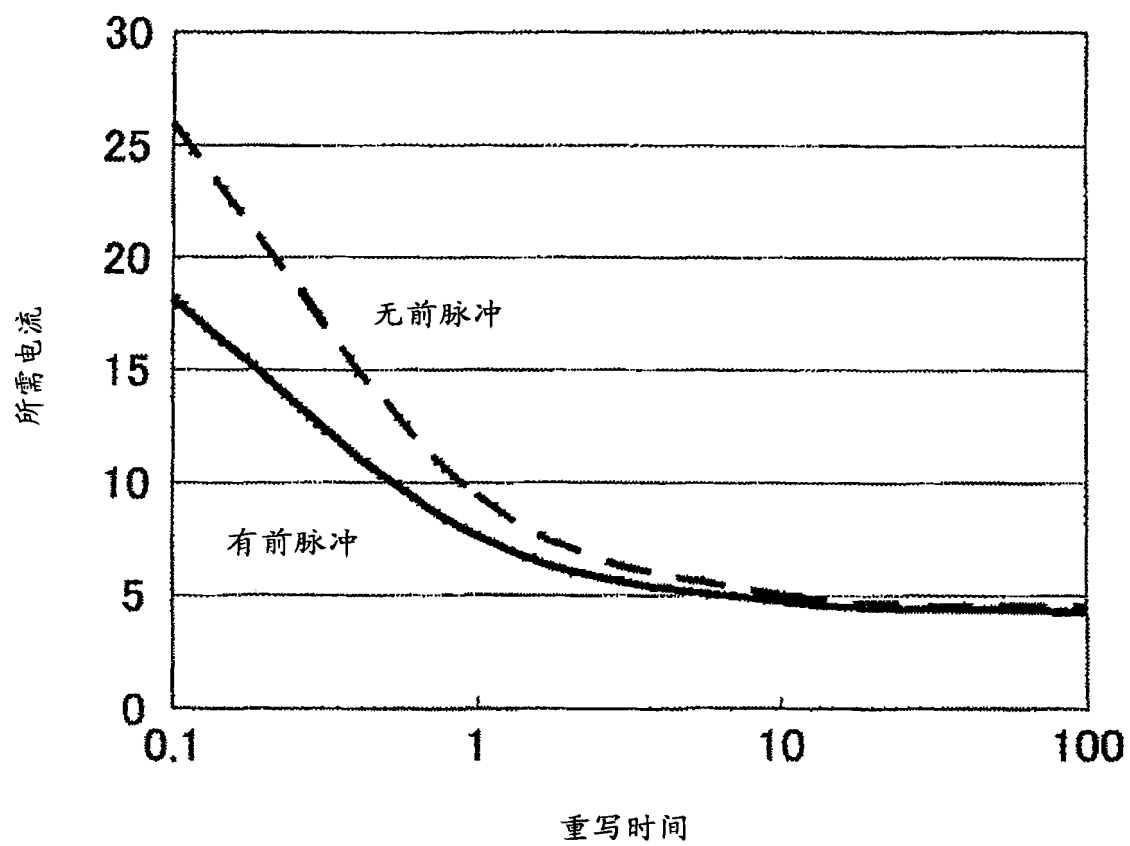


图 3

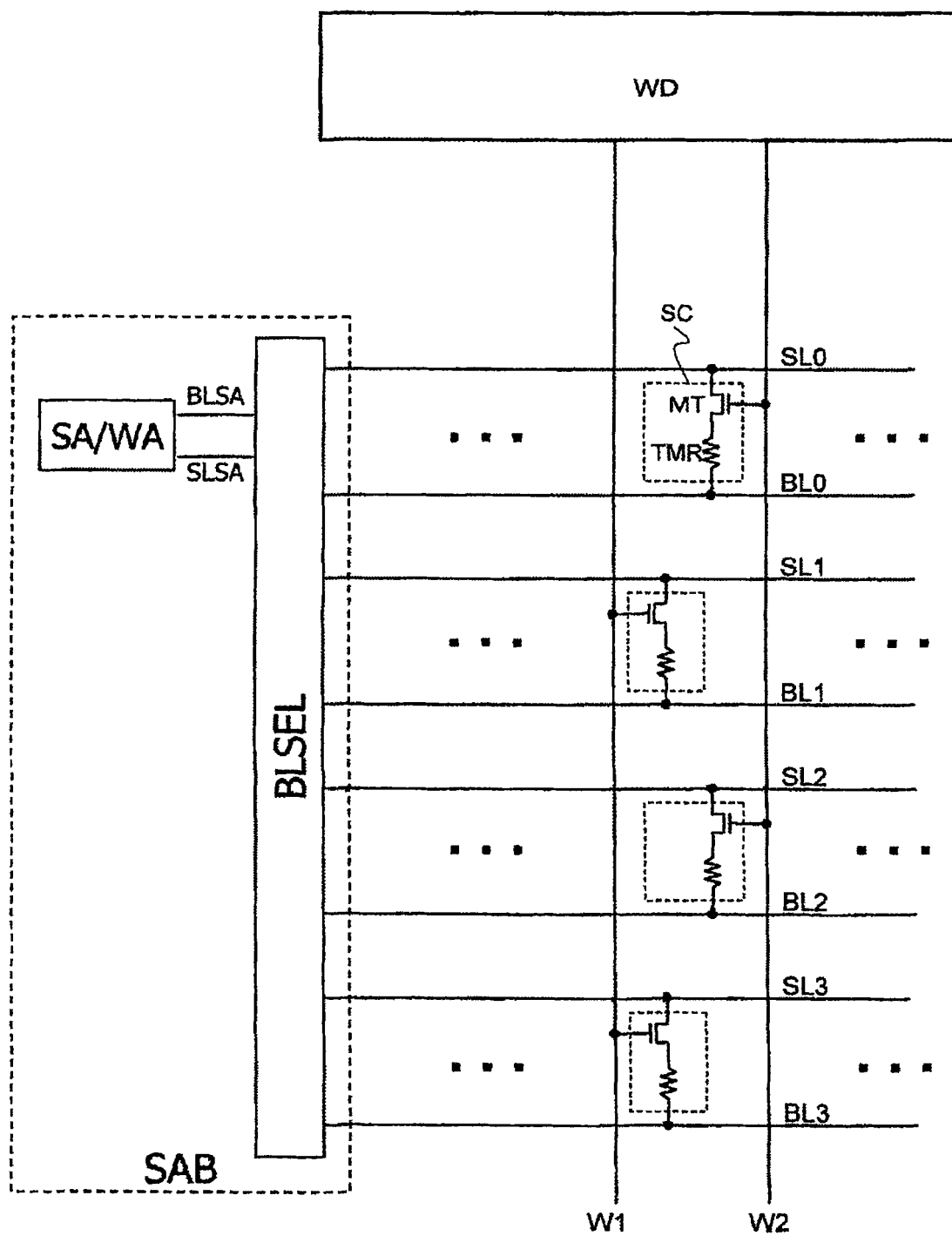


图 4

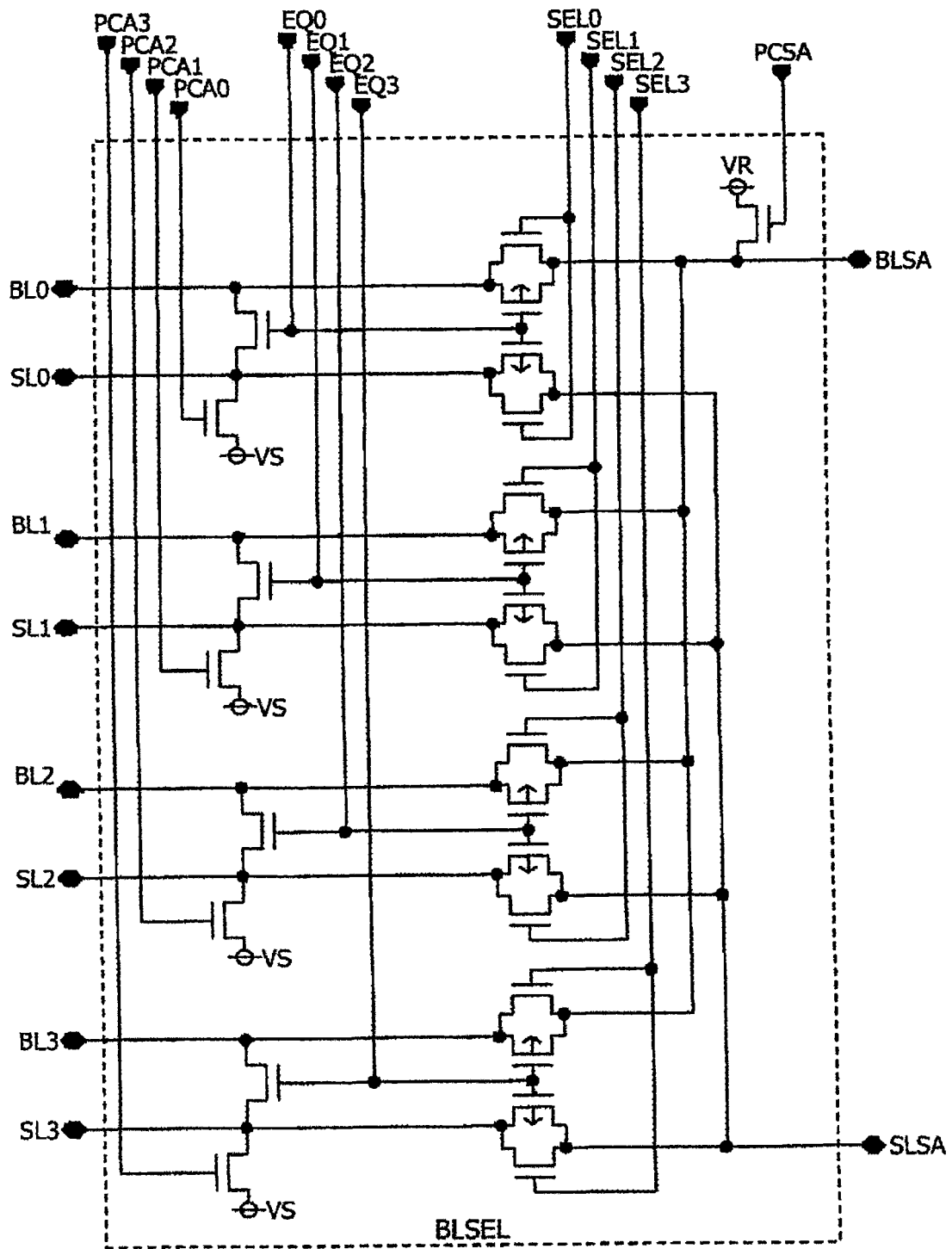


图 5

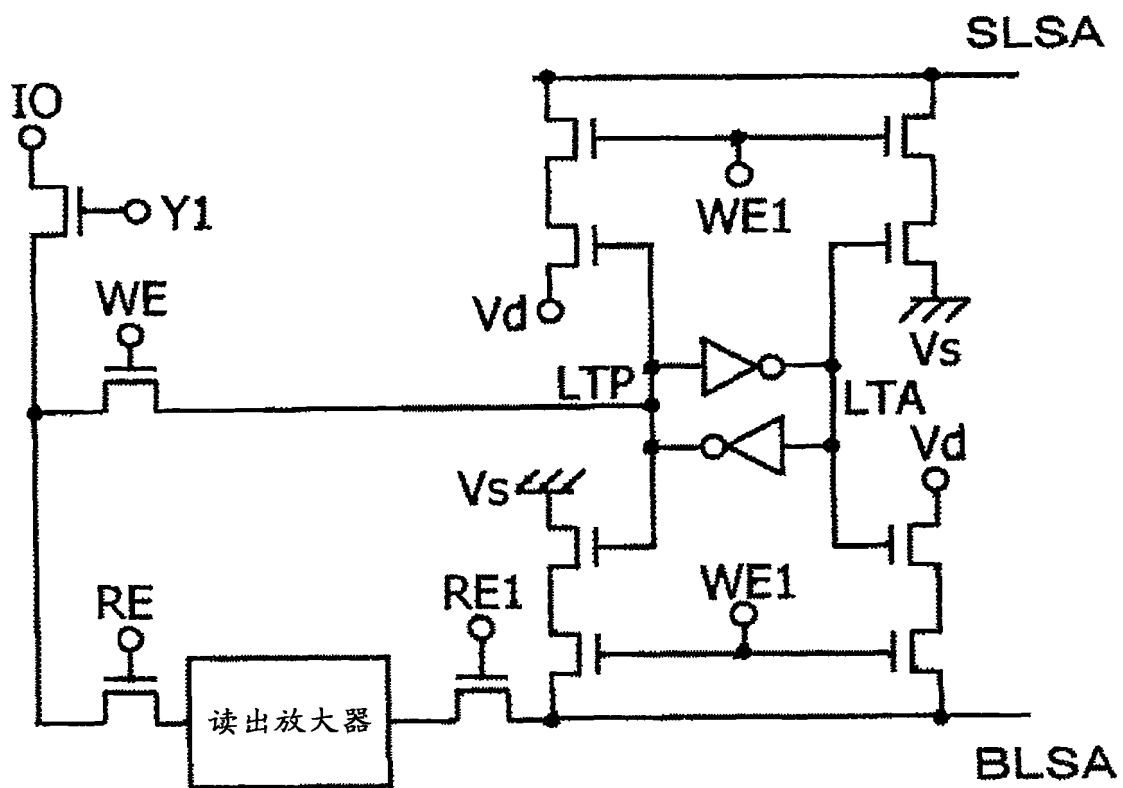


图 6

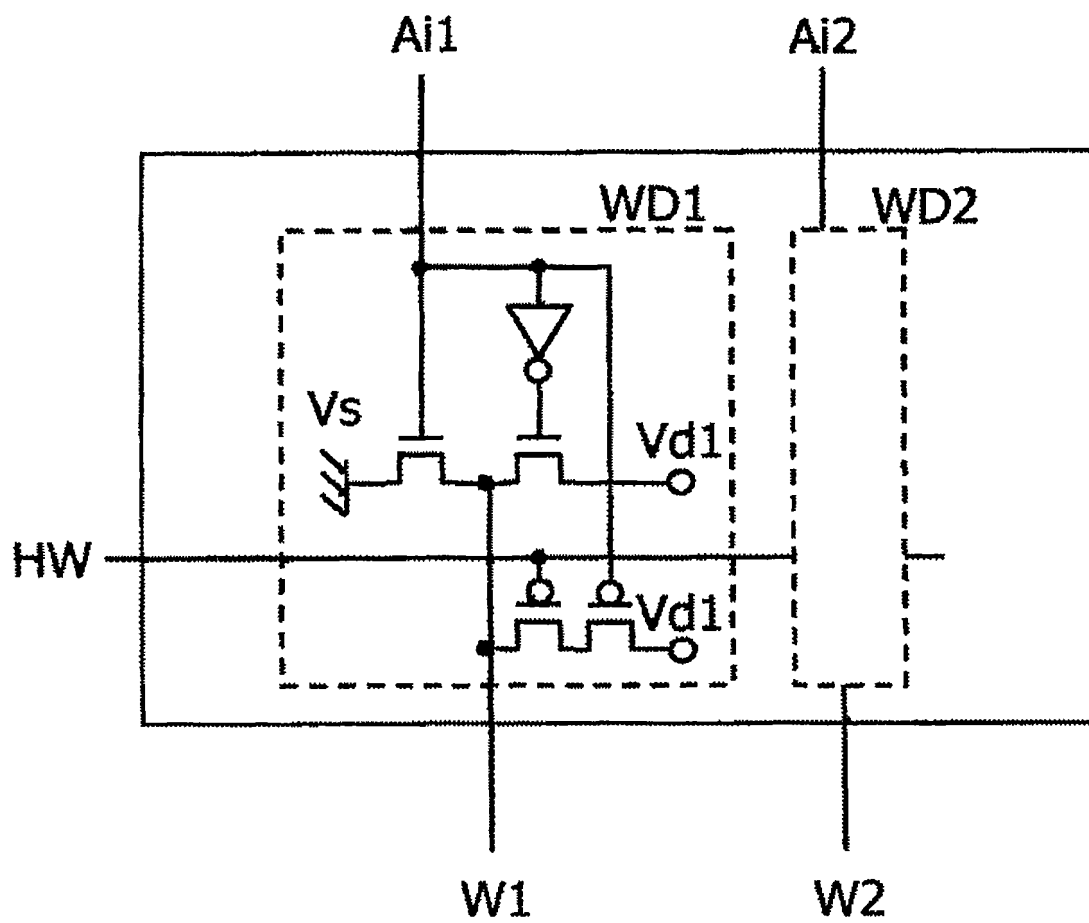


图 7

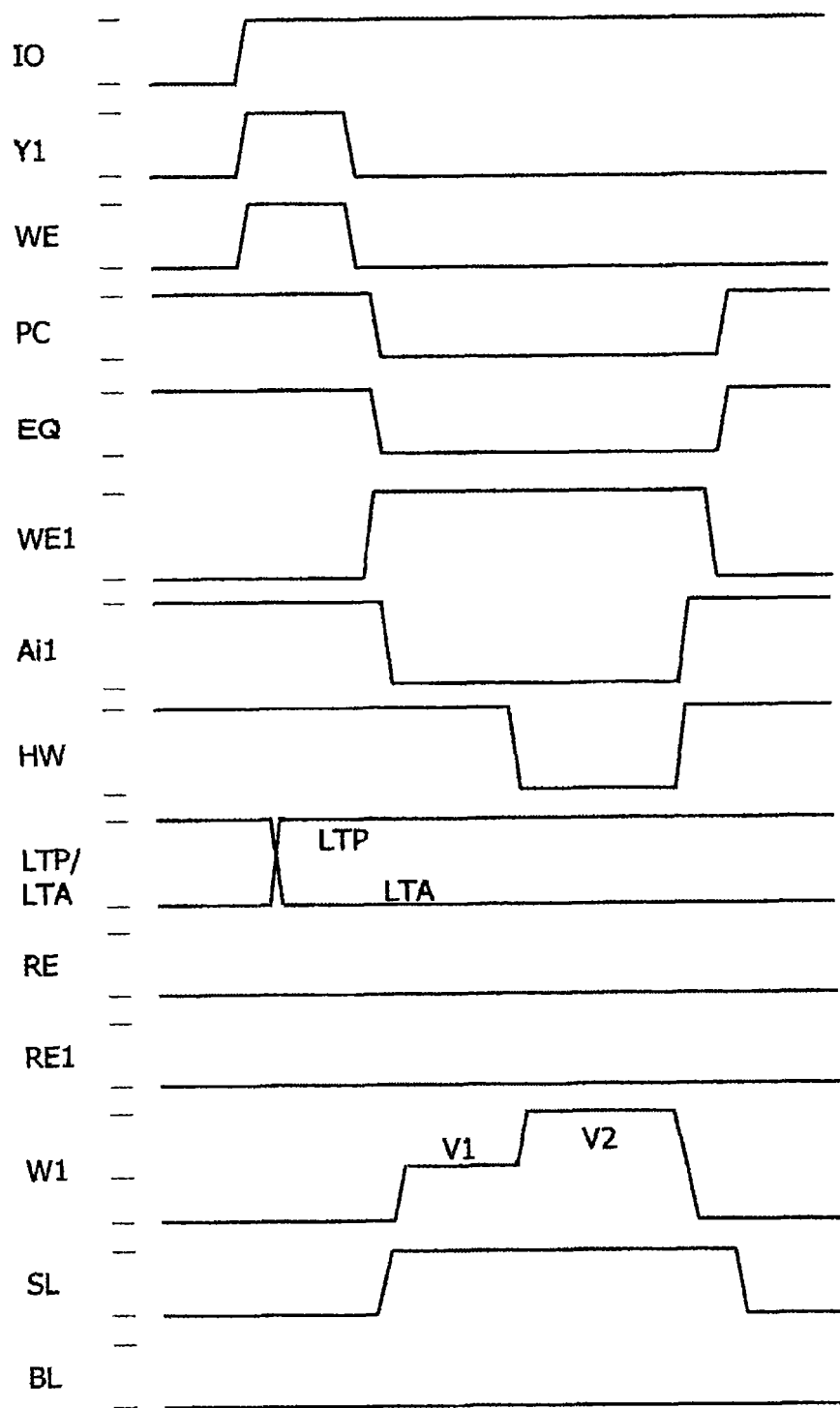


图 8

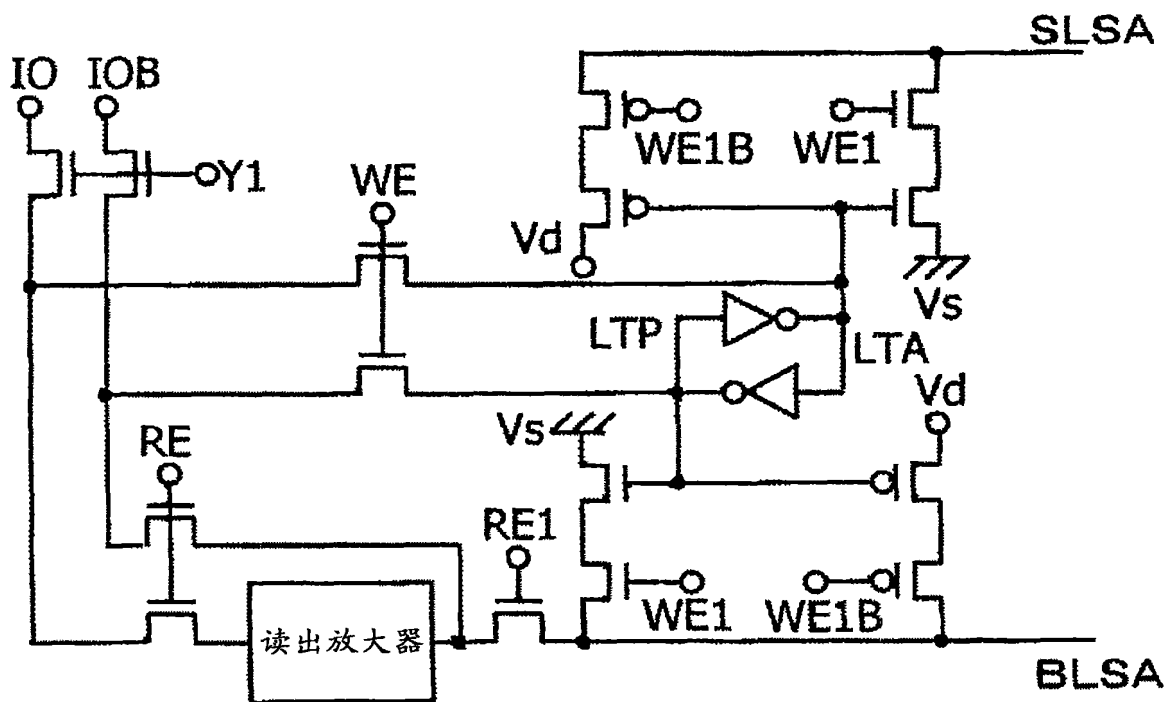


图 9

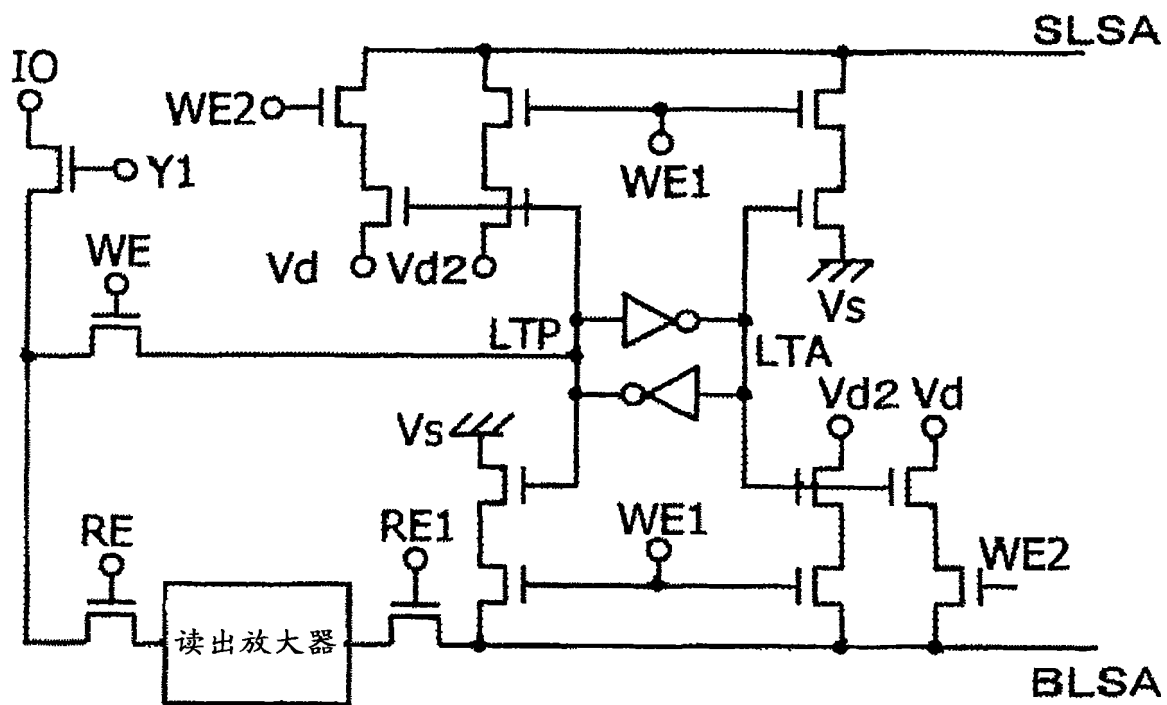


图 10

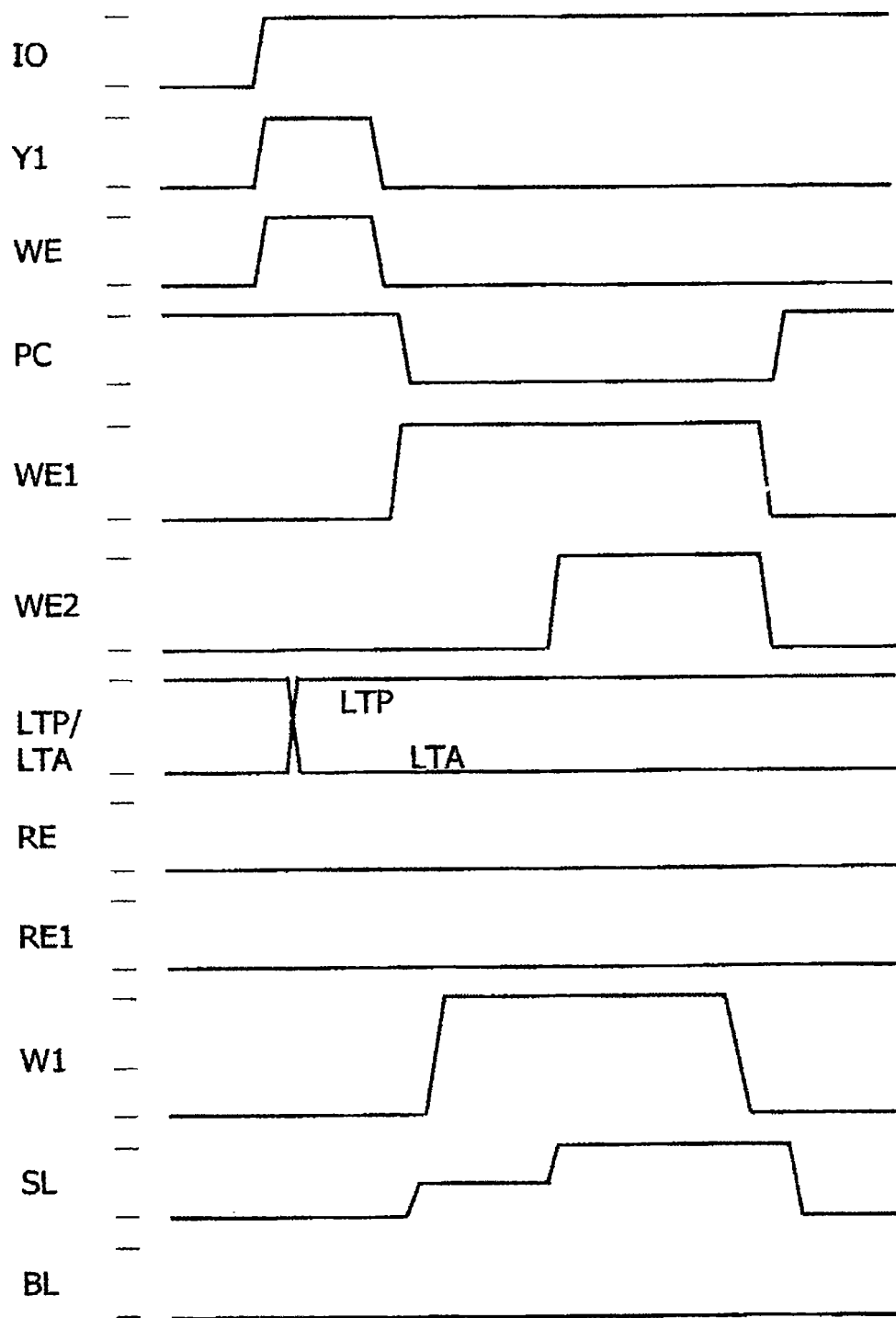


图 11

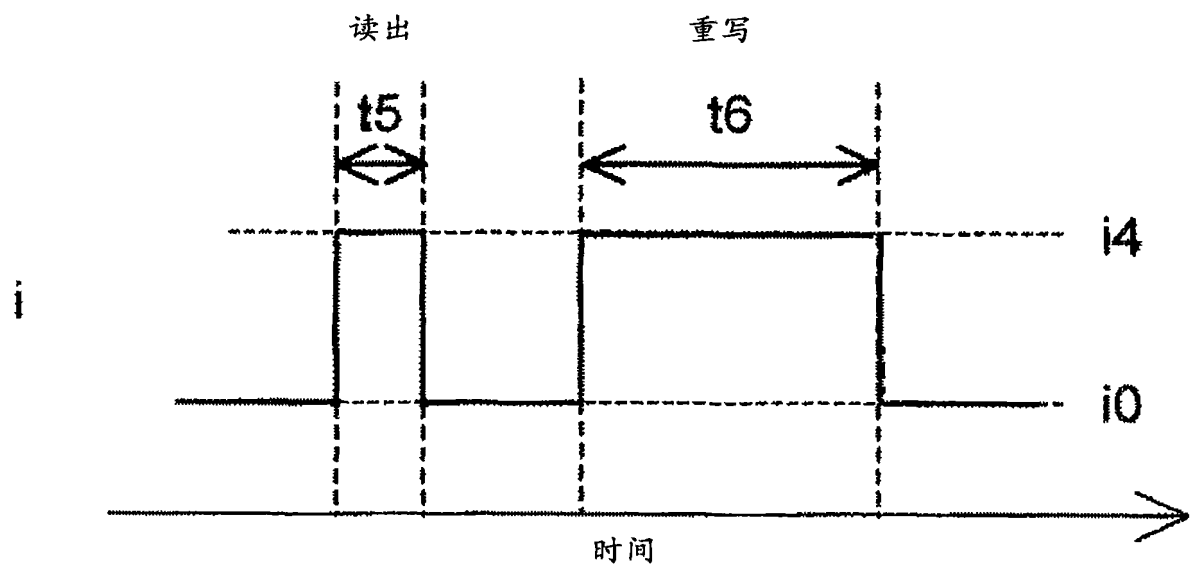


图 12

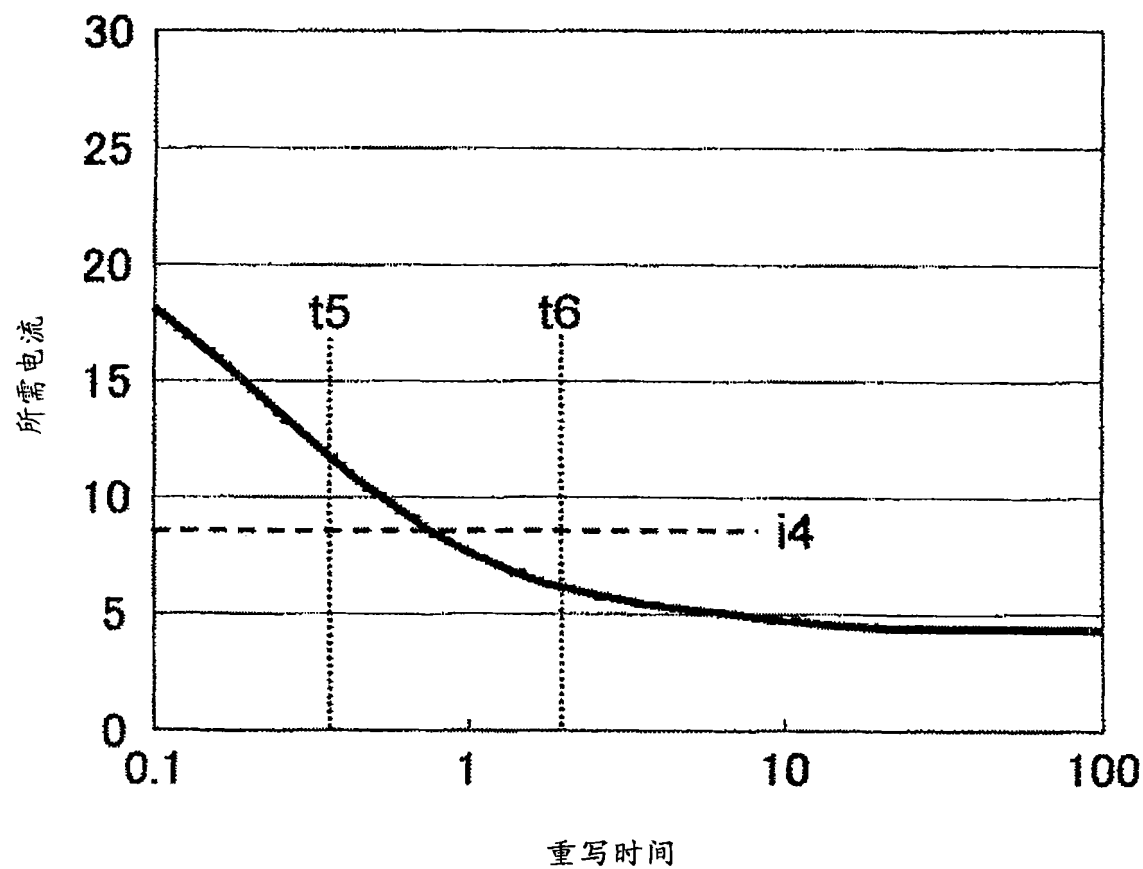


图 13

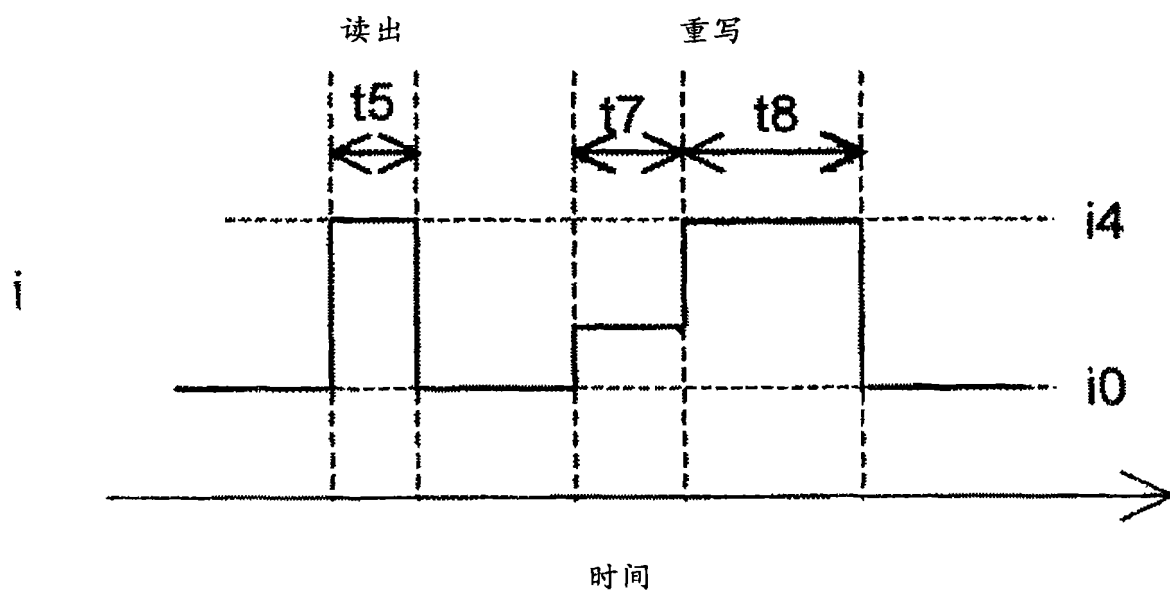


图 14

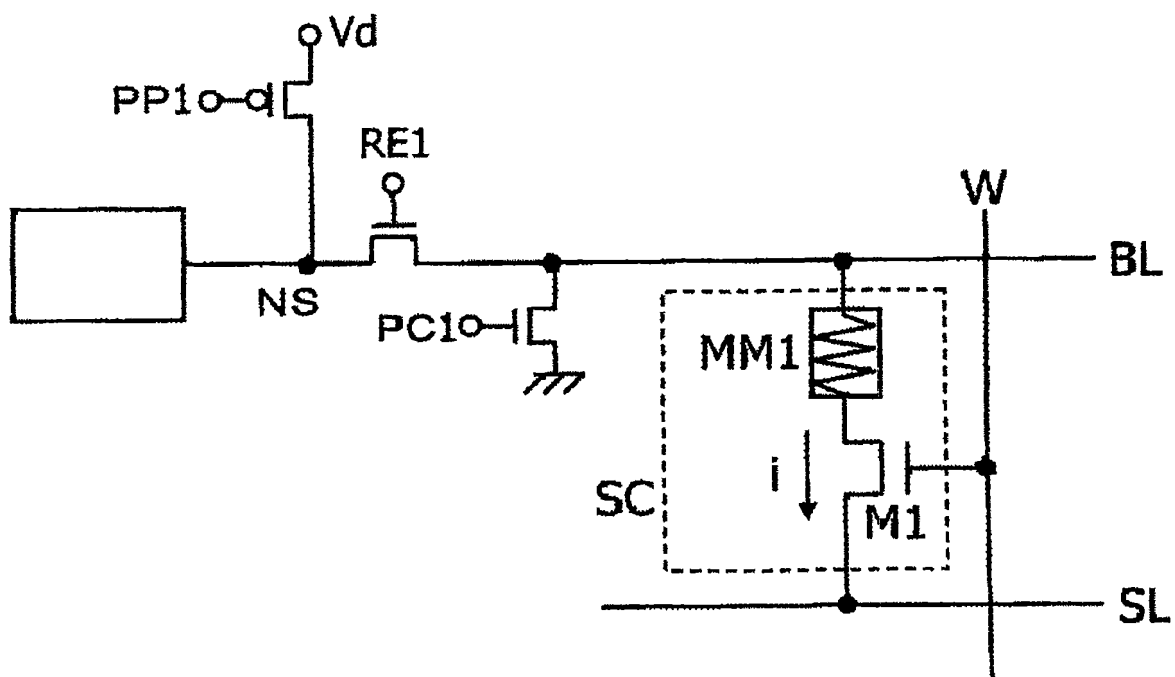


图 15

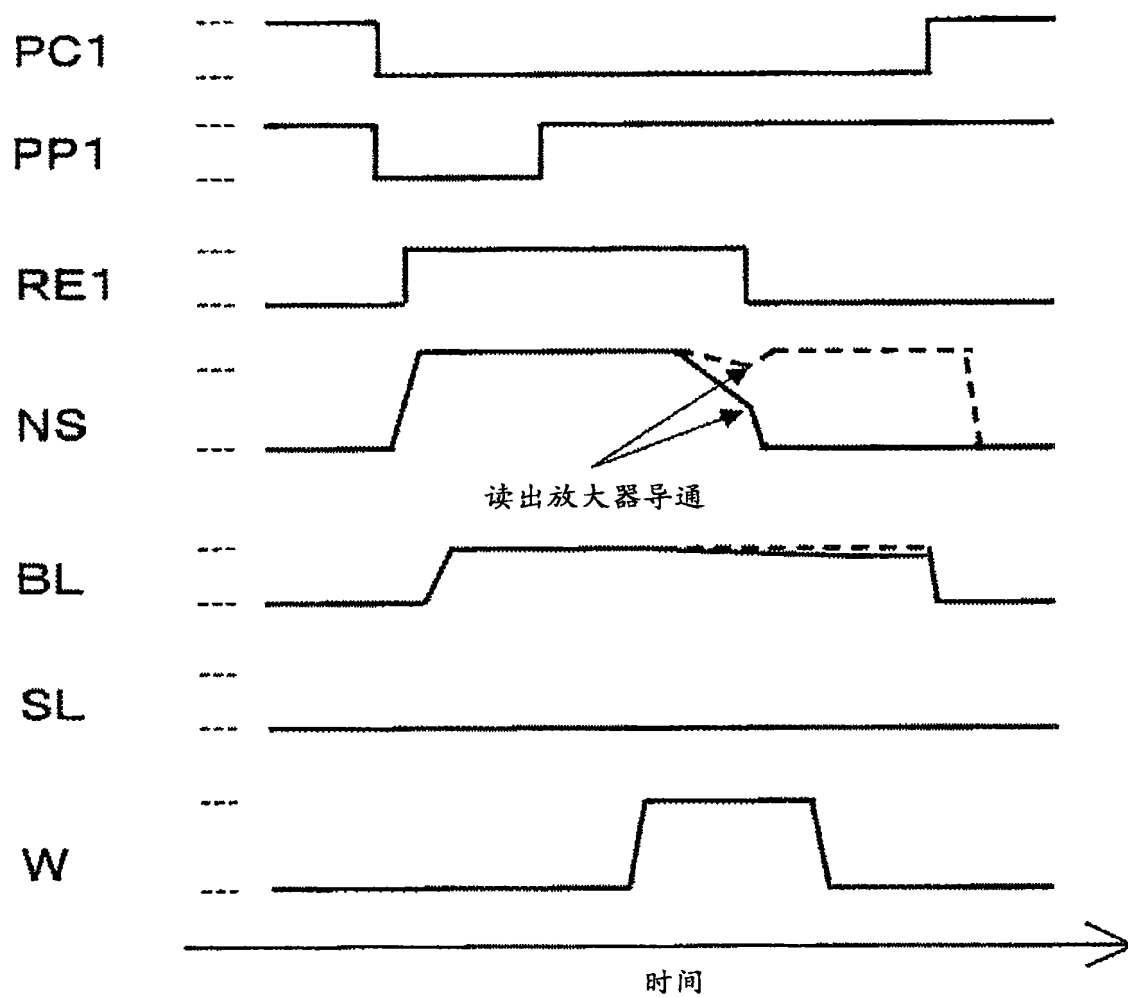


图 16

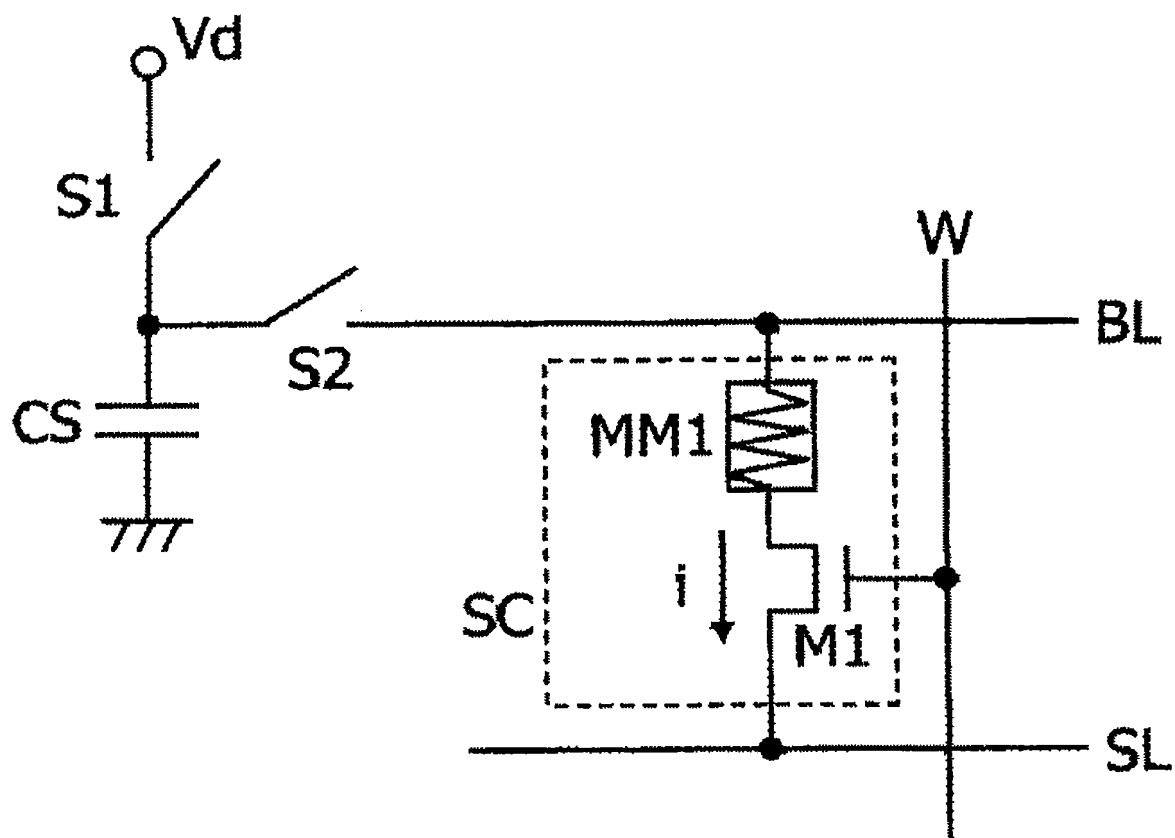


图 17

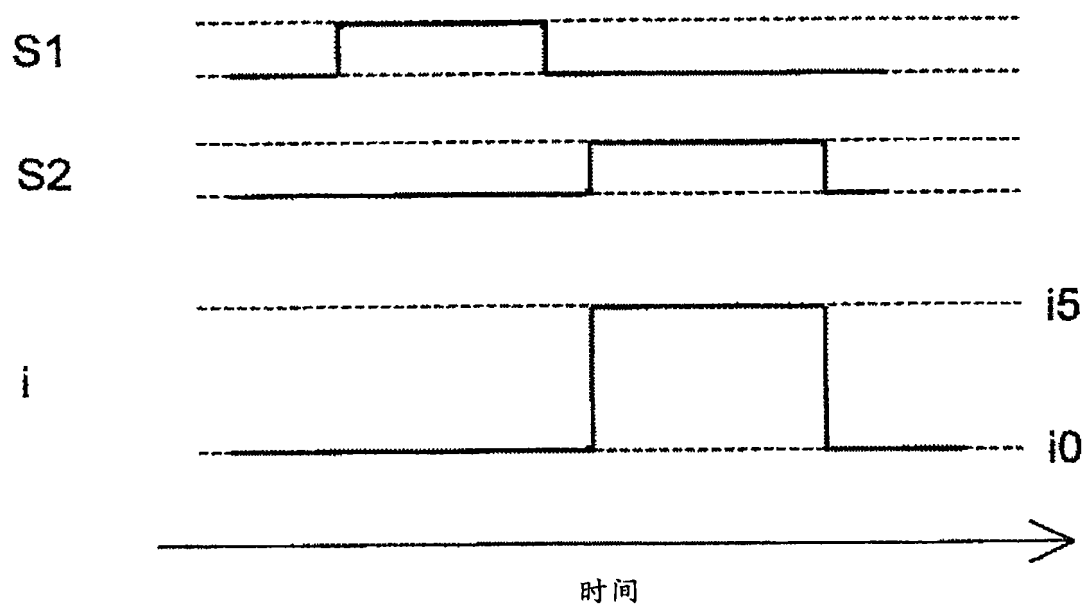


图 18

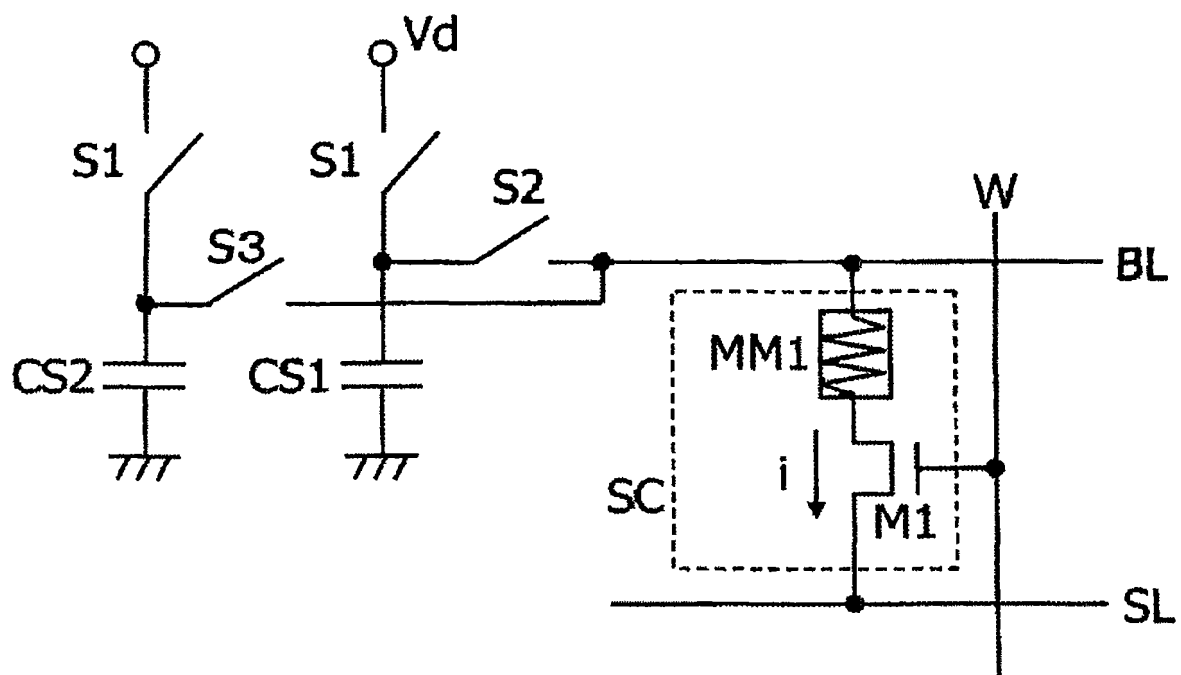


图 19

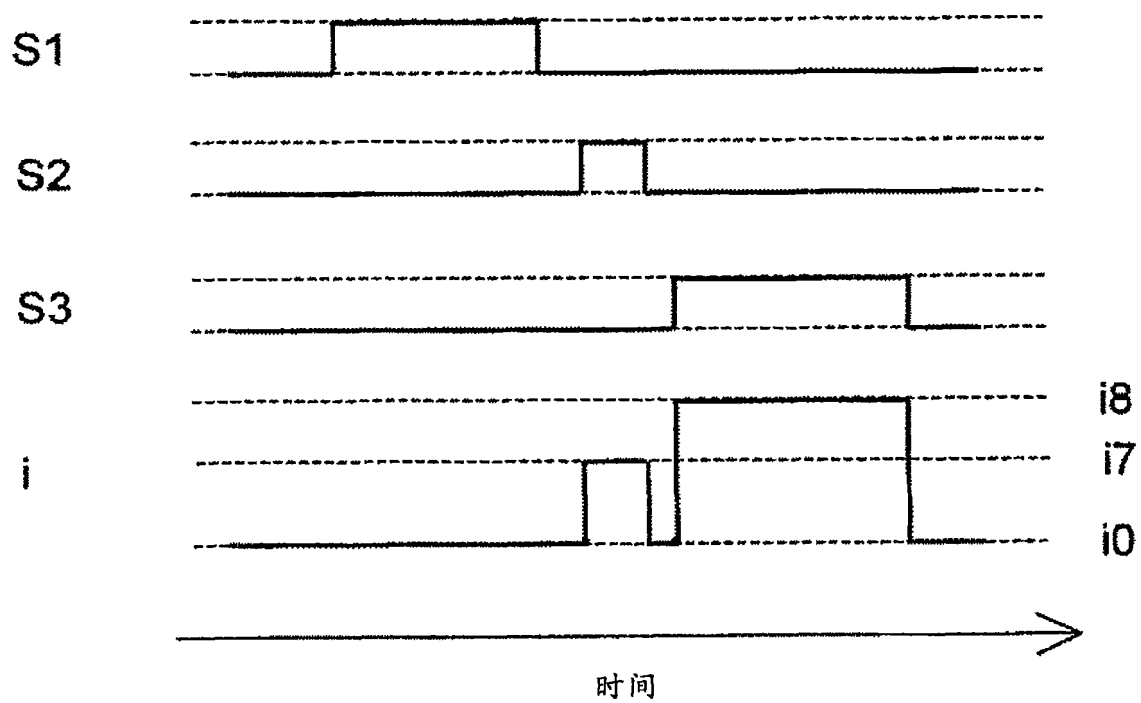


图 20

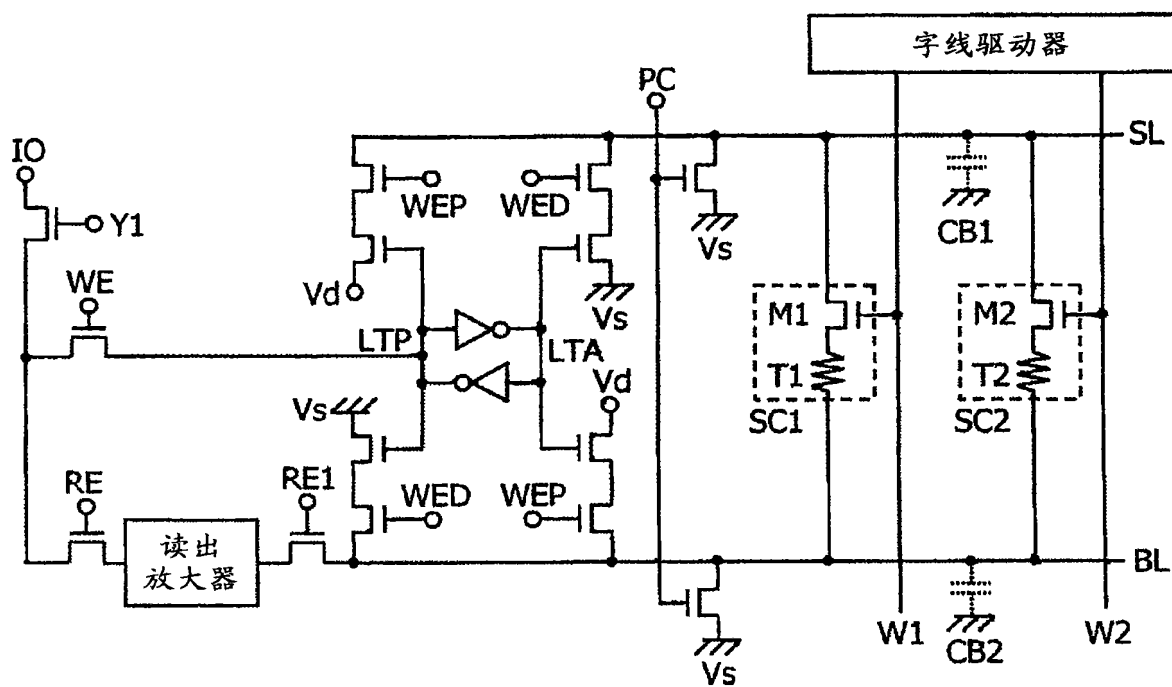


图 21

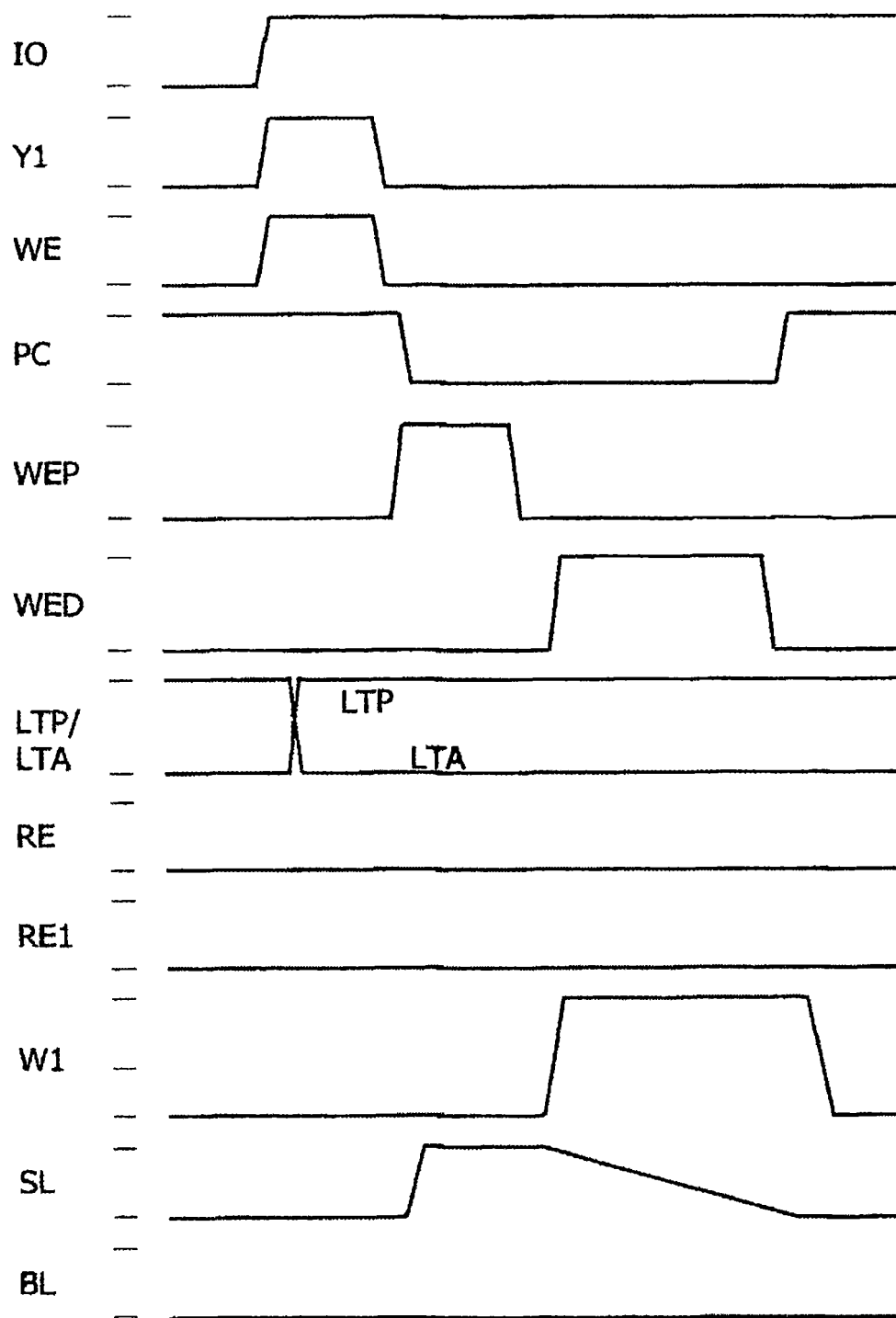


图 22

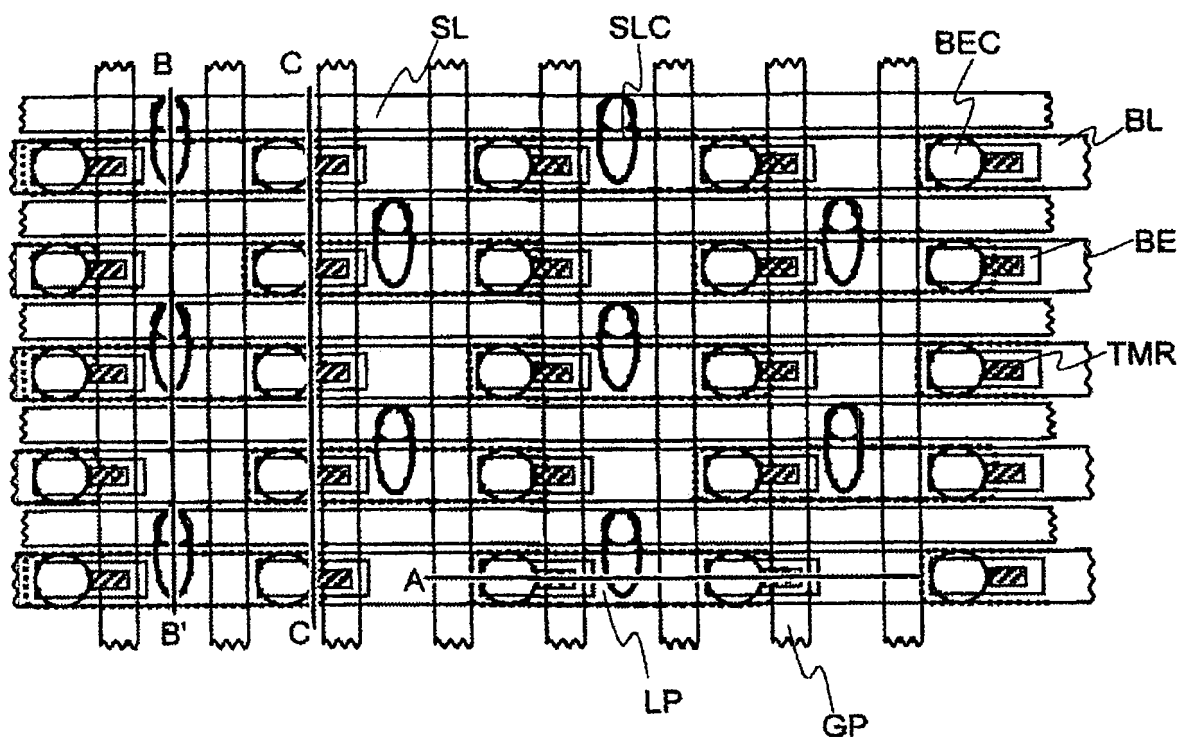


图 23

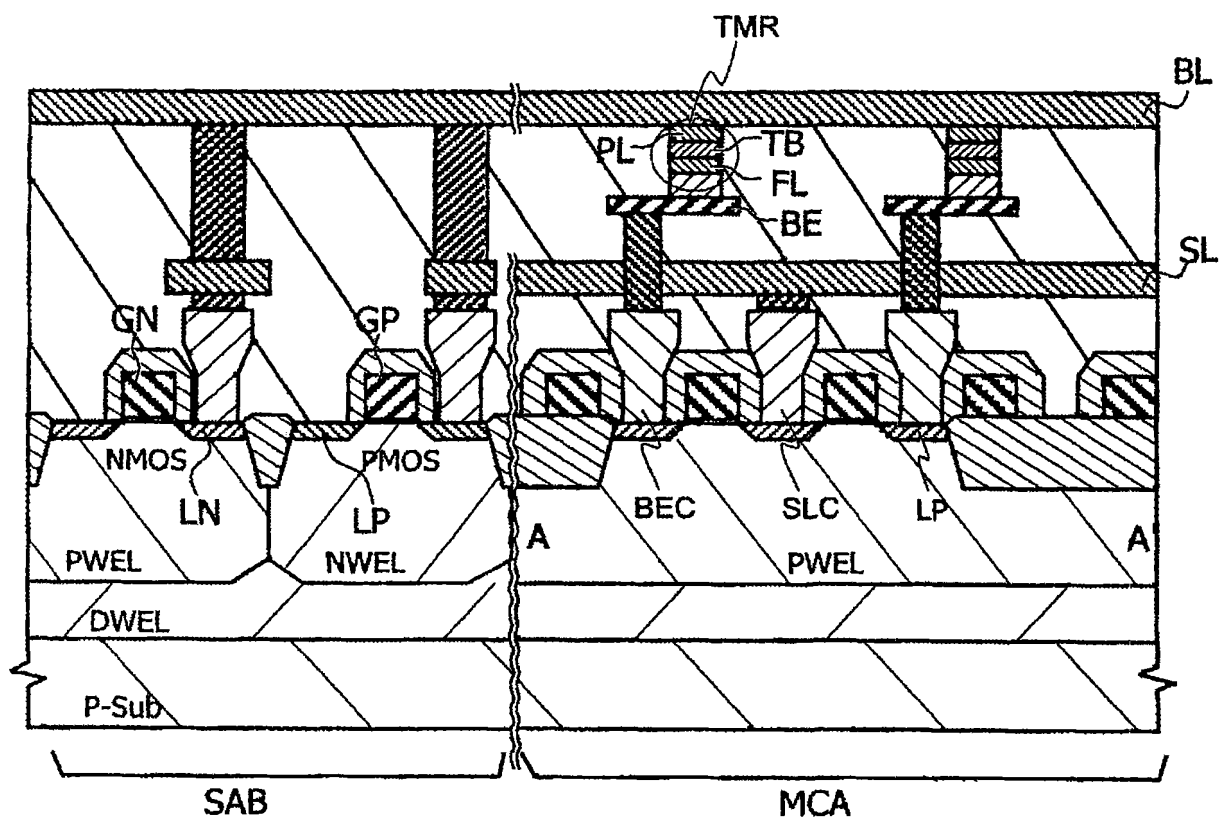


图 24

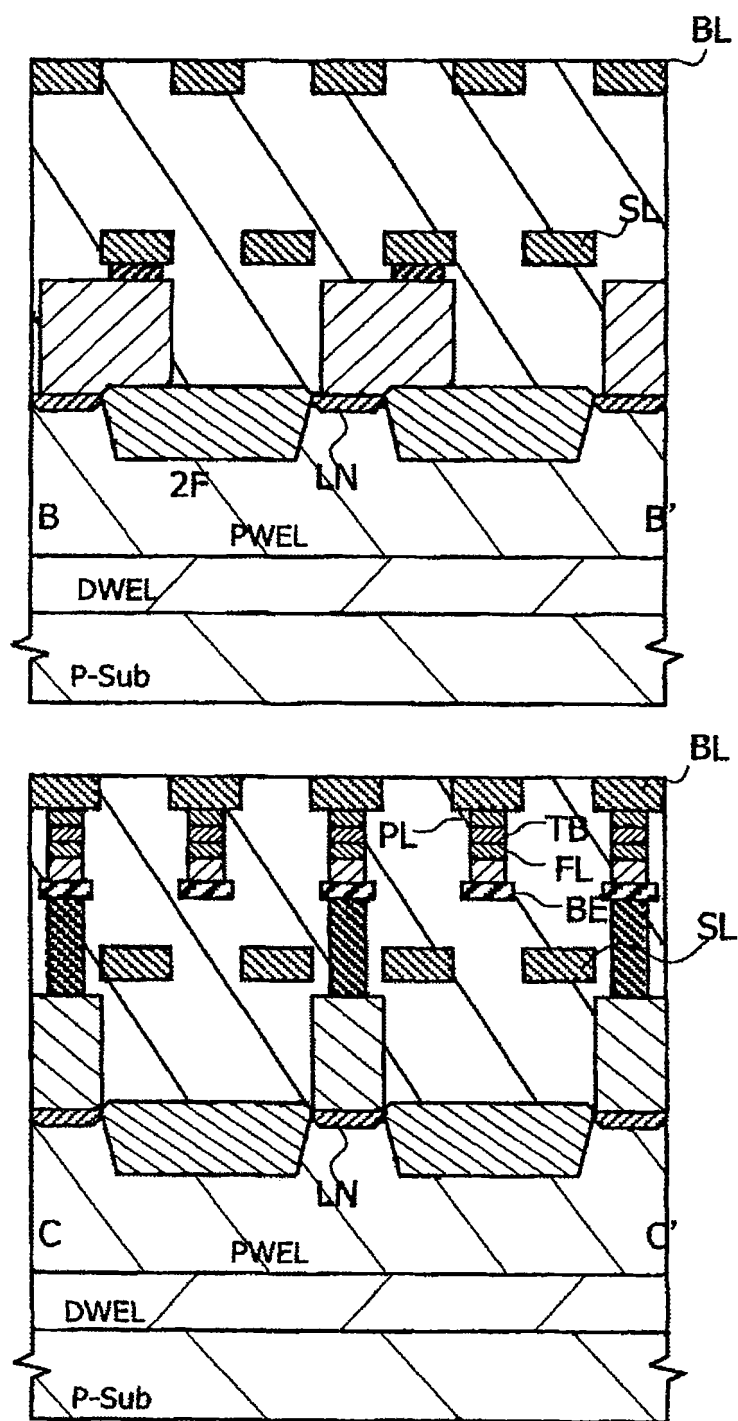


图 25

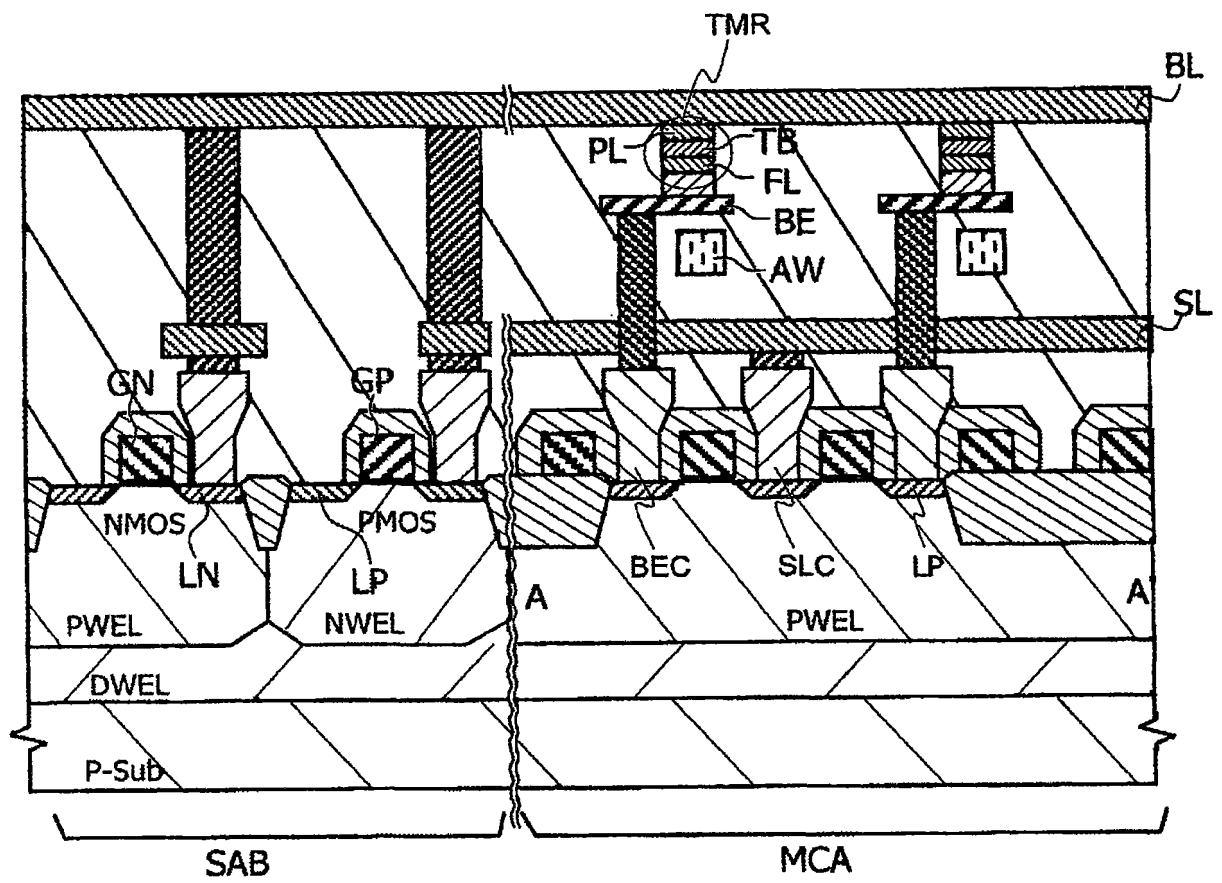
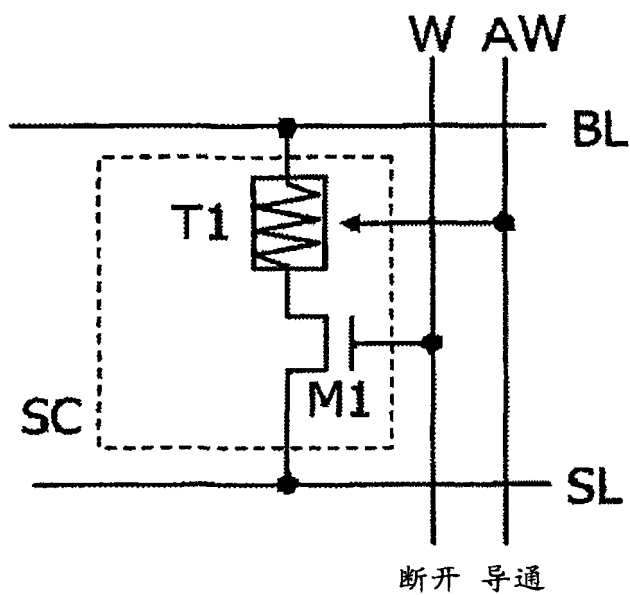
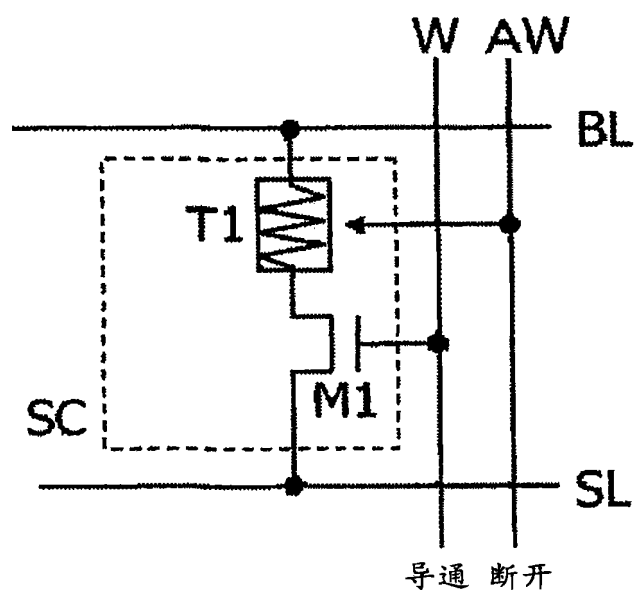


图 26



(A)



(B)

图 27

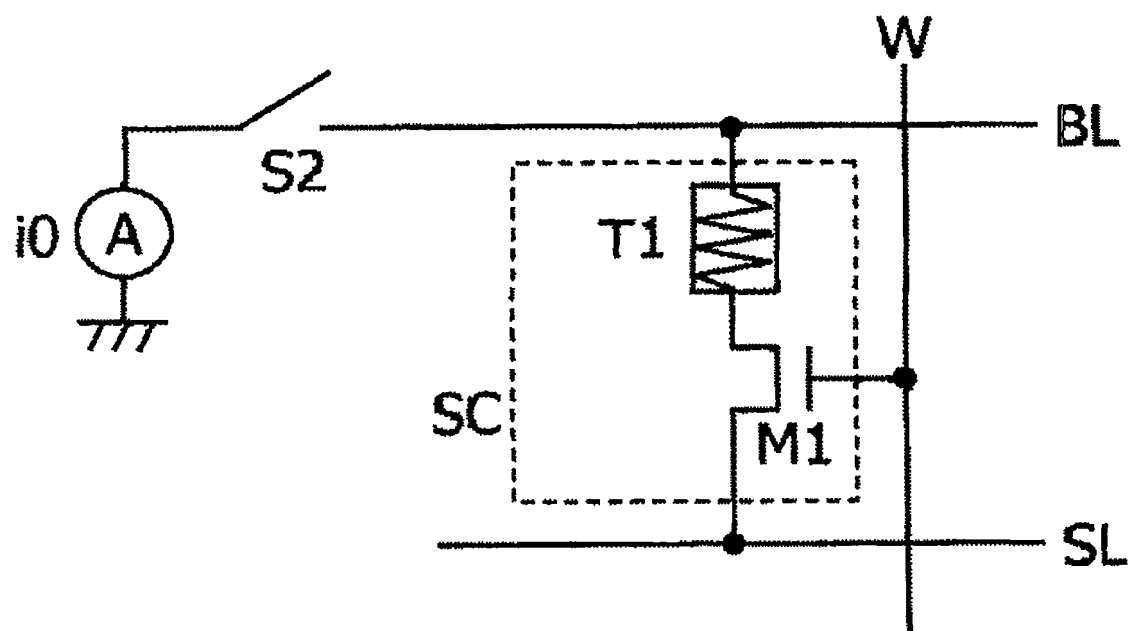


图 28

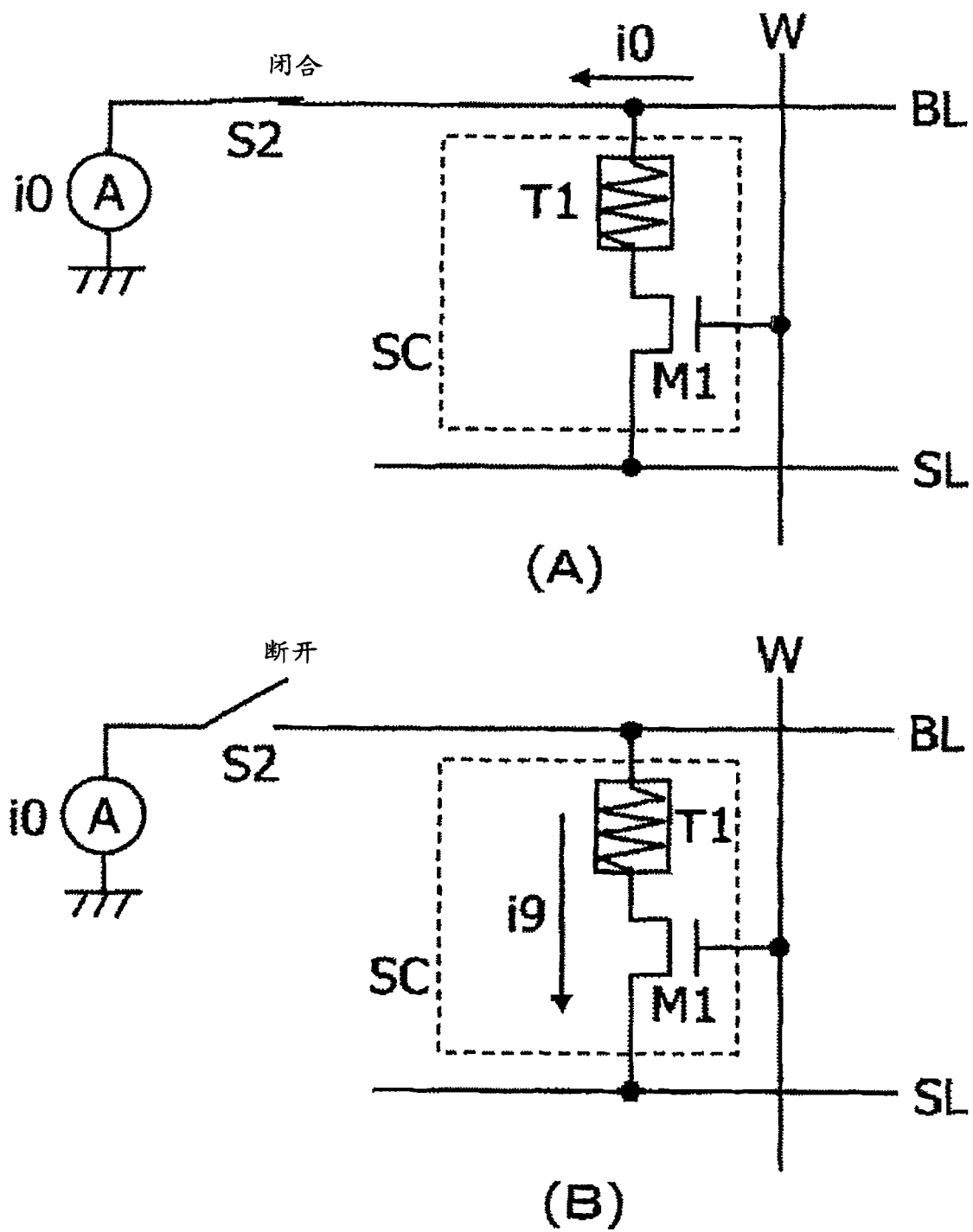
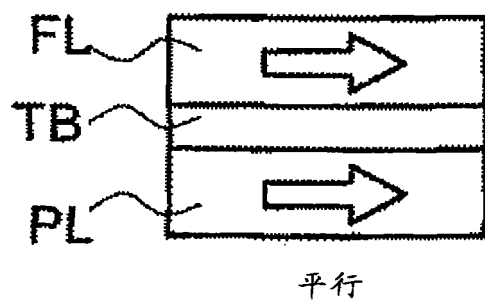
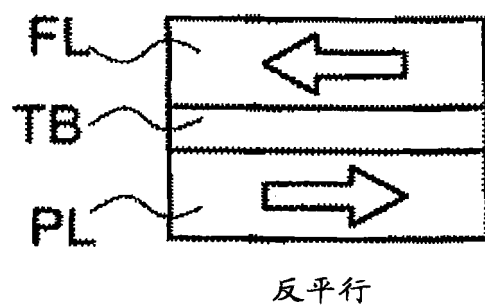


图 29

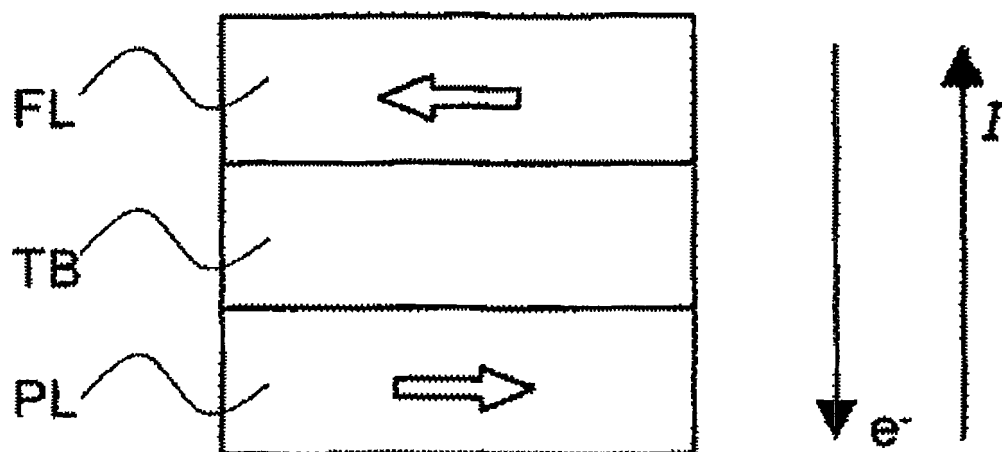


(A)

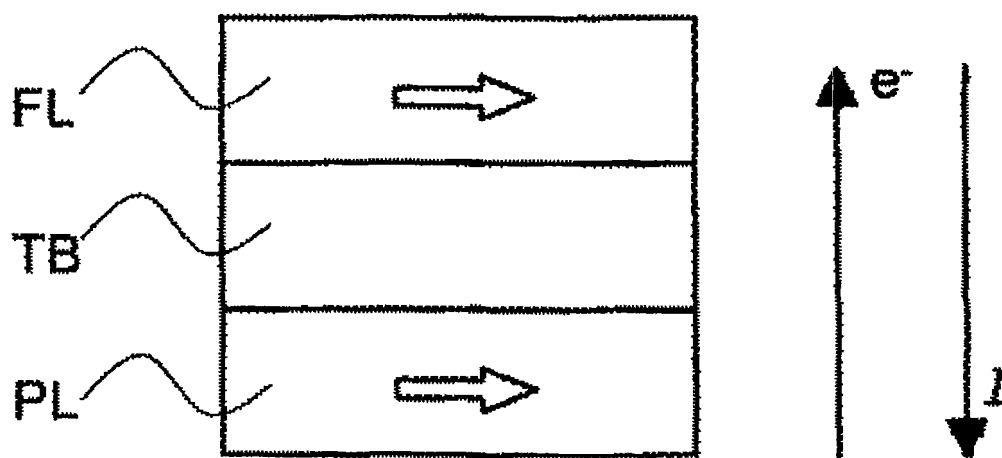


(B)

图 30



(A) 平行→反平行



(B) 反平行→平行

图 31