(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[5]
H03M 1/00

(11) 공개번호 특1990-0017305
(43) 공개일자 1990년11월16일

(21) 출원번호 특1989-0004980
(22) 출원일자 1989년04월15일

(30) 우선권주장 182,665 1988년04월18일 미국(US)
(71) 출원인 톰슨 컨슈머 일렉트로닉스 인코포레이티드 유진 엠. 휘태커
미합중국, 인디아나 46201, 인디아나폴리스, 노스 셔먼 드라이브 600
(72) 발명자 토드 제이.크리스토퍼
미합중국, 인디아나 46203, 인디아나폴리스, 사우스 키틀리 애비뉴 1402
(74) 대리인 이병호, 최달용

심사청구 : 없음

(54) 디지탈-아나로그 변환 장치 및 비트-직렬 처리 장치

요약

내용 없음

대표도

도1

명세서

[발명의 명칭]

디지탈-아나로그 변환 장치 및 비트-직렬 처리 장치

[도면의 간단한 설명]

제1도는 디지탈-아나로그 변환을 위한 시그마-델타 변조기를 포함하는 처리 시스템의 블럭도,

제2도는 단일루프 디지탈 시그마-델타 변조기의 블럭도,

제3도는 단일 루프 파이프라인형 비트-직렬 시그마-델타 변조기의 블럭도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

제1샘플 비율로 비트-직렬 2진 샘플을 인가하기 위한 신호 입력 단자와, 파이프라인 방식으로 작동하도록 상호 접속된 다수의 1비트 직렬 누산기를 포함하며, 상기 입력 단자에 결합되어, 제1샘플 비율보다 더 큰 비율로 상기 비트-직렬 2진 샘플보다 조잡하게 양자화된 샘플을 발생하도록 상기 비트-직렬2진 샘플을 재샘플링하기 위한 샘플된 데이타 시그마-델타 변조기 수단(16,18)과, 상기 시그마-델타 변조기에 결합되어, 상기 조잡하게 양자화된 샘플로부터 아나로그 샘플을 발생시키기 위한 적분기/평균기(20)를 구비하는 것을 특징으로 하는 디지탈-아나로그 변환 장치.

청구항 2

제1항에 있어서, 상기 1비트 직렬 누산기가 시분할 멀티플렉스된 신호를 처리하도록 상기 누산기를 조절하기 위한 복수의 지연 소자를 포함하고 있는 것을 특징으로 하는 디지탈-아나로그 변환 장치.

청구항 3

제1항에 있어서, 상기 1비트 누산기가, 비트-직렬 신호 입력 단자와, 갓수, 피가산수 및 캐리 입력 단자와, 캐리 출력 및 합계 출력 단자를 가진 가산기와, 상기 합계 출력 및 상기 피가산수 입력 단자 사이에 결합되어, 상기 비트-직렬 신호의 비트의 발생과 동시에 합계 출력 값을 지연시키고, 상기 비트-직렬 신호의 총 비트 주기와 같은 지연 주기를 제공하기 위한 제1수단과, 상기 비트-직렬 입력 단자와 상기 갓수 입력 단자 사이에 결합되어 상기 피가산수 입력 단자에 상기 동일한 비트-직렬 입력 신호를 나타내는 합계 출력 값을 결합시키는 제1수단과 함께 상기 갓수 입력 단자에 한 비트의 비트-직렬 입력 신호를 결합시키기 위한 제2수단을 구비하며, 상기 다수의 누산기가 연속적으로 서수적 넘버링되고, 각각이 서수

적 넘버링된 누산기의 캐리 입력 단자에 결합되는 것을 특징으로 하는 디지탈-아나로그 변환 장치.

청구항 4

제3항에 있어서, 연속적으로 증가하는 유의(significance)의 비트가 연속적으로 증가하는 서수 넘버링의 누산기로 로드되면서, 연속적인 비트 간격 동안 상기 다수의 누산기로 상기 비트-직렬 신호의 비트를 연속적으로 로딩하기 위한 수단을 더 구비하는 것을 특징으로 하는 디지탈-아나로그 변환 장치.

청구항 5

제4항에 있어서, 보다 높은 서수 넘버링의 상기 다수의 1비트 누산기가, 양자화기에 의해 제공된 신호 비트를 인가하기 위한 QDI단자와, 갓수, 피가산수 및 캐리 입력 단자와, 합계 출력 및 캐링 출력 단자를 가진 다른 가산기와, 상기 다른 가산기의 합계 출력 단자가 상기 가산기의 갓수 입력에 결합되고 상기 다른 가산기의 갓수 입력이 제2수단에 결합되며 상기 다른 가산기의 피가산수 입력이 상기 QDI단자에 결합되도록 상기 가산기와 상기 제2수단 사이에 상기 다른 가산기를 결합시키기 위한 수단 및, 상기 가산기의 합계 출력 단자에 결합된 데이타 출력 단자를 구비하며, 상기 다른 가산기를 포하하는 상기 보다 높은 서수적 넘버링된 누산기의 상호 접속이 상기 다른 가산기의 캐리 출력과, 다음의 보다 높은 서수적 넘저링된 누산기의 상기 다른 가산기의 캐리 입력 단자 사이의 접속을 포함하고 있는 것을 특징으로 하는 디지탈-아나로그 변환 장치.

청구항 6

제5항에 있어서, 상기기 시그마-델타 변조기가 상기 시그마-델타 변조기에 인가되는 샘플에 대해 반대 극성의 조잡하게 양자화된 샘플을 발생하는 양자화기를 포함하고 았으며, 상기 양자화기에 의해 발생된 샘플의 각 비트가 상기 보다 높은 서수 넘버링된 누산기의 각 QDI단자에 결합되는 것을 특징으로 하는 디지탈-아나로그 변환 장치.

청구항 7

제1항에 있어서, 상기 직렬 누산기가, 비트-직렬 신호 입력 단자와, 갓수, 피가산수 및 캐리 입력 단자와, 캐리 출력 및 합계 출력 단자를 각각 갖고 있는 제1및 제2가산기와, 상기 제1가산기의 합계 출력과 피가산수 입력단자 사이에 결합된 제1지연 수단과, 상기 제2가산기의 합계 출력과 피가산수 입력 단자 사이에 결합된 제2지연수단과, 기억 장치를 포함하고 있으며, 상기 비트 직렬 신호 입력 단자와 상기 제1가산기의 갓수 입력 단자 사이에 결합되어, 상기 제1가산기의 피가산수 입력 단자에 동일한 비트-직렬 입력 신호를 나타내는 합계 출력 값을 결합시키는 제1지연 수단과 함께 제1가산기의 갓수 입력 단자에 비트-직렬 입력 신호의 한 비트를 결합시키기 위한 수단 및, 상기 제1가산기의 합계 출력 단자에 상기 제1가산기의 갓수 입력 단자를 결합시키기 위한 수단을 구비하되, 상기 제1및 제2지연 수단은 상기 비트-직렬 신호의 비트와 동시에 합계 출력 값을 지연시키고 삭이 비트-직렬 신호의 총 비트 주기와 같은 지연을 제공하기 위한 것이며, 상기 다수의 누산기가 연속적으로 서수적 넘버링되고, 각각의 서수적으로 넘버링된 누산기의 제1및 제2가산기의 캐리 출력 단자가 그 다음의 보다 높은 서수적 넘버링된 누산기의 제1및 제2가산기의 캐리 입력 단자에 각각 결합되는 것을 특징으로 하는 디지탈-아나로그 변환 장치.

청구항 8

제7항에 있어서, 적어도 보다 높은 서수적 넘버링된 누산기에 대해, 상기 제1가산기의 합계 출력 단자에 상기 제2가산기의 갓수 입력 단자를 결합시키기 위한 상기 수단이, 상기 제2가산기의 갓수 입력에 결합된 합계 출력 단자와, 상기 제1가산기의 합계 출력 단자에 결합된 갓수 입력 단자 및 양자화된 데이타를 수신하기 위해 단자 QDI에 결합된 피가산수 입력 단자를 가진 제3가산기를 포함하며, 기억 장치를 포함하는 상기 수단이 제1가산기에 결합되며, 상기 양자화기에 의해 발생된 샘플의 각 비트가 상기 보다 높은 서수 넘버링된 누산기의 각 QDI단자에 결합되어 있는 것을 특징으로 하는 디지탈-아나로그 변환 장치.

청구항 9

제8항에 있어서, 상기 시그마-델타 변조기가 상기 시그마-델타 변조기에 인가된 샘플에 대해 반대 극성의 조잡하게 양자화된 샘플을 발생하는 양자화기를 포함하고 있으며, 상기 양자화기에 의해 발생된 샘플의 각 비트가 상기 보다 높은 서수적 넘버링된 누산기의 각 QDI단자에 결합되어 있는 것을 특징으로 하는 디지탈-아나로그 변환 장치.

청구항 10

비트-직렬 처리 장치가 비트-직렬 입력 단자와, 각각의 셀이 데이타 입력, 캐리 입력 및 캐리 출력 단자를 가진 1비트 누산기와, 입력 단자와 상기 데이타 입력 단자에 겨랗ㅂ된 출력 단자를 갖고 있으며 신호를 상기 누산기에 결합시키기 위한 기억 장치를 포함하고 있는 수단을 포함하는 다수의 서수적 넘버링된 제1셀과, 각각의 셀이 캐리 출력 단자가 다음의 보다 높은 서수 넘버링된 셀의 캐리 입력 단자에 결합되도록 상기 다수의 제1셀을 상호 접속하기 위한 수단과, 각각의 셀이, 데이타 입력, 캐리 입력, 데이타 출력 및 캐리 출력 단자를 가진 1비트 누산기와, 상기 누산기의 데이타 입력 단자에 결합된 출력과 제1 및 제2데이타 입력 단자와 캐리 입력 및 캐리 출력 단자를 가진 결합 수단과, 상기 결합 수단의 제1데이타 입력 단자에 결합된 출력과 상기 비트-직렬 입력단자에 결합된 입력을 갖고 있으며 신호를 상기 결합 수단에 결합시키기 위한 기억 장치 포함 수단을 포함하는 다수의 서수적으로 넘버링된 제2셀과, 각각의 셀의 상기 누산기 및 결합 수단의 캐리 출력 단자와 그 다음 보다 높은 서수적 넘버링된 셀의 누산기 및 결합 수단의 캐리 입력 단자에 각각 결합되도록 상기 다수의 제2셀을 상호 접속하기 위한 수단과, 상기 다수의 제2셀의 가장 작은 서수 넘버링된 셀의 누산기의 캐리 입력 단자에 상기 다수의 제1셀의 가장 높

은 서수 넘버링된 캐리 출력 단자를 결합시키기 위한 수단 및, 상기 다수의 제2셀중 하나의 결합 수단의 제2데이타 입력 단자에 신호를 인가하기 위한 수단을 구비하는 것을 특징으로 하는 비트-직렬 처리장치.

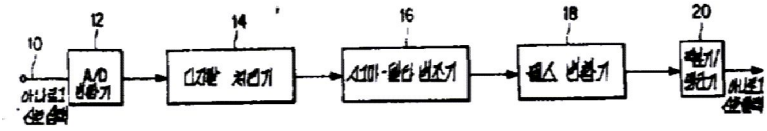
청구항 11

제10항에 있어서, 상기 결합 수단의 제2데이타 입력 단자에 신호를 인가하기 위한 상기 수단이 다수의 제2셀중 하나의 누산기의 데이타 출력 단자에 결합된 입력 접속을 가진 양자화기를 포함하는 것을 특징으로 하는 비트-직렬 처리 장치.

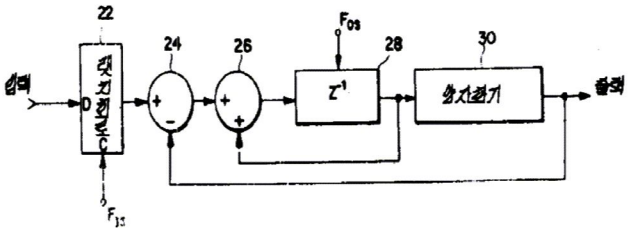
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면1



도면2



도면3

