

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 3 区分  
 【発行日】平成 29 年 1 月 5 日 (2017.1.5)

【公表番号】特表 2016-502799 (P2016-502799A)  
 【公表日】平成 28 年 1 月 28 日 (2016.1.28)  
 【年通号数】公開・登録公報 2016-006  
 【出願番号】特願 2015-542805 (P2015-542805)  
 【国際特許分類】

H 0 3 K 5/22 (2006.01)

H 0 3 K 7/08 (2006.01)

【F I】

H 0 3 K 5/22

H 0 3 K 7/08 A

【手続補正書】

【提出日】平成 28 年 11 月 14 日 (2016.11.14)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

マイクロコントローラのための相補出力ジェネレータモジュールであって、前記相補出力ジェネレータは、前記マイクロコントローラの処理コアを通して構成可能であり、前記相補出力ジェネレータは、

クロックソースに結合されたクロック入力と、

前記クロック入力からのクロック信号を受信する第 1 の回路であって、前記第 1 の回路は、複数の第 1 の入力信号を受信するように構成され、前記第 1 の回路は、前記複数の第 1 の入力信号のうちの 1 つを選択するように構成可能であり、前記第 1 の回路は、選択された第 1 の入力信号の立ち上がりエッジを検出し、かつ前記クロックソースと同期する立ち上がりエッジ信号を始動させるようにさらに構成されている、第 1 の回路と、

前記クロック信号を受信する第 2 の回路であって、前記第 2 の回路は、複数の第 2 の入力信号を受信するように構成され、前記第 2 の回路は、前記複数の第 2 の入力信号のうちの 1 つを選択するように構成可能であり、前記第 2 の回路は、選択された第 2 の入力信号の立ち下がりエッジを検出し、かつ前記クロックソースと同期する立ち下がりエッジ信号を始動させるようにさらに構成されている、第 2 の回路と、

前記立ち上がりエッジ信号および前記立ち下がりエッジ信号を受信する第 3 の回路であって、前記第 3 の回路は、

前記立ち下がりエッジ信号の検出まで、前記立ち上がりエッジ信号の検出に応じて、第 1 の出力駆動信号をアサートすることと、

次の立ち上がりエッジ信号の検出まで、前記立ち下がりエッジ信号の検出に応じて、第 2 の出力駆動信号をアサートすることと

を行うように構成されている、第 3 の回路と

を備える、相補出力ジェネレータモジュール。

【請求項 2】

前記クロック入力と複数のクロックソースとの間に結合されたクロックマルチプレクサをさらに備え、前記クロックマルチプレクサは、前記複数のクロックソースのうちの 1 つを選択するように適合されている、請求項 1 に記載の相補出力ジェネレータモジュール。

## 【請求項 3】

立ち上がりエッジブランキング時間回路をさらに備え、前記立ち上がりエッジブランキング時間回路は、前記立ち上がりエッジブランキング時間回路がタイムアウトするまで、前記立ち上がりエッジが前記立ち上がりエッジ信号を発生させないように阻止する、請求項 1 または 2 に記載の相補出力ジェネレータモジュール。

## 【請求項 4】

立ち上がりイベントデッドバンド時間回路をさらに備え、前記立ち上がりイベントデッドバンド時間回路は、前記立ち上がりイベントデッドバンド時間回路がタイムアウトするまで、前記第 2 の出力駆動信号を阻止する、請求項 1 ~ 3 のうちの 1 項に記載の相補出力ジェネレータモジュール。

## 【請求項 5】

立ち下がりイベントデッドバンド時間回路をさらに備え、前記立ち下がりイベントデッドバンド時間回路は、前記立ち下がりイベントデッドバンド時間回路がタイムアウトするまで、前記第 1 の出力駆動信号を阻止する、請求項 1 ~ 4 のうちの 1 項に記載の相補出力ジェネレータモジュール。

## 【請求項 6】

前記立ち上がりおよび / または立ち下がりイベントブランキング時間回路、および / または、前記立ち上がりおよび / または立ち下がりイベントデッドバンド時間回路は、前記クロックソースに結合されたカウンタと、前記カウンタに結合されたコンパレータと、前記コンパレータに結合された時間レジスタとを備える、請求項 3 ~ 5 のうちの 1 項に記載の相補出力ジェネレータモジュール。

## 【請求項 7】

前記立ち上がりおよび / または立ち下がりイベントブランキング時間回路、および / または、前記立ち上がりおよび / または前記立ち下がりイベントデッドバンド時間回路は、複数の直列に接続された単位時間遅延要素と、前記複数の直列に接続された単位遅延要素の個別の 1 つに結合された入力を有するマルチプレクサとを備える、請求項 3 ~ 5 のうちの 1 項に記載の相補出力ジェネレータモジュール。

## 【請求項 8】

各单位時間遅延要素は、固定時間遅延を提供する、請求項 7 に記載の相補出力ジェネレータモジュール。

## 【請求項 9】

前記固定時間遅延は、約 5 ナノ秒である、請求項 8 に記載の相補出力ジェネレータモジュール。

## 【請求項 10】

複数の出力極性逆転回路をさらに備え、前記複数の出力極性逆転回路のそれぞれの 1 つは、複数の出力の個別の 1 つに結合され、第 1 の論理レベルが前記出力極性逆転回路に適用されると、前記複数の出力の個別の 1 つは、非反転出力駆動信号を提供し、第 2 の論理レベルが前記出力極性逆転回路に適用されると、前記複数の出力の個別の 1 つは、反転出力駆動信号を提供する、請求項 1 ~ 9 のうちの 1 項に記載の相補出力ジェネレータモジュール。

## 【請求項 11】

複数の出力ステアリングマルチプレクサをさらに備え、前記複数の出力ステアリングマルチプレクサは、複数の出力の個別の 1 つを個別の信号、論理高、論理低、または高インピーダンスのいずれかに結合させる、請求項 1 ~ 10 のうちの 1 項に記載の相補出力ジェネレータモジュール。

## 【請求項 12】

前記複数の出力ステアリングマルチプレクサは、実質的に瞬時に、前記複数の出力への信号の結合を変更する、請求項 11 に記載の相補出力ジェネレータモジュール。

**【請求項 1 3】**

前記複数の出力ステアリングマルチプレクサは、次の立ち上がりエッジ信号と同期して、前記複数の出力への信号の結合を変更する、請求項 1 1 に記載の相補出力ジェネレータモジュール。

**【請求項 1 4】**

立ち上がりおよび立ち下がりエッジ入力に結合された出力を有するパルス幅変調 (PWM) ジェネレータをさらに備える、請求項 1 ~ 1 3 のうちの 1 項に記載の相補出力ジェネレータモジュール。

**【請求項 1 5】**

前記相補出力ジェネレータモジュールは、ハーフブリッジモード、ブッシュブルモード、順方向フルブリッジモード、逆方向フルブリッジモード、ステアリングモード、および同期ステアリングモードのうちの 1 つで動作するようにプログラム可能に構成可能である、請求項 1 ~ 1 4 のうちの 1 項に記載の相補出力ジェネレータモジュール。

**【請求項 1 6】**

請求項 1 ~ 1 5 のうちの 1 項に記載の相補出力ジェネレータモジュールを使用して、相補波形を発生させるための方法であって、前記方法は、

前記第 1 の回路を用いて、少なくとも 1 つの立ち上がりエッジ信号ソースを複数の立ち上がりエッジソースから選択するステップと、

プログラム可能立ち上がりエッジブランキング時間周期内において、後続の少なくとも 1 つの立ち下がりエッジのブランキングを提供するステップと、

立ち上がりエッジ信号を発生させるための立ち上がりエッジソースエッジまたは立ち上がりエッジソース電圧レベルの検出を選択するステップと、

前記第 2 の回路を用いて、少なくとも 1 つの立ち下がりエッジソースを複数の立ち下がりエッジソースから選択するステップと、

プログラム可能立ち下がりエッジブランキング時間周期内において、後続の少なくとも 1 つの立ち上がりエッジのブランキングを提供するステップと、

立ち下がりエッジ信号を発生させるための立ち下がりエッジソースエッジまたは立ち下がりエッジソース電圧レベルの検出を選択するステップと、

前記少なくとも 1 つの立ち下がりエッジの検出まで、前記少なくとも 1 つの立ち上がりエッジの検出に応じて、少なくとも 1 つの第 1 の出力をアサートするステップと、

次の少なくとも 1 つの立ち上がりエッジの検出まで、前記少なくとも 1 つの立ち下がりエッジの検出に応じて、少なくとも 1 つの第 2 の出力をアサートするステップと

を含む、方法。

**【請求項 1 7】**

立ち上がりイベント位相遅延を提供するステップをさらに含み、前記立ち上がりイベント位相遅延は、立ち上がりイベント信号を遅延させる、請求項 1 6 に記載の方法。

**【請求項 1 8】**

立ち下がりイベント位相遅延を提供するステップをさらに含み、前記立ち下がりイベント位相遅延は、立ち下がりイベント信号を遅延させる、請求項 1 6 に記載の方法。

**【請求項 1 9】**

前記第 1 の出力をアサートするステップと、前記第 2 の出力をアサートするステップとの間のデッドバンド時間を提供するステップをさらに含む、請求項 1 6 に記載の方法。

**【請求項 2 0】**

前記デッドバンド時間を提供するステップは、前記第 2 の出力をディアサートするステップの後、前記第 1 の出力のアサーションを遅延させるステップを含む、請求項 1 9 に記載の方法。

**【請求項 2 1】**

前記デッドバンド時間を提供するステップは、前記第 1 の出力をディアサートするステップの後、前記第 2 の出力のアサーションを遅延させるステップを含む、請求項 1 9 に記載の方法。

## 【請求項 2 2】

自動シャットダウンのアサーションに応じて、出力の全てを所定の論理レベルに強制するステップをさらに含む、請求項 1 6 に記載の方法。

## 【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 5

【補正方法】変更

【補正の内容】

【0 0 1 5】

本方法のさらなる実施形態によると、立ち上がりイベント位相遅延を提供するステップが、提供されてもよく、立ち上がりイベント位相遅延は、立ち上がりイベント信号を遅延させる。本方法のさらなる実施形態によると、立ち下がりイベント位相遅延を提供するステップが、提供されてもよく、立ち下がりイベント位相遅延は、立ち下がりイベント信号を遅延させる。本方法のさらなる実施形態によると、デッドバンド時間を提供するステップは、第 1 の出力をアサートするステップと、第 2 の出力をアサートするステップとの間に提供されてもよい。本方法のさらなる実施形態によると、デッドバンド時間を提供するステップは、第 2 の出力をディアサートするステップの後、第 1 の出力のアサーションを遅延させるステップを含んでもよい。本方法のさらなる実施形態によると、デッドバンド時間を提供するステップは、第 1 の出力をディアサートするステップの後、第 2 の出力のアサーションを遅延させるステップを含んでもよい。本方法のさらなる実施形態によると、自動シャットダウンのアサーションに応じて、出力の全てを所定の論理レベルに強制するステップが、提供されてもよい。

本願明細書は、例えば、以下の項目も提供する。

## (項目 1)

マイクロコントローラのための相補出力ジェネレータモジュールであって、前記相補出力ジェネレータは、前記マイクロコントローラの処理コアを通して構成可能であり、前記相補出力ジェネレータは、

クロックソースに結合されたクロック入力と、

プログラム可能に選択可能な複数の立ち上がりイベント入力であって、前記選択された立ち上がりイベント入力のうちの少なくとも 1 つは、少なくとも 1 つの立ち上がりイベントが、前記立ち上がりイベント入力のうちの個別の選択された 1 つにおいて生じるとき、前記クロックソースと同期する立ち上がりイベント信号を始動させる、複数の立ち上がりイベント入力と、

プログラム可能に選択可能な複数の立ち下がりイベント入力であって、前記選択された立ち下がりイベント入力のうちの少なくとも 1 つは、少なくとも 1 つの立ち下がりイベントが、前記立ち下がりイベント入力のうちの個別の選択された 1 つにおいて生じるとき、前記クロックソースと同期する立ち下がりイベント信号を始動させる、複数の立ち下がりイベント入力と、

複数の出力であって、

前記複数の出力のうちの第 1 の出力は、前記立ち下がりイベント信号の検出まで、前記立ち上がりイベント信号の検出に応じて、第 1 の出力駆動信号をアサートし、

前記複数の出力のうちの第 2 の出力は、次の立ち上がりイベント信号の検出まで、前記立ち下がりイベント信号の検出に応じて、第 2 の出力駆動信号をアサートする、

複数の出力と

を備える、相補出力ジェネレータモジュール。

## (項目 2)

前記クロック入力と複数のクロックソースとの間に結合されたクロックマルチプレクサをさらに備え、前記クロックマルチプレクサは、前記複数のクロックソースのうちの 1 つを選択するように適合されている、項目 1 に記載の相補出力ジェネレータモジュール。

( 項目 3 )

立ち上がりイベントブランキング時間回路をさらに備え、前記立ち上がりイベントブランキング時間回路は、前記立ち上がりイベントブランキング時間回路がタイムアウトするまで、前記立ち上がりイベントが前記立ち上がりイベント信号を発生させないように阻止する、項目 1 に記載の相補出力ジェネレータモジュール。

( 項目 4 )

前記立ち上がりイベントブランキング時間回路は、  
前記クロックソースに結合されたカウンタと、  
前記カウンタに結合されたコンパレータと、  
前記コンパレータに結合されたブランキング時間レジスタと  
を備える、項目 3 に記載の相補出力ジェネレータモジュール。

( 項目 5 )

前記立ち上がりイベントブランキング時間回路は、  
複数の直列に接続された単位遅延要素と、  
前記複数の直列に接続された単位遅延要素の個別の 1 つに結合された入力を有するマルチプレクサと  
を備える、項目 3 に記載の相補出力ジェネレータモジュール。

( 項目 6 )

立ち下がりイベントブランキング時間回路をさらに備え、前記立ち下がりイベントブランキング時間回路は、前記立ち下がりイベントブランキング時間回路がタイムアウトするまで、前記立ち下がりイベントが前記立ち下がりイベント信号を発生させないように阻止する、項目 1 に記載の相補出力ジェネレータモジュール。

( 項目 7 )

前記立ち下がりイベントブランキング時間回路は、  
前記クロックソースに結合されたカウンタと、  
前記カウンタに結合されたコンパレータと、  
前記コンパレータに結合されたブランキング時間レジスタと  
を備える、項目 6 に記載の相補出力ジェネレータモジュール。

( 項目 8 )

前記立ち下がりイベントブランキング時間回路は、  
複数の直列に接続された単位遅延要素と、  
前記複数の直列に接続された単位遅延要素の個別の 1 つに結合された入力を有するマルチプレクサと  
を備える、項目 6 に記載の相補出力ジェネレータモジュール。

( 項目 9 )

立ち上がりイベントデッドバンド時間回路をさらに備え、前記立ち上がりイベントデッドバンド時間回路は、前記立ち上がりイベントデッドバンド時間回路がタイムアウトするまで、前記第 2 の出力駆動信号を阻止する、項目 1 に記載の相補出力ジェネレータモジュール。

( 項目 10 )

前記立ち上がりイベントデッドバンド時間回路は、  
前記クロックソースに結合されたカウンタと、  
前記カウンタに結合されたコンパレータと、  
前記コンパレータに結合されたデッドバンド時間レジスタと  
を備える、項目 9 に記載の相補出力ジェネレータモジュール。

( 項目 11 )

前記立ち上がりイベントデッドバンド時間回路は、  
複数の直列に接続された単位時間遅延要素と、  
前記複数の直列に接続された単位遅延要素の個別の 1 つに結合された入力を有するマルチプレクサと

を備える、項目 9 に記載の相補出力ジェネレータモジュール。

(項目 1 2)

各单位時間遅延要素は、固定時間遅延を提供する、項目 1 1 に記載の相補出力ジェネレータモジュール。

(項目 1 3)

前記固定時間遅延は、約 5 ナノ秒である、項目 1 2 に記載の相補出力ジェネレータモジュール。

(項目 1 4)

立ち下がりイベントデッドバンド時間回路をさらに備え、前記立ち下がりイベントデッドバンド時間回路は、前記立ち下がりイベントデッドバンド時間回路がタイムアウトするまで、前記第 1 の出力駆動信号を阻止する、項目 1 に記載の相補出力ジェネレータモジュール。

(項目 1 5)

前記立ち下がりイベントデッドバンド時間回路は、  
前記クロックソースに結合されたカウンタと、  
前記カウンタに結合されたコンパレータと、  
前記コンパレータに結合されたデッドバンド時間レジスタと  
を備える、項目 1 4 に記載の相補出力ジェネレータモジュール。

(項目 1 6)

前記立ち下がりイベントデッドバンド時間回路は、  
複数の直列に接続された単位時間遅延要素と、  
前記複数の直列に接続された単位遅延要素の個別の 1 つに結合された入力を有するマルチプレクサと  
を備える、項目 1 4 に記載の相補出力ジェネレータモジュール。

(項目 1 7)

各单位時間遅延要素は、固定時間遅延を提供する、項目 1 6 に記載の相補出力ジェネレータモジュール。

(項目 1 8)

複数の出力極性逆転回路をさらに備え、前記複数の出力極性逆転回路のそれぞれの 1 つは、前記複数の出力の個別の 1 つに結合され、第 1 の論理レベルが前記出力極性逆転回路に適用されると、前記複数の出力の個別の 1 つは、非反転出力駆動信号を提供し、第 2 の論理レベルが前記出力極性逆転回路に適用されると、前記複数の出力の個別の 1 つは、反転出力駆動信号を提供する、項目 1 に記載の相補出力ジェネレータモジュール。

(項目 1 9)

複数の出力ステアリングマルチプレクサをさらに備え、前記複数の出力ステアリングマルチプレクサは、前記複数の出力の個別の 1 つを個別の信号、論理高、論理低、または高インピーダンスのいずれかに結合させる、項目 1 に記載の相補出力ジェネレータモジュール。

(項目 2 0)

前記複数の出力ステアリングマルチプレクサは、実質的に瞬時に、前記複数の出力への信号の結合を変更する、項目 1 9 に記載の相補出力ジェネレータモジュール。

(項目 2 1)

前記複数の出力ステアリングマルチプレクサは、次の立ち上がりイベント信号と同期して、前記複数の出力への信号の結合を変更する、項目 1 9 に記載の相補出力ジェネレータモジュール。

(項目 2 2)

前記立ち上がりおよび立ち下がりイベント入力に結合された出力を有するパルス幅変調 (PWM) ジェネレータをさらに備える、項目 1 に記載の相補出力ジェネレータモジュール。

(項目 2 3)

前記相補出力ジェネレータモジュールは、ハーフブリッジモードで構成されている、項目 1 に記載の相補出力ジェネレータモジュール。

(項目 2 4)

前記相補出力ジェネレータモジュールは、プッシュプルモードで構成されている、項目 1 に記載の相補出力ジェネレータモジュール。

(項目 2 5)

前記相補出力ジェネレータモジュールは、順方向フルブリッジモードで構成されている、項目 1 に記載の相補出力ジェネレータモジュール。

(項目 2 6)

前記相補出力ジェネレータモジュールは、逆方向フルブリッジモードで構成されている、項目 1 に記載の相補出力ジェネレータモジュール。

(項目 2 7)

前記相補出力ジェネレータモジュールは、ステアリングモードで構成されている、項目 1 に記載の相補出力ジェネレータモジュール。

(項目 2 8)

前記相補出力ジェネレータモジュールは、同期ステアリングモードで構成されている、項目 1 に記載の相補出力ジェネレータモジュール。

(項目 2 9)

相補波形を発生させるための方法であって、前記方法は、

少なくとも 1 つの立ち上がりイベントソースを複数の立ち上がりイベントソースから選択するステップと、

プログラム可能立ち上がりイベントブランキング時間周期内において、後続の少なくとも 1 つの立ち下がりイベントのブランキングを提供するステップと、

立ち上がりイベント信号を発生させるための立ち上がりイベントソースエッジまたは立ち上がりイベントソース電圧レベルの検出を選択するステップと、

少なくとも 1 つの立ち下がりイベントソースを複数の立ち下がりイベントソースから選択するステップと、

プログラム可能立ち下がりイベントブランキング時間周期内において、後続の少なくとも 1 つの立ち上がりイベントのブランキングを提供するステップと、

立ち下がりイベント信号を発生させるための立ち下がりイベントソースエッジまたは立ち下がりイベントソース電圧レベルの検出を選択するステップと、

前記少なくとも 1 つの立ち下がりイベントの検出まで、前記少なくとも 1 つの立ち上がりイベントの検出に応じて、少なくとも 1 つの第 1 の出力をアサートするステップと、

次の少なくとも 1 つの立ち上がりイベントの検出まで、前記少なくとも 1 つの立ち下がりイベントの検出に応じて、少なくとも 1 つの第 2 の出力をアサートするステップと

を含む、方法。

(項目 3 0)

立ち上がりイベント位相遅延を提供するステップをさらに含み、前記立ち上がりイベント位相遅延は、前記立ち上がりイベント信号を遅延させる、項目 2 9 に記載の方法。

(項目 3 1)

立ち下がりイベント位相遅延を提供するステップをさらに含み、前記立ち下がりイベント位相遅延は、前記立ち下がりイベント信号を遅延させる、項目 2 9 に記載の方法。

(項目 3 2)

前記第 1 の出力をアサートするステップと、前記第 2 の出力をアサートするステップとの間のデッドバンド時間を提供するステップをさらに含む、項目 2 9 に記載の方法。

(項目 3 3)

前記デッドバンド時間を提供するステップは、前記第 2 の出力をディアサートするステップの後、前記第 1 の出力のアサーションを遅延させるステップを含む、項目 3 2 に記載の方法。

(項目 3 4)

前記デッドバンド時間を提供するステップは、前記第 1 の出力をディASSERTするステップの後、前記第 2 の出力のアサーションを遅延させるステップを含む、項目 3 1 に記載の方法。

( 項目 3 5 )

自動シャットダウンのアサーションに応じて、出力の全てを所定の論理レベルに強制するステップをさらに含む、項目 2 9 に記載の方法。