

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年12月7日(07.12.2017)



(10) 国際公開番号

WO 2017/209221 A1

- (51) 国際特許分類:
H04N 5/369 (2011.01) H04N 5/376 (2011.01)
H04N 5/374 (2011.01)
- (21) 国際出願番号: PCT/JP2017/020369
- (22) 国際出願日: 2017年5月31日(31.05.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-109196 2016年5月31日(31.05.2016) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (72) 発明者: 岡 巧(OKA Takumi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセ

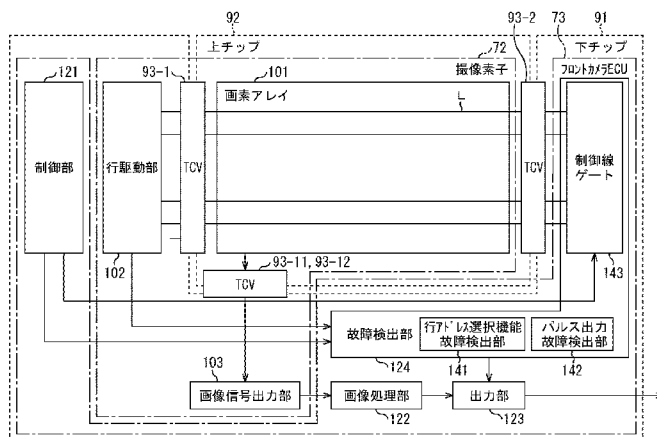
ミコンダクタソリューションズ株式会社内 Kanagawa (JP). 鈴木 敦史(SUZUKI Atsushi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 河津 直樹(KAWAZU Naoki); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿7丁目5番25号 西新宿木村屋ビルディング9階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN,

(54) Title: IMAGE CAPTURING DEVICE, IMAGE CAPTURING METHOD, CAMERA MODULE, AND ELECTRONIC DEVICE

(54) 発明の名称: 撮像装置および撮像方法、カメラモジュール、並びに電子機器



- 72 Image capturing element
- 73 Front camera ECU
- 91 Lower chip
- 92 Upper chip
- 101 Pixel array
- 102 Row drive unit
- 103 Image signal output unit
- 121 Control unit
- 122 Image processing unit
- 123 Output unit
- 124 Failure detection unit
- 141 Row address selection function failure detection unit
- 142 Pulse output failure detection unit
- 143 Control line gate

(57) Abstract: This disclosure relates to an image capturing device, an image capturing method, a camera module, and an electronic device that enable detection of a failure in an image capturing element having a structure formed by laminating a plurality of substrates. According to this disclosure, a timing with which a row drive unit provided on a second substrate outputs a control signal for controlling storage and read-out of pixel signals of a pixel array provided on a first substrate is compared with a timing with which the control signal output by the row drive unit passes through the pixel array and is detected, and it is determined whether or not the timings coincide with each other, thereby detecting a failure. This disclosure can be applied to an image capturing device mounted on a vehicle.



KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA,
MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA,
NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA,
RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：本開示は、複数の基板が積層された構造の撮像素子における故障を検出できるようにする撮像装置および撮像方法、カメラモジュール、並びに電子機器に関する。第2の基板に設けられた行駆動部が、第1の基板に設けられた画素アレイの画素信号の蓄積および読み出しを制御する制御信号を出力するタイミングと、行駆動部より出力された制御信号が、画素アレイを通過して、検出されるタイミングとを比較し、一致するか否かにより、故障を検出する。本開示は、車両に搭載される撮像装置に適用することができる。

明 細 書

発明の名称：

撮像装置および撮像方法、カメラモジュール、並びに電子機器

技術分野

[0001] 本開示は、撮像装置および撮像方法、カメラモジュール、並びに電子機器に関し、特に、複数の基板が積層された構造の装置における故障を検出できるようにした撮像装置および撮像方法、カメラモジュール、並びに電子機器に関する。

背景技術

[0002] 画像を撮像する撮像素子は、小型化が進み、様々な用途に使用されるようになっている。

[0003] 近年においては、車両の前方を撮像し、撮像した画像に基づいて、走行中のレーン、前方を走行中の車両、および飛び出してくる歩行者などを識別し、危険を回避するといった運転を支援する機能を搭載した車両も普及してきている。

[0004] ところが、このような機能の一部としての撮像素子については、故障が発生すると誤検出が発生し、適切な運転支援が行われなくなるため、運転支援により危険を回避することができなくなってしまう可能性がある。

[0005] このような理由から車載向けの撮像素子については、ISO26262（自動車の電気/電子に関する機能安全についての国際規格）によりアナログ回路の動作中の故障検出機能が求められている。

[0006] このような要求がある中で、撮像素子の水平信号線の断線に係る故障を検出する技術が提案されている（特許文献1，2参照）。

先行技術文献

特許文献

[0007] 特許文献1：特開2009-118427号公報

特許文献2：特開2009-284470号公報

発明の概要

発明が解決しようとする課題

- [0008] ところで、近年においては、入射光の光量に応じた画素信号を生成するフォトダイオードが設けられた第1の基板と、フォトダイオードにより生成された画素信号を信号処理する信号処理部等が配置される第2の基板とが積層された状態で電氣的に接続された撮像装置が普及している。
- [0009] ところが、上述した故障を検出する技術においては、複数の基板が積層された構造の撮像装置の故障を検出することはできない。
- [0010] 本開示は、このような状況に鑑みてなされたものであり、特に、複数の基板が積層された構造の撮像装置における故障を検出できるようにするものである。

課題を解決するための手段

- [0011] 本開示の第1の側面の撮像装置は、画素と画素制御線を有する第1の基板と、前記第1の基板と積層される第2の基板とを備え、前記第2の基板は、行駆動部と故障検出部とを有し、前記画素制御線の一端は、第1の接続電極を介して前記行駆動部に接続され、前記画素制御線他端は、第2の接続電極を介して前記故障検出部に接続され、前記行駆動部は、前記第1の接続電極を介して前記画素制御線に前記画素の動作を制御する制御信号を供給し、前記故障検出部は、前記第1の接続電極、前記画素制御線、および前記第2の接続電極を介して供給される前記制御信号に基づいて故障を検出する撮像装置である。
- [0012] 前記第1の接続電極および前記第2の接続電極は、前記第1の基板と前記第2の基板とを貫通する貫通電極で構成されており、前記第1の基板と前記第2の基板とは、前記貫通電極により電氣的に接続された状態で積層されるようにすることができる。
- [0013] 前記画素はアレイ状に配置され、前記画素の処理対象となるアドレスの情報と、前記アドレスの情報により特定される画素が制御されるタイミングの情報を出力する制御部をさらに含ませるようにことができ、前記故障

検出部には、前記制御部より出力されるアドレスの情報により特定される、前記画素の動作を制御する制御信号を供給する行駆動部と、前記制御部より出力されるアドレスの情報により特定される、前記行駆動部より供給される、前記画素の動作を制御する制御信号を検出し、検出信号を出力する検出部と、前記アドレスの情報により特定される画素が制御されるタイミングにおいて、前記検出部より、前記制御部より出力されるアドレスの情報により特定される、前記画素の動作を制御する制御信号が検出されたとき前記検出信号が出力されるか否かに基づいて、前記制御信号のパルス出力の故障を検出するパルス出力故障検出部とを含ませるようにすることができる。

[0014] 前記検出部には、前記制御部より出力されるアドレスの情報により特定される、前記画素の動作を制御する制御信号を検出するスイッチングゲートを含ませるようにすることができ、前記制御部より出力されるアドレスの情報により特定される前記スイッチングゲートにのみ電力を供給し、前記スイッチングゲートは、前記画素の動作を制御する制御信号を検出するとき、Hi信号を、前記制御信号毎に設定されたバスに出力させ、前記パルス出力故障検出部には、前記制御信号毎に設定されたバスに出力される信号と、前記アドレスの情報により特定される画素が制御されるタイミングを示す信号とに応じた値を、前記制御信号毎に保持する複数の保持部を含ませるようにすることができ、前記保持部が保持する値に応じて、前記制御信号のパルス出力の故障を検出させるようにすることができる。

[0015] 前記複数の保持部には、前記制御信号毎に設定されたバスに出力される信号と、前記アドレスの情報により特定される画素が制御された状態であることを示す固定された信号とに応じた値を、前記制御信号毎に保持させ、前記パルス出力故障検出部には、前記保持部が保持する値に応じて、前記制御信号のパルス出力の故障を検出させるようにすることができる。

[0016] 前記行駆動部と、前記第1の基板とは、貫通電極からなる前記第1の接続電極により接続され、前記検出部と、前記第1の基板とは、前記貫通電極とは異なる他の貫通電極からなる前記第2の接続電極により電氣的に接続され

ているようにすることができる。

[0017] 前記制御部には、前記画素の処理対象となるアドレスの情報を前記行駆動部、および前記検出部に出力させ、前記行駆動部には、前記アドレスの情報に対応する自らのアドレスの選択情報を出力させ、前記検出部には、前記アドレスの情報に対応する自らのアドレスの選択情報を出力させ、前記故障検出部には、前記行駆動部の前記アドレスの選択情報と、前記検出部の前記アドレスの選択情報とをそれぞれ前記制御部により出力されたアドレス情報と比較し、比較結果に基づいて、前記行駆動部、および前記検出部における、アドレス選択機能の故障を検出するアドレス選択機能故障検出部を含ませるようにすることができる。

[0018] 本開示の第1の側面の撮像方法は、画素と画素制御線を有する第1の基板と、前記第1の基板と積層される第2の基板とを備え、前記第2の基板は、行駆動部と故障検出部とを有し、前記画素制御線の一端は、第1の接続電極を介して前記行駆動部に接続され、前記画素制御線他端は、第2の接続電極を介して前記故障検出部に接続され、前記行駆動部は、前記第1の接続電極を介して前記画素制御線に前記画素の動作を制御する制御信号を供給し、前記故障検出部は、前記第1の接続電極、前記画素制御線、および前記第2の接続電極を介して供給される前記制御信号に基づいて故障を検出するステップを含む撮像方法である。

[0019] 本開示の第1の側面のカメラモジュールは、画素と画素制御線を有する第1の基板と、前記第1の基板と積層される第2の基板とを備え、前記第2の基板は、行駆動部と故障検出部とを有し、前記画素制御線の一端は、第1の接続電極を介して前記行駆動部に接続され、前記画素制御線他端は、第2の接続電極を介して前記故障検出部に接続され、前記行駆動部は、前記第1の接続電極を介して前記画素制御線に前記画素の動作を制御する制御信号を供給し、前記故障検出部は、前記第1の接続電極、前記画素制御線、および前記第2の接続電極を介して供給される前記制御信号に基づいて故障を検出するカメラモジュールである。

[0020] 本開示の第1の側面の電子機器は、画素と画素制御線を有する第1の基板と、前記第1の基板と積層される第2の基板とを備え、前記第2の基板は、行駆動部と故障検出部とを有し、前記画素制御線の一端は、第1の接続電極を介して前記行駆動部に接続され、前記画素制御線他端は、第2の接続電極を介して前記故障検出部に接続され、前記行駆動部は、前記第1の接続電極を介して前記画素制御線に前記画素の動作を制御する制御信号を供給し、前記故障検出部は、前記第1の接続電極、前記画素制御線、および前記第2の接続電極を介して供給される前記制御信号に基づいて故障を検出する電子機器である。

[0021] 本開示の第1の側面においては、画素と画素制御線を有する第1の基板と、行駆動部と故障検出部とを有する第2の基板とが積層され、前記画素制御線の一端が、第1の接続電極を介して前記行駆動部に接続され、前記画素制御線他端が、第2の接続電極を介して前記故障検出部に接続され、前記行駆動部により、前記第1の接続電極を介して前記画素制御線に前記画素の動作を制御する制御信号が供給され、前記故障検出部により、前記第1の接続電極、前記画素制御線、および前記第2の接続電極を介して供給される前記制御信号に基づいて故障が検出される。

[0022] 本開示の第2の側面の撮像装置は、画素と、前記画素に接続される垂直信号線を有する第1の基板と、前記第1の基板と積層される第2の基板とを備え、前記第2の基板は、信号供給回路、アナログデジタル変換回路、及び故障検出部とを有し、前記垂直信号線の一端は、第1の接続電極を介して前記信号供給回路に接続され、前記垂直信号線他端は、第2の接続電極を介して前記アナログデジタル変換回路に接続され、前記信号供給回路は、前記第1の接続電極を介して前記垂直信号線にダミー画素信号を供給し、前記アナログデジタル変換回路は、前記ダミー画素信号に基づいてデジタル信号を出力し、前記故障検出部は、前記デジタル信号に基づいて故障を検出する撮像装置である。

[0023] 本開示の第2の側面においては、画素と、前記画素に接続される垂直信号

線を有する第 1 の基板と、前記第 1 の基板と積層される第 2 の基板とが設けられ、前記第 2 の基板には、信号供給回路、アナログデジタル変換回路、及び故障検出部とが設けられ、前記垂直信号線の一端が、第 1 の接続電極を介して前記信号供給回路に接続され、前記垂直信号線他端が、第 2 の接続電極を介して前記アナログデジタル変換回路に接続され、前記信号供給回路により、前記第 1 の接続電極を介して前記垂直信号線にダミー画素信号が供給され、前記アナログデジタル変換回路により、前記ダミー画素信号に基づいてデジタル信号が出力され、前記故障検出部により、前記デジタル信号に基づいて故障が検出される。

[0024] 本開示の第 3 の側面の撮像装置は、画素が搭載された第 1 の基板と、前記画素により撮像された画像を信号処理する信号処理部が搭載された第 2 の基板とを含み、前記第 1 の基板と前記第 2 の基板とが電氣的に接続された状態で積層され、前記信号処理部は、前記信号処理により故障を検出する撮像装置である。

[0025] 本開示の第 3 の側面においては、画素が搭載された第 1 の基板と、前記画素により撮像された画像を信号処理する信号処理部が搭載された第 2 の基板とが電氣的に接続された状態で積層され、前記信号処理部により、前記信号処理により故障が検出される。

発明の効果

[0026] 本開示によれば、複数の基板が積層された構造の撮像素子における故障を検出することが可能となる。

図面の簡単な説明

[0027] [図1]本開示の車両の構成例を説明する図である。

[図2]図 1 のフロントカメラモジュールの構成例を説明する図である。

[図3]図 1 の車両による運転支援処理を説明するフローチャートである。

[図4]図 2 の撮像素子とフロントカメラECUを実現するハードウェアの構成例を説明する図である。

[図5]図 2 の撮像素子とフロントカメラECUを実現する機能の第 1 の実施の形

態の構成例を説明する図である。

[図6]図4の撮像素子とフロントカメラECUにより実現される故障検出処理を説明する図である。

[図7]図4の撮像素子とフロントカメラECUによる行アドレス選択機能故障検出処理を説明するフローチャートである。

[図8]図4の撮像素子とフロントカメラECUによる行アドレス選択機能故障検出処理を説明する図である。

[図9]図4の制御線ゲートの構成例を説明する図である。

[図10]図4のパルス出力故障検出部の構成例を説明する図である。

[図11]図4の制御線ゲートによる制御線ゲート管理処理を説明するフローチャートである。

[図12]図4のパルス出力故障検出部によるパルス出力故障検出処理を説明するフローチャートである。

[図13]図4のパルス出力故障検出部によるパルス出力故障検出処理を説明する図である。

[図14]第1の実施の形態を実現する機能の第1の変形例であるパルス出力故障検出部の変形例を説明する図である。

[図15]図14のパルス出力故障検出部によるパルス出力故障検出処理を説明する図である。

[図16]第1の実施の形態を実現する機能の第2の変形例である撮像素子とフロントカメラECUの変形例を説明する図である。

[図17]図16の撮像素子とフロントカメラECUによる画素制御線故障検出処理を説明するフローチャートである。

[図18]図2の撮像素子とフロントカメラECUの第2の実施の形態の構成例を説明する図である。

[図19]図18の撮像素子とフロントカメラECUによるADC+TCV故障検出処理を説明する図である。

[図20]図18の撮像素子とフロントカメラECUによるADC+TCV故障検出処理に

における第1の動作試験を説明する図である。

[図21]図18の撮像素子とフロントカメラECUによるADC+TCV故障検出処理における第2の動作試験を説明する図である。

[図22]図18の撮像素子とフロントカメラECUによるADC+TCV故障検出処理における第3の動作試験を説明する図である。

[図23]図18の撮像素子とフロントカメラECUによるADC+TCV故障検出処理における第4の動作試験を説明する図である。

[図24]図19の撮像素子とフロントカメラECUによるADC+TCV故障検出処理を説明するフローチャートである。

[図25]第2の実施の形態を実現する機能の第1の変形例を説明する図である。

[図26]第3の実施の形態を実現する機能の構成例を説明する図である。

[図27]図26の補正部の構成例を説明する図である。

[図28]画素信号の行単位および列単位の補正方法を説明する図である。

[図29]図27の補正部による補正処理を説明するフローチャートである。

[図30]図27の補正部による補正処理を説明するフローチャートである。

[図31]第4の実施の形態を実現する構成例を説明する図である。

[図32]第5の実施の形態を実現する3枚のチップが積層される第1の構成例を説明する図である。

[図33]第5の実施の形態を実現する3枚のチップが積層される第2の構成例を説明する図である。

[図34]第5の実施の形態を実現する3枚のチップが積層される第3の構成例を説明する図である。

[図35]第5の実施の形態を実現する3枚のチップが積層される第4の構成例を説明する図である。

[図36]第5の実施の形態を実現する3枚のチップが積層される第5の構成例を説明する図である。

[図37]比較器とカウンタとが同一チップに配置される場合の画素信号用TSVの

構成例を説明する図である。

[図38]比較器とカウンタとが異なるチップに配置される場合の画素信号用TSVの構成例を説明する図である。

[図39]カラムADCの構成例を説明する図である。

[図40]エリアADCの構成例を説明する図である。

[図41]2層構造の撮像素子をWCSPにより実現する場合の概略の構造例を説明する図である。

[図42]図41の撮像素子の回路配置構成例を説明する図である。

[図43]図41の撮像素子の断面構造の例を説明する図である。

[図44]図41の撮像素子の他の上下配線接続構造を用いた場合の回路配置例を説明する図である。

[図45]図41の撮像素子の詳細構造を説明する図である。

[図46]図41の撮像素子の変形例その1を説明する図である。

[図47]図41の撮像素子の変形例その2を説明する図である。

[図48]図41の撮像素子の変形例その3を説明する図である。

[図49]3層構造の撮像素子をWCSPにより実現する場合の概略の構造例を説明する図である。

[図50]3層構造の撮像素子をWCSPにより実現する場合の概略の構造例を説明する図である。

[図51]本開示のフロントカメラモジュールを適用した電子機器としての撮像装置の構成例を示すブロック図である。

[図52]本開示の技術を適用したフロントカメラモジュールの使用例を説明する図である。

[図53]車両制御システムの概略的な構成例を示すブロック図である。

[図54]撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0028] 以下に添付図面を参照しながら、本開示の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を

有する構成要素については、同一の符号を付することにより重複説明を省略する。

[0029] また、以下の順序で説明を行う。

1. 第1の実施の形態
2. 第2の実施の形態
3. 第3の実施の形態
4. 第4の実施の形態
5. 第5の実施の形態
6. 画素信号用TSVについて
7. ADCの種別について
8. WCSPの構造例
9. 電子機器への適用例
10. 撮像素子の使用例
11. 移動体への応用例

[0030] <<1. 第1の実施の形態>>

<本開示の車両の構成例>

図1を参照して、本開示の車両の構成例について説明する。

[0031] 本開示の車両11は、ECU31、フロントカメラモジュール32、ステアリング33、ヘッドランプ34、モータ35、エンジン36、ブレーキ37、および表示部38を備えている。

[0032] ECU (Electronic Control Unit) 31は、電子制御に係る車両11の動作の全体を制御するものであり、例えば、フロントカメラモジュール32、ステアリング33、ヘッドランプ34、モータ35、エンジン36、ブレーキ37、および表示部38より供給される情報に基づいて、各種の運転に係る動作やドライバの運転支援を実現する。

[0033] フロントカメラモジュール32は、撮像素子を含み、車両11の前方、特に、走行中の前方の画像を撮像し、撮像した画像に基づいて、走行中のレーン、前方に存在する車両、および歩行者等を認識して、認識結果をECU31に

供給する。また、フロントカメラモジュール 3 2 は、内蔵する撮像素子等の故障を検出し、故障が検出された場合、その旨を ECU 3 1 に供給する。この処理により ECU 3 1 は、フロントカメラモジュール 3 2 により撮像された画像に基づいた認識結果を利用した運転に係る動作や運転支援を停止すると共に、その旨を表示部 3 8 に表示する。

[0034] ステアリング 3 3 は、走行方向を制御するためのものであり、通常はユーザであるドライバにより操作されるものであるが、ECU 3 1 により制御されることもある。すなわち、例えば、フロントカメラモジュール 3 2 により走行中の前方に歩行者や車両が検出され、衝突の恐れがあるような場合、ECU 3 1 の判断によりステアリング 3 3 が制御されて、衝突が回避されるような運転支援が実現される。

[0035] ヘッドランプ 3 4 は、特に夜間等でドライバによる目視が困難な状況で車両 1 1 の前方を明るく照射する前照灯であり、通常は、ドライバにより図示せぬスイッチ等が操作されて、ロービームおよびハイビームの点灯および消灯が制御される。また、ヘッドランプ 3 4 は、ECU 3 1 により制御されることもある。例えば、フロントカメラモジュール 3 2 により対向車が検出された場合、ECU 3 1 の判断により、ハイビームの点灯をロービームの点灯に切り替え、対向車の検出がなくなった場合、再びハイビームの点灯に制御されるような運転支援が実現される。

[0036] モータ 3 5 およびエンジン 3 6 は、いずれも車両 1 1 を駆動するための動力源であり、モータ 3 5 は、電力により駆動し、エンジン 3 6 は、ガソリンや軽油などの燃料により駆動する。また、モータ 3 5 およびエンジン 3 6 は、ECU 3 1 により制御される。すなわち、例えば、発進時など、エンジン 3 6 による効率が悪く燃費を低減させてしまうような状況においては、モータ 3 5 のみを駆動させる。また、走行状態に応じて、例えば、エンジン 3 6 による効率が良いタイミングにおいては、モータ 3 5 の駆動を停止させて、エンジン 3 6 により駆動するように制御する。さらに、フロントカメラモジュール 3 2 により前方に前走の車両や歩行者が検出された場合、モータ 3 5 やエ

ンジン 3 6 の動作を緊急停止させて危機回避を補助するような運転支援が実現される。

[0037] ブレーキ 3 7 は、走行する車両 1 1 を停止させるときドライバにより操作されて、車両 1 1 を停止させるものである。また、ブレーキ 3 7 は、ECU 3 1 により制御されることもある。すなわち、例えば、フロントカメラモジュール 3 2 により前走する車両や歩行者が検出されて、緊急回避する必要があるような場合、ECU 3 1 の判断によりブレーキ 3 7 を動作させて緊急停止するような運転支援が実現される。

[0038] 表示部 3 8 は、LCD (Liquid Crystal Display) などからなり、例えば、図示せぬGPS (Global Positioning System) 装置と協働して、目的地までのルート案内などの情報を表示するナビゲーション機能を実現する。また、表示部 3 8 は、タッチパネルなどからなり、操作入力部としても機能する。さらに、表示部 3 8 は、フロントカメラモジュール 3 2 により撮像された撮像画像に基づいて、ステアリング 3 3、モータ 3 5、エンジン 3 6、およびブレーキ 3 7 等を動作させて、例えば、緊急回避行動をとるような場合、その旨を表示する。また、フロントカメラモジュール 3 2 の故障が検出されて、撮像された画像に基づいた運転支援が停止されるようなときには、表示部 3 8 は、運転支援が停止されていることを示す情報を表示する。

[0039] <フロントカメラモジュールの構成例>

次に、図 2 を参照して、フロントカメラモジュール 3 2 の構成例について説明する。

[0040] フロントカメラモジュール 3 2 は、ECU 3 1、ステアリング 3 3、ヘッドランプ 3 4、モータ 3 5、エンジン 3 6、ブレーキ 3 7、および表示部 3 8 と同様に、バス 5 1 を介して接続されており、相互にデータや信号を授受できる構成とされている。

[0041] また、フロントカメラモジュール 3 2 は、レンズ 7 1、撮像素子 7 2、フロントカメラ ECU 7 3、およびMCU (Module Control Unit) 7 4 を備えている。

[0042] レンズ 7 1 は、車両 1 1 の前方の撮像方向からの入射光を集光して、撮像素子 7 2 の撮像面において被写体の像を結像させる。

[0043] 撮像素子 7 2 は、CMOS (Complementary Metal Oxide Semiconductor) イメージセンサなどからなり、レンズ 7 1 により集光されて車両 1 1 の前方の被写体の像が結像された画像を撮像し、撮像した画像をフロントカメラ ECU 7 3 に供給する。

[0044] フロントカメラ ECU (Electronic Control Unit) 7 3 は、撮像素子 7 2 により撮像された車両 1 1 の前方の画像に基づいて、例えば、レーン検出、歩行者検出、車両検出、ヘッドランプ検出、信号認識処理、および画質制御等の画像処理および画像解析処理を実行し、処理結果を MCU 7 4 に供給する。また、フロントカメラ ECU 7 3 は、これらの各種処理に加えて、撮像素子 7 2 の故障を検出し、故障が検出された場合、各種の処理結果の出力を停止すると共に、故障が検出されていることを示す情報を出力する。

[0045] MCU 7 4 は、画像処理結果を ECU 3 1 等で認識可能な情報に変換して ECU 3 1 に出力する。尚、この際、フロントカメラ ECU 7 3 より撮像素子 7 2 の故障が検出されたことを示す情報が出力された場合、MCU 7 4 は、対応する情報を ECU 3 1 に供給する。このような場合、ECU 3 1 は、フロントカメラモジュール 3 2 より供給されてくる画像処理結果を用いた運転支援を中止すると共に、撮像素子 7 2 の故障により画像処理結果を用いた運転支援を中止していることを表示部 3 8 等に表示して、ドライバに対して運転支援がなされていないことを認識させる。

[0046] <運転支援処理>

次に、図 3 のフローチャートを参照して、車両 1 1 による運転支援処理について説明する。

[0047] ステップ S 1 1 において、フロントカメラ ECU 7 3 は、例えば、表示部 3 8 がタッチパネルとして構成されており、タッチパネルが操作されることにより、運転支援の開始が指示されているか否かを判定し、指示されるまで、同様の処理を繰り返す。そして、ステップ S 1 1 において、運転支援の開始が

指示された場合、処理は、ステップS 1 2に進み、運転支援処理が開始される。

[0048] ステップS 1 2において、フロントカメラECU 7 3は、フロントカメラモジュール3 2における故障検出処理を実行する。ここでの故障検出処理は、例えば、後述する行アドレス選択機能故障検出処理（図7）、パルス出力故障検出処理（図1 2、図1 5）、画素制御線故障検出処理（図1 7）、およびADC+TCV故障検出処理（図2 4）でもよいし、その他の故障検出処理であってもよいものである。ここでの故障検出処理は、撮像中に実行されても良いし、車両電源投入による運転支援システム立ち上げ時や、車両出荷前の試験時や、工場内での不良品選別時に実行されても良い。

[0049] ステップS 1 3において、フロントカメラECU 7 3は、故障検出処理により故障があったか否かを判定し、故障がないと判定した場合、処理は、ステップS 1 4に進む。

[0050] ステップS 1 4において、フロントカメラECU 7 3は、撮像素子7 2を制御して画像を撮像させ、撮像された画像を取得する。

[0051] ステップS 1 5において、フロントカメラECU 7 3は、撮像された画像を解析する。すなわち、フロントカメラECU 7 3は、レーン検出、歩行者検出、車両検出、ヘッドランプ検出、信号認識処理、および画質制御等の画像処理および画像解析処理等を実行し、処理結果をECU 3 1に供給する。

[0052] ステップS 1 6において、ECU 3 1は、解析処理結果に基づいて、ステアリング3 3、ヘッドランプ3 4、モータ3 5、エンジン3 6、ブレーキ3 7、および表示部3 8を制御して、各種の運転支援処理を実行する。

[0053] ステップS 1 7において、フロントカメラECU 7 3は、運転終了であるか否かを判定し、運転終了ではない場合、処理は、ステップS 1 2に戻り、以降の処理を繰り返す。そして、ステップS 1 7において、運転終了であるとみなされた場合、処理は、終了する。

[0054] また、ステップS 1 3において、故障があると判定された場合、処理は、ステップS 1 8に進む。

[0055] ステップS 1 8において、フロントカメラECU 7 3は、撮像素子 7 2に故障が発生していることをECU 3 1に通知する。ECU 3 1は、運転支援処理を終了させると共に、表示部 3 8に対して運転支援が終了し、運転支援をしてないことをドライバに認識させる画像を表示させる。

[0056] 以上の処理により、撮像素子 7 2により撮像された画像に基づいて実現される運転支援処理において、撮像素子 7 2の故障が検出されることで、適切に運転支援処理を実現することできない状態となったときには、直ちに運転支援処理が終了されて、不適切な運転支援処理がなされることにより生じる事故等を防止することが可能となる。

[0057] <ハードウェアの構成例>

次に、図 4 を参照して、フロントカメラECUと撮像素子のハードウェアの構成について説明する。フロントカメラECUと撮像素子のハードウェアは、下チップ 9 1、および上チップ 9 2が積層された構成からなる。尚、図 4 の右部は、下チップ 9 1のハードウェア構成であるフロアプランを表しており、図 4 の左部は、上チップ 9 2のハードウェア構成であるフロアプランを表している。

[0058] 下チップ 9 1および上チップ 9 2には、それぞれの図中左右端部にTCV (Through Chip Via : 貫通電極) 9 3 - 1, 9 3 - 2が設けられており、下チップ 9 1および上チップ 9 2が貫通して電氣的に接続されている。下チップ 9 1において、TCV 9 3 - 1の図中の右隣には、行駆動部 1 0 2 (図 5) が配置され、電氣的に接続されている。TCV 9 3 - 2の図中の左隣には、フロントカメラECU 7 3の制御線ゲート 1 4 3 (図 5) が配置され、電氣的に接続されている。尚、行駆動部 1 0 2および制御線ゲート 1 4 3については、図 5 を参照して詳細を後述する。

[0059] また、下チップ 9 1および上チップ 9 2には、それぞれの図中上下端部にTCV 9 3 - 1 1, 9 3 - 1 2が設けられており、下チップ 9 1および上チップ 9 2が貫通して電氣的に接続されている。下チップ 9 1において、TCV 9 3 - 1 1の図中の下部には、カラムADC (Analog to Digital Converter) 1 1 1

ー 1 が配設され、電氣的に接続されており、TCV 9 3 - 1 2 の図中の上部には、カラムADC (Analog to Digital Converter) 1 1 1 - 2 が配設されており、電氣的に接続されている。

[0060] カラムADC 1 1 1 - 1, 1 1 1 - 2 の図中の右端部の間であって、制御線ゲート 1 4 3 の左隣に、DAC (Digital to Analog Converter) 1 1 2 が設けられており、図中の矢印 C 1, C 2 で示されるように、カラムADC 1 1 1 - 1, 1 1 1 - 2 にランプ電圧を出力する。尚、カラムADC 1 1 1 - 1, 1 1 1 - 2 およびDAC 1 1 2 が、図 5 における画像信号出力部 1 0 3 に対応する構成となる。また、DAC 1 1 2 は、カラムADC 1 1 1 - 1, 1 1 1 - 2 に対して同一特性のランプ電圧を出力することが望ましいので、カラムADC 1 1 1 - 1, 1 1 1 - 2 のいずれからも等距離であることが望ましい。さらに、DAC 1 1 2 は、図 4 の例では、1 個の例が示されているが、カラムADC 1 1 1 - 1, 1 1 1 - 2 に対して、それぞれ同一特性のものを 1 個ずつ、合計 2 個設けるようにしてもよい。尚、画像信号出力部 1 0 3 については、図 5 を参照して詳細を後述する。

[0061] さらに、上下のカラムADC 1 1 1 - 1, 1 1 1 - 2 の間であって、行駆動部 1 0 2 およびDAC 1 1 2 の間には、信号処理回路 1 1 3 が設けられており、図 5 における制御部 1 2 1、画像処理部 1 2 2、出力部 1 2 3、および故障検出部 1 2 4 に対応する機能を実現する。

[0062] 上チップ 9 2 においては、上下左右の端部に設けられたTCV 9 3 - 1, 9 3 - 2, 9 3 - 1 1, 9 3 - 1 2 で囲まれた方形状の範囲の、略全面が画素アレイ 1 0 1 により構成されている。

[0063] 画素アレイ 1 0 1 は、TCV 9 3 - 1 より画素制御線 L (図 5) を介して、行駆動部 1 0 2 より供給される制御信号に基づいて、画素信号のうち、図中の上半分の画素の画素信号を、TCV 9 3 - 1 1 を介して、下チップ 9 1 に出力し、図中の下半分の画素の画素信号を、TCV 9 3 - 1 2 を介して、下チップ 9 1 に出力する。

[0064] 制御信号は、図中の矢印 B 1 で示されるように、行駆動部 1 0 2 を実現す

る信号処理回路 113 より、TCV93-1 を介して上チップ 92 の画素アレイの画素制御線 L を介して制御線ゲート 143 (図 5) に出力される。制御線ゲート 143 (図 5) は、制御部 121 (図 5) からの指令情報である行アドレスに対する行駆動部 102 (図 5) からの画素制御線 L を介した制御信号に応じて制御線ゲート 143 より出力される信号と、制御部 121 より供給された行アドレスに対応する制御信号の検出パルスとの比較により画素制御線 L、および TCV93-1, 93-2 の断線による故障の有無を検出する。そして、制御線ゲート 143 は、図中の矢印 B2 で示されるように、故障の有無の情報を信号処理回路 113 により実現される故障検出部 124 に出力する。

[0065] カラム ADC 111-1 は、図中の矢印 A1 で示されるように、TCV93-1 を介して供給される、画素アレイ 101 の図中の上半分の画素の画素信号を、列単位でデジタル信号に変換して信号処理回路 113 に出力する。また、カラム ADC 111-2 は、図中の矢印 A2 で示されるように、TCV93-2 を介して供給される、画素アレイ 101 の図中の下半分の画素の画素信号を、列単位でデジタル信号に変換して信号処理回路 113 に出力する。

[0066] このように 2 層化することにより、上チップ 92 が画素アレイ 101 のみとなるため、画素に特化した半導体プロセスを導入することが可能となる。例えば、上チップ 92 には、回路のトランジスタがないため、1000°C のアニール工程などによる特性変動に注意を払う必要がなくなるので、白点対策の高温プロセスなどを導入することができ、結果として、特性を改善することが可能となる。

[0067] また、下チップ 91 に故障検出部 124 を配置することにより、下チップ 91 乃至上チップ 92 および上チップ 92 乃至下チップ 91 における TCV93-1, 93-2 の通過後の信号を検出することができるので、適切に故障を検出することが可能となる。

[0068] <フロントカメラ ECU と撮像素子との詳細な構成例>

次に、図 5 を参照して、図 4 のハードウェアにより実現されるフロントカ

メラECU 7 3と撮像素子 7 2との機能の詳細な構成例について説明する。

[0069] 撮像素子 7 2は、画素アレイ 1 0 1、行駆動部 1 0 2、および画像信号出力部 1 0 3を備えている。

[0070] 画素アレイ 1 0 1は、入射光に応じた画素信号を発生する、画素がアレイ状に配置されている。

[0071] 行駆動部 1 0 2は、画素アレイ 1 0 1内の各画素より画素信号をリセットして蓄積させる、および画素信号のリセットレベルと信号レベルとを読み出すといった垂直方向に転送させるための制御信号を発生し、画素制御線 L を介して、各画素に供給して、画素単位で画素信号のリセット、および読み出しを実行させる。

[0072] 尚、ここでは、各画素において、画素信号は、光電変換による信号が蓄積されていない状態のリセットレベルと、光電変換による信号が蓄積された状態の信号レベルとを両方読み出し、すなわち、2回読み出し、信号レベルとリセットレベルとの差分値を画素信号としている。したがって、以降において、画素信号は、この信号レベルとリセットレベルとの差分値であるものとする。

[0073] 画像信号出力部 1 0 3は、画素アレイ 1 0 1より行駆動部 1 0 2により制御されてTCV 9 3 - 1 1, 9 3 - 1 2を介して読み出されてくるアナログ信号の画素信号をデジタル信号に変換し、画素信号として、フロントカメラECU 7 3の画像処理部 1 2 2に供給する。

[0074] フロントカメラECU 7 3は、制御部 1 2 1、画像処理部 1 2 2、出力部 1 2 3、および故障検出部 1 2 4、および制御線ゲート 1 4 3を備えている。

[0075] 制御部 1 2 1は、フロントカメラECU 7 3の全体の動作を制御している。また、制御部 1 2 1は、行アドレス選択機能故障検出処理において、所定の行アドレスを指定する指令情報を行駆動部 1 0 2、および故障検出部 1 2 4（の制御線ゲート 1 4 3）に供給する。

[0076] また、制御部 1 2 1は、パルス出力故障検出処理において、行駆動部 1 0 2を制御して、画素アレイ 1 0 1における各画素の画素信号の蓄積および読

み出しを制御する制御信号を発生させると共に、行駆動部 102 において制御信号が出力されるタイミングで、制御信号毎に故障検出用のパルスを発生して故障検出部 124 に供給する。

[0077] 故障検出部 124 は、行アドレス選択機能故障検出部 141、パルス出力故障検出部 142、および制御線ゲート 143 を備えている。行アドレス選択機能故障検出部 141 は、行アドレス選択機能故障検出処理を実行し、パルス出力故障検出部 142 は、パルス出力故障検出処理を実行させて、故障の有無を検出し、検出結果を出力部 123 に供給する。

[0078] より詳細には、行アドレス選択機能故障検出部 141 は、行アドレス選択機能故障検出処理により、行駆動部 102、および制御線ゲート 143 の行アドレス選択機能についての故障の有無を検出する。

[0079] また、パルス出力故障検出部 142 は、パルス出力故障検出処理により、行駆動部 102 より、所定の行アドレスの画素制御線 L を介して供給される制御信号のパルス出力故障の有無を検出する。

[0080] 画像処理部 122 は、撮像素子 72 の画像信号出力部 103 より供給されてくる画像信号からなる画像に基づいて、例えば、レーン検出、歩行者検出、車両検出、ヘッドランプ検出、信号認識処理、および画質制御等の画像信号処理、および画像解析処理を実行し、解析処理結果を出力部 123 に供給する。

[0081] 出力部 123 は、画像処理部 122 の各種の処理結果、および故障検出部 124 の故障検出処理結果を ECU 31 に出力する。

[0082] また、図 5 の撮像素子 72 とフロントカメラ ECU 73 とは、被写体からの入射光が受光可能な面を構成する第 1 のチップとなる上チップ 92 と、その下に積層された第 2 のチップである下チップ 91 とが TCV (Through Chip Via : 貫通電極) 93-1, 93-2, 93-11, 93-12 により電氣的に接続された構造とされている。

[0083] より詳細には、上チップ 92 に設けられた画素アレイ 101 の図中の左端部と、下チップ 91 に設けられた行駆動部 102 とが TCV 93-1 により電氣

的に接続されている。また、上チップ92に設けられた画素アレイ101の図中の右端部と、下チップ91に設けられた制御線ゲート143とがTCV93-2により電氣的に接続されている。さらに、上チップ92に設けられた画素アレイ101の図中の下端部と、下チップ91に設けられた画像信号出力部103とがTCV93-11, 93-12により電氣的に接続されている。

[0084] 上チップ92には、撮像素子72の画素アレイ101のみが設けられており、撮像素子72の行駆動部102、および画像信号出力部103、並びに、フロントカメラECU73を構成する制御部121、画像処理部122、出力部123、および故障検出部124は、下チップ91に設けられている。

[0085] <故障検出部による故障検出処理>

次に、図6を参照して、故障検出部124の行アドレス選択機能故障検出部141における行アドレス選択機能故障検出処理と、パルス出力故障検出部142におけるパルス出力故障検出処理について説明する。

[0086] 行アドレス選択機能故障検出部141は、制御部121により制御され、制御部121より供給される、行アドレスの指令情報を取得する。また、制御部121は、行アドレス選択機能故障検出部141に供給した行アドレスと同一の指令情報を行駆動部102、および制御線ゲート143に供給する。

[0087] 行駆動部102、および制御線ゲート143は、制御部121より供給されてきた行アドレスの指令情報に基づいた、制御対象として選択する行アドレスの情報を選択情報として行アドレス選択機能故障検出部141およびパルス出力故障検出部142に出力する。

[0088] 行アドレス選択機能故障検出部141は、制御部121より供給されてきた行アドレスの指令情報と、行駆動部102、および制御線ゲート143より供給されてきた行アドレスの選択情報とを比較して、一致した場合、行駆動部102、および制御線ゲート143の行アドレス選択機能に故障が生じていないものとみなし、一致しない場合、行アドレス選択機能に故障が生じているものとみなす。

[0089] パルス出力故障検出部 1 4 2 は、制御部 1 2 1 からの指令情報である行アドレスに対する行駆動部 1 0 2 からの画素制御線 L を介した制御信号に応じて制御線ゲート 1 4 3 より出力される信号と、制御部 1 2 1 より供給された行アドレスに対応する制御信号の検出パルスとの比較により画素制御線 L、および TCV 9 3 の断線による故障の有無を検出する。制御線ゲート 1 4 3 およびパルス出力故障検出部 1 4 2 の詳細な構成については、図 9、図 1 0 を参照して後述する。

[0090] 尚、図 6 の制御部 1 2 1 および故障検出部 1 2 4 の機能は、図 5 における信号処理回路 1 1 3 により実現される。

[0091] <行アドレス選択機能故障検出処理>

次に、図 7 のフローチャートを参照して、制御部 1 2 1、故障検出部 1 2 4 の行アドレス選択機能故障検出部 1 4 1 による行アドレス選択機能故障検出処理について説明する。

[0092] ステップ S 2 1 において、制御部 1 2 1 は、所定の行アドレスを指定する指令情報を行駆動部 1 0 2、および故障検出部 1 2 4 に供給する。

[0093] この処理により、ステップ S 3 1 において、故障検出部 1 2 4 の行アドレス選択機能故障検出部 1 4 1 は、制御部 1 2 1 より供給されてくる所定の行アドレスの指令情報を取得する。また、同様に、ステップ S 5 1 の処理により、行駆動部 1 0 2 は、制御部 1 2 1 より供給されてくる所定の行アドレスの指令情報を取得する。

[0094] すなわち、ステップ S 2 1、S 3 1 の処理が、図 8 における経路 R 1 の処理であり、ステップ S 2 1、S 5 1 の処理が、図 8 における経路 R 2 の処理である。尚、図 8 においては、所定の行アドレスの情報が伝達される経路が太線の矢印で示されている。

[0095] ステップ S 5 2 において、行駆動部 1 0 2 は、取得した所定の行アドレスの指令情報に基づいて、処理対象として選択する行アドレスの情報を選択情報として故障検出部 1 2 4 に供給する。

[0096] ステップ S 3 2 において、行アドレス選択機能故障検出部 1 4 1 は、行駆

動部 102 より供給されてくる選択情報としての行アドレスの情報を取得する。

[0097] すなわち、ステップ S 5 2, S 3 2 の処理が、図 8 における経路 R 3 の処理となる。

[0098] ステップ S 3 3 において、行アドレス選択機能故障検出部 141 は、行アドレスの指令情報と選択情報とが一致したか否かを判定する。ステップ S 3 3 において、行アドレスの指令情報と選択情報とが一致した場合、行駆動部 102 の行アドレス選択機能における故障はないものとみなし、処理は、終了する。

[0099] 一方、ステップ S 3 3 において、行アドレスの指令情報と選択情報とが一致しない場合、行アドレス選択機能における故障が発生したものとみなし、処理は、ステップ S 3 4 に進む。

[0100] ステップ S 3 4 において、行アドレス選択機能故障検出部 141 は、行駆動部 102 における行アドレス選択機能に故障が発生したことを検出し、検出結果を出力部 123 に出力する。

[0101] 以上の処理により、行アドレス選択機能故障検出部 141 は、行駆動部 102 より供給されてくる選択情報である行アドレスの情報と、制御部 121 からの指令情報である行アドレスとが一致するか否かに基づいて、行駆動部 102 における行アドレス選択機能の故障の有無を検出することが可能となる。

[0102] 尚、行アドレス選択機能故障検出部 141 と制御線ゲート 143 との行アドレス選択機能検出処理については、図 7 における処理と同様であるので説明は省略するものとする。すなわち、図 7 におけるステップ S 5 1 乃至 S 5 3 の処理と同様の処理を制御線ゲート 143 が実行することで、同様の故障検出処理を実現することができる。

[0103] この場合、ステップ S 2 1, S 3 1 の処理が、図 8 における経路 R 1 の処理であり、ステップ S 2 1, S 5 1 の処理が、図 8 における経路 R 4 の処理である。また、ステップ S 5 2, S 3 2 の処理が、図 8 における経路 R 5 の

処理となる。

[0104] <制御線ゲートの構成例について>

次に、図9を参照して、制御線ゲート143の構成例について説明する。

[0105] 制御線ゲート143には、アドレスデコーダ161、シャッタアドレスラッチ162、およびリードアドレスラッチ163が設けられている。また、各行単位で、画素信号の蓄積と読み出しに必要とされる制御信号の種別毎に、制御信号の供給の有無を検出するスイッチングゲート164乃至168が設けられている。スイッチングゲートとしては、例えば図9に示すクロックドインバータや、オペアンプ等の種々のものを適用可能である。

[0106] ここで扱う制御信号は、画素アレイの各行のシャッタ転送信号Shutter_TRG、各行のシャッタリセット信号Shutter_RST、各行のリード選択信号Read_SEL、各行のリードリセット信号Read_RST、および各行のリード転送信号Read_TRGの5種類である。

[0107] シャッタ転送信号Shutter_TRGは、光電変換により蓄積された画素信号をフォトダイオードより開放させる転送ゲートをオンにする制御信号である。シャッタリセット信号Shutter_RSTは、フォトダイオードに蓄積された画素信号を開放する際、リセットゲートをオンにして、フォトダイオードをリセットレベルに設定させる制御信号である。リード選択信号Read_SELは、FDに蓄積された画素信号を垂直転送線（VSL）に出力させるとき、選択ゲートをオンにする制御信号である。リードリセット信号Read_RSTは、FDをリセットレベルに設定させるとき、リセットゲートをオンにする制御信号である。リード転送信号Read_TRGは、フォトダイオードに蓄積された画素信号を転送させて、FDを信号レベルに設定させるとき転送ゲートをオンにする制御信号である。

[0108] より詳細には、スイッチングゲート164は、シャッタ転送信号Shutter_TRGを検出する。スイッチングゲート165は、シャッタリセット信号Shutter_RSTを検出する。スイッチングゲート166は、リード選択信号Read_SELを検出する。スイッチングゲート167は、リードリセット信号Read_RSTを検出する。スイッチングゲート168は、リード転送信号Read_TRGを検出する。

。さらに、各行において、スイッチングゲート１６４，１６５の負電源端子に負電力を供給するインバータ１６９、およびスイッチングゲート１６６乃至１６８の負電源端子に負電力を供給するインバータ１７０が設けられている。

[0109] アドレスデコーダ１６１は、制御部１２１より供給されてくる指令情報であるアドレス情報に基づいて、アドレスをデコードし、デコード結果をシャッタアドレスラッチ１６２、およびリードアドレスラッチ１６３に供給する。

[0110] シャッタアドレスラッチ１６２は、デコード結果が、自らの行アドレスであるとみなされるとき、スイッチングゲート１６４，１６５の正電源端子に正電力を供給すると共に、インバータ１６９にも電力を供給する。このとき、インバータ１６９は、正電力を負電力に変換してスイッチングゲート１６４，１６５の負電源端子に供給する。この結果、スイッチングゲート１６４，１６５は、動作可能な状態となる。

[0111] ここで、対応する指令情報である行アドレスに基づいて、スイッチングゲート１６４は、行駆動部１０２からのシャッタ転送信号Shutter_TRGをHi信号として検出すると、対応するHi信号を、STRG用バスＢ５を介してパルス出力故障検出部１４２出力する。

[0112] また、スイッチングゲート１６５は、行駆動部１０２からのシャッタリセット信号Shutter_RSTをHi信号として検出すると、対応するHi信号を、SRST用バスＢ４を介してパルス出力故障検出部１４２出力する。

[0113] リードアドレスラッチ１６３は、デコード結果が、自らの行アドレスであるとみなされるとき、スイッチングゲート１６６乃至１６８の正電源端子に正電力を供給すると共に、インバータ１７０にも電力を供給する。このとき、インバータ１７０は、正電力を負電力に変換してスイッチングゲート１６６乃至１６８の負電源端子に供給する。この結果、スイッチングゲート１６６乃至１６８は、動作可能な状態となる。

[0114] ここで、対応する指令情報である行アドレスに基づいて、スイッチングゲ

ート166は、行駆動部102からのリード選択信号Read_SELをHi信号として検出すると、対応するHi信号を、SEL用バスB1を介してパルス出力故障検出部142出力する。

[0115] また、スイッチングゲート167は、リードリセット信号Read_RSTをHi信号として検出すると、対応するHi信号を、RRST用バスB2を介してパルス出力故障検出部142出力する。

[0116] さらに、スイッチングゲート168は、リード転送信号Read_TRGをHi信号として検出すると、対応するHi信号を、RTRG用バスB3を介してパルス出力故障検出部142出力する。

[0117] すなわち、指令情報として指定された行アドレスと対応する各種の制御信号が正しく行駆動部102より供給されてくると、対応するバスB1乃至B5より、行アドレスの指令情報で指定されたタイミングでHi信号が出力される。

[0118] 尚、図9の制御部121およびパルス出力故障検出部142の機能は、図4における信号処理回路113により実現される。

[0119] <パルス出力故障検出部の構成例について>

次に、図10を参照して、パルス出力故障検出部142の詳細な構成例について説明する。

[0120] パルス出力故障検出部142は、故障判定部181、およびラッチ182乃至186を備えている。ラッチ182は、STRG用バスB5からの出力信号と、制御部121からのシャッタ転送信号STRG検出用のパルスとの双方がHi信号の状態になると、以降において、リセットされるまで、Hi信号を故障判定部181に出力する。ラッチ183は、SRST用バスB4からの出力信号と、制御部121からのシャッタリセット信号SRST検出用のパルスとの双方がHi信号の状態になると、以降において、リセットされるまで、Hi信号を故障判定部181に出力する。

[0121] ラッチ184は、RTRG用バスB3からの出力信号と、制御部121からのリード転送信号RTRG検出用のパルスとの双方がHi信号の状態になると、以降

において、リセットされるまで、Hi信号を故障判定部181に出力する。ラッチ185は、RRST用バスB4からの出力信号と、制御部121からのリード転送信号RRST検出用のパルスとの双方がHi信号の状態になると、以降において、リセットされるまで、Hi信号を故障判定部181に出力する。ラッチ186は、SEL用バスB5からの出力信号と、制御部121からのリード選択信号SEL検出用のパルスとの双方がHi信号の状態になると、以降において、リセットされるまで、Hi信号を故障判定部181に出力する。

[0122] 故障判定部181は、ラッチ182乃至186のそれぞれの出力信号がHi信号ではないとき、故障を検出する。

[0123] すなわち、ラッチ182乃至186のそれぞれがHi信号を出力する場合、制御部121は、行駆動部102に対して指令情報として指定される行アドレスの所定の制御信号を出力させ、適切に制御信号が出力されている場合には、対応する制御信号がバスB1乃至B5よりHi信号として制御線ゲート143からパルス出力故障検出部142に出力される。

[0124] また、このタイミングにおいて、制御部121は、行駆動部102に供給する制御信号を発生させる指令信号のパルスよりも広いパルス幅の、対応する制御信号の検出用パルスを、パルス出力故障検出部142に供給している。このため、それらがほぼ同一のタイミングで供給されると、ラッチ182乃至186においては、いずれもHi信号が出力されることになるので、故障判定部181は、ここで、Hi信号が出力されている限り故障がないものとみなすことができる。

[0125] ここで、ラッチ182乃至186のいずれかからHi信号が出力されない状態になると、指令信号として指定された行アドレスにおける制御信号が、指定されたタイミングで出力されていないことになるので、画素制御線Lのいずれか、または、TCV93などのいずれかにおいて、断線に起因する故障が発生しているものとみなせる。

[0126] 従って、この処理においては、故障が検出されない場合、画素アレイ101内の画素制御線Lの断線がないことが確認されると共に、TCV93における

断線も発生していないことを確認することができる。

[0127] 尚、ラッチ 182 乃至 186 のいずれにおいても、制御部 121 よりリセット信号を受け付ける端子が設けられており、動作前に受け付けると、ラッチしている値をリセットする。

[0128] 尚、図 10 の制御部 121 およびパルス出力故障検出部 142 の機能は、図 4 における信号処理回路 113 により実現される。

[0129] <パルス出力故障検出処理における制御線ゲート管理処理>

次に、図 11 のフローチャートを参照して、制御部 121 とパルス出力故障検出部 124 によるパルス出力故障検出処理における制御線ゲート管理処理について説明する。

[0130] すなわち、ステップ S61 において、制御部 121 は、パルス出力故障検出部 142 におけるラッチ 182 乃至 186 の全てに対してリセット信号を供給して、ラッチしている情報をリセットさせる。尚、ここでは、各行における処理のみを説明しているが、ラッチ 182 乃至 186 のリセットは、各列単位で 1 回となる。また、ここでは各行における処理のみを説明しているが、1 行読み出している最中に故障検出し、リセットした上で次の行の読み出しを実行するという処理を繰り返すことで全行について故障検出を実行する。

[0131] ステップ S62 において、制御部 121 は、制御線ゲート 143 に対して次に行駆動部 102 より出力される制御信号と、その行アドレスを供給する。尚、この処理は、画素アレイ 101 における各画素に対してシャッタを制御する制御信号 (Shutter_TRG、Shutter_RST) および読み出しを制御する制御信号 (Read_SEL、Read_RST、および Read_TRG) のそれぞれが出力される際に、個別に実行される処理である。

[0132] ステップ S71 において、制御線ゲート 143 のアドレスデコーダ 161 は、制御部 121 より供給されてくる制御信号と行アドレスの情報を取得する。

[0133] ステップ S72 において、制御線ゲート 143 のアドレスデコーダ 161

は、制御部 121 より供給されてきた行アドレスの情報をデコードし、デコード結果を各行のシャッタアドレスラッチ 162、およびリードアドレスラッチ 163 に供給する。

[0134] ステップ S 73 において、それぞれ対応する行アドレスのシャッタアドレスラッチ 162、およびリードアドレスラッチ 163 は、対応するスイッチングゲート 164 乃至 168 に電力を供給し、動作可能な状態にする。より詳細には、シャッタアドレスラッチ 162、およびリードアドレスラッチ 163 は、それぞれ対応する行アドレスのスイッチングゲート 164 乃至 168 の正電圧端子に対して正電圧を印加すると共に、インバータ 169、170 を介して負電圧を発生させ、スイッチングゲート 164 乃至 168 の負電圧端子に負電圧を印加する。すなわち、スイッチングゲート 164 乃至 168 は、それぞれ正電圧と負電圧とをそれぞれ正電圧端子および負電圧端子に印加されることで、動作可能な状態となる。

[0135] ここで、ステップ S 63 において、制御部 121 は、行駆動部 102 を制御して、行アドレスと同一の行アドレスにおけるシャッタ転送信号 Shutter_TRG、シャッタリセット信号 Shutter_RST、リード選択信号 Read_SEL、リードリセット信号 Read_RST、およびリード転送信号 Read_TRG を所定のタイミングで出力させる。

[0136] これに対して、ステップ S 74 において、スイッチングゲート 164 乃至 168 は、それぞれ対応するシャッタ転送信号 Shutter_TRG、シャッタリセット信号 Shutter_RST、リード選択信号 Read_SEL、リードリセット信号 Read_RST、およびリード転送信号 Read_TRG が供給されてきたか否かを判定し、供給されてくるとき、対応するバス B 1 乃至 B 5 に対して Hi 信号を出力する。尚、ここでは、説明の便宜上、スイッチングゲート 164 乃至 168 が個別に制御信号の有無を判定する処理としているが、スイッチングゲート 164 乃至 168 は、制御信号を検出すると、Hi 信号を出力するように動作するということであり、有無を実質的に判定している訳ではない。したがって、ステップ S 74 の処理は、スイッチングゲート 164 乃至 168 が Hi 信号を出力す

るときの動作条件を示すものに過ぎない。

- [0137] すなわち、シャッタ転送信号Shutter_TRG、シャッタリセット信号Shutter_RST、リード選択信号Read_SEL、リードリセット信号Read_RST、およびリード転送信号Read_TRGからなる制御信号が指定された行アドレスに供給されてくると、スイッチングゲート164乃至168は、この制御信号を検出すると共に、それぞれSTRG用バスB5、SRST用バスB4、SEL用バスB1、RRST用バスB2、およびRTRG用バスB3よりHi信号を出力する。
- [0138] 一方、ステップS74において、シャッタ転送信号Shutter_TRG、シャッタリセット信号Shutter_RST、リード選択信号Read_SEL、リードリセット信号Read_RST、およびリード転送信号Read_TRGのそれぞれが供給されてこないとき、処理は、ステップS76に進む。
- [0139] ステップS76において、スイッチングゲート164乃至168は、それぞれ対応するバスB1乃至B5に対してLow信号を出力する。
- [0140] そして、ステップS64において、制御部121は、シャッタ転送信号Shutter_TRG、シャッタリセット信号Shutter_RST、リード選択信号Read_SEL、リードリセット信号Read_RST、およびリード転送信号Read_TRGの検出用パルスとして、STRG検出用パルスをラッチ182に、SRST検出用パルスをラッチ183に、SEL検出用パルスをラッチ186に、RRST検出用パルスをラッチ185に、RTRG検出用パルスをラッチ184に、それぞれ供給する。
- [0141] 以上の処理により、制御部121の制御により、行駆動部102が、所定の行アドレスの画素制御線Lを介して、シャッタ転送信号Shutter_TRG、シャッタリセット信号Shutter_RST、リード選択信号Read_SEL、リードリセット信号Read_RST、およびリード転送信号Read_TRGの制御信号を順次供給する。このとき、制御部121は、対応するタイミングで、シャッタ転送信号Shutter_TRG、シャッタリセット信号Shutter_RST、リード選択信号Read_SEL、リードリセット信号Read_RST、およびリード転送信号Read_TRGの検出用パルスとして、STRG検出用パルスをラッチ182に、SRST検出用パルスをラッチ183に、SEL検出用パルスをラッチ186に、RRST検出用パルスをラッチ185に

、RTRG検出用パルスを実ラッチ 184 に、それぞれ供給する。

[0142] <パルス出力故障検出処理>

次に、図 12 のフローチャートを参照して、パルス出力故障検出部 142 において実行される、上述した制御線ゲート管理処理と対応して実行されるパルス出力故障検出処理について説明する。

[0143] ステップ S91 において、ラッチ 182 乃至 186 は、それぞれに供給されてくる検出パルスが Hi 信号であるか否かを判定する。すなわち、ラッチ 182 は、STRG 検出用パルスが Hi 信号であるか否かを、ラッチ 183 は、SRST 検出用パルスが Hi 信号であるか否かを、ラッチ 186 は、SEL 検出用パルスが Hi 信号であるか否か、ラッチ 185 は、RRST 検出用パルスが Hi 信号であるか否かを、ラッチ 184 は、RTRG 検出用パルスが Hi 信号であるか否かをそれぞれ判定する。そして、検出パルスが Hi 信号であると判定されるとき、処理は、ステップ S92 に進む。

[0144] ステップ S92 において、ラッチ 182 乃至 186 は、バス B5, B4, B3, B2, B1 における信号が Hi 信号であるか否かを判定する。すなわち、ラッチ 182 は、STRG 用バス B5 より供給されてくる信号が Hi 信号であるか否かを、ラッチ 183 は、SRST 用バス B4 より供給されてくる信号が Hi 信号であるか否かを、ラッチ 186 は、SEL 用バス B1 より供給されてくる信号が Hi 信号であるか否かを、ラッチ 185 は、RRST 用バス B2 より供給されてくる信号が Hi 信号であるか否かを、ラッチ 184 は、RTRG 用バス B3 より供給されてくる信号が Hi 信号であるか否かを、それぞれ判定する。そして、バス B5, B4 B3, B2, B1 における信号が Hi 信号である場合、処理は、ステップ S93 に進む。

[0145] ステップ S93 において、ラッチ 182 乃至 186 は、Hi 信号を出力する。

[0146] すなわち、図 13 の時刻 t1 乃至 t2 で示されるように、検出用パルスが Hi 信号の期間において、時刻 t11 乃至 t12 で示されるように、バス B1 乃至 B5 の信号が Hi 信号であるとき、画素アレイ 101 における所定の行アド

レスの画素制御線Lを介して画素信号を転送するために供給される制御信号が適切なタイミングで、適切に供給されているので、画素制御線LおよびTCV 93-1, 93-2の断線等の故障や、時定数等に異常が生じるような故障が検出されないものとみなし、ラッチ182乃至186は、故障がないことを示すHi信号を出力する。

[0147] 一方、ステップS91またはステップS92において、いずれかでHi信号ではないとみなされた場合、処理は、ステップS94に進み、ラッチ182乃至186は、Low信号を出力する。すなわち、この場合、画素制御線Lの断線に起因する故障や時定数等の異常が発生するといった故障が検出されているものとみなして、ラッチ182乃至186は、故障が発生していることを示すLow信号を出力する。

[0148] ステップS95において、故障判定部181は、ラッチ182乃至186より供給されてくる信号がHi信号であるか否かを判定し、Hi信号ではない、すなわち、Low信号であるとき、ステップS96において、故障が発生していることを検出する。

[0149] 一方、ステップS95において、ラッチ182乃至186より供給されてくる信号がHi信号であるとき、故障が発生していないものとみなし、ステップS96の処理はスキップされる。

[0150] 以上の処理により、パルス出力故障の有無を検出することが可能となる。すなわち、制御部121により指定される所定の行アドレスにおける制御信号が、指定されたタイミングに、指定された行アドレスに対して出力されているか否かを確認することが可能となり、確認できない場合、故障が発生していることを検出することができる。

[0151] また、この際、画素制御線Lの断線の有無と共に、各種の時定数等の異常の有無や、各種の制御信号のHi信号に固着するといった状態の有無をも確認することが可能となる。

[0152] さらに、撮像素子72における画素アレイ101のみが上チップ92に設けられ、撮像素子72のその他の構成とフロントカメラECU73が下チップ9

1 に設けられ、これらが積層されてTCV 9 3 - 1 , 9 3 - 2 を介して電氣的に接続された構造であるため、TCV 9 3 - 1 , 9 3 - 2 の断線の有無についても確認することが可能となる。

[0153] 尚、図 1 2 におけるステップ S 9 1 , S 9 2 において、ラッチ 1 8 2 乃至 1 8 6 が Hi 信号であるか否かを判定する処理として説明をしているが、実態として、ラッチ 1 8 2 乃至 1 8 6 は、Hi 信号であるか否かを判定するものではない。すなわち、ラッチ 1 8 2 乃至 1 8 6 は、バス B 1 乃至 B 5 からの信号が Hi 信号であって、かつ、各種の検出用パルスが Hi 信号である状態になると、Hi 信号を出力する構成であるのみである。したがって、図 1 2 におけるステップ S 9 1 , S 9 2 の処理は、ラッチ 1 8 2 乃至 1 8 6 が Hi 信号を出力する動作条件を示したものに過ぎない。

[0154] <第 1 の実施の形態の第 1 の変形例>

以上においては、パルス出力故障検出処理において、制御部 1 2 1 より各種の制御信号について、制御線ゲート 1 4 3 に対して制御信号を出力するタイミングで、パルス出力故障検出部 1 4 2 に対して、検出用パルスを出力し、制御線ゲート 1 4 3 における各種制御信号のバス B 1 乃至 B 5 からの出力信号とのタイミングが一致した場合にのみラッチ 1 8 2 乃至 1 8 6 より故障が発生していないことを示す Hi 信号を出力する例について説明してきた。しかしながら、全ての検出用パルスを固定の Hi 信号とし、バス B 1 乃至 B 5 からの信号の有無を確認することで、簡易的に画素制御線 L および TCV 9 3 - 1 , 9 3 - 2 の断線の有無のみの故障を検出するようにしてもよい。

[0155] 図 1 4 は、簡易的な構造のパルス出力故障検出部 1 4 2 の構成例を示している。尚、図 1 4 のパルス出力故障検出部 1 4 2 の構成において、図 1 0 におけるパルス出力故障検出部 1 4 2 における構成と同一の機能を備えた構成については、同一の符号、および同一の名称を付しており、その説明は適宜省略するものとする。

[0156] すなわち、図 1 4 のパルス出力故障検出部 1 4 2 において、図 1 0 のパルス出力故障検出部 1 4 2 と異なる点は、ラッチ 1 8 2 乃至 1 8 6 に代えて、

同一構造のラッチ 191 乃至 195 が設けられており、検出用パルスが、ラッチ 191 乃至 195 に対して共通で、かつ、固定された Hi 信号とされて供給されている点である。また、制御部 121 は、ラッチ 191 乃至 195 に対して、水平方向の 1 列分の処理毎に 1 回リセットパルス（RST パルス）を供給し、リセットする。

[0157] このような構成により、上述した制御線ゲート管理処理により画素制御線 L および TCV 93-1, 93-2 を介して供給されてくる制御信号の有無を示すバス B1 乃至 B5 の Hi 信号、または Low 信号に基づいて、簡易的に断線等に起因するパルス出力故障を検出することが可能となる。

[0158] 尚、図 14 の制御部 121 およびパルス出力故障検出部 142 の機能は、図 4 における信号処理回路 113 により実現される。

[0159] <図 14 のパルス出力故障検出部によるパルス出力故障検出処理>

次に、図 15 のフローチャートを参照して、図 14 のパルス出力故障検出部によるパルス出力故障検出処理について説明する。尚、図 11 のフローチャートを参照して説明した制御線ゲート管理処理が実行されていることを前提として説明する。ただし、この例においては、図 11 におけるステップ S63 の処理における検出用パルスは、制御信号毎に所定のタイミングで出力されるのではなく、Hi 信号として固定的に出力されているものとする。

[0160] ステップ S111 において、ラッチ 191 乃至 195 は、それぞれ対応するバス B5, B4, B3, B2, B1 より供給されてくる信号が Hi 信号であるか否か、すなわち、制御信号が供給されてきていることが示されているか否かを判定する。ステップ S111 において、Hi 信号が供給されてきているとみなされた場合、処理は、ステップ S112 に進む。

[0161] ステップ S112 において、ラッチ 191 乃至 195 は、検出パルスが固定の Hi 信号であって、かつ、それぞれ対応するバス B5, B4, B3, B2, B1 より供給されてくる信号が Hi 信号であるので、故障が検出されていないことを示す Hi 信号をラッチして出力する。

[0162] 一方、ステップ S111 において、それぞれ対応するバス B5, B4, B

3, B2, B1より供給されてくる信号がLow信号である場合、制御信号が供給されてきていないので、断線等の故障が検出されたものとみなして、処理は、ステップS113に進む。

[0163] ステップS113において、ラッチ191乃至195は、故障が検出されていることを示すLow信号をラッチして出力する。

[0164] ステップS114において、故障判定部181は、ラッチ191乃至195のいずれかからLow信号が供給されてきたか否かを判定する。そして、ステップS114において、Low信号が供給されてきているとみなした場合、処理は、ステップS115に進む。

[0165] ステップS115において、故障判定部181は、故障が検出されたものとみなし、故障が発生していることを示す情報を出力する。

[0166] 以上の処理により、簡易的な構成により、画素アレイ101内の画素制御線LおよびTCV93-1, 93-2の断線に係る故障を検出することが可能となる。

[0167] <第1の実施の形態の第2の変形例>

以上においては、画素アレイ101を挟んで行駆動部102と制御線ゲート143とを、TCV93-1, 93-2を介して接続する例について説明してきたが、TCV93が設けられる面積を極力小さくすることで、上チップ92、および下チップ91の全体の面積を小さくするようにしてもよい。

[0168] この場合、例えば、図16で示されるように、図中の左部で示されるように、画素アレイ101と行駆動部102との間に制御線ゲート143を設けるようにして、画素アレイ101と制御線ゲート143との間にのみTCV93を設けて接続するようにしてもよい。

[0169] このような構成とすることで、TCV93を設ける部位を削減することができるので、TCV93に係る面積を小さくすることができる。また、制御線ゲート143における処理は、図4の場合と同様の処理を実現することができるので、行駆動部102から出力される制御信号が、所定の行アドレスに対して所定のタイミングで出力されていることを確認することができる。

[0170] ただし、この構成のみとすると画素アレイ 101 における画素制御線 L および TCV 93 の断線の有無については確認ができない。

[0171] そこで、図 16 の画素アレイ 101 には、右端部に黒色画素 (Optical Black 画素) からなる故障検出カラム 201 が設けられており、所定の行アドレスについて、通常の画素信号を読み出すのに必要とされる一連の制御信号を供給することで、所定の画素値を発生し、故障検出部 124 に設けられる画素制御線故障検出部 202 に出力する。画像制御線故障検出部 202 は、故障検出カラム 201 より供給される信号に基づいて、画素制御線 L および TCV 93 の断線に係る故障を検出する。

[0172] より詳細には、故障検出カラム 201 は、図 16 の右部で示されるように、フォトダイオードを含まない OPB (Optical Black) 画素からなるものであり、所定の行アドレスで指定される一連の制御信号が供給されることにより、黒色画素相当の所定の画素信号を出力する。図 16 には、一般にフォトダイオードが設けられる部位に対して点線でフォトダイオードの回路記号を付してあるが、これはフォトダイオードが設けられていないことを示すものである。

[0173] より具体的には、故障検出カラム 201 は、転送トランジスタ 211、リセットトランジスタ 212、FD (Floating Diffusion) 213、増幅トランジスタ 214、選択トランジスタ 215、および AD 変換部 216 を備えている。

[0174] 転送トランジスタ 211、リセットトランジスタ 212、増幅トランジスタ 213、および選択トランジスタ 215 は、いずれも一般的な画素回路に設けられるものであり、上述したシャッタ転送信号 Shutter_TRG、シャッタリセット信号 Shutter_RST、リード選択信号 Read_SEL、リードリセット信号 Read_RST、およびリード転送信号 Read_TRG により動作される。

[0175] また、選択トランジスタ 215 より出力される黒色画素の画素信号は、AD 変換部 216 に出力される。AD 変換部 216 は、画素信号をアナログデジタル変換し、画素制御線故障検出部 202 に出力する。

[0176] 画素制御線故障検出部202は、故障検出カラム201より供給されてくる画素信号が、所定の黒色画素の画素値を示すものであるか否かに基づいて、画素アレイ101における画素制御線LおよびTCV93の断線に係る故障の有無を検出する。

[0177] 尚、故障検出カラム201の構成として、フォトダイオードが設けられていない構成例を示したが、画素信号を読み出すにあたって、原則として固定された画素値が出力される構成であればよく、例えば、図16における点線で示した部位にフォトダイオードを設け、遮光するようにして、黒色画素の画素回路を構成するようにしてもよい。

[0178] 尚、図16の制御部121および故障検出部124の機能は、図4における信号処理回路113により実現される。

[0179] <画素制御線故障検出処理>

次に、図17のフローチャートを参照して、図16の画素アレイ101の故障検出カラム201および画素制御線故障検出部202による制御線故障検出処理について説明する。

[0180] ステップS131において、故障検出カラム201におけるトランジスタ211乃至214は、シャッタ転送信号Shutter_TRG、シャッタリセット信号Shutter_RST、リード選択信号Read_SEL、リードリセット信号Read_RST、およびリード転送信号Read_TRG等の制御信号に基づいて、フォトダイオードのない0PB画素としての黒色画素の画素信号を、AD変換部216に出力する。

[0181] ステップS132において、AD変換部216は、アナログ信号からなる画素信号をデジタル信号に変換して画素制御線故障検出部202に出力する。

[0182] ステップS133において、画素制御線故障検出部202は、黒色画素からなる画素信号の画素値が所定の画素値であるか否かを判定する。ステップS133において、所定の画素値ではないと判定された場合、処理は、ステップS134に進む。

[0183] ステップS134において、画素制御線故障検出部202は、画素アレイ101における画素制御線LまたはTCV93等に断線等に起因する故障が検出

されたものとみなし、出力部 1 2 3 に出力する。

[0184] すなわち、画素制御線 L または TCV 9 3 が断線することで、トランジスタ 2 1 1 乃至 2 1 4 が、シャッタ転送信号 Shutter_TRG、シャッタリセット信号 Shutter_RST、リード選択信号 Read_SEL、リードリセット信号 Read_RST、およびリード転送信号 Read_TRG 等の制御信号により動作することができなかつたため、所定の画素値が出力されなかつたものとみなされて、故障が検出されたものとみなされる。

[0185] また、ステップ S 1 3 3 において、所定の画素値が検出された場合、ステップ S 1 3 4 の処理はスキップされる。すなわち、所定の黒色画素が検出されたのは、トランジスタ 2 1 1 乃至 2 1 4 が、シャッタ転送信号 Shutter_TRG、シャッタリセット信号 Shutter_RST、リード選択信号 Read_SEL、リードリセット信号 Read_RST、およびリード転送信号 Read_TRG 等の制御信号により動作することができた結果であるので、故障が検出されていないものとみなされる。

[0186] 以上の処理により、TCV 9 3 に占める面積を小さくしつつ、行駆動部 1 0 2 より出力される制御信号の出力されるタイミングと行アドレスとに基づいた故障検出を実現することが可能となる。また、この際、画素アレイ 1 0 1 における画素制御線 L および TCV 9 3 の断線に起因する故障を検出することが可能となる。

[0187] << 2. 第 2 の実施の形態 >>

以上においては、行アドレス選択機能故障、パルス出力故障、並びに、画素制御線および TCV の断線故障を検出する例について説明してきたが、ADC（アナログデジタル変換回路）の故障を検出することで TCV の断線故障をも検出するようにしてもよい。

[0188] 図 1 8 は、ADC および TCV の断線故障を検出するようにした、撮像素子 7 2 およびフロントカメラ ECU 7 3 の構成例のうち、特に、画素アレイ 1 0 1、画像信号出力部 1 0 3、および故障検出部 1 2 4 の構成例について説明する。尚、図 1 8 の構成のうち、図 4 を参照して説明した構成と同一の機能を備え

た構成については、同一の名称、および同一の符号を付しており、その説明は適宜省略するものとし、特に記載のない構成については、図4における構成と同一のものであるものとする。

[0189] すなわち、図18の画素アレイ101、画像信号出力部103、および故障検出部124のうち、図4の構成と異なるのは、画素アレイ101を構成する画素の画素回路の詳細な構成、および、画素信号出力部103の詳細な構成が示され、故障検出部124に新たにADC+TCV故障検出部271が設けられた点である。

[0190] 画素アレイ101を構成するアレイ状に配置された画素221の画素回路は、フォトダイオード230、転送トランジスタ231、リセットトランジスタ232、FD (Floating Diffusion) 233、増幅トランジスタ234、選択トランジスタ235、および垂直転送線VSLより構成されている。

[0191] さらに、垂直転送線VSLには、切替トランジスタ251、およびDSFトランジスタ252からなるDSF回路250が設けられている。尚、切替トランジスタ251、およびDSFトランジスタ252からなるDSF回路250は、上チップ92上の画素アレイ101には設けられておらず、下チップ91上に設けられており、垂直転送線VSLに対して、TCV93を介して接続されている。

[0192] フォトダイオード230、転送トランジスタ231、リセットトランジスタ232、FD (Floating Diffusion) 233、増幅トランジスタ234、および選択トランジスタ235の構成については、一般的な画素回路と同様のものであり、上述した画素アレイ101上にアレイ状に配置されている各画素を構成する画素回路と同様である。

[0193] すなわち、フォトダイオード230は、入射光の光量に応じた電荷を蓄積し、画素信号として出力する。転送トランジスタ231は、上述したシャッタ転送信号Shutter_TRG、リード転送Read_TRGにより動作し、フォトダイオード230で蓄積された電荷をFD233に転送する、または、リセットトランジスタ232と協働してフォトダイオード230およびFD233をリセットレベルに設定する。また、リセットトランジスタ232は、上述したシャッ

タリセット信号Shutter_RST、およびリードリセット信号Read_RSTにより動作して、FD233をリセットレベルに設定する、または、フォトダイオード230をリセットレベルに設定する。

[0194] FD233は、フォトダイオード230より供給されてくる画素信号のうちの信号レベル、または、リセットトランジスタ232によりリセットレベルに設定され、増幅トランジスタ234のゲートに接続されている。

[0195] 増幅トランジスタ234は、FD233の蓄積電荷の電圧に応じて電源電圧を増幅することで画素信号として出力する。選択トランジスタ235は、リード選択信号Read_SELにより動作し、行アドレスとして選択されたとき、増幅トランジスタ234より出力される画素信号を垂直転送線VSLに転送させる。

[0196] さらに、この例においては、垂直転送線VSLに切替トランジスタ251、およびDSFトランジスタ252からなるDSF回路250が設けられている。DSF回路250は、画素信号、または、ダミー画素信号を出力する。より詳細には、DSF（ダミーソースフォロワ回路）トランジスタ252は、画素信号の代わりに固定信号からなるダミー画素信号を垂直転送線VSLに供給するためのトランジスタである。切替トランジスタ251は、垂直転送線VSLに対して、選択トランジスタ235からの画素信号を出力するか、または、DSFトランジスタ252からダミー画素信号を出力するかを切り替えるものである。

[0197] 尚、DSFトランジスタ252がオンにされて出力されるダミー画素信号は、所定の画素値からなる画素信号であるが、DSFトランジスタ252を複数に設けて、複数の所定の画素値からなる画素信号を切り替えて出力するようにしてもよい。以降においては、図示はしないが、複数種類の画素値からなる画素信号のそれぞれに対して、複数のDSFトランジスタ252を設け、これらを選択的に切り替えて出力することができるものとして説明する。

[0198] 画像信号出力部103は、負荷MOS241、ADC242、および水平転送部243を備えている。

[0199] 負荷MOS241は、画素アレイ101の垂直転送線VSLを介して供給されて

くる画素信号を電流値から電圧値に変換してADC 2 4 2 に供給する。

[0200] ADC 2 4 2 は、負荷MOS 2 4 1 から供給されるアナログ信号からなる画素信号をデジタル信号に変換して水平転送部 2 4 3 に出力する。

[0201] より詳細には、ADC 2 4 2 は、コンパレータ 2 6 1、カウンタ 2 6 2、およびDAC（デジタルアナログ変換部） 2 6 3 より構成される。

[0202] コンパレータ 2 6 1 は、DAC 2 6 3 より供給されるものであって、カウンタ 2 6 2 からのクロックに同期して、所定のステップ間隔で変化するランプ電圧（Ramp）と、負荷MOS 2 4 1 より入力されてくるアナログ信号からなる画素信号との比較を行い、比較結果をカウンタ 2 6 2 に供給する。

[0203] カウンタ 2 6 2 は、カウントを繰り返し、コンパレータ 2 6 1 における比較結果が反転したタイミングにおけるカウント値をデジタル信号として水平転送部 2 4 3 に出力すると共に、クロック信号をDAC 2 4 2 に供給する。

[0204] DAC 2 6 3 は、カウンタ 2 6 2 からのクロック信号に同期して、ランプ電圧（Ramp）を所定のステップで変化させて発生し、コンパレータ 2 6 1 に供給する。尚、DAC 2 6 3 は、図 4 のフロアプランにおけるDAC 1 1 2 に対応するものである。

[0205] 水平転送部 2 4 3 は、ADC 2 4 2 より供給されてくるデジタル信号に変換された画素信号を画像処理部 1 2 2 に供給すると共に、故障検出部 1 2 4 におけるADC+TVC故障検出部 2 7 1 に供給する。

[0206] ADC+TVC故障検出部 2 7 1 は、DSF回路 2 5 0 を制御して、例えば、ブランキング期間などにダミー画素信号を出力させ、ADC 2 4 2 によりデジタル信号に変換された画素信号と、ダミー画素信号として予め設定された所定の画素信号とを比較して、一致するか否かに基づいて、ADC 2 4 2 の故障や、画素制御線L、およびTCV 9 3 等の断線の有無に起因する故障を検出する。

[0207] より詳細には、図 1 9 で示されるように、例えば、下チップ 9 1 が下チップ 9 1 - 1、9 1 - 2 からなる 2 領域に分割されており、それぞれにADC 2 4 2 - 1、2 4 2 - 2 がカラム状に配置されている。また、図 1 8 の画素アレイ 1 0 1 が設けられた上チップ 9 2 に対して、TCV 9 3 - 1 1、9 3 - 1 2 を

介して、それぞれ下チップ91-1, 91-2が電氣的に接続されている。
ここで、図19のADC242-1, 242-2は、図4のカラムADC111-1, 111-2に対応する。

[0208] また、画素221の出力は、行制御線282-1, 282-2, ...によって制御される。行駆動部272は、所定の一行の画素221の画素信号が出力されるように制御する。画素221が出力する画素信号は、列信号線281-1, 281-2, ...を伝わり、カラムADC242-1, 242-2に出力される。

[0209] そして、DSF回路250-1 (250-1-1, 250-1-2, ...)は、下チップ91-1に設けられており、TCV93-11, 93-12、および画素アレイ101を介して、他の下チップ91-2のADC242-2 (242-2-1, 242-2-2, ...)に対して、ダミー画素信号を供給する。同様に、DSF回路250-2 (250-2-1, 250-2-2, ...)は、下チップ91-2に設けられており、TCV93-11, 93-12、および画素アレイ101を介して、他の下チップ91-1のADC242-1 (242-1-1, 242-1-2, ...)に対して、ダミー画素信号を供給する。尚、下チップ91の分割数は、2以上であってもよく、この場合、対応する分割数分だけ、分割領域のそれぞれにADC242、およびDSF回路250が設けられる。

[0210] ADC242-1 (242-1-1, 242-1-2, ...)は、それぞれ画素アレイ101から出力される画素信号と、DAC263-1から供給されるランプ電圧との大小関係をコンパレータ261-1 (261-1-1, 261-1-2, ...)で比較し、2値の結果としてカウンタ262-1 (262-1-1, 262-1-2, ...)に与える。

[0211] ADC242-2 (242-2-1, 242-2-2, ...)は、それぞれ画素アレイ101から出力される画素信号と、DAC263-2から供給されるランプ電圧との大小関係をコンパレータ261-2 (261-2-1, 261-2-2, ...)で比較し、2値の結果としてカウンタ262-2 (2

62-2-1, 262-2-2, ...) に与える。

- [0212] コンパレータ261-1, 261-2は、タイミング制御回路273から供給されるPSET信号をトリガとするオートゼロ (Auto zero) 回路を有しており、画素221より供給される画素信号とランプ電圧とのレベルの差であるオフセットをゼロにする。
- [0213] カウンタ262-1, 262-2は、タイミング制御回路273から供給されるカウンタ制御信号に基づきカウント動作する。カウンタクロックはコンパレータ261-1, 261-2の出力によってマスクされるようになっていて、画素信号のレベルに応じたデジタル信号が得られるようになっている。
- [0214] バスバッファ274-1 (274-1-1, 274-1-2, ...) は出力を制御するためのものであり、ラッチ回路を含み、それぞれ列走査回路275-1の選択信号によって、値を水平出力線276-1に出力する。
- [0215] バスバッファ274-2 (274-2-1, 274-2-2, ...) は出力を制御するためのものであり、ラッチ回路を含み、それぞれ列走査回路275-2の選択信号によって、値を水平出力線276-2に出力する。
- [0216] タイミング制御回路273はマスタークロックMCKを動作タイミングの基準として、撮像素子72の全体的な動作シーケンスを制御する。
- [0217] ADC+TVC故障検出部271は、DSF回路250-1, 250-2を制御して、画素アレイ101およびTCV93-11, 93-12を介してダミーの画素信号を出力させ、ADC242-1, 242-2により画素信号をデジタル信号に変換させて、所定の画素値からなる画素信号であるか否かに基づいて、ADC242-1, 242-2の異常やTCV93-11, 93-12の断線に起因する故障を検出することができる。
- [0218] より詳細には、ADC+TVC故障検出部271は、下チップ91-1のDSF回路250-1を制御して、画素アレイ101およびTCV93-11, 93-12を介して、ダミーの画素信号を下チップ91-2のADC242-2に出力させて画素信号をデジタル信号に変換させて、所定の画素値からなる画素信号で

あるか否かに基づいて、ADC 242-2の異常、および、TCV 93-11, 93-12の断線に起因する故障を検出する。

[0219] 同様に、ADC+TVC故障検出部271は、下チップ91-2のDSF回路250-2を制御して、画素アレイ101およびTCV 93-11, 93-12を介して、ダミーの画素信号を下チップ91-1のADC 242-1に出力させて画素信号をデジタル信号に変換させて、所定の画素値からなる画素信号であるか否かに基づいて、ADC 242-1の異常、および、TCV 93-11, 93-12の断線に起因する故障を検出する。

[0220] さらに、ADC 242やTCV 93に異常がないことを前提として、さらに、実装上の動作試験を実行して、動作異常として故障を検出するようにしてもよい。

[0221] <第1の動作試験>

図20で示されるように、例えば、ADC+TVC故障検出部271が、DSF回路250を制御して、リセットレベルの電位V1からなるダミー画素信号を発生してADC 242によりリセットレベルの画素信号を求めさせ、次に、DSF回路250の電位を所定の信号レベルの電位V2からなるダミー画素信号を発生して信号レベルの画素信号を求めるという一連の動作を実現し、信号レベルとリセットレベルとの差分となる画素信号が、所定の画素信号として出力されるか否かを確認することで動作故障を検出するようにしてもよい。

[0222] このようにすることで、相関二重サンプリングによる画素信号の読み出しに異常が発生していないか否かに基づいた故障検出が可能となる。

[0223] 尚、図20においては、実線が、DSF回路250を制御して出力するダミー画素信号の画素値を示したものであり、点線がランプ電圧の変化を示している。時刻t0乃至t2においては、ダミー画素信号としてリセットレベルとなる電位V1が出力され、この間にランプ電位が低下しており、時刻t0乃至t1における丸印で示されるタイミングで、コンパレータ261の比較結果が反転することにより、このタイミングで、リセットレベルの電位V1に相当するランプ電圧におけるカウンタの値によりリセットレベルのデジタル

信号からなる画素信号が求められる。

[0224] また、時刻 t_3 において、DSF回路 250 が制御されて、電位 V_2 に相当するダミー画素信号が信号レベルの画素信号として出力される。ランプ電圧は時刻 t_4 でリセットされて、再び時刻 t_4 乃至 t_5 において低下しており、時刻 t_4 乃至 t_5 における丸印のタイミングでコンパレータ 261 の比較結果が反転することにより、このタイミングで、信号レベルのデジタル信号からなる画素信号として出力される。

[0225] このようにして求められたリセットレベルと信号レベルとの差分が画素値として求められて、予め設定された所定の画素値であれば、ADC 242 および TCV 93 の断線に起因する故障がなく、さらに、CDSによる画素信号の読み出し処理を実行する動作故障も発生していないことを確認することができる。

[0226] 尚、図 20 の実線で示される、DSF回路 250 を制御して出力するダミー画素信号の画素値は、図 4 のフロアプランにおける画素アレイ 101 より出力されるものである。また、図 20 の点線で示される、ランプ電圧が、図 4 のフロアプランにおける DAC 111 により出力されるものである。すなわち、DAC 263 は、DAC 111 に対応する。

[0227] <第 2 の動作試験>

アナログデジタル変換におけるゲインを変化させて AD 変換結果を求めて、ゲインエラーに起因する動作故障を検出するようにしてもよい。

[0228] 図 21 で示されるように、ランプ電圧のステップ幅を変化させてカウンタの値に対してアナログゲインを掛けて、AD 変換結果を確認する。

[0229] すなわち、図 21 で示されるように、ランプ電圧の変化率であるステップ幅を変化させて、それぞれの AD 変換結果を確認し、所定のデジタル信号に変換されているのかを確認する。例えば、時刻 t_3 において、DSF回路 250 の動作を制御して、電位 V_2 に相当するダミー画素信号を出力させる。

[0230] このとき、図 21 における点線で示される、例えば、0dB のランプ電圧の変移により、時刻 t_{11} において求められるデジタル信号に変換された画素信号と、一点鎖線で示される、例えば、30dB のランプ電圧の変移により、時刻

t 1 2において求められるデジタル信号に変換された画素信号とが、それぞれ予め設定された画素信号と一致するか否かにより、ゲインエラーに起因する動作故障を検出するようにしてもよい。

[0231] 尚、図21の実線で示される、DSF回路250を制御して出力するダミー画素信号の画素値は、図4のフロアプランにおける画素アレイ101より出力されるものである。また、図21の点線で示される、ランプ電圧が、図4のフロアプランにおけるDAC111により出力されるものである。すなわち、DAC263は、DAC111に対応する。

[0232] <第3の動作試験>

太陽黒点補正処理の動作が実現されているか否かを確認することで動作故障を検出するようにしてもよい。

[0233] 太陽黒点が生じるような場合、リセットレベルの画素信号を求めることができない状態となる。このとき、信号レベルは、カウンタの値を最大値までカウントすることで、画素信号を補正する。

[0234] そこで、図22で示されるように、リセットレベルを確定させる時刻t1乃至t2の前のタイミングである時刻t21において、DSF回路250の動作を制御して、リセットレベルを設定できない電位V11からなるダミー画素信号を出力させる。この後、時刻t4以降において、信号レベルの画素信号を検出する際、時刻t22において、コンパレータが反転しても、それ以降で示されるように、時刻t23において、カウンタの値が最大値までカウントさせる動作を実行するか否かに基づいて、太陽黒点補正処理が実現されるか否かを判定し、動作故障を検出する。

[0235] 尚、図22の実線で示される、DSF回路250を制御して出力するダミー画素信号の画素値は、図4のフロアプランにおける画素アレイ101より出力されるものである。また、図22の点線で示される、ランプ電圧が、図4のフロアプランにおけるDAC111により出力されるものである。すなわち、DAC263は、DAC111に対応する。

[0236] <第4の動作試験>

暗電流クランプを掛けたときのクランプ動作が実現されているか否かを確認することで動作故障を検出するようにしてもよい。

[0237] すなわち、暗電流によるノイズが発生する場合、ランプ電圧に対する値を、暗電流によるノイズからなる画素信号分だけクランプすることで、画素信号を補正する。

[0238] そこで、図23で示されるように、時刻 t_2 のリセットレベルを検出した後、ダミー画素信号をクランプ最大値 C_{max} の画素信号が検出可能な程度の画素信号 V_{21} に設定し、所定のデジタル信号が求められてクランプ動作が実現されるか否かにより、動作故障を検出するようにしてもよい。

[0239] 尚、図23の実線で示される、DSF回路250を制御して出力するダミー画素信号の画素値は、図4のフロアプランにおける画素アレイ101より出力されるものである。また、図23の点線で示される、ランプ電圧が、図4のフロアプランにおけるDAC111により出力されるものである。すなわち、DAC263は、DAC111に対応する。

[0240] <ADC+TCV故障検出処理>

次に、図24のフローチャートを参照して、ADC+TCV故障検出部271によるADC+TCV故障検出処理について説明する。

[0241] ステップS151において、ADC+TCV故障検出部271は、画像処理におけるブランキング期間に入ったか否かを判定し、ブランキング期間に入るまで同様の処理を繰り返す。そして、ステップS151において、ブランキング期間に入った場合、処理は、ステップS152に進む。

[0242] ステップS152において、ADC+TCV故障検出部271は、所定の列アドレスのDSF回路250-1を動作させて、上述した第1の動作試験乃至第4の動作試験のいずれかに対応するように時系列に変化させながらダミー画素信号を出力させる。

[0243] ステップS153において、ADC242-2は、ダミー画素信号として出力される画素信号を、デジタル信号に変換して、順次、ADC+TCV故障検出部271に供給する。

- [0244] ステップS 1 5 4において、ADC+TCV故障検出部 2 7 1は、ADC 2 4 2-2より供給されてくるダミー画素信号として出力される画素信号であって、デジタル信号に変換された画素信号の時系列の変移に基づいて、上述した第1の動作試験乃至第4の動作試験のいずれかの動作試験に対して所定の動作結果が得られたか否かを判定する。ステップS 1 5 4において、第1の動作試験乃至第4の動作試験のいずれかに動作試験に対して所定の動作結果が得られない場合、処理は、ステップS 1 5 5に進む。
- [0245] ステップS 1 5 5において、ADC+TCV故障検出部 2 7 1は、ADC 2 4 2-2の動作異常、TCV 9 3-1 1, 9 3-1 2の断線故障、または、第1の動作試験乃至第4の動作試験により確認される動作に関する動作故障が発生していることを検出し、出力部 1 2 3に供給する。
- [0246] 一方、ステップS 1 5 4において、第1の動作試験乃至第4の動作試験のいずれかの動作試験に対して所定の動作結果が得られた場合、ADC 2 4 2-2、TCV 9 3-1 1, 9 3-1 2の断線故障、および、第1の動作試験乃至第4の動作試験いずれかの動作試験により確認される動作に関する動作故障のいずれもが発生していないものとみなされるので、ステップS 1 5 5の処理がスキップされる。
- [0247] 以上の処理により、ADC 2 4 2の動作異常、TCV 9 3の断線の有無、および第1の動作試験乃至第4の動作試験により確認される動作故障の有無を検出することが可能となる。
- [0248] 尚、以上においては、ブランキング期間において、上述した第1の動作試験乃至第4の動作試験のいずれかが実行される例について説明してきたが、例えば、ブランキング期間に入る度に、第1の動作試験乃至第4の動作試験を順次切り替えて実行するようにしてもよいし、1回のブランキング期間で、これらのうちの2以上の動作試験を実行するようにしてもよい。
- [0249] また、以上においては、DSF回路 2 5 0-1を制御して、ダミー画素信号を発生させ、ADC 2 4 2-2で画素信号をAD変換させる例について説明してきたが、当然のことながら、DSF回路 2 5 0-2を制御して、ダミー画素信号を発

生させ、ADC 242-1により画素信号をAD変換させるようにしてもよい。

[0250] <第2の実施の形態の第1の変形例>

以上においては、各列の垂直転送線VSLにおいて、DSF回路250により制御できるダミー画素信号の設定電位がいずれも同一に設定される例について説明してきたが、異なる画素電位が設定できるようにしてもよい。例えば、図25で示されるように、隣接する列の点線で示されるVSLおよび実線で示されるVSLは、それぞれダミー画素信号が交互に第1の電位、および第1の電位よりも高い電位の第2の電位となるように設定するようにしてもよい。このような構成により、隣接する垂直転送線VSL間で短絡が発生すると、ADC 242によりデジタル変換された画素信号の画素値は変化することになるので、垂直転送線VSL間の短絡検出も可能となる。

[0251] 尚、以上においては、撮像素子72の構成として、画素アレイ101、行駆動部102、および画像信号出力部103を設け、フロントカメラECU73の構成として、制御部121、画像処理部122、出力部123、故障検出部124、および制御線ゲート143を設ける例について説明してきた。しかしながら、撮像素子72の構成として、画素アレイ101、行駆動部102、および画像信号出力部103に加えて、制御部121（このうちの故障検出に関する機能のみでもよい）、故障検出部124、および制御線ゲート143を設けるようにしてもよい。このようにフロントカメラECU73の一部の機能を備えた撮像素子72を構成することで、撮像素子72単独で故障検出を実現することが可能となる。また、従来の撮像素子を、本開示の撮像素子72により置き換えて使用することも可能となり、これまでは撮像素子自らで故障検出することができなかったような機器においても、故障検出することが可能となる。

[0252] <<3. 第3の実施の形態>>

第1の実施の形態においては、運転支援処理において、故障が検出されると運転支援を終了させる例について説明してきたが、故障が検出されても、故障箇所を補正するなどにより、運転支援を継続できるようにしてもよい。

[0253] すなわち、ADC 2 4 2 は、カラム単位で構成されているため、カラム単位で故障が発生した場合、故障が発生した行単位または列単位で、画素信号にノイズが含まれることになるので、縦筋ノイズや横筋ノイズとなることがある。

[0254] そこで、このような場合、故障が検出された行、または、列の画素信号を、故障が発生していない行や列の画素信号により補正するようにして、故障が発生しても補正により対応することで、運転支援処理を継続できるようにしてもよい。

[0255] 図 2 6 は、カラム単位でAD変換するADC 2 4 2 に異常が発生し、縦筋ノイズ、または、横筋ノイズが発生した場合、補正して出力できるようにした撮像素子 7 2 の構成例を示している。尚、図 2 6 の撮像素子 7 2 の構成については、制御に係る行駆動部 1 0 2 等の構成は省略して表記されている。

[0256] すなわち、図 2 6 の撮像素子 7 2 は、画素アレイ 1 0 1、画像信号出力部 1 0 3、および補正部 3 0 1 より構成されている。図 2 6 においては、1列分の構成が図示されているが、実際には、全列分のADC 2 4 2 が設けられており、それぞれのADC 2 4 2 から各列の画素信号がデジタル信号に変換されて補正部 3 0 1 に出力される。尚、図 2 6 の画像信号出力部 1 0 3 については、図 1 8 を参照して説明したADC 2 4 2 の構成を簡略化して表記したものであり、1列分の構成のみが示されている。

[0257] 補正部 3 0 1 は、横筋ノイズ、および、縦筋ノイズの有無を検出することで、故障の発生の有無を検出し、故障が発生している場合、エラーピン（Errorピン）からエラーが発生していることを示す信号をMCU 7 4 に出力する。

[0258] また、補正部 3 0 1 は、横筋ノイズ、または、縦筋ノイズが発生していることを検出した場合、正常な行の画素信号、および、正常な列の画素信号を用いて、横筋ノイズ、および、縦筋ノイズを発生させる行の画素信号、および、列の画素信号を補正して出力する。尚、補正部 3 0 1 の構成例については、図 2 7 を参照して詳細を説明する。

[0259] <補正部の構成例>

次に、図 27 を参照して、補正部 301 の構成例について説明する。

[0260] 補正部 301 は、バッファ 330、横筋補正処理部 331、縦筋補正処理部 332、選択部 333、およびセクタ 334 を備えている。

[0261] バッファ 330 は、画像信号出力部 103 より供給されてくる画素信号を記憶して、1 枚の画像として格納する。

[0262] 横筋補正処理部 331 は、バッファ 330 に格納されている画素信号を、1 行ずつ処理対象行に設定し、処理対象行の画素と、その前後の行の 3 行の画素信号を読み出して、各行の平均値を求める。そして、横筋補正処理部 331 は、処理対象行の画素信号の平均値と、他の行の画素信号の平均値との差分を求め、差分が所定値より大きいかな否かを判定することで横筋ノイズが発生しているかな否かを判定する。横筋補正処理部 331 は、判定結果を選択部 333 に出力すると共に、横筋ノイズが発生している場合、処理対象行の各画素値を、前後の行の画素値の平均値に置き換えることで補正する。

[0263] 縦筋補正処理部 332 は、横筋補正処理部 331 のバッファ 354 に格納されている画素信号を、1 列ずつ処理対象列に設定し、処理対象列の画素と、その前後の列の 3 列の画素信号を読み出して、各列の平均値を求める。そして、縦筋補正処理部 332 は、処理対象列の画素信号の平均値と、他の列の画素信号の平均値との差分を求め、差分が所定値より大きいかな否かを判定することで縦筋ノイズが発生しているかな否かを判定する。縦筋補正処理部 332 は、判定結果を選択部 333 に出力すると共に、縦筋ノイズが発生している場合、処理対象列の各画素値を、前後の列の画素値の平均値に置き換えることで補正する。

[0264] 選択部 333 は、横筋ノイズまたは縦筋ノイズが発生しているかな否かの判定結果に基づいて、セクタ 334 が選択して出力すべき画素信号を選択する選択信号をセクタ 334 に供給すると共に、横筋ノイズまたは縦筋ノイズが発生しているときには、エラーピンよりエラー信号を MCU 74 に出力する。

[0265] より具体的には、補正が不要な場合、すなわち、バッファ 330 の画素信

号をそのまま出力する場合には 0 を、補正が必要な場合には 1 を、それぞれセクタ 334 に出力する。

[0266] セクタ 334 は、選択部 333 より供給される選択信号に基づいて、バッファ 330 の画素信号をそのまま出力する、または補正した画素値を縦筋補正処理部 332 のバッファ 374 より出力する。

[0267] より詳細には、横筋補正処理部 331 は、各行平均値算出部 351、横筋閾値判定部 352、横筋補正部 353、およびバッファ 354 を備えている。

[0268] 各行平均値算出部 351 は、バッファ 330 に格納された画像より未処理の行を処理対象行に設定し、処理対象行について、前後の行を合わせて 3 行分の画素信号を読み出し、行毎に平均値を算出して横筋閾値判定部 352 に出力する。

[0269] 横筋閾値判定部 352 は、処理対象行の画素値の平均値と、前後の行の画素値の平均値との差分を求め、所定の閾値と比較して、所定の閾値よりも大きく、処理対象行の値が、他の行と著しく異なるとみなされるか否かにより横筋ノイズの発生の有無を判定する。横筋閾値判定部 352 は、横筋ノイズが発生していると判定した場合、横筋ノイズが発生しており、故障が検出されたことを選択部 333 に出力すると共に、横筋補正部 353 を制御して、補正値を求めるように指示する。

[0270] 横筋補正部 353 は、処理対象行の画素値を補正するように指示されると、処理対象行の各画素の画素値を、その前後の行の同一位置の画素値の平均値に置換して補正し、バッファ 354 に出力し格納させる。

[0271] より具体的には、例えば、図 28 の右部で示されるように、横筋ノイズの発生が検出され、処理対象行 L2 が異常な画素値からなる異常出力行であり、前後の行 L1、L3 が正常な画素値からなる正常出力行である場合、横筋補正部 353 は、処理対象行 L2 の画素値を、行 L1、L3 の各画素の平均値に置き換える。

[0272] また、縦筋補正処理部 332 は、各行平均値算出部 371、縦筋閾値判定

部 3 7 2、縦筋補正部 3 7 3、およびバッファ 3 7 4 を備えている。

[0273] 各行平均値算出部 3 7 1 は、横筋補正処理部 3 3 1 のバッファ 3 5 4 に格納された画像より未処理の列を処理対象列に設定し、処理対象列について、前後の列を合わせて 3 列分の画素信号を読み出し、列毎に平均値を算出して縦筋閾値判定部 3 7 2 に出力する。

[0274] 縦筋閾値判定部 3 7 2 は、処理対象列の画素値の平均値と、前後の列の画素値の平均値との差分を求め、所定の閾値と比較して、所定の閾値よりも大きく、処理対象列の値が、他の列と著しく異なるとみなされるか否かにより縦筋ノイズの発生の有無を判定する。縦筋閾値判定部 3 7 2 は、縦筋ノイズが発生していると判定した場合、縦筋ノイズが発生しており、故障が検出されたことを選択部 3 3 3 に出力すると共に、縦筋補正部 3 7 3 を制御して、補正値を求めるように指示する。

[0275] 縦筋補正部 3 7 3 は、処理対象列の画素値を補正するように指示されると、処理対象列の画素値を、その前後の列の画素値の平均値に置換して補正し、バッファ 3 7 4 に出力し格納させる。

[0276] より具体的には、例えば、図 2 8 の左部で示されるように、縦筋ノイズの発生が検出され、処理対象列 R 2 が異常な画素値からなる異常出力列であり、前後の列 R 1, R 3 が正常な画素値からなる正常出力列である場合、縦筋補正部 3 7 3 は、処理対象列 R 2 の画素値を、列 R 1, R 3 の各画素の平均値に置き換える。

[0277] <図 2 7 の補正部による補正処理>

次に、図 2 9, 図 3 0 のフローチャートを参照して、図 2 7 の補正部 3 0 1 による補正処理について説明する。

[0278] ステップ S 1 5 1 において、バッファ 3 3 0 は、画像信号出力部 1 0 3 より供給されてくる画素信号を記憶して、1 枚の画像として格納する。

[0279] ステップ S 1 5 2 において、補正部 3 0 1 は、行および列をカウントするカウンタ n , m を 1 に初期化する。

[0280] ステップ S 1 5 3 において、横筋補正処理部 3 3 1 の各行平均値算出部 3

51は、バッファ330に格納された画像より処理対象行となる n 行目の画素信号と、処理対象行の前後の行の画素信号とを合わせて3行分の画素信号を読み出し、行毎に平均値を算出して横筋閾値判定部352に出力する。

[0281] ステップS154において、横筋閾値判定部352は、処理対象行である n 行目の画素値の平均値と、前後の行の画素値の平均値との差分を求め、所定の閾値と比較して、所定の閾値よりも大きく、処理対象行の画素値が、他の行の画素値と著しく異なるか否かにより、横筋ノイズの発生の有無を判定する。

[0282] ステップS154において、処理対象行である n 行目の画素値の平均値と、前後の行の画素値の平均値との差分が所定の閾値よりも大きく、横筋ノイズの発生が検出された場合、処理は、ステップS155に進む。

[0283] ステップS155において、横筋閾値判定部352は、横筋ノイズが発生しており、故障が検出されたことを選択部333に出力すると共に、横筋補正部353に対して、補正値を求めるように指示する。ここで、選択部333は、処理対象行である n 行目の画素信号については、補正がなされていることを記憶する。

[0284] ステップS156において、横筋補正部353は、処理対象行である n 行目の画素値を、その前後の行の画素値の平均値に置換して補正し、バッファ354に格納し、処理は、ステップS158に進む。

[0285] 一方、ステップS154において、横筋ノイズが発生していないとみなされた場合、処理は、ステップS157に進む。

[0286] ステップS157において、カウンタ n が最大値 N であるか否かを判定し、最大値 N ではない場合、処理は、ステップS158に進む。

[0287] ステップS158において、補正部301は、カウンタ n を1インクリメントし、処理は、ステップS153に戻る。

[0288] すなわち、ステップS153乃至S158の処理が繰り返されて、横筋ノイズが発生しているか否かが判定され、横筋ノイズが発生しているとき、前後の行で補正された画素値がバッファリングされる処理が全行についてなさ

れるまで、同様の処理が繰り返される。

- [0289] そして、全ての行について処理がなされて、ステップS 1 5 7において、カウンタ n が最大値 N であるとみなされた場合、処理は、ステップS 1 5 9に進む。
- [0290] ステップS 1 5 9において、縦筋補正処理部3 3 2の各列平均値算出部3 7 1は、横筋補正処理部3 3 1のバッファ3 5 4に格納された画像より未処理の列である m 列目を処理対象列として、処理対象列について、左右の列を合わせて3列分の画素信号を読み出し、列毎に平均値を算出して縦筋閾値判定部3 7 2に出力する。
- [0291] ステップS 1 6 0において、縦筋閾値判定部3 7 2は、処理対象列の画素値の平均値と、左右の列の画素値の平均値との差分を求め、所定の閾値と比較して、所定の閾値よりも大きく、処理対象列の値が、他の列と著しく異なるとみなされるか否かにより縦筋ノイズの発生の有無を判定する。
- [0292] ステップS 1 6 0において、処理対象列の画素値の平均値と、左右の列の画素値の平均値との差分が、所定の閾値よりも大きく、縦筋ノイズが発生している場合、処理は、ステップS 1 6 1に進む。
- [0293] ステップS 1 6 1において、縦筋閾値判定部3 7 2は、縦筋ノイズが発生しており、故障が検出されたことを選択部3 3 3に出力すると共に、縦筋補正部3 7 3に対して、補正値を求めるように指示する。ここで、選択部3 3 3は、処理対象列である m 列目の画素信号については、補正がなされていることを記憶する。
- [0294] ステップS 1 6 2において、縦筋補正部3 7 3は、処理対象列である m 列目の画素値を、その左右の列の画素値の平均値に置換して補正し、バッファ3 7 4に格納し、処理は、ステップS 1 6 3に進む。
- [0295] 一方、ステップS 1 6 1において、縦筋ノイズが発生していないとみなされた場合、処理は、ステップS 1 6 3に進む。
- [0296] ステップS 1 6 3において、カウンタ m が最大値 M であるか否かを判定し、最大値 M ではない場合、処理は、ステップS 1 6 4に進む。

- [0297] ステップS 1 6 4において、補正部3 0 1は、カウンタ m を1インクリメントし、処理は、ステップS 1 5 9に戻る。
- [0298] すなわち、ステップS 1 5 9乃至S 1 6 4の処理が繰り返されて、縦筋ノイズが発生しているか否かが判定され、縦筋ノイズが発生しているとき、左右の列で補正され、補正された画素値がバッファリングされ、それ以外るとき、そのままの画素値がバッファリングされる処理が全列についてなされるまで、同様の処理が繰り返される。
- [0299] そして、全ての列について処理がなされて、ステップS 1 6 3において、カウンタ m が最大値 M であるとみなされた場合、処理は、ステップS 1 6 5に進む。
- [0300] すなわち、ステップS 1 5 3乃至S 1 5 8の処理により横筋補正処理がなされた後、ステップS 1 5 9乃至S 1 6 4の処理により縦筋補正処理がなされる。この処理により、横筋補正処理がなされた状態の画像に対して、縦筋補正処理がなされることになるので、縦筋補正処理部3 3 2におけるバッファ3 7 4には、縦筋補正処理と横筋補正処理とが掛けられた状態の画像の各画素が格納されることになる。
- [0301] ステップS 1 6 5（図3 0）において、選択部3 3 3は、読み出すべき画像を構成する画素のうち未処理の画素を処理対象の画素（ m ， n ）に設定する。
- [0302] ステップS 1 6 6において、選択部3 3 3は、補正情報に基づいて、処理対象となる画素（ m ， n ）が属する n 行または m 列にエラーが発生しているか否かを判定する。ステップS 1 6 6において、処理対象の画素（ m ， n ）にエラーが発生しているとみなした場合、処理は、ステップS 1 6 7に進む。
- [0303] ステップS 1 6 7において、選択部3 3 3は、セクタ3 3 4に対して縦筋補正処理部3 3 2のバッファ3 7 4に格納されている補正された処理対象の画素の画素値を読み出す選択信号である1の信号を出力する。セクタ3 3 4は、選択信号に基づいて、縦筋補正処理部3 3 2のバッファ3 7 4に格

納されている補正された処理対象の画素の画素値を読み出して出力する。

- [0304] 一方、ステップS 1 6 6において、処理対象の画素にエラーが発生していないとみなした場合、処理は、ステップS 1 6 8に進む。
- [0305] ステップS 1 6 8において、選択部3 3 3は、セクタ3 3 4に対して補正がなされていないバッファ3 3 0に格納されている処理対象の画素のオリジナルの画素値を読み出す選択信号である0の信号を出力する。セクタ3 3 4は、選択信号に基づいて、バッファ3 3 0に格納されている補正されていないオリジナルの処理対象の画素の画素値を読み出して出力する。
- [0306] ステップS 1 6 9において、選択部3 3 3は、未処理の画素があるか否かを判定し、未処理の画素がある場合、処理は、ステップS 1 6 6に戻る。すなわち、全ての画素について、エラーの有無により、補正画素値か、または、補正されていないオリジナルの画素値のいずれかが選択的に読み出されるまで、ステップS 1 6 5乃至S 1 6 9の処理が繰り返される。
- [0307] そして、ステップS 1 6 9において、未処理の画素がないとみなされた場合、処理は、終了する。
- [0308] 以上の処理により、カラム単位でのADC 2 4 2において故障が発生した場合でも、列単位、または、行単位で補正することが可能となるので、運転支援処理を継続することが可能となる。
- [0309] 尚、カラムADC 2 4 2に故障が発生している際にも、Errorピンよりエラー信号が出力されているので、MCU 7 4は、どのカラムADC 2 4 2において、故障が発生していることを認識することができるので、故障の発生を通知することが可能となる。ただし、カラムADC 2 4 2に故障が発生し、縦筋のエラーや横筋のエラーが発生していても、画像信号を補正することができるので、運転支援処理を継続することが可能となる。すなわち、縦筋のエラーや横筋のエラーが発生しても、図3のフローチャートにおけるステップS 1 3においては、故障が検出されたものとして処理することなく、ステップS 1 4乃至S 1 7の処理により運転支援処理を継続することが可能となる。
- [0310] また、以上においては、補正部3 0 1が、撮像素子7 2に設けられる例に

ついて説明してきたが、フロントカメラECU 7 3 内に補正部 3 0 1 を設けるようにして、同様の処理を実現するようにしてもよい。

[0311] さらに、図 2 7 の補正部 3 0 1 においては、横筋補正処理部 3 3 1 による横筋補正処理の後、縦筋補正処理部 3 3 2 による縦筋補正処理がなされる構成例が示されているが、処理順序を入れ替えて、縦筋補正処理部 3 3 2 による縦筋補正処理がなされた後、横筋補正処理部 3 3 1 による横筋補正処理がなされる構成であってもよい。

[0312] また、横筋補正処理部 3 3 1 による横筋補正処理と、縦筋補正処理部 3 3 2 による縦筋補正処理とを並列処理できるようにして、セクタ 3 3 4 において、オリジナルの画素値、横筋補正処理された画素値、および縦筋補正処理された画素値の 3 種類の画素値を、発生しているエラーの種別に応じて、選択的に出力するようにしてもよい。この 3 種類の画素値を選択する場合、縦筋補正処理と横筋補正処理との両方がなされた画素については、例えば、横筋補正処理された画素値を選択的に出力するようにしてもよい。

[0313] << 4. 第 4 の実施の形態 >>

[0314] 以上においては、撮像素子 7 2 およびフロントカメラ ECU 7 3 の構成が、第 1 のチップとなる上チップ 9 2 と、その下に積層された第 2 のチップである下チップ 9 1 とが TCV 9 3 - 1, 9 3 - 2, 9 3 - 1 1, 9 3 - 1 2 により電氣的に接続された構造である例について説明してきた。しかしながら、上チップ 9 2 と下チップ 9 1 とは、相互に対向する位置に Cu 配線を設けて、Cu 配線と Cu 配線とを直接接合 (Cu - Cu 接合) することにより電氣的に接続された構造とするようにしてもよい。

[0315] 図 3 1 は、画素アレイ 4 3 4 が形成された第 1 の半導体チップ部 4 2 6 と、ロジック回路 4 5 5 が形成された第 2 の半導体チップ部 4 2 8 とが貼り合わされた積層半導体チップ 4 3 2 を有して構成された撮像素子 4 3 1 の構成例を示している。尚、図 3 1 における撮像素子 4 3 1 が、上述した撮像素子 7 2 およびフロントカメラ ECU 7 3 に対応する構成であり、第 1 の半導体チップ部 4 2 6 が、上チップ 9 2 に対応する構成であり、第 2 の半導体チップ部

4 2 8 が、下チップ 9 1 に対応する構成である。

[0316] 第 1 の半導体チップ部 4 2 6 は、薄膜化されたシリコンによる第 1 の半導体基板 4 3 3 に半導体ウェル領域 4 3 0 を形成し、この半導体ウェル領域 4 3 0 に、光電変換部となるフォトダイオード P D と、複数の画素トランジスタ T r 1、T r 2 からなる複数の画素を列状に 2 次元配列した画素アレイ 4 3 4 が形成される。フォトダイオード P D は、画素アレイ 4 3 4 を構成する有効画素アレイ 4 4 2 およびオプティカルブラック領域 4 4 1 に形成する。また、半導体基板 4 3 3 に画素アレイ 4 3 4 を制御する制御回路（不図示）を構成する複数の M O S トランジスタが形成される。半導体基板 4 3 3 の表面 4 3 3 a 側には、層間絶縁膜 4 5 3 を介して複数、この例では 5 層のメタル M 1 乃至 M 5 による配線 4 3 5 [4 3 5 a 乃至 4 3 5 d] および 4 3 6 を配置した多層配線層 4 3 7 が形成される。配線 4 3 5 および 4 3 6 は、デュアルダマシン法で形成された銅（C u）配線が用いられる。半導体基板 4 3 3 の裏面側には、絶縁膜 4 3 8 を介してオプティカルブラック領域 4 4 1 上を含んで遮光膜 4 3 9 が形成され、さらに平坦化膜 4 4 3 を介して有効画素アレイ 4 4 2 上にカラーフィルタ 4 4 4 およびレンズアレイ 4 4 5 が形成される。オプティカルブラック領域 4 4 1 上にもレンズアレイ 4 4 5 を形成することもできる。

[0317] 第 1 の半導体チップ部 4 2 6 の多層配線層 4 3 7 では、対応する画素トランジスタと配線 4 3 5 間、隣り合う上下層の配線 4 3 5 間が、導電ビア 4 5 2 を介して接続される。さらに、第 2 の半導体チップ部 4 2 8 との接合面 4 4 0 に臨んで、5 層目のメタル M 5 による接続配線 4 3 6 が形成される。接続配線 4 3 6 は、導電ビア 4 5 2 を介して 4 層目のメタル M 4 による所要の配線 4 3 5 d₁ に接続される。

[0318] 第 2 の半導体チップ部 4 2 8 は、シリコンによる第 2 の半導体基板 4 5 4 に、半導体ウェル領域 4 5 0 を形成し、この半導体ウェル領域 4 5 0 に、周辺回路となるロジック回路 4 5 5 が形成される。ロジック回路 4 5 5 は、C M O S トランジスタを含む複数の M O S トランジスタ T r 1 1 乃至 T r 1 4 で形成さ

れる。図31に示される、第2の半導体基板454の表面側上には、層間絶縁膜456を介して複数層、本例では4層のメタルM11乃至M14による配線457〔457a乃至457c〕および458を配置した多層配線層459が形成される。配線457および458は、デュアルダマシン法による銅（Cu）配線が用いられる。

[0319] 第2の半導体チップ部428の多層配線層459では、MOSトランジスタTr11乃至Tr14と配線457間、隣り合う上下層の配線457間が、導電ビア464を介して接続される。さらに、第1の半導体チップ部426との接合面440に臨んで、4層目のメタルM14による接続配線458が形成される。接続配線458は、導電ビア464を介して3層目のメタルM13による所要の配線457cに接続される。

[0320] 第1の半導体チップ部426と第2の半導体チップ部428とは、互いの多層配線層437および459が向かい合うようにして、接合面440に臨む接続配線436および458を直接接合して、電氣的に接続される。Cu配線による接続配線436および458の直接接合は、熱拡散接合で行う。また、それ以外の方法として、互いの多層配線層437および459の表面に、絶縁性薄膜（不図示）を成膜して、プラズマ接合等で接合する方法でも可能である。このCu配線による接続配線436および458の直接接合が、Cu-Cu接合である。

[0321] <<5. 第5の実施の形態>>

<5-1. 3枚のチップが積層される第1の構成例>

以上においては、撮像素子72およびフロントカメラECU73が、下チップ91、および上チップ92からなる2枚のチップを積層することにより構成される例について説明してきたが、それ以上の数のチップが積層されることにより構成されるようにしてもよく、例えば、3枚のチップが積層されることで、実現されるようにしてもよい。

[0322] 図32は、3枚のチップが積層されることにより実現される、撮像素子72およびフロントカメラECU73の構成例が示されている。

- [0323] 図32においては、撮像素子72およびフロントカメラECU73が、第1層チップ501、第2層チップ502、および第3層チップ503が上から順に積層されて構成されるときのプロアプランが示されており、上から順に第1層チップ501、第2層チップ502、および第3層チップ503のそれぞれのフロアプランが示されている。
- [0324] 第1層チップ501には中央に画素アレイ (Pixel array) 511が配置され、画素アレイ511の第1の側に（本実施例では画素アレイ511の右側に）沿って、行制御信号用TSV (Through Silicon Via: 貫通電極) (TSV for row driver) 512-12が配置されている。
- [0325] また、第2層チップ502の行駆動部（行デコーダ）522は、画素を駆動するための行制御信号を、上記行制御信号用TSV512-12を介して、第1層チップ501の各画素行におけるそれぞれの画素に対して送信する。また、各画素行におけるそれぞれの画素には行制御信号線が接続されており、行制御信号線は行制御信号用TSV512-12を介して第2層チップ502の行駆動部522に接続されている。
- [0326] 各画素から光電変換された画素信号を、第3層チップ503に配置された複数のAD (Analog to Digital) 変換器540-1, 540-2におけるそれぞれの比較器541-1, 541-2に接続するための、画素信号用TSV512-1, 512-2が画素アレイ511の第2, 4の側に（本実施例では画素アレイ511の図中の上側および下側に）沿って配置されている。
- [0327] また、AD変換器540-1, 540-2は、それぞれ比較器 (Comparator) 541-1, 541-2およびカウンタ (Counter) 542-1, 542-2を備えており、画素アレイ511より供給される画素信号をデジタル信号に変換する。
- [0328] 尚、比較器 (Comparator) 541-1, 541-2およびカウンタ (Counter) 542-1, 542-2を備えたAD変換器540-1, 540-2は、第2層チップ502に配置されるようにしてもよい。
- [0329] 画素信号用TSV (TSV for comparator) 512-1, 512-2は、各画素

の垂直信号線に接続されている。また、第2層チップ502に、行制御信号線の故障検出部521が配置される場合、故障検出部521のTSV (TSV for 故障検出部) 512-11は、上記画素アレイ511の第3の側（本実施例では画素アレイ511の左側）に沿って配置される。なお、好ましくは、故障検出部521のTSV (TSV for 故障検出部) 512-11は、行制御信号線用TSV (TSV for row driver) 512-12に対して、画素アレイ511を挟んだ反対側に配置されることが望ましい。

[0330] 第2層チップ502には、中央にDRAM523が複数配置されており、DRAM523の第1の側に（本実施例ではDRAM523の右側に）沿って、行駆動部522が配置されている。また、比較器541-1, 541-2が第3層チップ503にある場合はDRAM523の第2, 4の側に（本実施例では画素アレイ511の図中の上側および下側に沿って）、画素信号を転送するための画素信号用TSV512-1, 512-2が配置される。

[0331] なお、AD変換器540-1, 540-2を構成する比較器541-1, 541-2が第2層チップ502に構成され、カウンタ542-1, 542-2が第3層チップ503に構成される場合、第2層チップ502におけるDRAM523の上側および下側に比較器541-1, 541-2が配置され、比較器541-1, 541-2からの信号を第3層チップ503のカウンタ542-1, 542-2に転送するための画素信号用TSV512-1, 512-2が、さらに複数の比較器541-1, 541-2の下側に配置される。さらに、DRAM523の第3の側に（本実施例ではDRAM523の図中の左側に）故障検出部521が配置される。好ましくは、行駆動部522は、DRAM523を挟んで、故障検出部521に対して反対側に配置されることが望ましい。

[0332] 第3層チップ503にはDRAM523の直下にDRAM523を制御するためのDRAM制御回路 (DRAM Controller) 545が配置され、DRAM制御回路545からの制御信号をDRAM523に転送するためのDRAM制御信号用TSV (TSV for DRAM) 544が配置される。また、AD変換器540-1, 540-2を構成する比較器541-1, 541-2が第2層チップ502に構成され、カウ

タ 5 4 2 - 1, 5 4 2 - 2 が第 3 層チップ 5 0 3 に構成される場合、比較器 5 4 1 - 1, 5 4 1 - 2 からの信号は、TSV 5 1 2 - 1, 5 1 2 - 2 を介してカウンタ 5 4 2 - 1, 5 4 2 - 2 に転送される。

[0333] また、第 3 層チップ 5 0 3 に複数の AD 変換器 5 4 0 - 1, 5 4 0 - 2 がある場合は、第 2 層チップ 5 0 2 の画素信号用 TSV 5 1 2 - 1, 5 1 2 - 2 と接続された、第 3 層チップ 5 0 3 の画素信号用 TSV 5 1 2 - 1, 5 1 2 - 2 が、それぞれ AD 変換器 5 4 0 - 1, 5 4 0 - 2 の上側および下側に配置される。また、SRAM メモリ 5 4 3 はカウンタ 5 4 2 - 2 の図中の上部に配置される。なお、図 3 2 においては、上下に複数の AD 変換器 5 4 0 - 1, 5 4 0 - 2 を設ける構成が示されているが、図 3 2 中の上側、または、下側のいずれか 1 か所に AD 変換器 5 4 0 を集約して、1 個の AD 変換器 5 4 0 で全ての画素信号を読みだす構成にしてもよい。また、故障検出部 5 2 1 からの検出信号を、図示しない信号処理回路に転送するための故障検出部用 TSV が故障検出部 5 2 1 の直下に配置される。

[0334] 尚、上述した第 1 層チップ 5 0 1、第 2 層チップ 5 0 2、および第 3 層チップ 5 0 3 のそれぞれを電氣的に接続する TSV 5 1 2 は、いずれも Cu-Cu 接合でもよい。また、ここで、画素アレイ 5 1 1 は、画素アレイ 1 0 1 に対応する構成であり、TSV 5 1 2 は、TCV 9 3 に対応する構成である。

[0335] <5-2. 3 枚のチップにより積層される第 2 の構成例>

以上においては、故障検出部 5 2 1 が、第 2 層チップ 5 0 2 に設けられている例について説明してきたが、第 3 層チップ 5 0 3 に設けられるようにしてもよい。

[0336] 図 3 3 は、故障検出部 5 2 1 が、第 3 層チップ 5 0 3 に設けられるときの構成例を示している。尚、図 3 3 において、図 3 2 の構成と同一の機能を備えた構成については、同一の符号を付しており、その説明は適宜省略する。

[0337] すなわち、図 3 3 においては、故障検出部 5 2 1 が、第 3 層チップ 5 0 3 の図中の左端部に配置されている。これに伴って、第 2 層チップ 5 0 3 の DRA M 5 2 3 の左側には、故障検出部用 TSV 5 1 2 - 1 1 が設けられる。

[0338] <5-3. 3枚のチップにより積層される第3の構成例>

以上においては、行駆動部522が、第2層チップ502に設けられる例について説明してきたが、第3層チップ503に設けられるようにしてもよい。

[0339] 図34のフロアプランは、図32における第2層チップ502の行駆動部522を、第3層チップ503に設けるようにした構成例である。この場合、第3層チップ503上の行駆動部522が、画素アレイ511上の各画素に制御信号を送信する必要があるので、第2層チップ502には、行駆動部522に代えて、行駆動部用TSV512-12がDRAM523の右側に設けられる。

[0340] <5-4. 3枚のチップにより積層される第4の構成例>

以上においては、行駆動部522が、第3層チップ503に設けられる例について説明してきたが、さらに、故障検出部521も第3層チップ503に設けるようにしてもよい。

[0341] 図35のフロアプランは、図32における第2層チップ502の行駆動部522と故障検出部521とを、いずれも第3層チップ503に設けるようにした構成例である。この場合、第3層チップ503上の故障検出部521と行駆動部522とが、画素アレイ511上の各画素に制御信号を送受信する必要があるので、第2層チップ502には、故障検出部521および行駆動部522に代えて、故障検出部用TSV512-11および行駆動部用TSV512-12が、それぞれDRAM523の左右に設けられる。

[0342] <5-5. 3枚のチップにより積層される第5の構成例>

以上においては、DRAM523が、第2層チップ502に設けられる例について説明してきたが、例えば、図35で示される第2層チップ502のフロアプランにおける構成と第3層チップ503のフロアプランにおける構成とをそれぞれ入れ替えるようにしてもよい。

[0343] 図36は、図35で示される第2層チップ502上のDRAM523を第3層チップ503上に設け、第3層チップ上のAD変換器540-1, 540-2

、TSV 5 4 4、DRAM制御部 5 4 5、およびDAC 5 4 6を第2層チップ 5 0 2に設けるようにした構成例である。

[0344] ただし、故障検出部 5 2 1、行駆動部 5 2 2は、第2層チップ 5 0 2に設けられることにより、第3層チップ 5 0 3には、故障検出部用TSV 5 1 2 - 1および、行駆動部用TSV 5 1 2 - 1 2が不要となる。

[0345] << 6. 画素信号用TSVについて >>

< 6 - 1. 比較器とカウンタとが同一チップに配置される場合の画素信号用TSV >

次に、画素信号用TSVの構成例について説明する。

[0346] 図 3 2乃至図 3 5を参照して説明した3枚のチップが積層された実施例においては、AD変換器 5 4 0 - 1, 5 4 0 - 2を構成する比較器 5 4 1 - 1, 5 4 1 - 2とカウンタ 5 4 2 - 1, 5 4 2 - 2とは、同一の第3のチップ 5 0 3に構成されている。

[0347] このため、画素アレイ 5 1 1における各画素の画素信号は、第2のチップ 5 0 2を経由することなく、第1のチップ 5 0 1から第3のチップ 5 0 3に直接転送される。

[0348] したがって、画素信号用TSV 5 1 2 - 1, 5 1 2 - 2は、例えば、図 3 7で示されるように構成される。

[0349] 図 3 7において、画素信号用TSV 5 1 2 - 1, 5 1 2 - 2は、第1層チップ 5 0 1および第3層チップ 5 0 3とが電氣的接続されるコンタクトにより形成されている。画素信号用TSV 5 1 2 - 1, 5 1 2 - 2を構成するコンタクトは、第1層チップ 5 0 1のコンタクトに接続されるとともに、第3層チップ 5 0 3のアルミパッドに接続されている。

[0350] 図 3 7で示されるように構成される画素信号用TSV 5 1 2 - 1, 5 1 2 - 2を介して、第1層チップ 5 0 1上の画素アレイ 5 1 1を構成する画素の画素信号が、第3層チップ 5 0 3のAD変換器 5 4 0 - 1, 5 4 0 - 2に転送される。

[0351] 尚、以上においては、画素信号用TSV 5 1 2 - 1, 5 1 2 - 2について説明

してきたが、故障検出部用TSV 5 1 2 - 1 1 および行駆動部用TSV 5 1 2 - 1 2 についても、故障検出部 5 2 1、および行駆動部 5 2 2 が第 3 層チップ 5 0 3 に設けられる場合については、図 3 7 で示される画素信号用TSV 5 1 2 - 1, 5 1 2 - 2 と同様に構成されるようにしてもよい。

[0352] <6-2. 比較器とカウンタとが異なるチップに配置される場合の画素信号用TSV>

以上においては、AD変換器 5 4 0 - 1, 5 4 0 - 2 を構成する比較器 5 4 1 - 1, 5 4 1 - 2 とカウンタ 5 4 2 - 1, 5 4 2 - 2 とが、同一の第 3 層チップ 5 0 3 に構成される例について説明してきたが、異なるチップに構成されるようにしてもよい。

[0353] すなわち、例えば、比較器 5 4 1 - 1, 5 4 1 - 2 が第 2 層チップ 5 0 2 に設けられ、カウンタ 5 4 2 - 1, 5 4 2 - 2 が第 3 層チップ 5 0 3 に設けられ、AD変換器 5 4 0 - 1, 5 4 0 - 2 が構成される場合、第 1 層チップ 5 0 1 に構成される画素アレイ 5 1 1 の各画素からの画素信号は、第 2 層チップ 5 0 2 の比較器 5 4 1 - 1, 5 4 1 - 2 に出力され、比較器 5 4 1 - 1, 5 4 1 - 2 の比較結果が第 3 層チップ 5 0 3 のカウンタ 5 4 2 - 1, 5 4 2 - 2 に転送される。

[0354] したがって、画素信号用TSV 5 1 2 - 1, 5 1 2 - 2 は、例えば、図 3 8 で示されるように、第 1 層チップ 5 0 1 と第 2 層チップ 5 0 2 とを電氣的に接続するコンタクトからなる画素信号用TSV 5 1 2 a - 1, 5 1 2 a - 2 と、第 2 層チップ 5 0 2 と第 3 層チップ 5 0 3 とを電氣的に接続するコンタクトからなる画素信号用TSV 5 1 2 b - 1, 5 1 2 b - 2 とから構成される。

[0355] このような構成により、第 1 層チップ 5 0 1 に構成される画素アレイ 5 1 1 の各画素からの画素信号は、画素信号用TSV 5 1 2 a - 1, 5 1 2 a - 2 を介して、第 2 層チップ 5 0 2 の比較器 5 4 1 - 1, 5 4 1 - 2 に出力される。また、比較器 5 4 1 - 1, 5 4 1 - 2 の比較結果が、画素信号用TSV 5 1 2 b - 1, 5 1 2 b - 2 を介して、第 3 層チップ 5 0 3 のカウンタ 5 4 2 - 1, 5 4 2 - 2 に転送される。

[0356] 尚、以上においては、画素信号用TSV 5 1 2 - 1, 5 1 2 - 2 について説明してきたが、故障検出部用TSV 5 1 2 - 1 1 についても、故障検出部 5 2 1 が第2層チップ 5 0 3 に設けられる場合については、図 3 8 で示される画素信号用TSV 5 1 2 - 1, 5 1 2 - 2 と同様に構成されるようにしてもよい。

[0357] << 7. ADCの種別について >>

< 7 - 1. カラムADC >

次に、ADCの種別について説明する。まず、図 3 9 を参照して、ADCのうち、カラムADCについて説明する。

[0358] 図 3 9 は、カラムADCを説明するための撮像素子の構成例を示す図である。図 3 9 の撮像素子 7 0 1 は、画素アレイ部 7 1 1 と、駆動部 7 1 2 とを備える。また、駆動部 7 1 2 は、行駆動部 7 2 1 - 1 および行駆動部 7 2 1 - 2 と、アナログデジタル (A/D) 変換ユニット 7 2 2 と、試験電圧生成部 7 2 3 と、参照信号生成部 7 2 4 と、制御部 7 2 5 と、信号処理部 7 2 6 と、故障検出部 7 2 7 とを備える。

[0359] 画素アレイ部 7 1 1 は、照射された光に応じた画像信号を生成する画素 7 4 1 が行列形状に配置されて構成されたものである。また、この画素アレイ部 7 1 1 には、画素 7 4 1 に制御信号を伝達する信号線である信号線 7 1 3 が行毎に配置され、それぞれの行に配置された画素 7 4 1 に対して共通に配線される。信号線 7 1 3 には、転送制御信号を伝達する転送制御信号線とリセット制御信号を伝達するリセット制御信号線と画素 7 4 1 からの画像信号の出力を制御する画素選択制御信号線とが含まれる。また、画素アレイ部 7 1 1 には、画素 7 4 1 により生成された画像信号を伝達するための信号線 7 4 2 が列毎に配置され、それぞれの列に配置された画素 7 4 1 に対して共通に配線される。

[0360] また、画素アレイ部 7 1 1 には、信号線 7 1 3 の故障を検出するための試験信号を生成する試験信号生成部 7 4 3 が行毎に配置される。この試験信号生成部 7 4 3 は、各行の両端に配置され、画素 7 4 1 と同様に信号線 7 4 2 および 7 1 3 が配線される。また、試験信号生成部 7 4 3 には、試験電圧を

伝達する信号線 7 1 4 がさらに配線される。ここで、試験電圧とは、上述の転送制御信号線およびリセット制御信号線の故障を検出するための信号である。試験信号生成部 7 4 3 は、転送試験信号およびリセット試験信号を試験信号として生成する。転送試験信号は試験電圧および転送制御信号に基づいて生成され、リセット試験信号は試験電圧およびリセット制御信号に基づいて生成される。

[0361] 行駆動部 7 2 1 - 1 および 7 2 1 - 2 は、画素 7 4 1 の制御信号を生成し、信号線 7 1 3 を介して出力するものである。この行駆動部 7 2 1 - 1 および 7 2 1 - 2 は、上述の転送制御信号、リセット制御信号および画素選択制御信号を制御信号として生成する。また、行駆動部 7 2 1 - 1 および 7 2 1 - 2 は、同一の制御信号を生成し、同時に信号線 7 1 3 に対して出力する。制御信号の生成に冗長性を持たせるためである。

[0362] アナログデジタル変換ユニット 7 2 2 は、画素 7 4 1 により生成された画像信号をデジタルの画像信号に変換するものである。このアナログデジタル変換ユニット 7 2 2 は、アナログデジタル変換を行うアナログデジタル変換部 7 3 1 が画素アレイ部 7 1 1 の列毎に配置され、それぞれに信号線 7 4 2 が配線される。また、アナログデジタル変換ユニット 7 2 2 には、試験信号生成部 7 4 3 等により生成された試験信号のアナログデジタル変換を行うためのアナログデジタル変換部 7 3 1 がさらに配置される。アナログデジタル変換により生成されたデジタルの画像信号は、信号処理部 7 2 6 に対して出力される。一方、デジタルの試験信号は、故障検出部 7 2 7 に対して出力される。

[0363] 試験電圧生成部 7 2 3 は、試験電圧を生成し、信号線 7 1 4 を介して試験信号生成部 7 4 3 に対して出力するものである。この試験電圧生成部 7 2 3 は、転送試験電圧およびリセット試験電圧を試験電圧として生成する。転送試験電圧およびリセット試験電圧は、それぞれ電圧が異なる試験電圧である。転送試験電圧は試験信号生成部 7 4 3 等において転送試験信号が生成される際に生成される試験電圧であり、リセット試験電圧は試験信号生成部 7 4

3等においてリセット試験信号が生成される際に生成される試験電圧である。

- [0364] 参照信号生成部724は、参照信号を生成し、アナログデジタル変換ユニット722に対して出力するものである。この参照信号は、信号線715を介して出力される。この参照信号として、電圧がランプ状に低下する信号を使用することができる。参照信号生成部724は、アナログデジタル変換の開始と同期して参照信号の生成を開始する。
- [0365] 制御部725は、撮像素子701の全体を制御するものである。この制御部725は、行駆動部721-1および721-2を制御するための共通の制御信号を生成し、信号線716を介して行駆動部721-1および721-2に出力する。また、制御部725は、アナログデジタル変換ユニット722に配置されたアナログデジタル変換部731を制御するための共通の制御信号を生成し、信号線717を介して全てのアナログデジタル変換部731に対して出力する。
- [0366] 故障検出部727は、試験信号生成部743等から出力された故障信号に基づいて信号線713の故障を検出するものである。この故障検出部727は、転送試験信号およびリセット試験信号に基づいて転送試験信号線、リセット試験信号線および画素選択制御信号線の故障を検出する。故障の検出は、試験信号生成部743等から出力された試験信号と正常時の試験信号とを比較することにより行うことができる。故障検出部727の構成の詳細については後述する。
- [0367] 同図の撮像素子701においては、画素アレイ部711および駆動部712は、異なる半導体チップに形成される。画素アレイ部711は、画像信号の生成を行うため、比較的高い電源電圧により動作する。一方、駆動部712は、デジタル的な信号処理を行う。このため、駆動部712には、高速な処理が要求され、比較的低い電源電圧が供給される。このように、画素アレイ部711および駆動部712は、性質が異なる回路によりそれぞれ構成される。そこで、画素アレイ部711および駆動部712を分離し、それぞれ

に適したプロセスにより製造される半導体チップに形成する。その後、これらの半導体チップを貼り合わせるることにより、撮像素子701を構成する。これにより、撮像素子701のコストパフォーマンスを向上させることができる。この場合、信号線742、713および714は、異なる半導体チップ間の信号伝達を行うこととなる。

[0368] なお、画素アレイ部711、行駆動部721-1および721-2、アナログデジタル変換ユニット722、試験電圧生成部723、参照信号生成部724、制御部725、信号処理部726、および故障検出部727は、撮像素子701を構成する。

[0369] また、図39の例においては、行駆動部721-1および721-2が設けられ、同一の機能を備えた行駆動部721が2個設けられた撮像素子701の例が示されているが、いずれか1個にしてもよい。

[0370] さらに、信号処理部726は、アナログデジタル変換部731から出力されたデジタルの画像信号を処理するものである。この処理として、例えば、複数のアナログデジタル変換部731から出力されたデジタルの画像信号を順次転送する水平転送を行うことができる。

[0371] 図39の撮像素子701におけるアナログデジタル変換ユニット722のように、アナログデジタル変換を行う複数のアナログデジタル変換部731が画素アレイ部711の列毎に配置され、行単位で画像信号をアナログデジタル変換するアナログデジタル回路を、カラムADC回路という。

[0372] 本開示の図4のカラムADC111、図5の画像信号出力部103、図18のADC242は、図39を参照して説明したカラムADC回路により実現してもよい。また、図32、図35乃至図38のAD変換器540は、カラムADC回路であってもよい。

[0373] <7-2. エリアADC>>

次に、図40を参照して、エリアADCについて説明する。図40は、エリアADCを説明するための撮像素子701の構成例を示す図である。尚、図40において、図39における撮像素子701と同一の機能を備えた構成についは

、同一の符号を付しており、その説明は適宜省略するものとする。すなわち、図40の撮像素子701は、複数のアナログデジタル変換ユニット781を備える点で、図39の撮像素子701と異なる。

[0374] 図40の撮像素子701の画素アレイ部711は、画素741に代えて、画素ユニット771が行列形状に配置される。また、試験信号生成部743の代わりに故障検出ユニット772が行毎に配置される。また、信号線713および714が図39において説明した画素アレイ部711と同様に、画素ユニット771および故障検出ユニット772に対して配線される。

[0375] 図40の撮像素子701において、アナログデジタル変換ユニット781は、画素アレイ部711に配置された画素ユニット771および故障検出ユニット772毎に配置され、画像信号等のアナログデジタル変換をそれぞれ行い、変換後の画像信号等を信号処理部726または故障検出部727に対してそれぞれ出力する。画素ユニット771および故障検出ユニット772と、これらに対応するアナログデジタル変換ユニット781とは、信号線742により個別に配線される。

[0376] 尚、図40の例においては、行駆動部721-1および721-2が設けられ、同一の機能を備えた行駆動部721が2個設けられた撮像素子701の例が示されているが、いずれか1個にしてもよい。

[0377] 図40の撮像素子701のアナログデジタル変換ユニット781のように、所定のエリア内の複数の画素からなる画素ユニット771毎に配置され、エリア単位で画像信号をアナログデジタル変換するアナログデジタル変換回路を、エリアADC回路という。

[0378] 本開示の図4のカラムADC111、図5の画像信号出力部103、図18のADC242は、それぞれに代えて、図40を参照して説明したエリアADC回路を用いるようにしてもよい。また、図32、図35乃至図38のAD変換器540は、エリアADC回路であってもよい。

[0379] 尚、画素ユニット771が1画素により構成される場合、アナログデジタル変換ユニット781は、特に、画素ADC回路という。すなわち、この場合、

画素単位でアナログデジタル変換ユニット 781 が構成される。

[0380] << 8. WCSPの構造例 >>

< 8-1. WCSPの概略の構造例 >

図 41 は、本技術を採用した半導体装置としての撮像素子に WCSP (Wafer level Chip Size Package) を採用するときの概略の構造例を示している。

[0381] 図 41 に示される撮像素子 801 は、図中の矢印の方向で装置に入射する光もしくは電磁波を電気信号へ変換する。以後、本開示では、便宜上、電気信号へと変換する対象として、光を電気信号へ変換する装置を例に用いて説明する。

[0382] 撮像素子 801 は、第 1 構造体 851 と第 2 構造体 852 とが積層された積層構造体 853 と、外部端子 854 と、第 1 構造体 851 の上側に形成された保護基板 858 とを備える。なお、以下では、便宜上、図 41 における、光が装置へ入射する入射面の側を上側、入射面と対向する装置のもう一方の面の側を下側として、第 1 構造体 851 を上側構造体 851、第 2 構造体 852 を下側構造体 852 と称する。

[0383] この撮像素子 801 は、後で述べるように、上側構造体 851 の一部を構成する半導体基板 (ウエハ) と、下側構造体 852 の一部を構成する半導体基板 (ウエハ) と、保護基板 858 とを、ウエハレベルで貼り合せた後、個々の撮像素子 801 へと固片化して形成される。

[0384] 固片化される前の上側構造体 851 は、半導体基板 (ウエハ) に、入射した光を電気信号へ変換するための画素が形成されたものである。画素は、例えば、光電変換するためのフォトダイオード (PD) と、光電変換動作や光電変換された電気信号を読み出す動作を制御する、複数の画素トランジスタを備える。固片化された後の撮像素子 801 に含まれる上側構造体 851 は、上側チップ、イメージセンサ基板、または、イメージセンサチップと呼ばれる場合もある。

[0385] 撮像素子 801 が備える画素トランジスタは、例えば、MOS トランジスタであることが望ましい。

[0386] 上側構造体 851 の上面には、例えば、R（赤）、G（緑）、またはB（青）のカラーフィルタ 855 とオンチップレンズ 856 が形成されている。オンチップレンズ 856 の上側には、撮像素子 801 の構造物、特にオンチップレンズ 856 やカラーフィルタ 855 を保護するための保護基板 858 が配置されている。保護基板 858 は、例えば透明なガラス基板である。保護基板 858 はその硬度がオンチップレンズ 856 の硬度よりも高いと、オンチップレンズ 856 を保護する作用が強まる。

[0387] 固片化される前の下側構造体 852 は、半導体基板（ウエハ）に、トランジスタと配線とを含む半導体回路が形成されたものである。固片化された後の撮像素子 801 に含まれる下側構造体 852 は、下側チップ、信号処理基板、または、信号処理チップと呼ばれる場合もある。下側構造体 852 には、装置外部の不図示の配線と電氣的に接続するための外部端子 854 が、複数、形成されている。外部端子 854 は、例えば、はんだボールである。

[0388] 撮像素子 801 は、オンチップレンズ 856 上に配置されたガラスシール樹脂 857 を介して、上側構造体 851 の上側もしくはオンチップレンズ 856 の上側に保護基板 858 が固定されたキャビティレス構造を成している。ガラスシール樹脂 857 は、その硬度が保護基板 858 の硬度よりも低いいため、シール樹脂が存在しない場合と比較すると、撮像素子 801 の外部から保護基板 858 へ加わった応力が装置内部へと伝わるのを緩和する作用を果たし得る。

[0389] なお、撮像素子 801 は、キャビティレス構造と異なる構造として、上側構造体 851 の上面に、柱状もしくは壁状の構造を形成し、保護基板 858 がオンチップレンズ 856 の上方に空隙を持って担持されるように、上記柱状もしくは壁状の構造に固定されたキャビティ構造を成しても良い。

[0390] < 8-2. 撮像素子の回路配置構成例 >

次に、撮像素子 801 の回路の配置、すなわち、図 41 に示した撮像素子 801 の各ブロックを、上側構造体 851 と下側構造体 852 とにどのように分けて搭載するかを説明する。

[0391] 図42は、撮像素子801における回路配置の回路配置構成例を示す図である。

[0392] 回路配置構成例においては、アレイ上に配置された複数の画素871からなる画素アレイ部864は上側構造体851に配置されている。

[0393] 撮像素子801に備わる画素周辺回路部のうち、行駆動部862は、一部が上側構造体851に配置され、かつ、一部が下側構造体852に配置されている。例えば、行駆動部862のうち、行駆動回路部が上側構造体851に配置され、行デコーダ部が下側構造体852に配置されている。

[0394] 上側構造体851に配置される行駆動部862は、画素アレイ部864の行方向の外側に配置され、下側構造体852に配置される行駆動部862は、少なくともその一部が上側構造体851に備わる行駆動部862の下側に配置されている。

[0395] 撮像素子801に備わる画素周辺回路部のうち、列信号処理部865は、一部が上側構造体851に配置され、かつ、一部が下側構造体852に配置されている。例えば、列信号処理部865のうち、負荷回路部、増幅回路部、ノイズ処理部、及び、ADCのコンパレータ部が上側構造体851に配置され、ADCのカウンタ部が下側構造体852に配置されている。

[0396] 上側構造体851に配置される列信号処理部865は、画素アレイ部864の列方向の外側に配置され、下側構造体852に配置される列信号処理部865は、少なくともその一部が上側構造体851に備わる列信号処理部865の下側に配置されている。

[0397] 上側構造体851に配置された行駆動部862の外側と、下側構造体852に配置された行駆動部862の外側には、これら2つの行駆動部862の配線を接続するための配線接続部869が配置されている。

[0398] 上側構造体851に配置された列信号処理部865の外側と、下側構造体852に配置された列信号処理部865の外側にも、これら2つの列信号処理部865の配線を接続するための配線接続部869が配置されている。これらの配線接続部869においては、この後、図43を用いて説明する配線

接続構造が用いられている。

[0399] 下側構造体 8 5 2 に配置された行駆動部 8 6 2 と列信号処理部 8 6 5 の内側に、画像信号処理部 8 6 6 が配置されている。

[0400] 下側構造体 8 5 2 において、入出力回路部 8 8 9 は、上側構造体 8 5 1 の画素アレイ部 8 6 4 の下側となる領域に配置される。

[0401] 入出力回路部 8 8 9 は、入力回路部と出力回路部の双方もしくは少なくとも一方を含む回路部である。入出力回路部 8 8 9 が入力回路部と出力回路部の双方で構成される場合、入出力回路部 8 8 9 は、1 つの外部端子 8 5 4 ごとに分かれて、下側構造体 8 5 2 に複数個配置される。入出力回路部 8 8 9 が入力回路部のみで構成される場合、入力回路部は、1 つの外部端子 8 5 4（入力端子）ごとに分かれて、下側構造体 8 5 2 に複数個配置される。入出力回路部 8 8 9 が出力回路部のみで構成される場合、出力回路部は、1 つの外部端子 8 5 4（出力端子）ごとに分かれて、下側構造体 8 5 2 に複数個配置される。これら複数個に分かれて配置された各入出力回路部 8 8 9 の周囲には、画像信号処理部が配置されている。言い換えれば、画像信号処理部を配置した領域内に、入出力回路部 8 8 9 が配置されている。

[0402] なお、下側構造体 8 5 2 において、入出力回路部 8 8 9 は、上側構造体 8 5 1 の行駆動部 8 6 2 の下側もしくは列信号処理部 8 6 5 の下側となる領域に配置されても良い。

[0403] 言い換えると、入出力回路部 8 8 9 は、外部端子 8 5 4 が形成される下側構造体 8 5 2 側で、かつ、上側構造体 8 5 1 の画素アレイ部 8 6 4 の領域の下方、若しくは、上側構造体 8 5 1 の画素周辺回路部（図 4 の画素周辺回路領域 1 0 1 3 のうち、上側構造体 8 5 1 に形成される回路部）の下方の任意の領域に配置することができる。

[0404] < 8 - 3. 撮像素子の断面構造 >

本実施形態に係る撮像素子 8 0 1 の断面構造と回路配置を、図 4 3 を参照してさらに説明する。

[0405] 図 4 3 は、図 4 2 の A - A' 線における撮像素子 8 0 1 に係る断面構造を

示す図である。

- [0406] 撮像素子 801 に備わる上側構造体 851 とその上方とを含めた部分には、オンチップレンズ 856 とカラーフィルタ 855 と画素トランジスタとフォトダイオード 891 とを有する画素 871 (図 42) が、複数個、アレイ状に配列された画素アレイ部 864 が配置されている。画素アレイ部 864 の領域 (画素アレイ領域) には、画素トランジスタ領域 1001 も配置される。画素トランジスタ領域 1001 は、転送トランジスタ、増幅トランジスタ、リセットトランジスタのうちの少なくとも 1 つの画素トランジスタが形成される領域である。
- [0407] 下側構造体 852 に備わる半導体基板 921 の下側の表面で、かつ、上側構造体 851 に備わる画素アレイ部 864 の下方に位置する領域には、外部端子 854 が複数個配置されている。
- [0408] なお、図 43 の説明においては、「下側構造体 852 に備わる半導体基板 921 の下側の表面で、かつ、上側構造体 851 に備わる画素アレイ部 864 の下方に位置する領域」を第 1 特定領域、「下側構造体 852 に備わる半導体基板 921 の上側の表面で、かつ、上側構造体 851 に備わる画素アレイ部 864 の下方に位置する領域」を第 2 特定領域と称する。
- [0409] 第 1 特定領域に配置された複数個の外部端子 854 の少なくとも一部は、外部から撮像素子 801 へ信号を入力するための信号入力端子もしくは撮像素子 801 から外部へ信号を出力するための信号出力端子 854 B である。言い換えれば、信号入力端子 854 A 及び信号出力端子 854 B は、外部端子 854 のなかから、電源端子及び接地端子を除いた外部端子 854 である。これらの信号入力端子 854 A もしくは信号出力端子 854 B を、信号入出力端子 854 C と称する。
- [0410] 第 1 特定領域であって、かつ、これら信号入出力端子 854 C の近傍に、半導体基板 921 を貫通する貫通ビア 928 が配置される。なお、半導体基板 921 を貫通するビアホールとその内部に形成されたビア配線とを併せて、単に貫通ビア 928 とも称する。

- [0411] この貫通ビアホールは、半導体基板 9 2 1 の下側表面から、半導体基板 9 2 1 の上側表面上方に配置された多層配線層 9 2 2 の一部であってビアホールの終端（底部）となる導電性パッド 1 0 2 2（以後、ビア用パッド 1 0 2 2 ととも称する）まで、掘り込んで形成された構造であることが望ましい。
- [0412] 第 1 特定領域に配置された信号入出力端子 8 5 4 C は、同じく第 1 特定領域に配置された貫通ビア 9 2 8（より具体的には、貫通ビアホール内に形成されたビア配線）へ電氣的に接続される。
- [0413] 第 2 特定領域であって、かつ、信号入出力端子 8 5 4 C および上記貫通ビアの近傍となる領域に、入力回路部もしくは出力回路部を備えた入出力回路部 8 8 9 が配置される。
- [0414] 第 1 特定領域に配置された信号入出力端子 8 5 4 C は、貫通ビア 9 2 8 とビア用パッド 1 0 2 2 と、あるいはまた多層配線層 9 2 2 の一部とを介して、入出力回路部 8 8 9 へ電氣的に接続される。
- [0415] 入出力回路部 8 8 9 を配置した領域を入出力回路領域 1 0 1 1 と呼ぶ。下側構造体 8 5 2 に備わる半導体基板 9 2 1 の上側の表面には、入出力回路領域 1 0 1 1 に隣接して信号処理回路領域 1 0 1 2 が形成されている。信号処理回路領域 1 0 1 2 は、画像信号処理部が形成される領域である。
- [0416] 画素アレイ部 8 6 4 の各画素を駆動させる行駆動部や列信号処理部の全部もしくは一部を含む画素周辺回路部を配置した領域を、画素周辺回路領域 1 0 1 3 と呼ぶ。上側構造体 8 6 1 に備わる半導体基板 9 4 1 の下側の表面及び下側構造体 8 5 2 に備わる半導体基板 9 2 1 の上側の表面のうち、画素アレイ部 8 6 4 の外側となる領域には、画素周辺回路領域 1 0 1 3 が配置されている。
- [0417] 信号入出力端子 8 5 4 C は、下側構造体 8 5 2 に配置された、入出力回路領域 1 0 1 1 の下側の領域に配置されて良いし、あるいは、信号処理回路領域 1 0 1 2 の下側となる領域に配置されても良い。あるいは、信号入出力端子 8 5 4 C は、下側構造体 8 5 2 に配置された、行駆動部もしくは列信号処理部などの画素周辺回路部の下側に配置されても良い。

- [0418] 上側構造体 8 5 1 の多層配線層 9 4 2 に含まれる配線と、下側構造体 8 5 2 の多層配線層 9 2 2 に含まれる配線とを接続する配線接続構造を上下配線接続構造とも称し、この構造を配置した領域を上下配線接続領域 1 0 1 4 とも称する。
- [0419] 上下配線接続構造は、上側構造体 8 5 1 の上側の表面から半導体基板 9 4 1 を貫通し多層配線層 9 4 2 に至る第 1 貫通電極（シリコン貫通電極）9 4 9 と、上側構造体 8 5 1 の上側の表面から半導体基板 9 4 1 と多層配線層 9 4 2 を貫通し下側構造体 8 5 2 の多層配線層 9 2 2 に至る第 2 貫通電極（チップ貫通電極）9 4 5 と、これら 2 つの貫通電極（Through Silicon Via, TSV）を接続するための貫通電極接続配線 9 4 6 とによって形成されている。このような上下配線接続構造は、ツインコンタクト構造とも称する。
- [0420] 画素周辺回路領域 1 0 1 3 の外側に、上下配線接続領域 1 0 1 4 が配置されている。
- [0421] 本実施形態では、画素周辺回路領域 1 0 1 3 が、上側構造体 8 5 1 と下側構造体 8 5 2 の両方に形成されているが、いずれか一方のみに形成することもできる。
- [0422] また、上下配線接続領域 1 0 1 4 が、画素アレイ部 8 6 4 の外側であって、かつ、画素周辺回路領域 1 0 1 3 の外側に配置されているが、画素アレイ部 8 6 4 の外側であって、かつ、画素周辺回路領域 1 0 1 3 の内側に配置されてもよい。
- [0423] さらに、上側構造体 8 5 1 の多層配線層 9 4 2 と下側構造体 8 5 2 の多層配線層 9 2 2 とを電氣的に接続する構造として、シリコン貫通電極 9 4 9 とチップ貫通電極 9 4 5 の 2 本の貫通電極を用いて接続するツインコンタクト構造を採用した。
- [0424] 上側構造体 8 5 1 の多層配線層 9 4 2 と下側構造体 8 5 2 の多層配線層 9 2 2 とを電氣的に接続する構造としては、例えば、上側構造体 8 5 1 の配線層 9 4 3 と、下側構造体 8 5 2 の配線層 9 2 3 のそれぞれが、1 本の貫通電極に共通に接続するシェアコンタクト構造としてもよい。

[0425] < 8 - 4. 他の上下配線接続構造を用いた場合の撮像素子の回路配置 >

他の上下配線接続構造を用いた場合の、撮像素子 801 の回路の配置と断面構造を、図 44 を参照して説明する。

[0426] 図 44 は、図 42 に示す上下配線接続構造とは異なる構造を用いた場合の、図 42 の A - A' 線における撮像素子 801 に係る断面構造を示す図である。

[0427] 図 44 の画素周辺回路領域 1013 において、上側構造体 851 の多層配線層 942 は、一部の配線を多層配線層 942 の最下面、言い換えれば、上側構造体 851 と下側構造体 852 との接合面に配置している。また、下側構造体 852 の多層配線層 922 も、一部の配線を多層配線層 922 の最上面、言い換えれば、上側構造体 851 と下側構造体 852 との接合面に配置している。そして、多層配線層 942 の一部の配線と、多層配線層 922 の一部の配線が、この接合面における略同一の位置に配置されて、配線どうしが電氣的に接続されている。配線どうしを電氣的に接続する形態としては、2つの配線を直接接触させる形態で良いし、あるいは、2つの配線間に薄膜の絶縁膜や高抵抗膜が形成され、形成された膜が一部で電氣的に導通している形態であっても良い。あるいは、2つの配線間に薄膜の絶縁膜や高抵抗膜が形成され、2つの配線が容量結合によって電気信号を伝播させる形態であっても良い。

[0428] 上側構造体 851 の多層配線層 942 の配線の一部の配線と下側構造体 852 の多層配線層 922 の配線の一部の配線を上記接合面の略同一の位置に形成し2つの配線を電氣的に接続する構造の総称として、上下配線直接接続構造あるいは単に配線直接接続構造とも称する。

[0429] 上記略同一の位置の具体的な例としては、例えば、撮像素子 801 を上側から下側方向へ平面視した場合に、電氣的に接続する上記2つの配線の少なくとも一部が重なる位置であれば良い。接続する2つの配線の材料として、例えば、銅 (Cu) を用いた場合には、この接続構造を、Cu - Cu 直接接合構造あるいは単に Cu - Cu 接合構造と呼ぶ場合がある。

[0430] 上下配線直接接続構造を用いる場合には、この接続構造を画素アレイ部 8 6 4 の外側に配置することができる。あるいは、この接続構造を、上側構造体 8 5 1 が備える画素周辺回路領域 1 0 1 3 の内部と、下側構造体 8 5 2 が備える画素周辺回路領域 1 0 1 3 の内部とに、配置することができる。より具体的には、上下配線直接接続構造を構成する配線のうち、上記接合面の上側構造体 8 5 1 の側に配置する配線は、上側構造体 8 5 1 の画素周辺回路領域 1 0 1 3 に備わる回路の下側に配置することができる。また、上下配線直接接続構造を構成する配線のうち、上記接合面の下側構造体 8 5 2 の側に配置する配線は、下側構造体 8 5 2 の画素周辺回路領域 1 0 1 3 に備わる回路の上側に配置することができる。あるいは、上側構造体 8 5 1 の配線として画素アレイ部 8 6 4（画素トランジスタ領域 1 0 0 1）に配置された配線を用いて、これと下側構造体 8 5 2 の配線とによる上下配線直接接続構造を、画素アレイ部 8 6 4（画素トランジスタ領域 1 0 0 1）の下方に配置することもできる。

[0431] < 8 - 5. 撮像素子の詳細構造 >

次に、図 4 5 を参照して、撮像素子 8 0 1 の詳細構造について説明する。図 4 5 は、ツインコンタクト構造を備えた撮像素子 8 0 1 の外周付近を拡大して示した断面図である。

[0432] 下側構造体 8 5 2 には、例えばシリコン (Si) で構成された半導体基板 9 2 1 の上側（上側構造体 8 5 1 側）に、多層配線層 9 2 2 が形成されている。この多層配線層 9 2 2 により、図 4 2 に示した入出力回路領域 1 0 1 1、信号処理回路領域 1 0 1 2（図 4 5 では不図示）、画素周辺回路領域 1 0 1 3 などが形成されている。

[0433] 多層配線層 9 2 2 は、上側構造体 8 5 1 に最も近い最上層の配線層 9 2 3 a、中間の配線層 9 2 3 b、及び、半導体基板 9 2 1 に最も近い最下層の配線層 9 2 3 c などからなる複数の配線層 9 2 3 と、各配線層 9 2 3 の間に形成された層間絶縁膜 9 2 4 とで構成される。

[0434] 複数の配線層 9 2 3 は、例えば、銅 (Cu)、アルミニウム (Al)、タ

ングステン（W）などを用いて形成され、層間絶縁膜 924 は、例えば、シリコン酸化膜、シリコン窒化膜などで形成される。複数の配線層 923 及び層間絶縁膜 924 のそれぞれは、全ての階層が同一の材料で形成されていてもよいし、階層によって 2 つ以上の材料を使い分けてもよい。

[0435] 半導体基板 921 の所定の位置には、半導体基板 921 を貫通するシリコン貫通孔 925 が形成されており、シリコン貫通孔 925 の内壁に、絶縁膜 926 を介して接続導体 927 が埋め込まれることにより、貫通ビア（TSV：Through Silicon Via）928 が形成されている。絶縁膜 926 は、例えば、SiO₂膜やSiN膜などで形成することができる。貫通ビア 928 は、本実施形態では、外部端子 854 側よりも配線層 923 側の平面積が小さい逆テーパ形状となっているが、反対に、外部端子 854 側の平面積が小さい順テーパ形状でもよいし、外部端子 854 側と配線層 923 側の面積が略同一の非テーパ形状でも良い。

[0436] 貫通ビア 928 の接続導体 927 は、半導体基板 921 の下面側に形成された再配線 930 と接続されており、再配線 930 は、外部端子 854 と接続されている。接続導体 927 及び再配線 930 は、例えば、銅（Cu）、タングステン（W）、チタン（Ti）、タンタル（Ta）、チタントングステン合金（TiW）、ポリシリコンなどで形成することができる。

[0437] また、半導体基板 921 の下面側には、外部端子 854 が形成されている領域を除いて、再配線 930 と絶縁膜 926 を覆うように、ソルダマスク（ソルダレジスト）931 が形成されている。

[0438] 一方、上側構造体 851 には、例えば、シリコン（Si）で構成された半導体基板 941 の下側（下側構造体 852 側）に、多層配線層 942 が形成されている。この多層配線層 942 により、画素 871 の回路が形成されている。

[0439] 多層配線層 942 は、半導体基板 941 に最も近い最上層の配線層 943 a、中間の配線層 943 b、及び、下側構造体 852 に最も近い最下層の配線層 943 c などからなる複数の配線層 943 と、各配線層 943 の間に形

成された層間絶縁膜 9 4 4 とで構成される。

[0440] 複数の配線層 9 4 3 及び層間絶縁膜 9 4 4 として使用される材料は、上述した配線層 9 2 3 及び層間絶縁膜 9 2 4 の材料と同種のもを採用することができる。また、複数の配線層 9 4 3 や層間絶縁膜 9 4 4 が、1 または 2 つ以上の材料を使い分けて形成されてもよい点も、上述した配線層 9 2 3 及び層間絶縁膜 9 2 4 と同様である。

[0441] なお、図 4 5 の例では、上側構造体 8 5 1 の多層配線層 9 4 2 は 5 層の配線層 9 4 3 で構成され、下側構造体 8 5 2 の多層配線層 9 2 2 は 4 層の配線層 9 2 3 で構成されているが、配線層の総数はこれに限られず、任意の層数で形成することができる。

[0442] 半導体基板 9 4 1 内には、PN 接合により形成されたフォトダイオード 8 9 1 が、画素 8 7 1 ごとに形成されている。

[0443] また、詳細な図示は省略されているが、多層配線層 9 4 2 と半導体基板 9 4 1 には、転送トランジスタ、増幅トランジスタなどの複数の画素トランジスタや、FD（フローティングディフュージョン）なども形成されている。

[0444] カラーフィルタ 8 5 5 とオンチップレンズ 8 5 6 が形成されていない半導体基板 9 4 1 の所定の位置には、上側構造体 8 5 1 の所定の配線層 9 4 3 と接続されているシリコン貫通電極 9 4 9 と、下側構造体 8 5 2 の所定の配線層 9 2 3 と接続されているチップ貫通電極 9 4 5 が、形成されている。

[0445] チップ貫通電極 9 4 5 とシリコン貫通電極 9 4 9 は、半導体基板 9 4 1 上面に形成された接続用配線 9 4 6 で接続されている。また、シリコン貫通電極 9 4 9 及びチップ貫通電極 9 4 5 のそれぞれと半導体基板 9 4 1 との間には、絶縁膜 9 4 7 が形成されている。

[0446] 半導体基板 9 4 1 のフォトダイオード 8 9 1 とカラーフィルタ 8 5 5 の間は平坦化膜 9 4 8 が形成されており、オンチップレンズ 8 5 6 とガラスシール樹脂 8 5 7 の間も、平坦化膜 9 5 0 が形成されている。

[0447] 以上のように、図 4 1 に示される撮像素子 8 0 1 の積層構造体 8 5 3 は、下側構造体 8 5 2 の多層配線層 9 2 2 側と、上側構造体 8 5 1 の多層配線層

942側とを貼り合わせた積層構造となっている。図45では、下側構造体852の多層配線層922と、上側構造体851の多層配線層942との貼り合わせ面が、一点鎖線で示されている。

[0448] また、撮像素子801の積層構造体853では、上側構造体851の配線層943と下側構造体852の配線層923が、シリコン貫通電極949とチップ貫通電極945の2本の貫通電極により接続され、下側構造体852の配線層923と外部端子（裏面電極）854が、貫通ビア928と再配線930により接続されている。これにより、上側構造体851の画素871で生成された画素信号が、下側構造体852に伝送され、下側構造体852で信号処理が施されて、外部端子854から、装置の外部へ出力される。

[0449] <8-6. 変形例>

<変形例その1>

次に、図46を参照して、撮像素子801の変形例その1について説明する。

[0450] 図46のAは、変形例その1に係る撮像素子801の外周付近の断面図であり、図46のBは、変形例その1に係る撮像素子801の外部端子854側の平面図である。

[0451] 変形例その1では、図46のAに示されるように、外部端子854が、平面位置で貫通ビア928の位置と重なるように、貫通ビア928の直上に形成されている。これにより、図46のBに示されるように、撮像素子801の裏面側に再配線930を形成する面積が不要となるので、入出力部を形成する面積不足を解消することができる。

[0452] <変形例その2>

次に、図47を参照して、撮像素子801の変形例その2について説明する。

[0453] 変形例その2では、積層構造体853では、下側構造体852の配線層943と上側構造体851の配線層923が、シリコン貫通電極949とチップ貫通電極945の2本の貫通電極により接続され、上側構造体851の配

線層 9 2 3 とはんだボール（裏面電極）8 5 4 が、貫通ビア（シリコン貫通電極）9 2 8 と再配線 9 3 0 により接続されている。これにより、撮像素子 8 0 1 の平面積を、極限まで小さくすることができる。

[0454] さらに、積層構造体 8 5 3 とガラス保護基板 8 5 8 との間を、キャビティレス構造にして、ガラスシール樹脂 8 5 7 により貼り合わせることににより、高さ方向についても低くすることができる。

[0455] したがって、図 4 1 に示される撮像素子 8 0 1 によれば、より小型化した半導体装置（半導体パッケージ）を実現することができる。

[0456] <変形例その 3>

次に、図 4 8 を参照して、撮像素子 8 0 1 の変形例その 3 について説明する。

[0457] 図 4 8 で示されるように、貫通ビア 9 2 8 でなくてもよく、貫通ビア 9 2 8 をソルダマスク（ソルダレジスト）9 3 1 で埋めて、貫通ビア 9 2 8 の形成箇所でダイシングされる構造でもよい。

[0458] ソルダマスク（ソルダレジスト）9 3 1 と再配線 9 3 0 は、絶縁膜 9 2 6 b により絶縁されているが、絶縁されればよいので、絶縁膜 9 2 6 b 以外でもよく、例えば、ガラスシール樹脂 8 5 7 で埋められるようにしてもよい。

[0459] また、ガラスシール樹脂 8 5 7、絶縁膜 9 2 6 b、ソルダマスク（ソルダレジスト）9 3 1 は、全てが同一材料でもよいし、そのうちのいずれかが同一材料であってもよい。

[0460] さらに、配線層 9 2 3 c と再配線 9 3 0 とが、電氣的に接続されているが、いずれの配線層と接続されてもよい。

[0461] 尚、図 4 8 においては、積層構造体 8 5 3 とガラス保護基板 8 5 8 との間に、スペーサ 1 1 1 2 を設けることで、キャビティ（空洞、空隙）1 1 1 1 を設ける構造とする例が示されているが、スペーサ 1 1 1 2 を設けないようにして、ガラスシール樹脂 8 5 7 によりキャビティ 1 1 1 1 が設けられるようにしてもよい。また、キャビティ 1 1 1 1 およびスペーサ 1 1 1 2 の空間にガラスシール樹脂 8 5 7 を充填してキャビティレス構造とするようにして

もよい。

[0462] また、図4 1乃至図4 8の撮像素子8 0 1における、上側構造体8 5 1および下側構造体8 5 2は、図4、図5における下チップ9 1および上チップ9 2に対応する。したがって、撮像素子7 2およびフロントカメラECU 7 3は、図4 1乃至図4 8を参照して説明したWCSPからなる撮像素子8 0 1により実現するようにしてもよい。

[0463] <8-7. 3層の積層構造体の例>

上述した各実施形態は、撮像素子8 0 1の積層構造体8 5 3が、下側構造体8 5 2と上側構造体8 5 1の2層で構成されていたが、3層以上の構造体で構成することもできる。

[0464] 図4 9及び図5 0を参照して、下側構造体8 5 2と上側構造体8 5 1の間に、第3構造体1 2 1 1を設けることにより、積層構造体8 5 3が3層で構成される例について説明する。

[0465] 図4 9においては、画素アレイ部8 6 4が、画素共有構造を有する場合の構成が示されている。

[0466] 画素共有構造は、フォトダイオード (PD) 8 9 1と転送トランジスタ8 9 2については画素8 7 1ごとに有するが、FD (フローティングディフュージョン) 8 9 3、増幅トランジスタ8 9 5、リセットトランジスタ8 9 4、及び選択トランジスタ8 9 6については複数画素で共有する構造である。

[0467] 図4 9では、共有ユニット1 2 2 0として、行方向に2個ずつ、列方向に2個ずつ (2 × 2) の4画素で、FD 8 9 3、増幅トランジスタ8 9 5、リセットトランジスタ8 9 4、及び選択トランジスタ8 9 6を共有する構造が示されている。

[0468] 4個の転送トランジスタ8 9 2のゲート電極には、それぞれ行方向に延在する転送トランジスタ駆動信号線1 2 2 1が1本ずつ接続されている。4個の転送トランジスタ8 9 2のゲート電極のそれぞれに接続され、行方向に延在する4本の転送トランジスタ駆動信号線1 2 2 1は、4本が平行になって、列方向に並べて配置されている。

- [0469] FD 8 9 3 は、不図示の配線を介して、増幅トランジスタ 8 9 5 のゲート電極およびリセットトランジスタ 8 9 4 の拡散層へ接続されている。リセットトランジスタ 8 9 4 のゲート電極には、行方向に延在するリセットトランジスタ駆動信号線 1 2 2 2 が 1 本接続されている。
- [0470] 選択トランジスタ 8 9 6 のゲート電極には、行方向に延在する選択トランジスタ駆動信号線 1 2 2 3 が 1 本接続されている。選択トランジスタ 8 9 6 は省略される場合もある。
- [0471] 図 4 9 に示す 3 層の積層構造体 8 5 3 による撮像素子 8 0 1 は、下側構造体 8 5 2 と上側構造体 8 5 1 の間の第 3 構造体 1 2 1 1 に、エリア信号処理部 1 2 3 1 を備える。
- [0472] エリア信号処理部 1 2 3 1 は、ノイズ処理部や ADC を有する読み出し信号処理部 1 2 3 2 と、AD 変換後のデジタルデータを保持するデータ保持部 1 2 3 3 を備える。
- [0473] 例えば、共有ユニット 1 2 2 0 の画素 8 7 1 それぞれが、AD 変換後に 1 6 ビットで表されるデータを出力する場合には、データ保持部 1 2 3 3 は、これらのデータを保持するために、6 4 ビット分のラッチやシフトレジスタなどのデータ保持手段を備える。
- [0474] エリア信号処理部 1 2 3 1 は、さらに、データ保持部 1 2 3 3 に保持されたデータを、エリア信号処理部 1 2 3 1 の外部へ出力するための出力信号配線 1 2 3 7 を備える。この出力信号配線は、例えば、データ保持部 1 2 3 3 に保持された 6 4 ビットのデータを並列して出力する 6 4 ビットの信号線であっても良いし、データ保持部 1 2 3 3 に保持された 4 画素分のデータを、1 画素分ずつ出力するための 1 6 ビットの信号線であっても良いし、あるいは 1 画素分のデータの半分となる 8 ビットの信号線や、2 画素分のデータとなる 3 2 ビットの信号線であっても良い。あるいは、データ保持部 1 2 3 3 に保持されたデータを 1 ビットずつ読み出す 1 ビットの信号線であっても良い。
- [0475] 図 4 9 に示す撮像素子 8 0 1 は、上側構造体 8 5 1 の 1 個の共有ユニット

1 2 2 0 が、第 3 構造体 1 2 1 1 の 1 個のエリア信号処理部 1 2 3 1 に接続されている。言い換えれば、共有ユニット 1 2 2 0 とエリア信号処理部 1 2 3 1 が 1 対 1 に対応している。このため、図 4 9 に示すように、第 3 構造体 1 2 1 1 は、エリア信号処理部 1 2 3 1 が、行方向および列方向にそれぞれ複数個配列されたエリア信号処理部アレイ 1 2 3 4 を備える。

[0476] また、第 3 構造体 1 2 1 1 は、行方向および列方向にそれぞれ複数個配列された各エリア信号処理部 1 2 3 1 が備えるデータ保持部 1 2 3 3 のデータを読み出す行アドレス制御部 1 2 3 5 を備える。行アドレス制御部 1 2 3 5 は、一般的な半導体メモリ装置と同じように、行方向の読出し位置を定める。

[0477] エリア信号処理部アレイ 1 2 3 4 の行方向に並ぶエリア信号処理部 1 2 3 1 は、行アドレス制御部 1 2 3 5 から行方向に延びる制御信号線に接続され、行アドレス制御部 1 2 3 5 の制御によって、エリア信号処理部 1 2 3 1 の動作が制御される。

[0478] エリア信号処理部アレイ 1 2 3 4 の列方向に並ぶエリア信号処理部 1 2 3 1 は、列方向に延びる列読出し信号線 1 2 3 7 に接続され、列読出し信号線は、エリア信号処理部アレイ 1 2 3 4 の先に配置された列読出し部 1 2 3 6 へと接続されている。

[0479] エリア信号処理部アレイ 1 2 3 4 の各エリア信号処理部 1 2 3 1 のデータ保持部 1 2 3 3 に保持されたデータは、行方向に並んだ全てのエリア信号処理部 1 2 3 1 のデータ保持部 1 2 3 3 のデータが、同時に、列読出し部 1 2 3 6 へと読み出されても良いし、列読出し部 1 2 3 6 から指定された、特定のエリア信号処理部 1 2 3 1 のデータのみが読み出されても良い。

[0480] 列読出し部 1 2 3 6 には、エリア信号処理部 1 2 3 1 から読み出したデータを、第 3 構造体 1 2 1 1 の外部へと出力するための配線が接続されている。

[0481] 下側構造体 8 5 2 は、第 3 構造体 1 2 1 1 の列読出し部 1 2 3 6 からの配線が接続され、この列読出し部 1 2 3 6 から出力されたデータを受け取るた

めの読出し部 1 2 4 1 を備える。

[0482] また、下側構造体 8 5 2 は、第 3 構造体 1 2 1 1 から受け取ったデータを画像信号処理するための画像信号処理部を備える。

[0483] さらに、下側構造体 8 5 2 は、第 3 構造体 1 2 1 1 から受け取ったデータを、画像信号処理部を経由して出力するあるいは経由せずに出力するための入出力部を備える。この入出力部は、出力回路部だけでなく、例えば、画素アレイ部 8 6 4 で使用するタイミング信号や、画像信号処理部で使用する特性データを、撮像素子 8 0 1 の外部から装置内へ入力するための入力回路部を備えていても良い。

[0484] 図 5 0 の B に示されるように、上側構造体 8 5 1 に形成された各共有ユニット 1 2 2 0 は、その共有ユニット 1 2 2 0 の直下に配置された第 3 構造体 1 2 1 1 のエリア信号処理部 1 2 3 1 と接続されている。この上側構造体 8 5 1 と第 3 構造体 1 2 1 1 との間の配線接続は、例えば、図 4 4 に示した C u - C u 直接接合構造によって接続することができる。

[0485] また、図 5 0 の B に示されるように、第 3 構造体 1 2 1 1 に形成されたエリア信号処理部アレイ 1 2 3 4 の外側の列読出し部 1 2 3 6 は、その列読出し部 1 2 3 6 の直下に配置された下側構造体 8 5 2 の読出し部 1 2 4 1 と接続されている。この第 3 構造体 1 2 1 1 と下側構造体 8 5 2 との間の配線接続は、例えば、図 4 4 に示した C u - C u 直接接合構造、あるいは、図 4 3 に示したツインコンタクト構造によって接続することができる。

[0486] 従って、図 5 0 の A に示されるように、上側構造体 8 5 1 に形成された各共有ユニット 1 2 2 0 の画素信号が、第 3 構造体 1 2 1 1 の対応するエリア信号処理部 1 2 3 1 に出力される。エリア信号処理部 1 2 3 1 のデータ保持部 1 2 3 3 で保持されているデータが、列読出し部 1 2 3 6 から出力され、下側構造体 8 5 2 の読出し部 1 2 4 1 に供給される。そして、画像信号処理部において、データに対して、各種の信号処理（例えば、トーンカーブ補正処理）が施され、入出力部から、装置外部へ出力される。

[0487] なお、3 層の積層構造体 8 5 3 による撮像素子 8 0 1 において、下側構造

体 8 5 2 に形成される入出力部は、第 3 構造体 1 2 1 1 の行アドレス制御部 1 2 3 5 の下側に配置して良い。

[0488] また、3 層の積層構造体 8 5 3 による撮像素子 8 0 1 において、下側構造体 8 5 2 に形成される入出力部は、第 3 構造体 1 2 1 1 のエリア信号処理部 1 2 3 1 の下側に配置しても良い。

[0489] さらに、3 層の積層構造体 8 5 3 による撮像素子 8 0 1 において、下側構造体 8 5 2 に形成される入出力部は、上側構造体 8 5 1 の画素アレイ部 8 6 4 の下側に配置しても良い。

[0490] 尚、図 4 9，図 5 0 の下側構造体 8 5 2、上側構造体 8 5 1、および、第 3 構造体 1 2 1 1 からなる 3 層の積層構造体 8 5 3 からなる撮像素子 8 0 1 は、図 3 2 乃至図 3 5 で示される、第 1 層チップ 5 0 1 乃至第 3 層チップ 5 0 3 に対応する。したがって、図 3 2 乃至図 3 5 で示される 3 枚のチップが積層される撮像素子 7 2 およびフロントカメラ ECU 7 3 は、図 4 9，図 5 0 を参照して説明した 3 層の積層構造体 8 5 3 からなる WCSP からなる撮像素子 8 0 1 により実現するようにしてもよい。

[0491] なお、各実施例については適宜組み合わせが可能である。すなわち、例えば、第 4 の実施の形態を参照して説明した Cu-Cu 接合は、第 5 の実施の形態における 3 枚のチップが積層されるフロアプランなどの他の実施の形態における TSV 5 1 2 にも適用することができる。

[0492] << 9. 電子機器への適用例 >>

上述した図 5，図 1 8 の撮像素子 7 2 およびフロントカメラ ECU 7 3、または、フロントカメラ ECU 7 3 における一部の機能を含む、単独で故障検出可能な撮像素子 7 2 は、例えば、デジタルスチルカメラやデジタルビデオカメラなどの撮像装置、撮像機能を備えた携帯電話機、または、撮像機能を備えた他の機器といった各種の電子機器に適用することができる。

[0493] 図 5 1 は、本技術を適用した電子機器としての撮像装置の構成例を示すブロック図である。

[0494] 図 5 1 に示される撮像装置 2 0 0 1 は、光学系 2 0 0 2、シャッタ装置 2

003、固体撮像素子2004、制御回路2005、信号処理回路2006、モニタ2007、およびメモリ2008を備えて構成され、静止画像および動画像を撮像可能である。

[0495] 光学系2002は、1枚または複数枚のレンズを有して構成され、被写体からの光（入射光）を固体撮像素子2004に導き、固体撮像素子2004の受光面に結像させる。

[0496] シャッタ装置2003は、光学系2002および固体撮像素子2004の間に配置され、制御回路2005の制御に従って、固体撮像素子2004への光照射期間および遮光期間を制御する。

[0497] 固体撮像素子2004は、上述した固体撮像素子を含むパッケージにより構成される。固体撮像素子2004は、光学系2002およびシャッタ装置2003を介して受光面に結像される光に応じて、一定期間、信号電荷を蓄積する。固体撮像素子2004に蓄積された信号電荷は、制御回路2005から供給される駆動信号（タイミング信号）に従って転送される。

[0498] 制御回路2005は、固体撮像素子2004の転送動作、および、シャッタ装置2003のシャッタ動作を制御する駆動信号を出力して、固体撮像素子2004およびシャッタ装置2003を駆動する。

[0499] 信号処理回路2006は、固体撮像素子2004から出力された信号電荷に対して各種の信号処理を施す。信号処理回路2006が信号処理を施すことにより得られた画像（画像データ）は、モニタ2007に供給されて表示されたり、メモリ2008に供給されて記憶（記録）されたりする。

[0500] このように構成されている撮像装置2001においても、上述した固体撮像素子2004および信号処理回路2006に代えて、図5、図18の撮像素子72およびフロントカメラECU73、または、固体撮像素子2004に代えて、フロントカメラECU73における一部の機能を含む、単独で故障検出可能な撮像素子72を適用することにより、自らで故障検出を実現することが可能となる。

[0501] <<10. 撮像素子の使用例>>

図52は、図5、図18の撮像素子72およびフロントカメラECU73、または、フロントカメラECU73における一部の機能を含む、単独で故障検出可能な撮像素子72を使用する使用例を示す図である。

[0502] 上述したカメラモジュールは、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる。

[0503] ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0504] <<11. 移動体への応用例>>

[0505] 本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されても

よい。

[0506] 図53は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0507] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図53に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F(interface)12053が図示されている。

[0508] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0509] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグラмп等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0510] 車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像

を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0511] 撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0512] 車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0513] マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS(Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。

[0514] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0515] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令

を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0516] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図53の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

[0517] 図54は、撮像部12031の設置位置の例を示す図である。

[0518] 図54では、撮像部12031として、撮像部12101, 12102, 12103, 12104, 12105を有する。

[0519] 撮像部12101, 12102, 12103, 12104, 12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102, 12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部12105は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0520] なお、図54には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101な

いし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0521] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0522] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的变化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0523] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバーが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバーに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0524] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線力

メラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0525] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部12031および車外情報検出ユニット12030に適用され得る。具体的には、図5、図18の撮像素子72およびフロントカメラECU73、または、フロントカメラECU73における一部の機能を含む、単独で故障検出可能な撮像素子72は、撮像部12031および車外情報検出ユニット12030に適用することができる。撮像部12031および車外情報検出ユニット12030に本開示に係る技術を適用することにより、故障を検出することが可能となるため、故障した撮像部12031または車外情報検出ユニット12030からの情報に基づいた誤った運転支援を停止させることができるので、誤った情報に基づいた誤った運転支援によって危険な状態に陥るようなことを抑制することが可能となる。

[0526] 尚、本開示は、以下のような構成も取ることができる。

< 1 > 画素と画素制御線を有する第1の基板と、
前記第1の基板と積層される第2の基板とを備え、
前記第2の基板は、行駆動部と故障検出部とを有し、
前記画素制御線の一端は、第1の接続電極を介して前記行駆動部に接続され、

前記画素制御線他端は、第2の接続電極を介して前記故障検出部に接続され、

前記行駆動部は、前記第1の接続電極を介して前記画素制御線に前記画素の動作を制御する制御信号を供給し、

前記故障検出部は、前記第1の接続電極、前記画素制御線、および前記第2の接続電極を介して供給される前記制御信号に基づいて故障を検出する撮像装置。

<2> 前記第1の接続電極および前記第2の接続電極は、前記第1の基板と前記第2の基板とを貫通する貫通電極で構成されており、

前記第1の基板と前記第2の基板とは、前記貫通電極により電氣的に接続された状態で積層されている

<1>に記載の撮像装置。

<3> 前記画素はアレイ状に配置され、前記画素の処理対象となるアドレスの情報と、前記アドレスの情報により特定される画素が制御されるタイミングの情報を出力する制御部をさらに含み、

前記故障検出部は、

前記制御部より出力されるアドレスの情報により特定される、前記行駆動部より供給される、前記画素の動作を制御する制御信号を検出し、検出信号を出力する検出部と、

前記アドレスの情報により特定される画素が制御されるタイミングにおいて、前記検出部より、前記制御部より出力されるアドレスの情報により特定される、前記画素の動作を制御する制御信号が検出されたとき前記検出信号が出力されるか否かに基づいて、前記制御信号のパルス出力の故障を検出するパルス出力故障検出部とを含む

<1>または<2>に記載の撮像装置。

<4> 前記検出部は、

前記制御部より出力されるアドレスの情報により特定される、前記画素の動作を制御する制御信号を検出するスイッチングゲートを含み、

前記制御部より出力されるアドレスの情報により特定される前記スイッチングゲートにのみ電力を供給し、

前記スイッチングゲートは、前記画素の動作を制御する制御信号を検出するとき、Hi信号を、前記制御信号毎に設定されたバスに出力し、

前記パルス出力故障検出部は、

前記制御信号毎に設定されたバスに出力される信号と、前記アドレスの情報により特定される画素が制御されるタイミングを示す信号とに応じた値を、前記制御信号毎に保持する複数の保持部を含み、

前記保持部が保持する値に応じて、前記制御信号のパルス出力の故障を検出する

＜3＞に記載の撮像装置。

＜5＞ 前記複数の保持部は、前記制御信号毎に設定されたバスに出力される信号と、前記アドレスの情報により特定される画素が制御された状態であることを示す固定された信号とに応じた値を、前記制御信号毎に保持し、

前記パルス出力故障検出部は、前記保持部が保持する値に応じて、前記制御信号のパルス出力の故障を検出する

＜4＞に記載の撮像装置。

＜6＞ 前記行駆動部と、前記第1の基板とは、貫通電極からなる前記第1の接続電極により接続され、前記検出部と、前記第1の基板とは、前記貫通電極とは異なる他の貫通電極からなる前記第2の接続電極により電氣的に接続されている

＜3＞に記載の撮像装置。

＜7＞ 前記制御部は、前記画素の処理対象となるアドレスの情報を前記行駆動部、および前記検出部に出力し、

前記行駆動部は、前記アドレスの情報に対応する自らのアドレスの選択情報を出力し、

前記検出部は、前記アドレスの情報に対応する自らのアドレスの選択情報を出力し、

前記故障検出部は、

前記行駆動部の前記アドレスの選択情報と、前記検出部の前記アドレスの選択情報とをそれぞれ前記制御部により出力されたアドレス情報と比較し、比較結果に基づいて、前記行駆動部、および前記検出部における、アドレス選択機能の故障を検出するアドレス選択機能故障検出部を含む

＜3＞に記載の撮像装置。

＜8＞ 画素と画素制御線を有する第1の基板と、

前記第1の基板と積層される第2の基板とを備え、

前記第2の基板は、行駆動部と故障検出部とを有し、

前記画素制御線の一端は、第1の接続電極を介して前記行駆動部に接続され、

前記画素制御線他端は、第2の接続電極を介して前記故障検出部に接続され、

前記行駆動部は、前記第1の接続電極を介して前記画素制御線に前記画素の動作を制御する制御信号を供給し、

前記故障検出部は、前記第1の接続電極、前記画素制御線、および前記第2の接続電極を介して供給される前記制御信号に基づいて故障を検出するステップを含む撮像方法。

＜9＞ 画素と画素制御線を有する第1の基板と、

前記第1の基板と積層される第2の基板とを備え、

前記第2の基板は、行駆動部と故障検出部とを有し、

前記画素制御線の一端は、第1の接続電極を介して前記行駆動部に接続され、

前記画素制御線他端は、第2の接続電極を介して前記故障検出部に接続され、

前記行駆動部は、前記第1の接続電極を介して前記画素制御線に前記画素の動作を制御する制御信号を供給し、

前記故障検出部は、前記第1の接続電極、前記画素制御線、および前記第

2の接続電極を介して供給される前記制御信号に基づいて故障を検出するカメラモジュール。

<10> 画素と画素制御線を有する第1の基板と、
前記第1の基板と積層される第2の基板とを備え、
前記第2の基板は、行駆動部と故障検出部とを有し、
前記画素制御線の一端は、第1の接続電極を介して前記行駆動部に接続され、
前記画素制御線他端は、第2の接続電極を介して前記故障検出部に接続され、
前記行駆動部は、前記第1の接続電極を介して前記画素制御線に前記画素の動作を制御する制御信号を供給し、
前記故障検出部は、前記第1の接続電極、前記画素制御線、および前記第2の接続電極を介して供給される前記制御信号に基づいて故障を検出する電子機器。

<11>
画素と、前記画素に接続される垂直信号線を有する第1の基板と、
前記第1の基板と積層される第2の基板とを備え、
前記第2の基板は、信号供給回路、アナログデジタル変換回路、及び故障検出部とを有し、
前記垂直信号線の一端は、第1の接続電極を介して前記信号供給回路に接続され、
前記垂直信号線他端は、第2の接続電極を介して前記アナログデジタル変換回路に接続され、
前記信号供給回路は、前記第1の接続電極を介して前記垂直信号線にダミー画素信号を供給し、
前記アナログデジタル変換回路は、前記ダミー画素信号に基づいてデジタル信号を出力し、
前記故障検出部は、前記デジタル信号に基づいて故障を検出する

撮像装置。

< 1 2 >

画素が搭載された第 1 の基板と、

前記画素により撮像された画像を信号処理する信号処理部が搭載された第 2 の基板とを含み、

前記第 1 の基板と前記第 2 の基板とが電氣的に接続された状態で積層され、

前記信号処理部は、前記信号処理により故障を検出する

撮像装置。

符号の説明

[0527] 1 1 車両, 3 1 ECU, 3 2 フロントカメラモジュール, 3 3 ステアリング, 3 4 ヘッドランプ, 3 5 モータ, 3 6 エンジン, 3 7 ブレーキ, 3 8 表示部, 7 1 レンズ, 7 2 撮像素子, 7 3 フロントカメラ ECU, 7 4 MCU, 9 1 下チップ, 9 2 上チップ, 9 3, 9 3-1, 9 3-2, 9 3-1 1, 9 3-1 2 TCV, 1 0 1 画素アレイ, 1 0 2 行駆動部, 1 0 3 画像信号出力部, 1 2 1 制御部, 1 2 2 画像処理部, 1 2 3 出力部, 1 2 4 故障検出部, 1 4 1 行アドレス選択機能故障検出部, 1 4 2 パルス出力故障検出部, 1 4 3 制御線ゲート, 1 6 1 アドレスデコーダ, 1 6 2 シャッタアドレスラッチ, 1 6 3 リードアドレスラッチ, 1 6 4 乃至 1 6 8 スイッチングゲート, 1 6 9, 1 7 0 インバータ, 1 8 1 故障判定部, 1 8 2 乃至 1 8 6 ラッチ, 1 9 1 乃至 1 9 5 ラッチ, 2 0 1 故障検出カラム, 2 0 2 画素制御線故障検出部, 2 3 0 フォトダイオード, 2 3 1 転送トランジスタ, 2 3 2 リセットトランジスタ, 2 3 3 FD, 2 3 4 増幅トランジスタ, 2 3 5 選択トランジスタ, 2 4 1 負荷 MOS, 2 4 2 ADC, 2 4 3 水平転送部, 2 5 0 DSF 回路, 2 5 1 切替トランジスタ, 2 5 2 DSF トランジスタ, 2 6 1 コンパレータ, 2 6 2 カウンタ, 2 6 3 D

AC, 2 7 1 ADC+TCV故障検出部

請求の範囲

[請求項1]

画素と画素制御線を有する第1の基板と、
前記第1の基板と積層される第2の基板とを備え、
前記第2の基板は、行駆動部と故障検出部とを有し、
前記画素制御線の一端は、第1の接続電極を介して前記行駆動部に接続され、
前記画素制御線他端は、第2の接続電極を介して前記故障検出部に接続され、
前記行駆動部は、前記第1の接続電極を介して前記画素制御線に前記画素の動作を制御する制御信号を供給し、
前記故障検出部は、前記第1の接続電極、前記画素制御線、および前記第2の接続電極を介して供給される前記制御信号に基づいて故障を検出する
撮像装置。

[請求項2]

前記第1の接続電極および前記第2の接続電極は、前記第1の基板と前記第2の基板とを貫通する貫通電極で構成されており、
前記第1の基板と前記第2の基板とは、前記貫通電極により電氣的に接続された状態で積層されている
請求項1に記載の撮像装置。

[請求項3]

前記画素はアレイ状に配置され、前記画素の処理対象となるアドレスの情報と、前記アドレスの情報により特定される画素が制御されるタイミングの情報を出力する制御部をさらに含み、
前記故障検出部は、
前記制御部より出力されるアドレスの情報により特定される、前記行駆動部より供給される、前記画素の動作を制御する制御信号を検出し、検出信号を出力する検出部と、
前記アドレスの情報により特定される画素が制御されるタイミングにおいて、前記検出部より、前記制御部より出力されるアドレスの

情報により特定される、前記画素の動作を制御する制御信号が検出されたとき前記検出信号が出力されるか否かに基づいて、前記制御信号のパルス出力の故障を検出するパルス出力故障検出部とを含む

請求項 1 に記載の撮像装置。

[請求項4]

前記検出部は、

前記制御部より出力されるアドレスの情報により特定される、前記画素の動作を制御する制御信号を検出するスイッチングゲートを含み、

前記制御部より出力されるアドレスの情報により特定される前記スイッチングゲートにのみ電力を供給し、

前記スイッチングゲートは、前記画素の動作を制御する制御信号を検出するとき、Hi信号を、前記制御信号毎に設定されたバスに出力し、

前記パルス出力故障検出部は、

前記制御信号毎に設定されたバスに出力される信号と、前記アドレスの情報により特定される画素が制御されるタイミングを示す信号とに応じた値を、前記制御信号毎に保持する複数の保持部を含み、

前記保持部が保持する値に応じて、前記制御信号のパルス出力の故障を検出する

請求項 3 に記載の撮像装置。

[請求項5]

前記複数の保持部は、前記制御信号毎に設定されたバスに出力される信号と、前記アドレスの情報により特定される画素が制御された状態であることを示す固定された信号とに応じた値を、前記制御信号毎に保持し、

前記パルス出力故障検出部は、前記保持部が保持する値に応じて、前記制御信号のパルス出力の故障を検出する

請求項 4 に記載の撮像装置。

[請求項6]

前記駆動部と、前記第 1 の基板とは、貫通電極からなる前記第 1

の接続電極により接続され、前記検出部と、前記第 1 の基板とは、前記貫通電極とは異なる他の貫通電極からなる前記第 2 の接続電極により電氣的に接続されている

請求項 3 に記載の撮像装置。

[請求項 7]

前記制御部は、前記画素の処理対象となるアドレスの情報を前記行駆動部、および前記検出部に出し、

前記行駆動部は、前記アドレスの情報に対応する自らのアドレスの選択情報を出し、

前記検出部は、前記アドレスの情報に対応する自らのアドレスの選択情報を出し、

前記故障検出部は、

前記行駆動部の前記アドレスの選択情報と、前記検出部の前記アドレスの選択情報とをそれぞれ前記制御部により出力されたアドレス情報と比較し、比較結果に基づいて、前記行駆動部、および前記検出部における、アドレス選択機能の故障を検出するアドレス選択機能故障検出部を含む

請求項 3 に記載の撮像装置。

[請求項 8]

画素と画素制御線を有する第 1 の基板と、

前記第 1 の基板と積層される第 2 の基板とを備え、

前記第 2 の基板は、行駆動部と故障検出部とを有し、

前記画素制御線の一端は、第 1 の接続電極を介して前記行駆動部に接続され、

前記画素制御線他端は、第 2 の接続電極を介して前記故障検出部に接続され、

前記行駆動部は、前記第 1 の接続電極を介して前記画素制御線に前記画素の動作を制御する制御信号を供給し、

前記故障検出部は、前記第 1 の接続電極、前記画素制御線、および前記第 2 の接続電極を介して供給される前記制御信号に基づいて故障

を検出する

ステップを含む撮像方法。

[請求項9]

画素と画素制御線を有する第1の基板と、

前記第1の基板と積層される第2の基板とを備え、

前記第2の基板は、行駆動部と故障検出部とを有し、

前記画素制御線の一端は、第1の接続電極を介して前記行駆動部に接続され、

前記画素制御線他端は、第2の接続電極を介して前記故障検出部に接続され、

前記行駆動部は、前記第1の接続電極を介して前記画素制御線に前記画素の動作を制御する制御信号を供給し、

前記故障検出部は、前記第1の接続電極、前記画素制御線、および前記第2の接続電極を介して供給される前記制御信号に基づいて故障を検出する

カメラモジュール。

[請求項10]

画素と画素制御線を有する第1の基板と、

前記第1の基板と積層される第2の基板とを備え、

前記第2の基板は、行駆動部と故障検出部とを有し、

前記画素制御線の一端は、第1の接続電極を介して前記行駆動部に接続され、

前記画素制御線他端は、第2の接続電極を介して前記故障検出部に接続され、

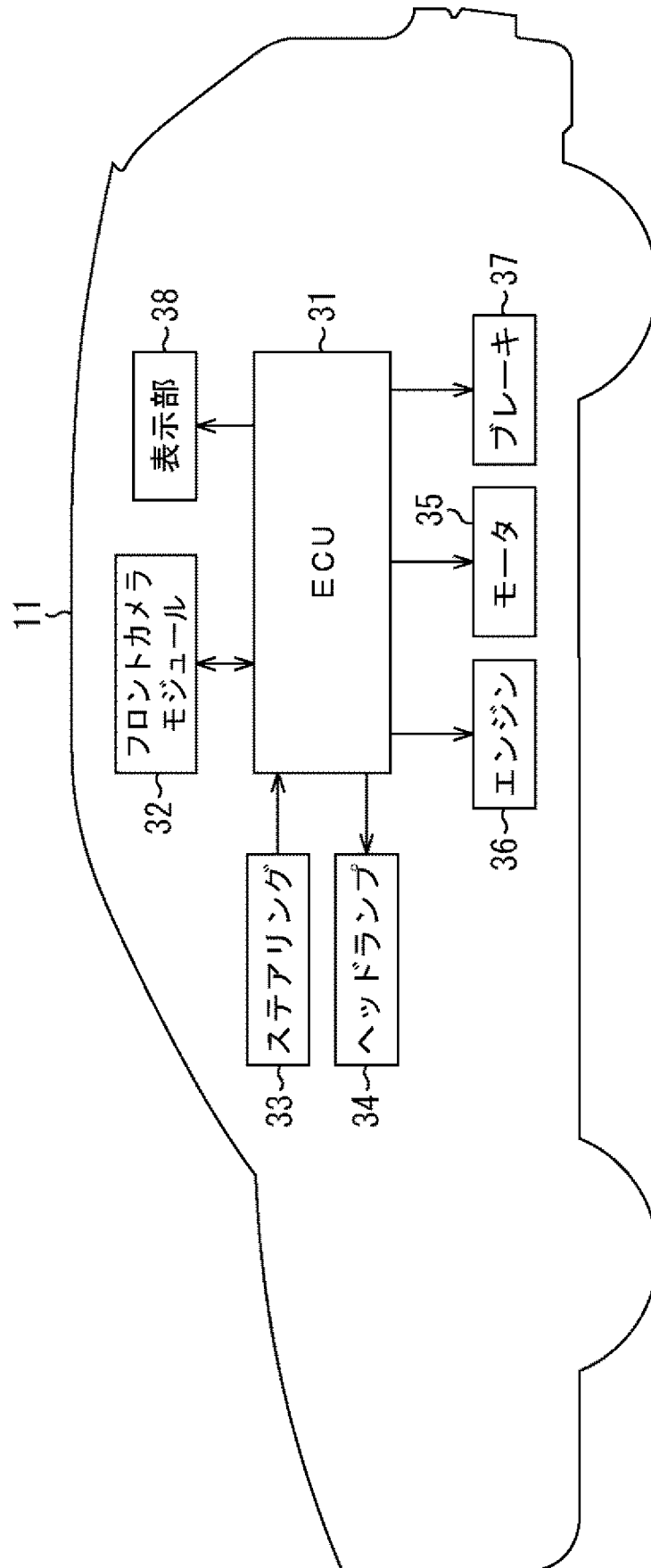
前記行駆動部は、前記第1の接続電極を介して前記画素制御線に前記画素の動作を制御する制御信号を供給し、

前記故障検出部は、前記第1の接続電極、前記画素制御線、および前記第2の接続電極を介して供給される前記制御信号に基づいて故障を検出する

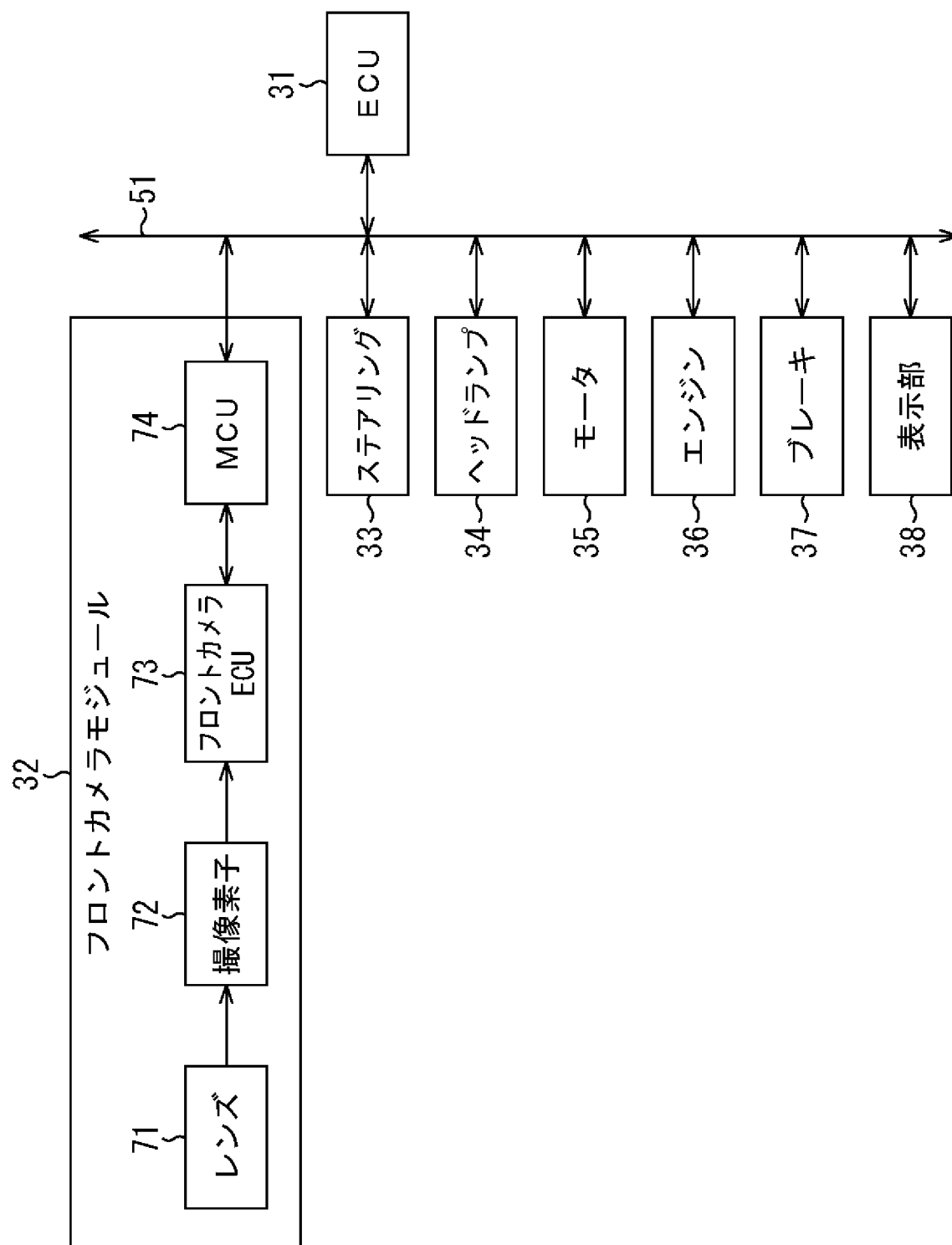
電子機器。

- [請求項11] 画素と、前記画素に接続される垂直信号線を有する第1の基板と、
前記第1の基板と積層される第2の基板とを備え、
前記第2の基板は、信号供給回路、アナログデジタル変換回路、及び故障検出部とを有し、
前記垂直信号線の一端は、第1の接続電極を介して前記信号供給回路に接続され、
前記垂直信号線他端は、第2の接続電極を介して前記アナログデジタル変換回路に接続され、
前記信号供給回路は、前記第1の接続電極を介して前記垂直信号線にダミー画素信号を供給し、
前記アナログデジタル変換回路は、前記ダミー画素信号に基づいてデジタル信号を出力し、
前記故障検出部は、前記デジタル信号に基づいて故障を検出する撮像装置。
- [請求項12] 画素が搭載された第1の基板と、
前記画素により撮像された画像を信号処理する信号処理部が搭載された第2の基板とを含み、
前記第1の基板と前記第2の基板とが電氣的に接続された状態で積層され、
前記信号処理部は、前記信号処理により故障を検出する撮像装置。

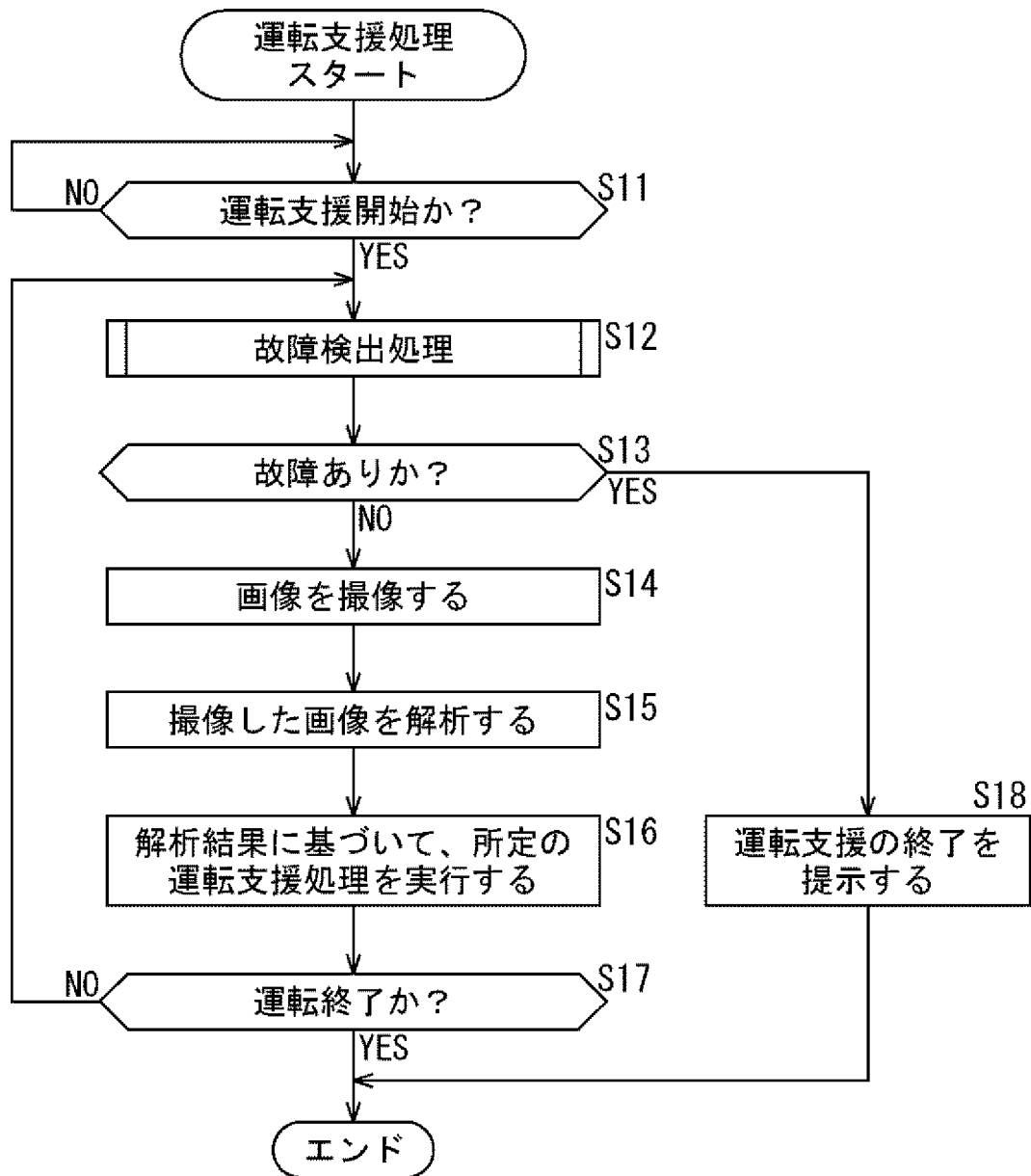
[図1]
FIG. 1



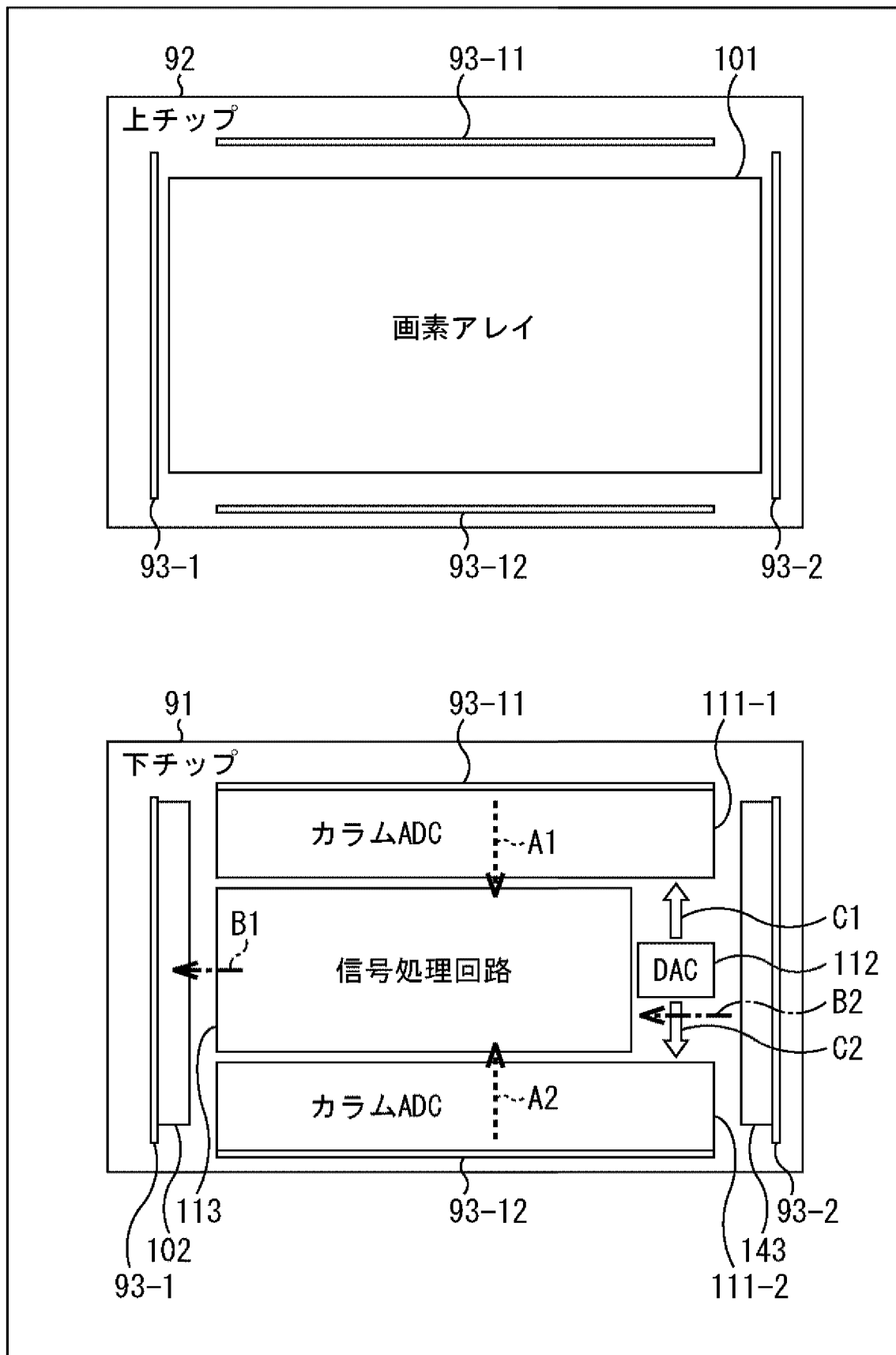
[図2]
FIG. 2



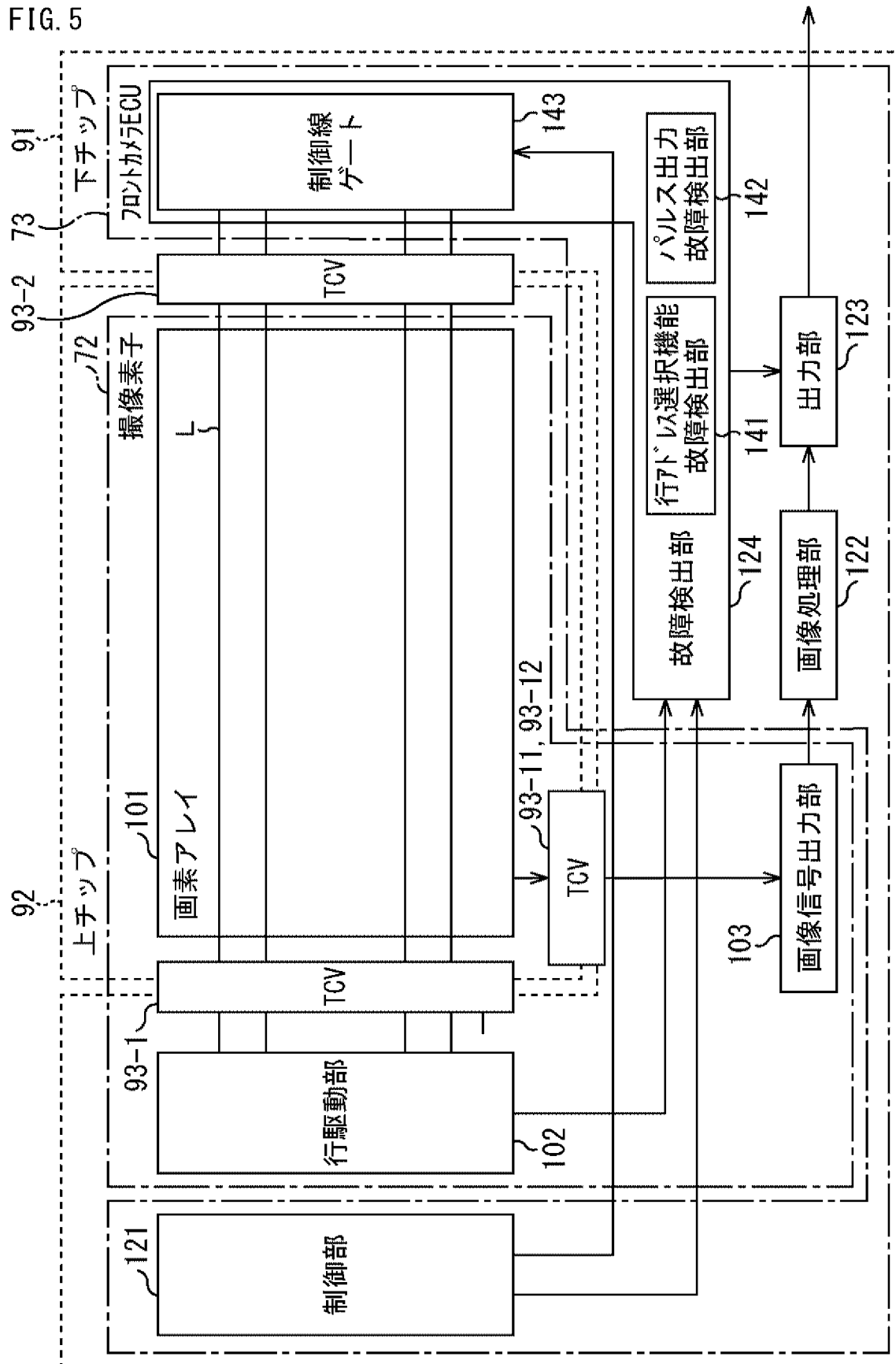
[図3]
FIG. 3



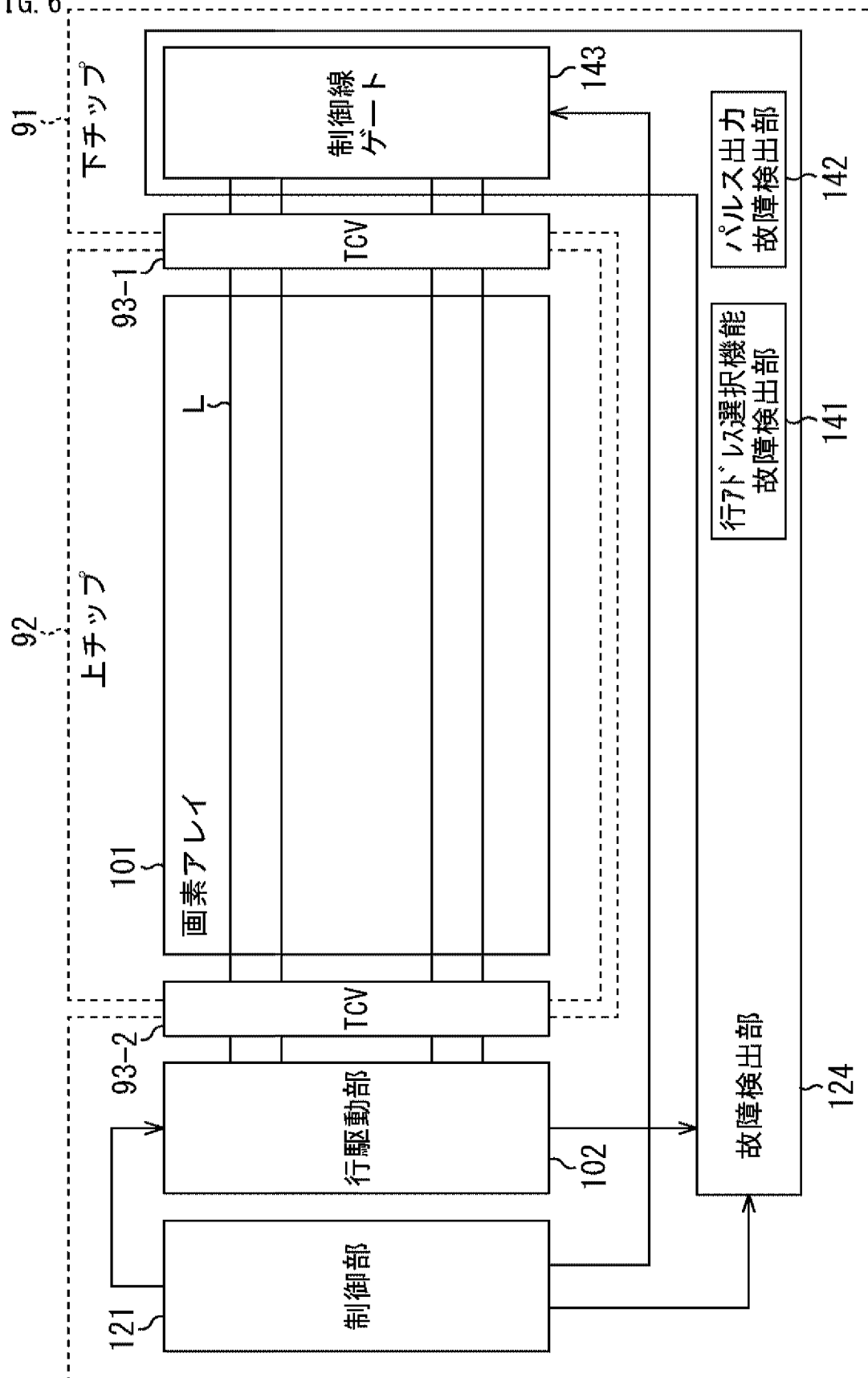
[図4]
FIG. 4



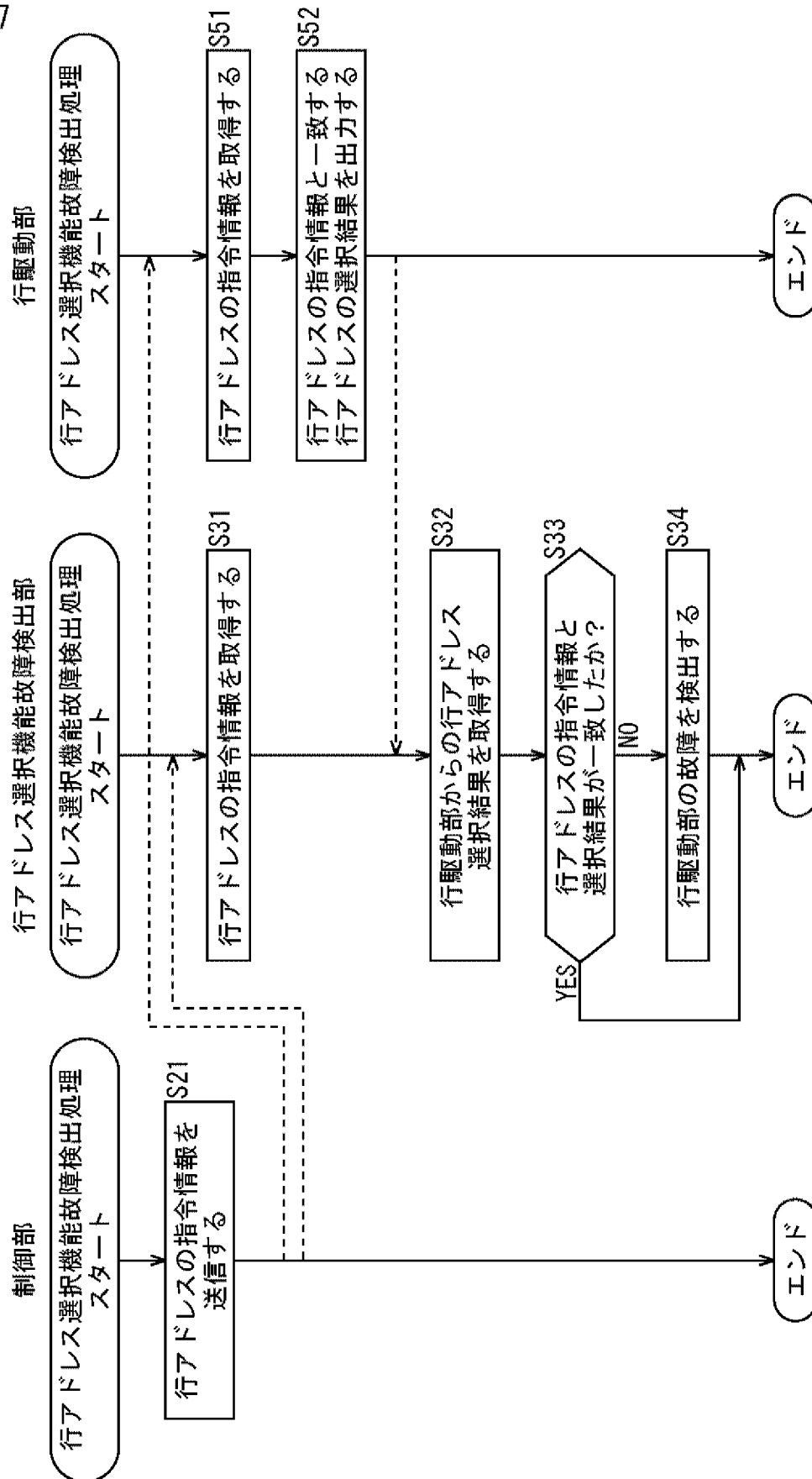
[図5]
FIG. 5



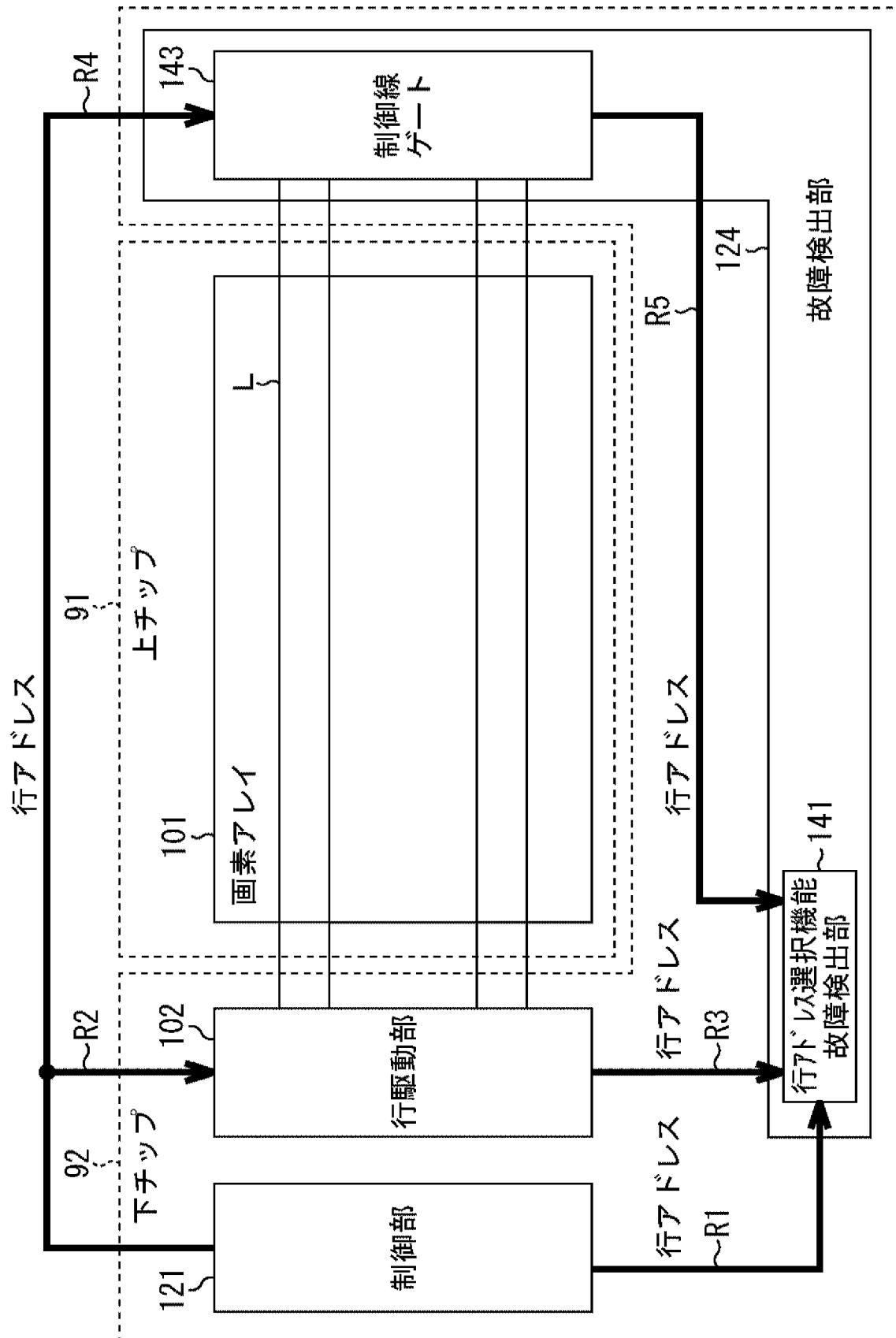
[図6]
FIG. 6



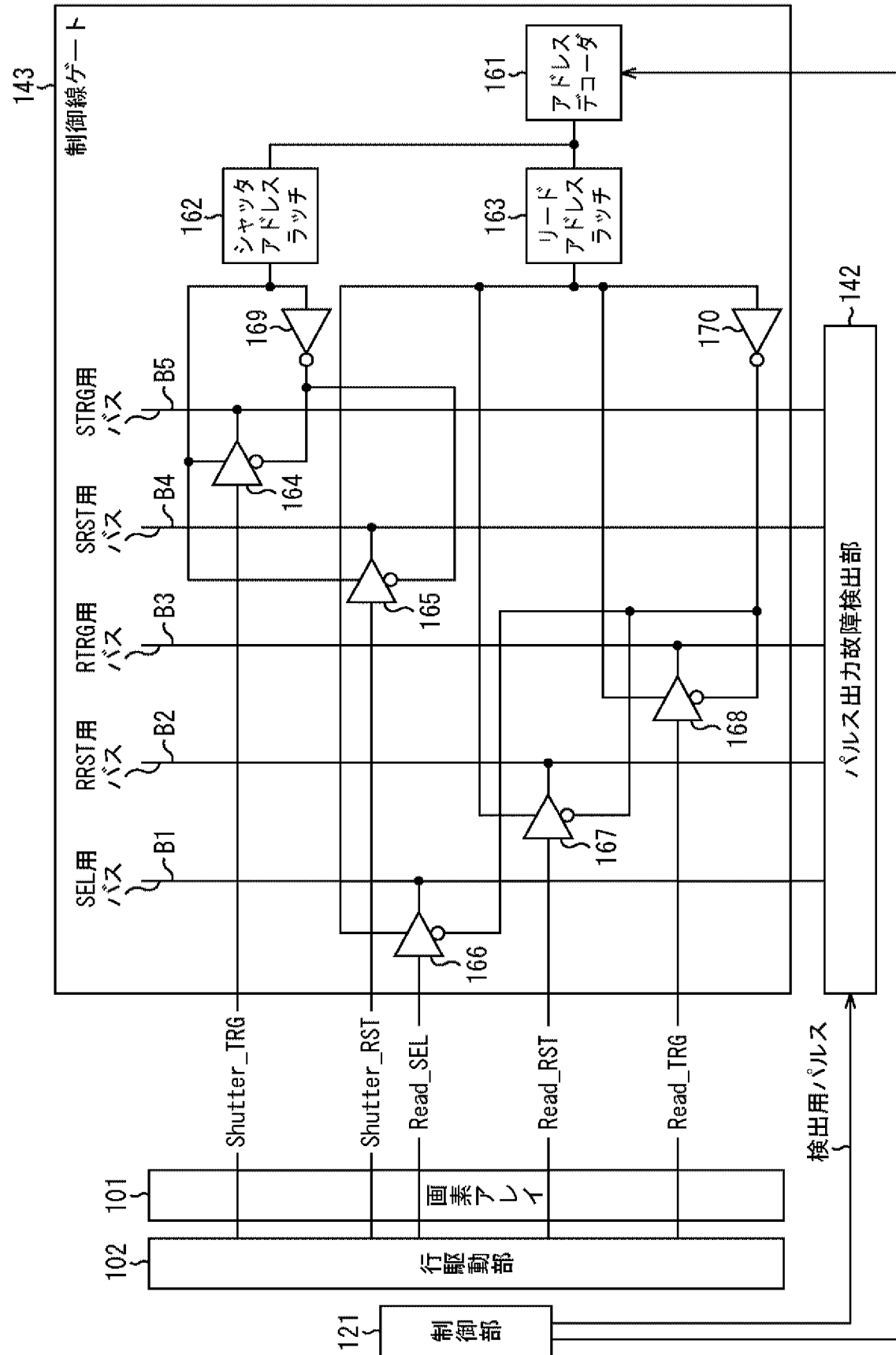
[図7]
FIG. 7



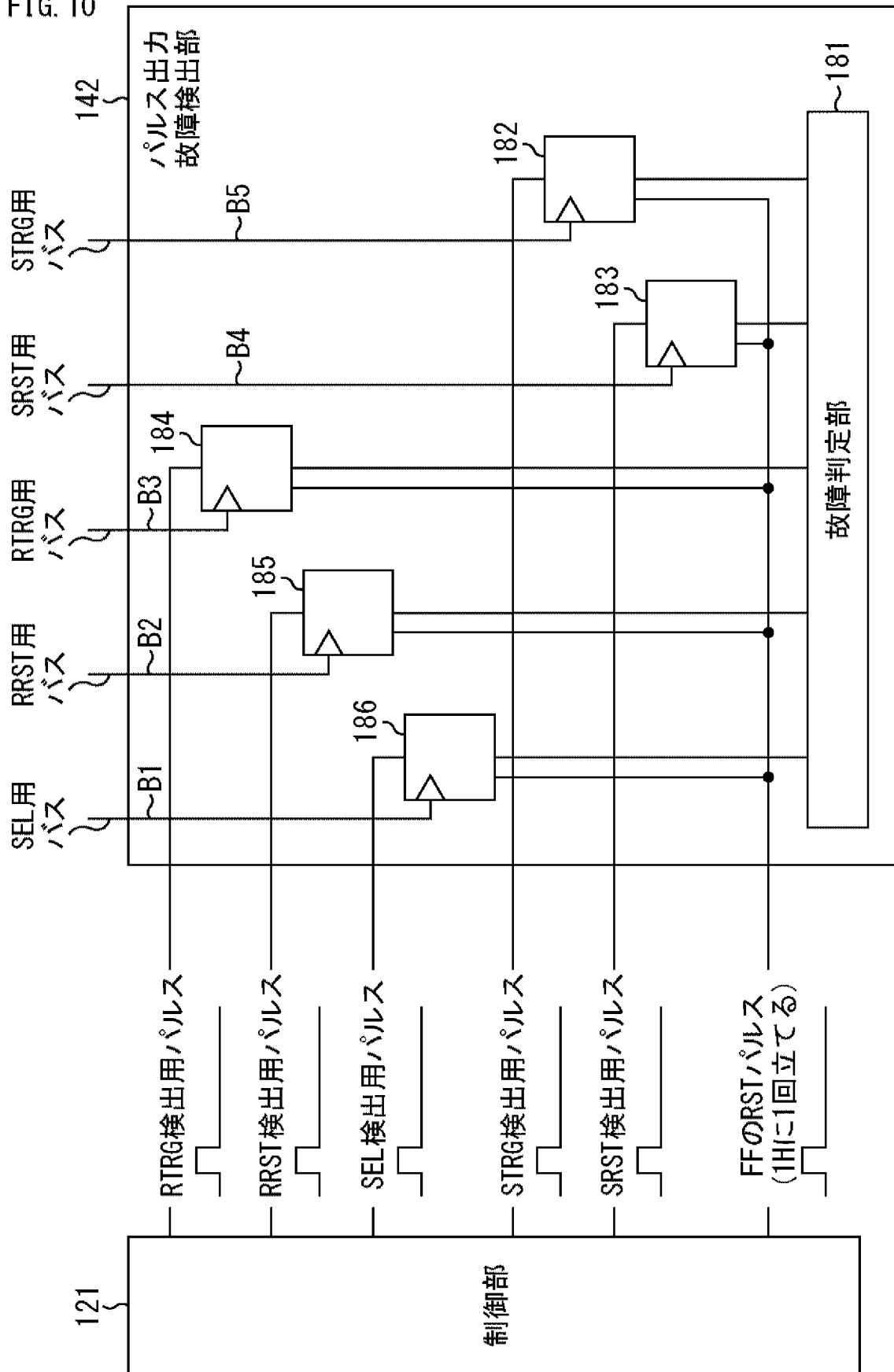
[図8]
FIG. 8



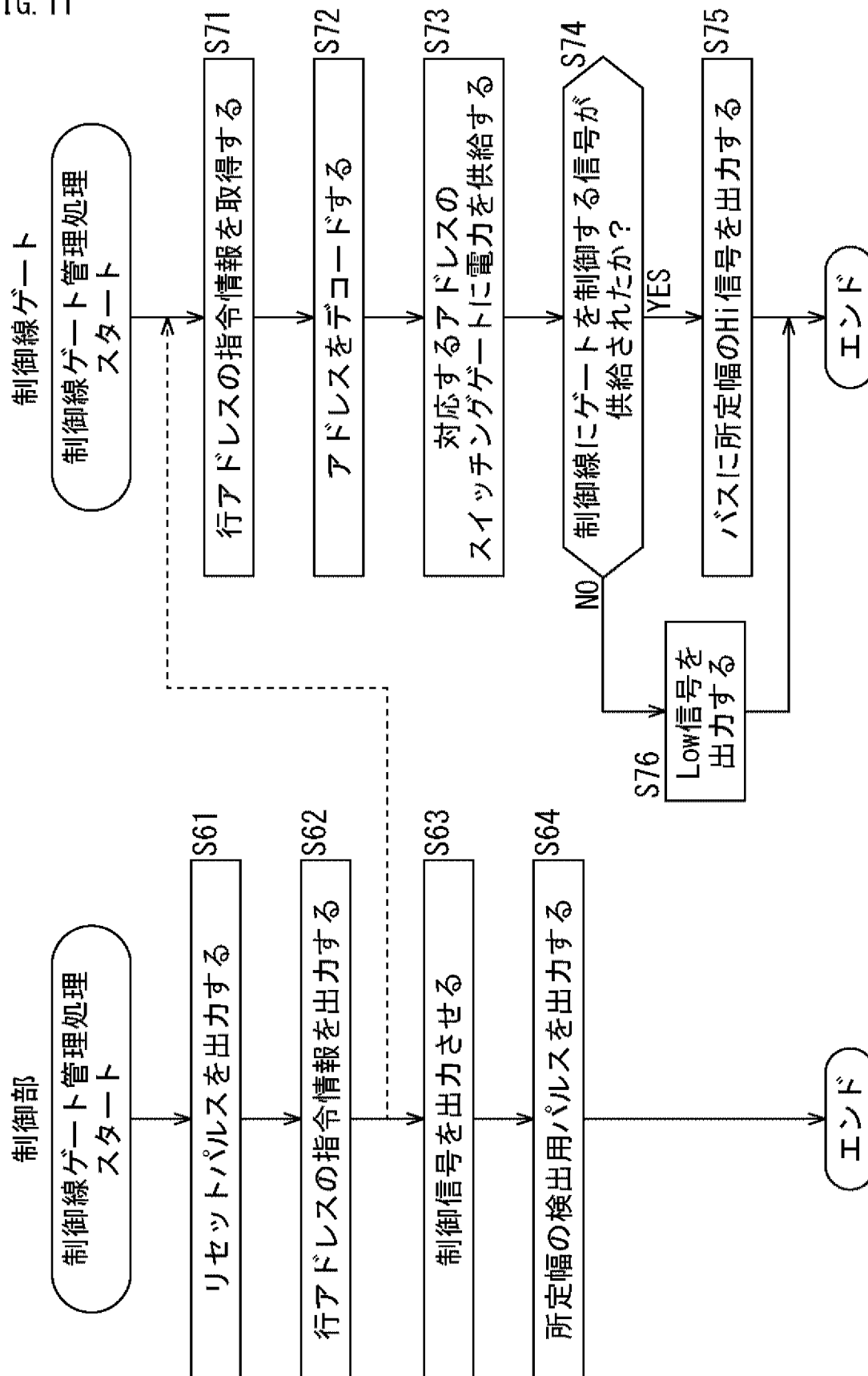
[図9]
FIG. 9



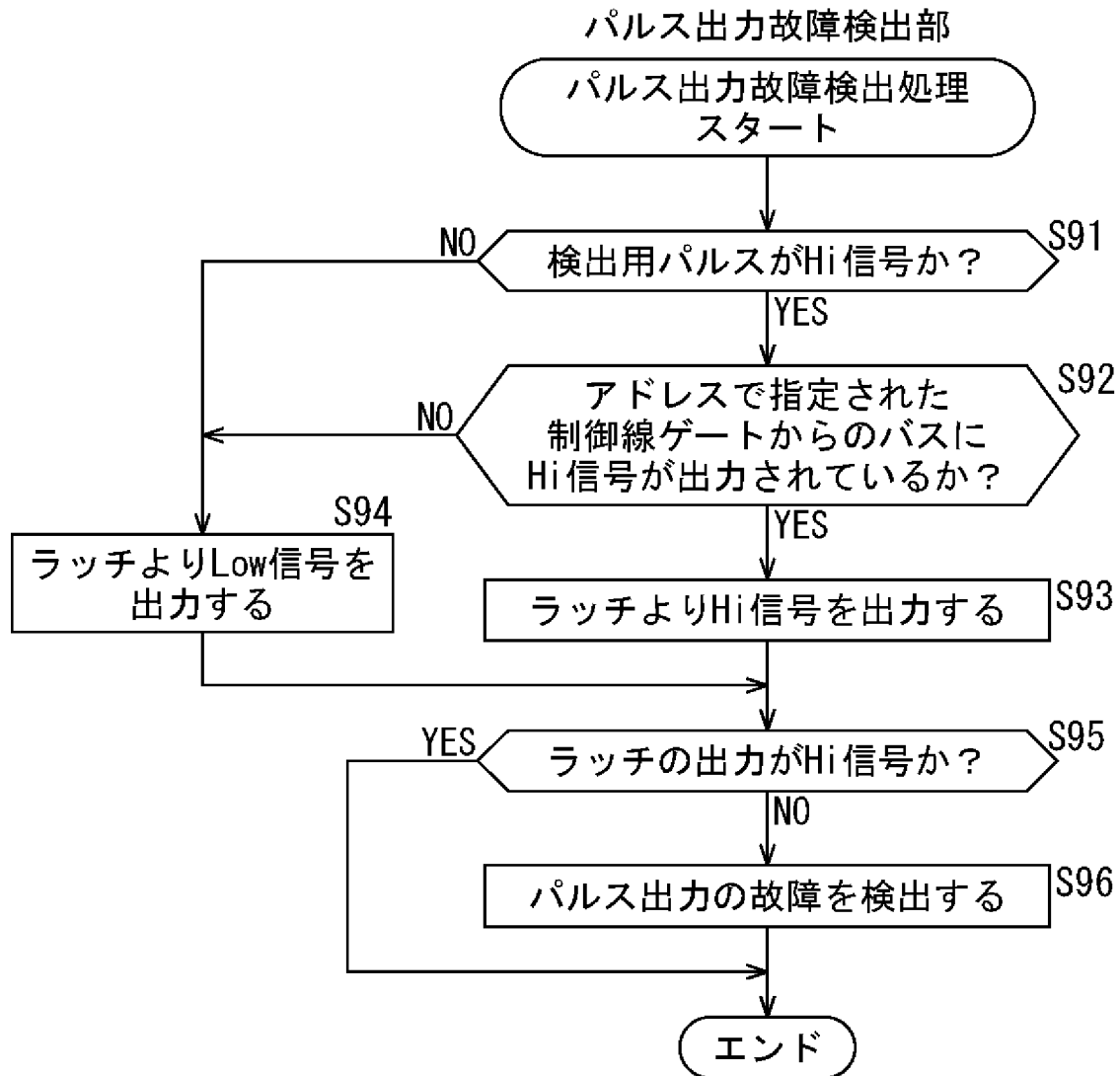
[図10]
FIG. 10



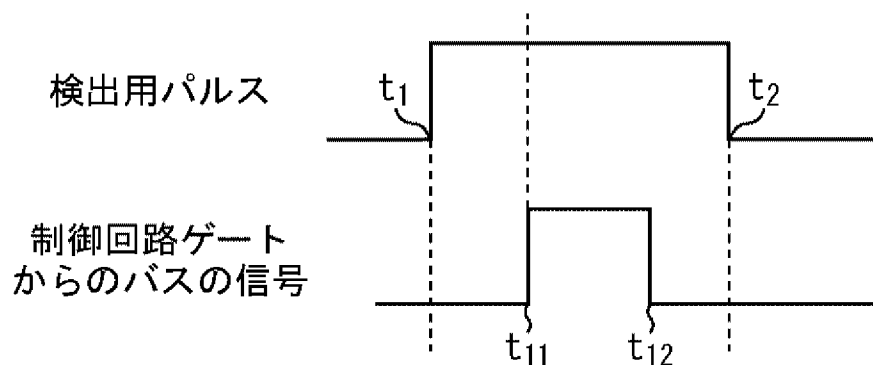
[図11]
FIG. 11



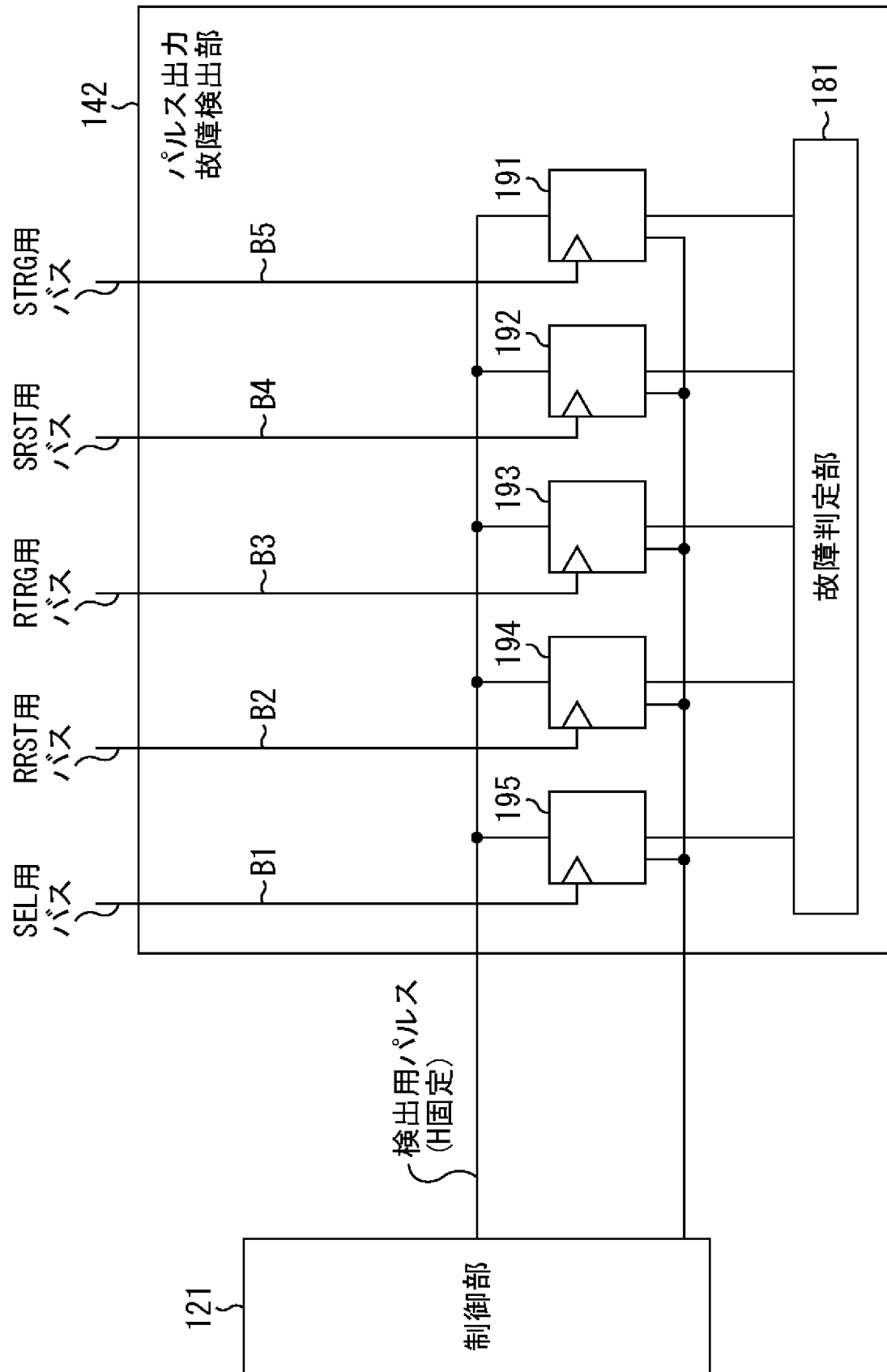
[図12]
FIG. 12



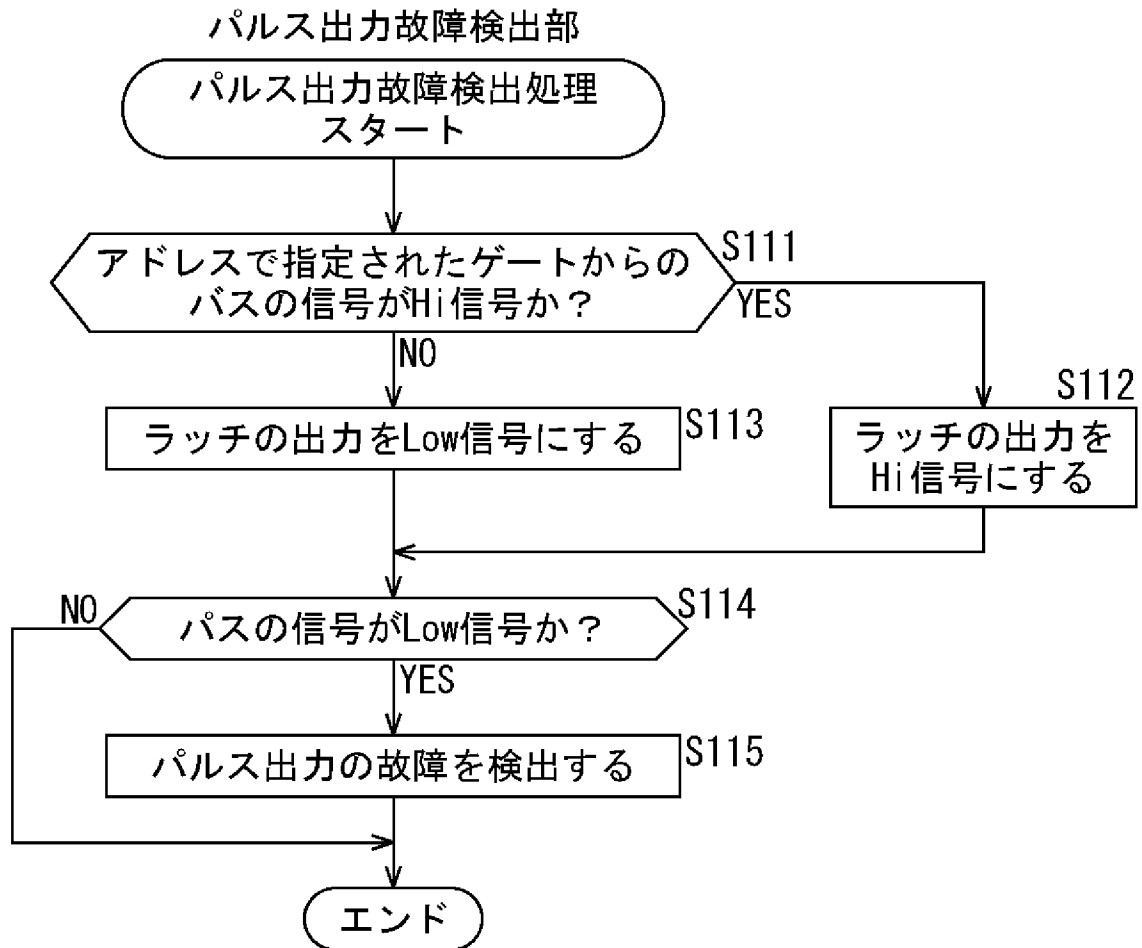
[図13]
FIG. 13



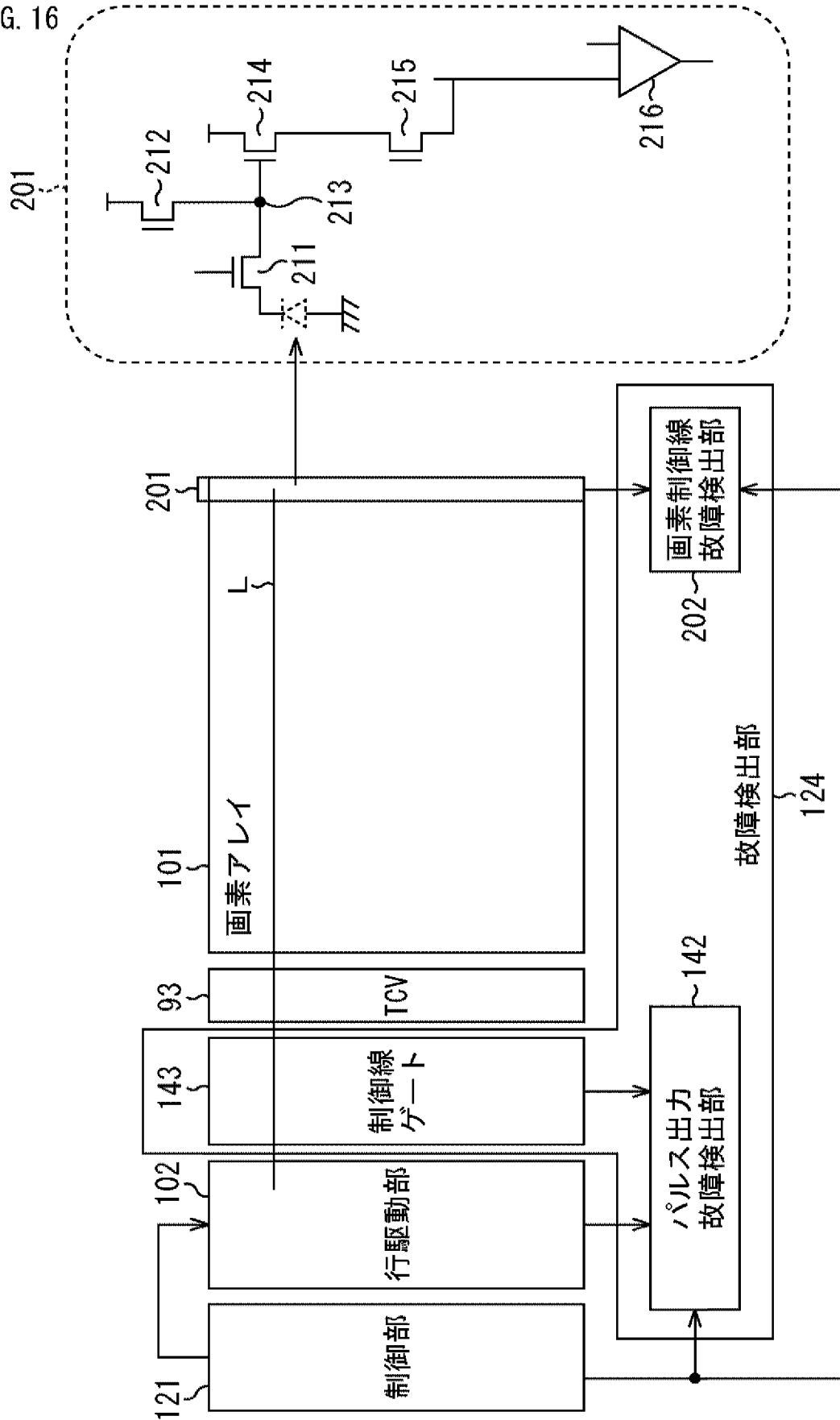
[図14]
FIG. 14



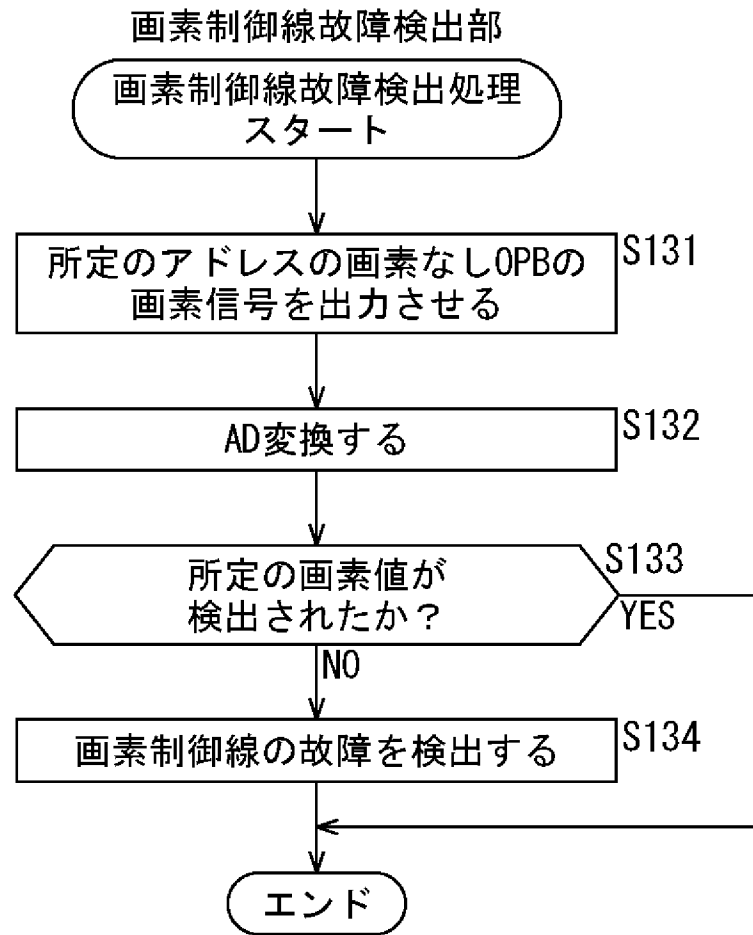
[図15]
FIG. 15



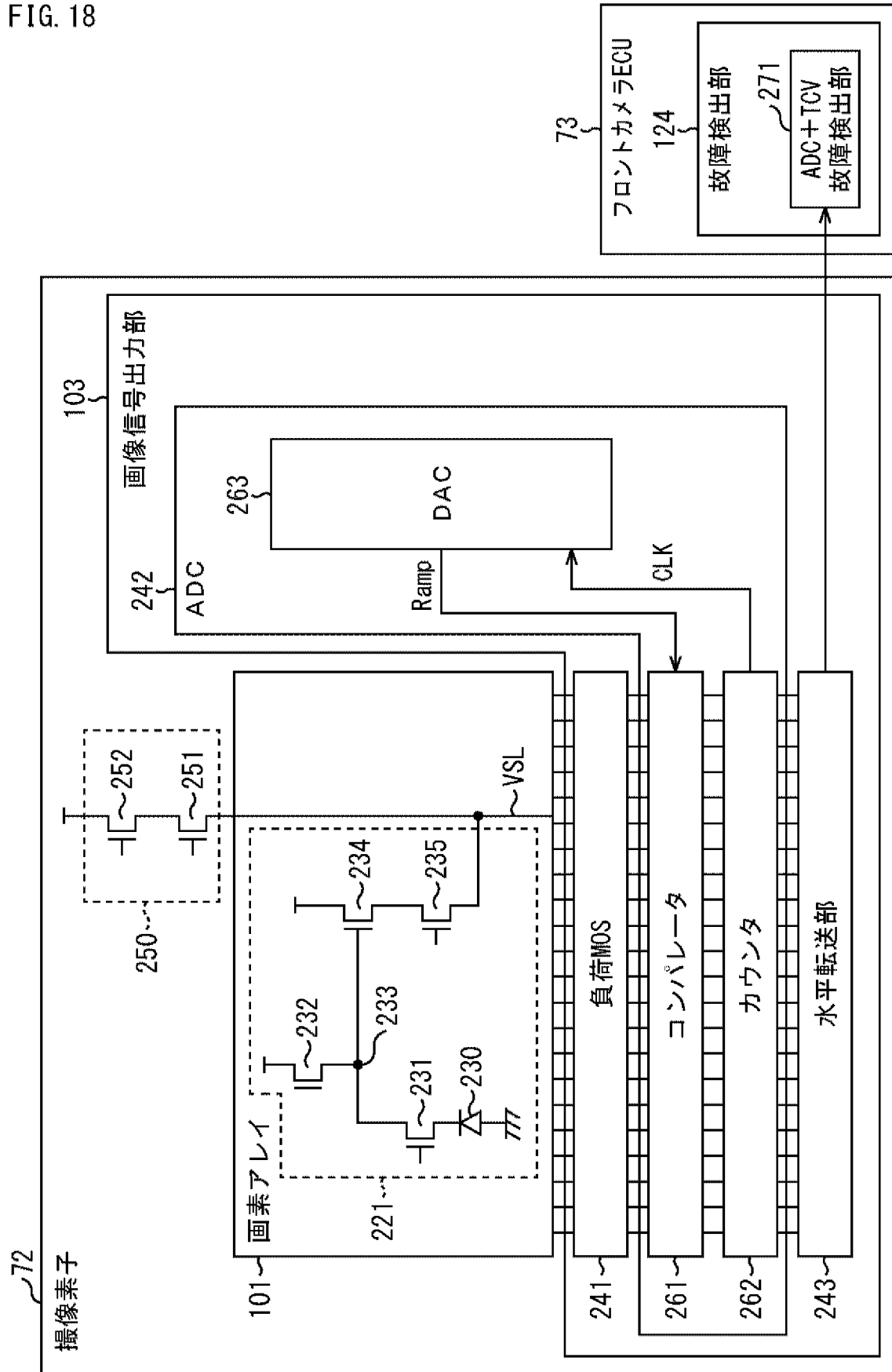
[図16]
FIG. 16



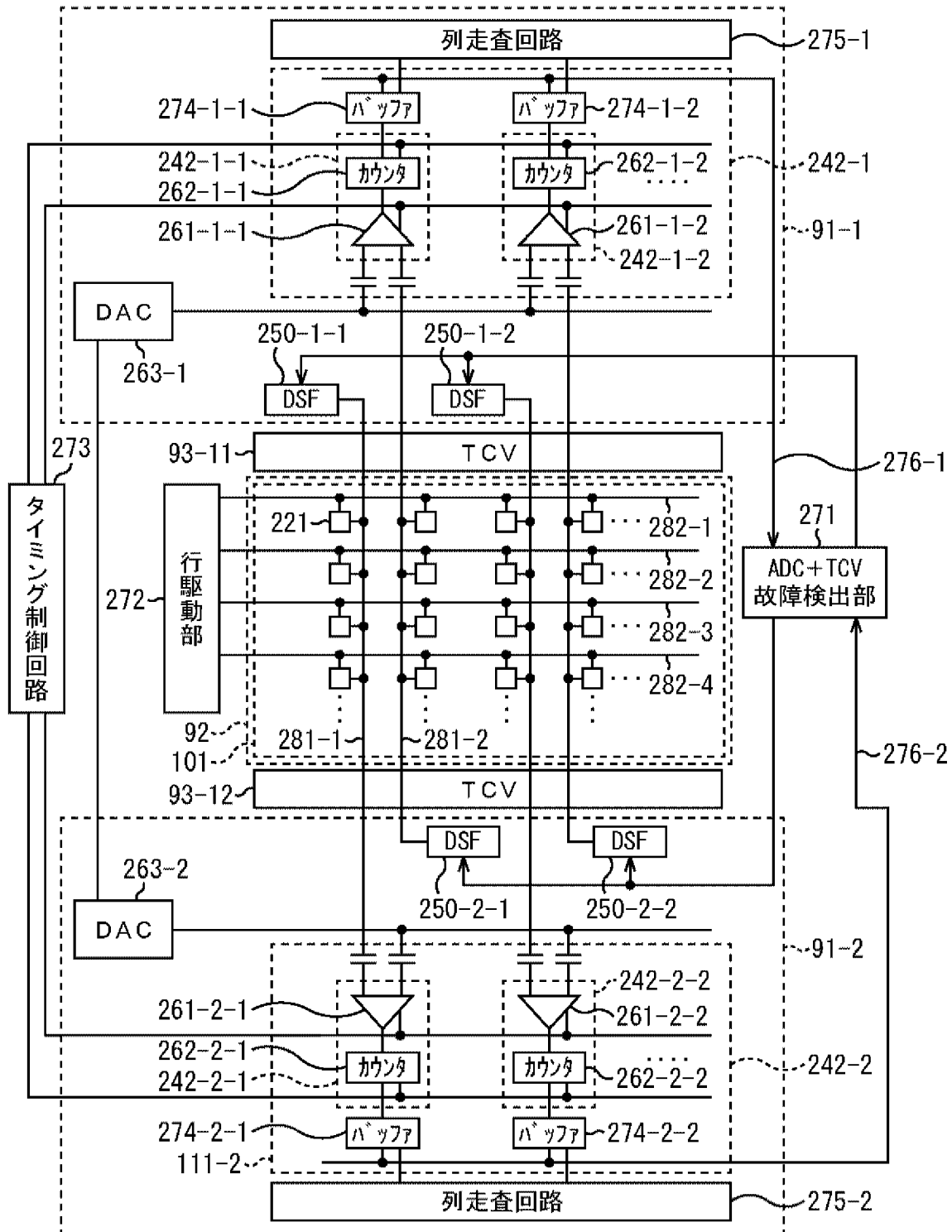
[図17]
FIG. 17



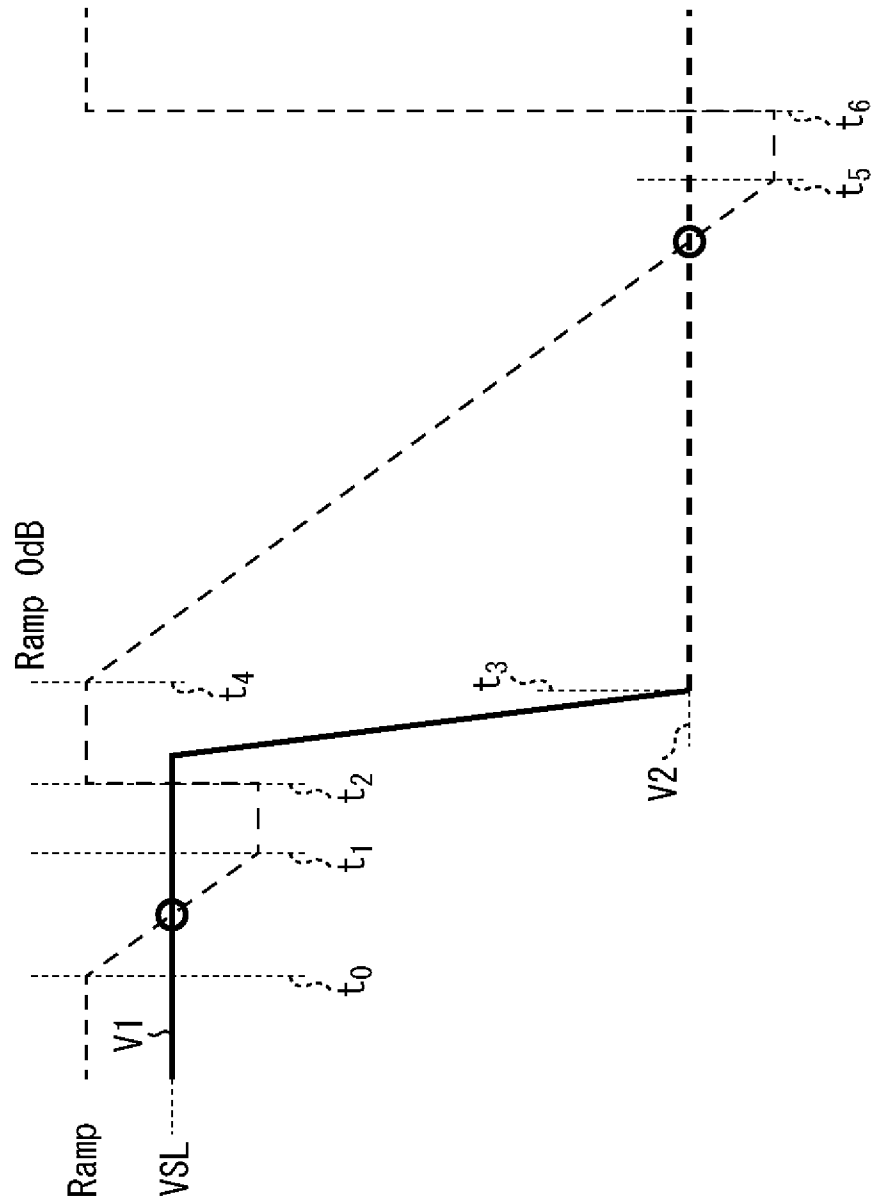
[図18]
FIG. 18

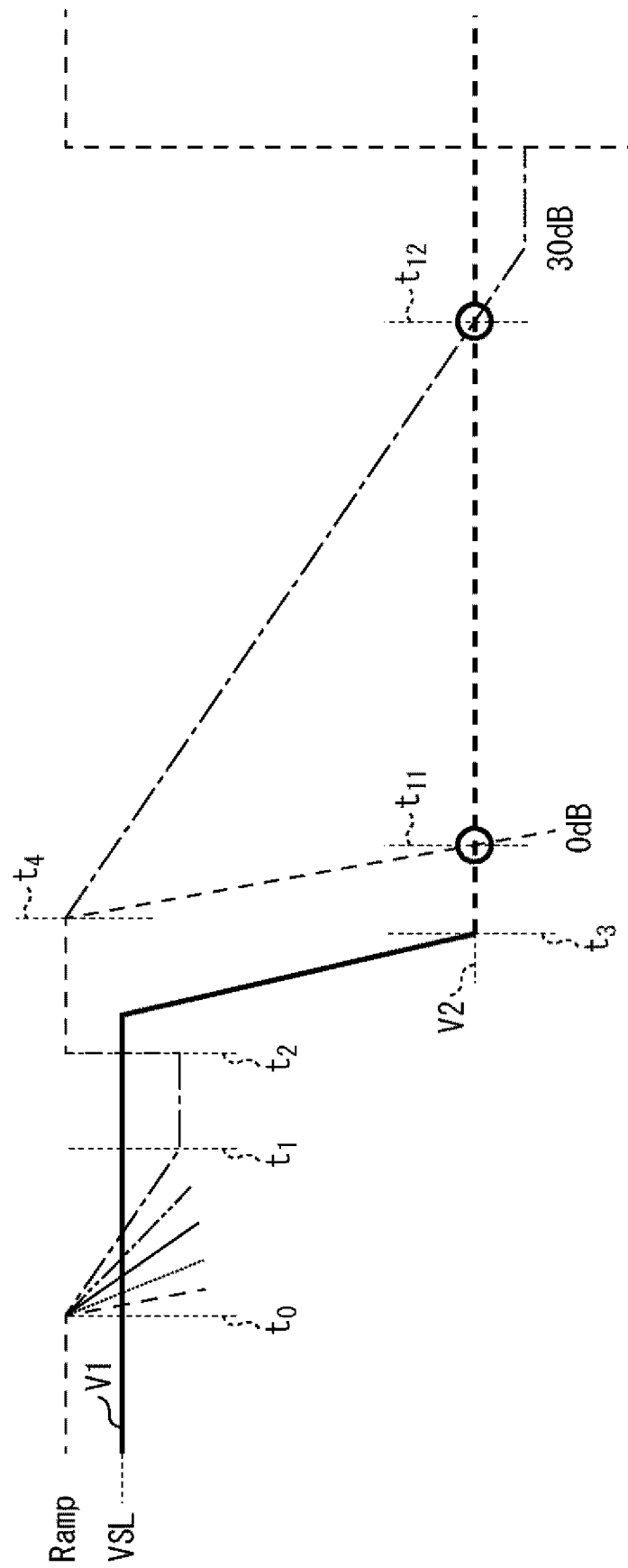


[図19]
FIG. 19

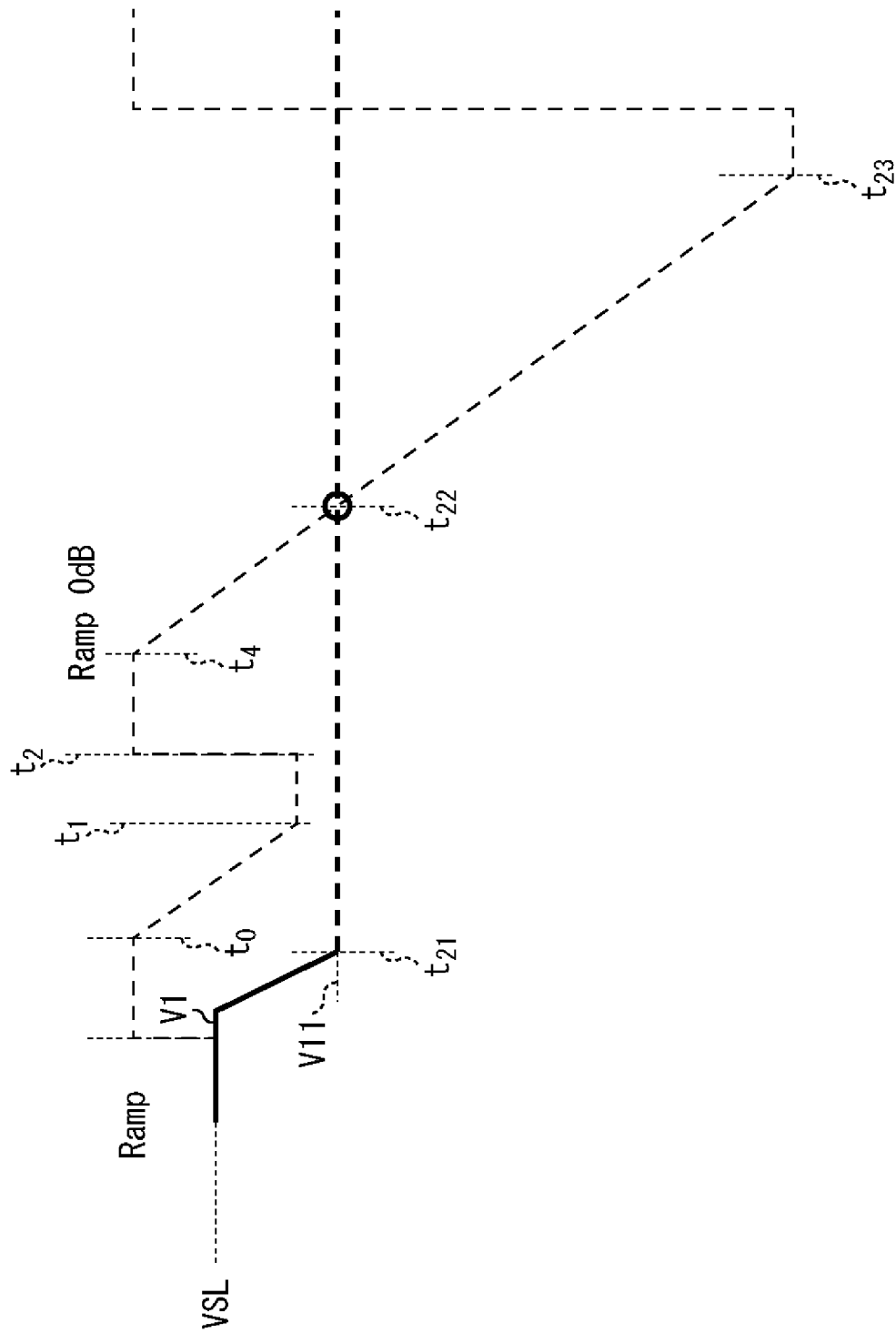


[図20]
FIG. 20

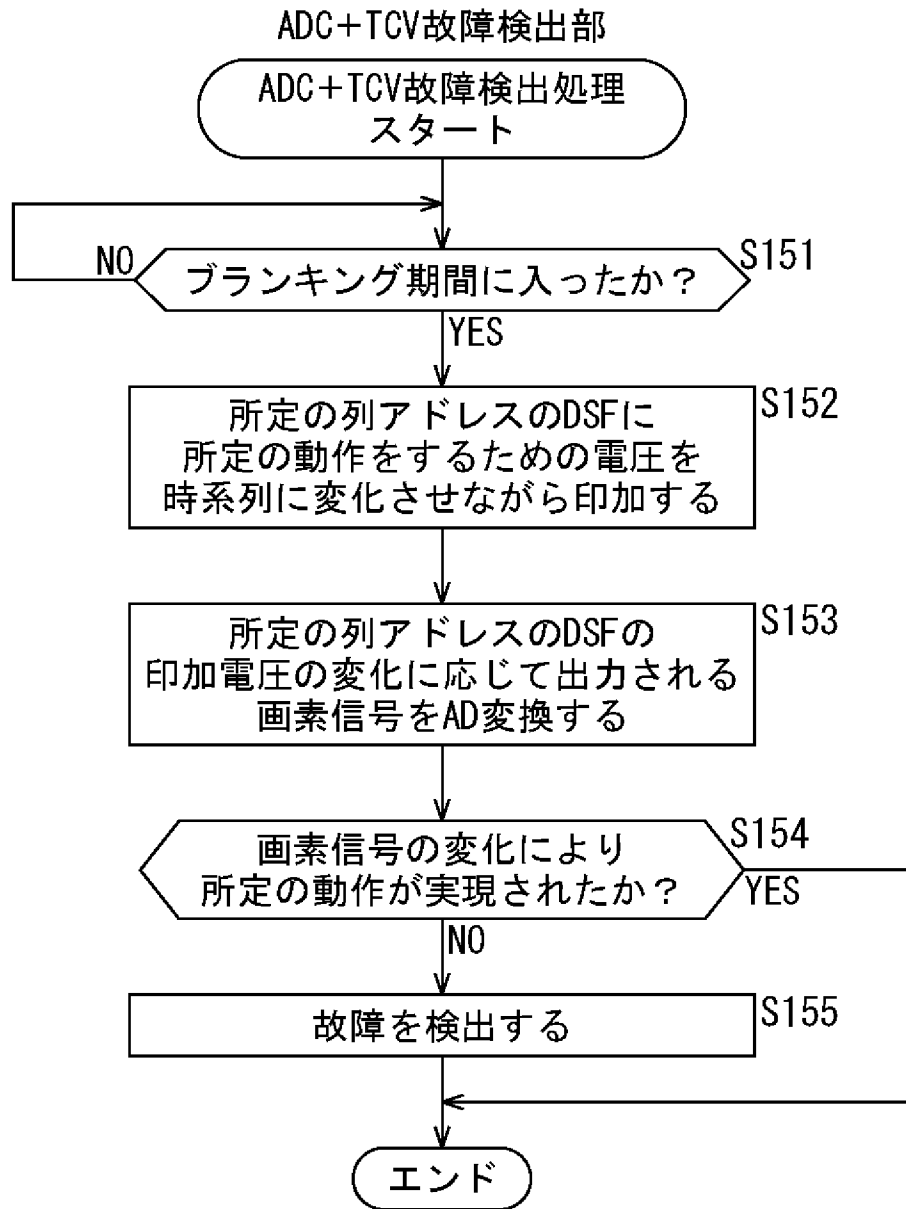


[図21]
FIG. 21

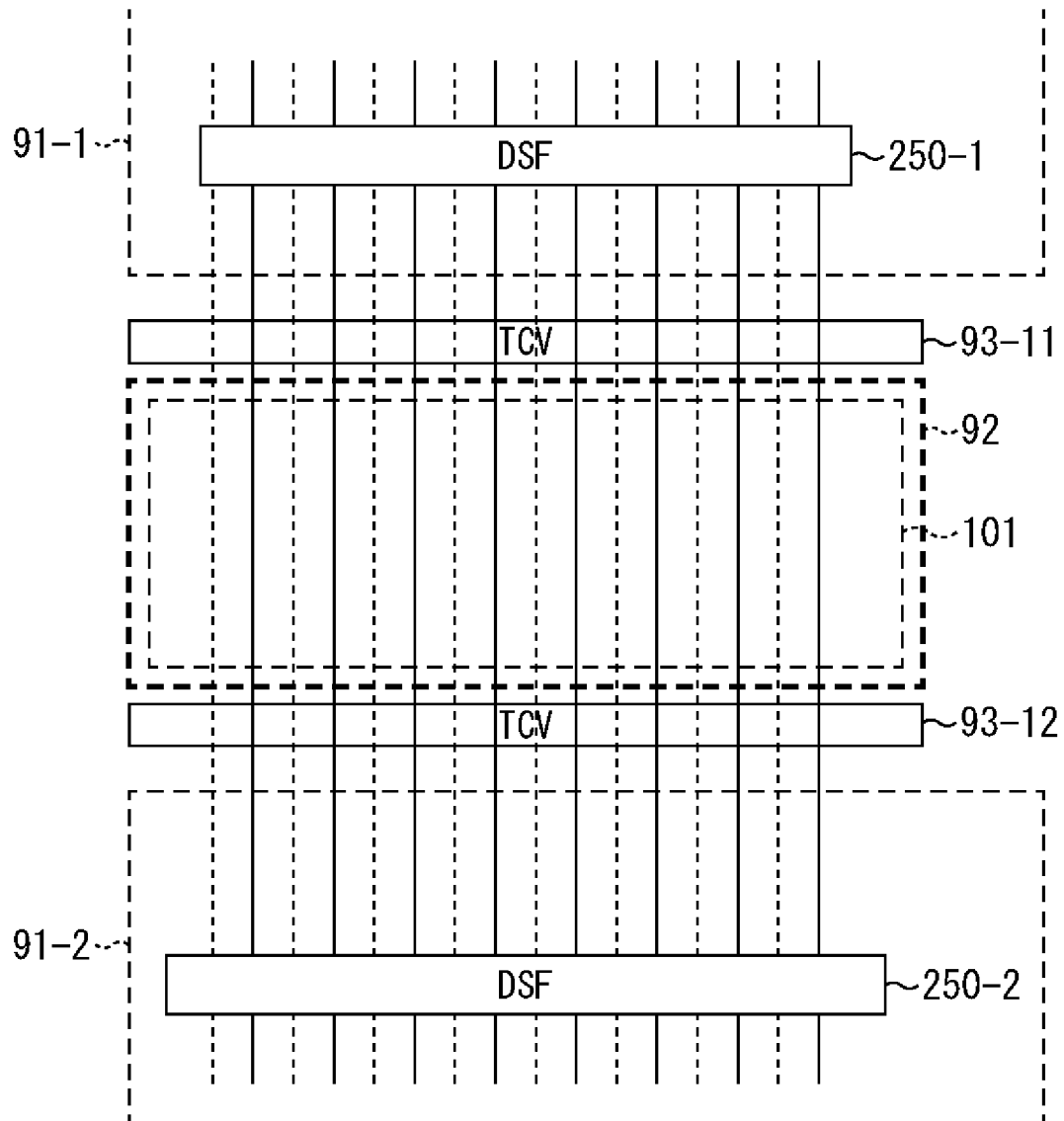
[図22]
FIG. 22



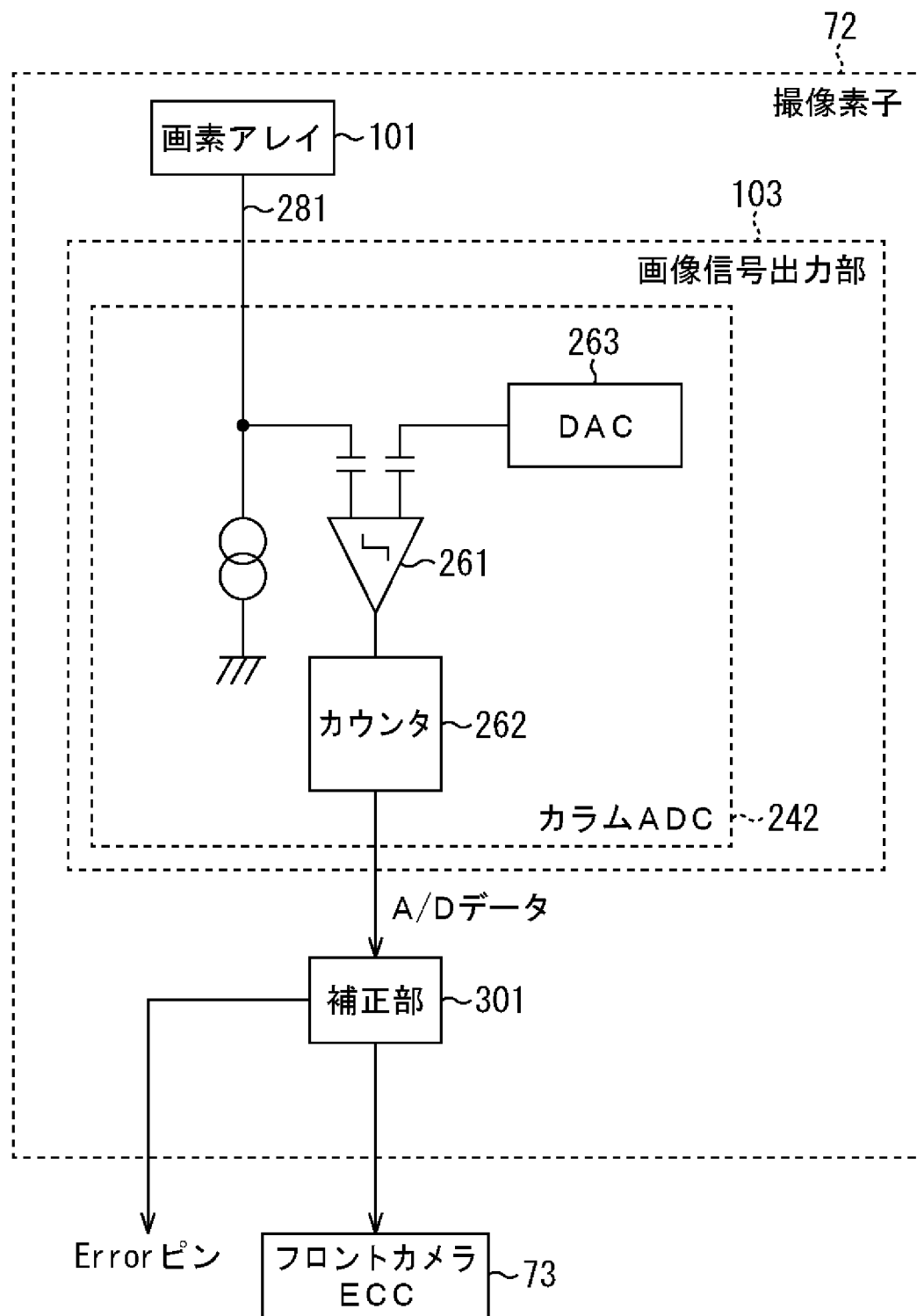
[図24]
FIG. 24



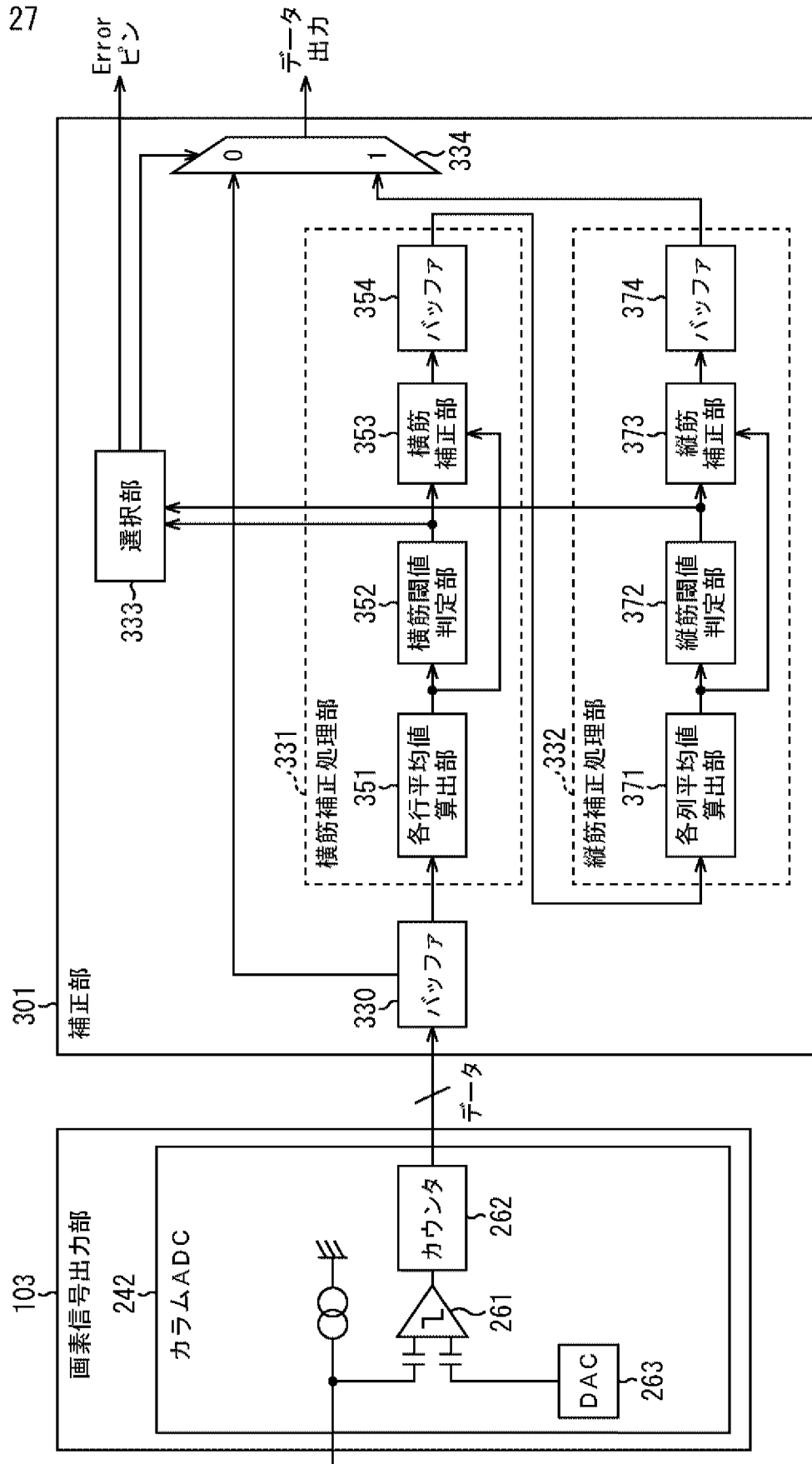
[図25]
FIG. 25



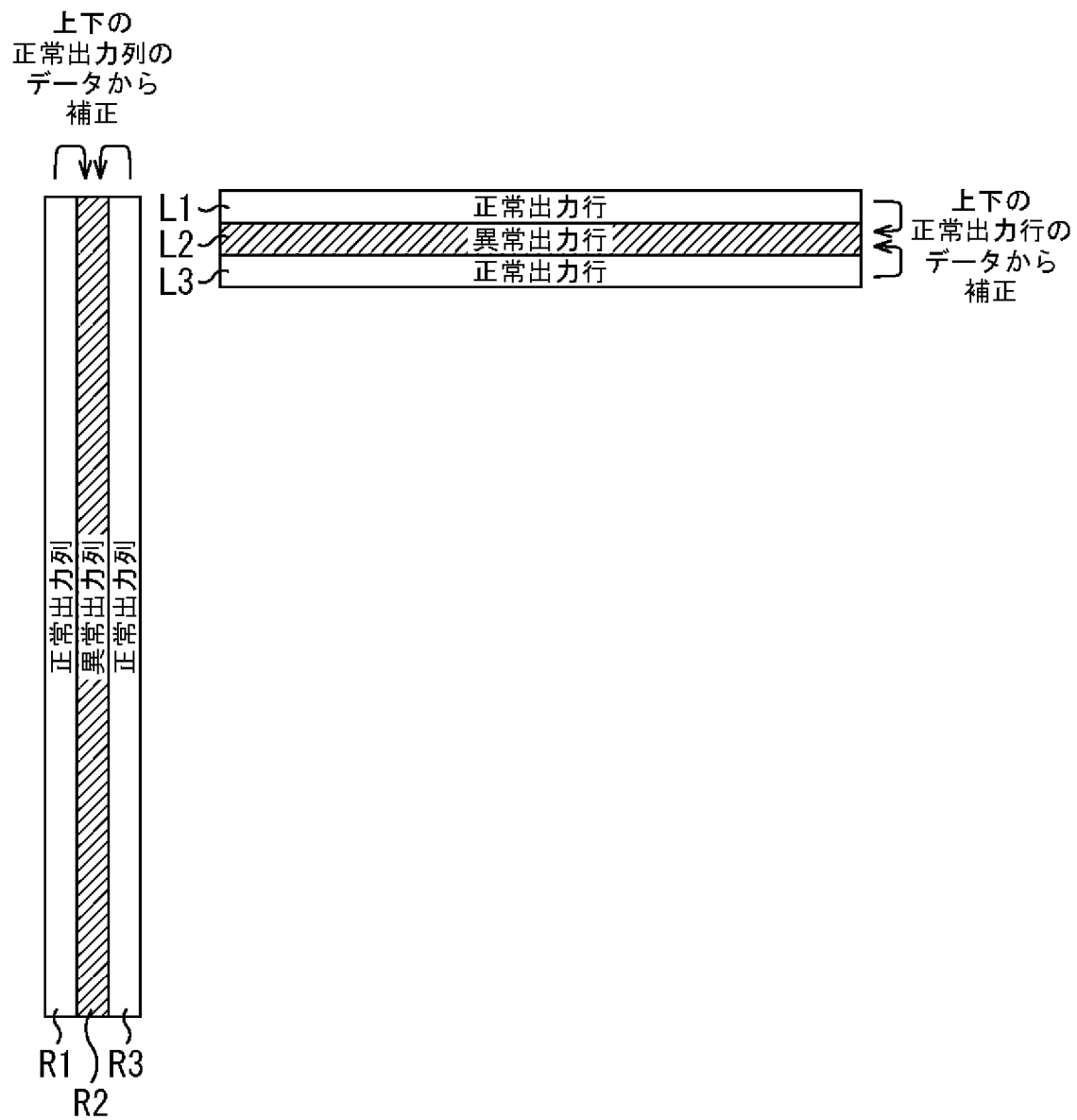
[図26]
FIG. 26



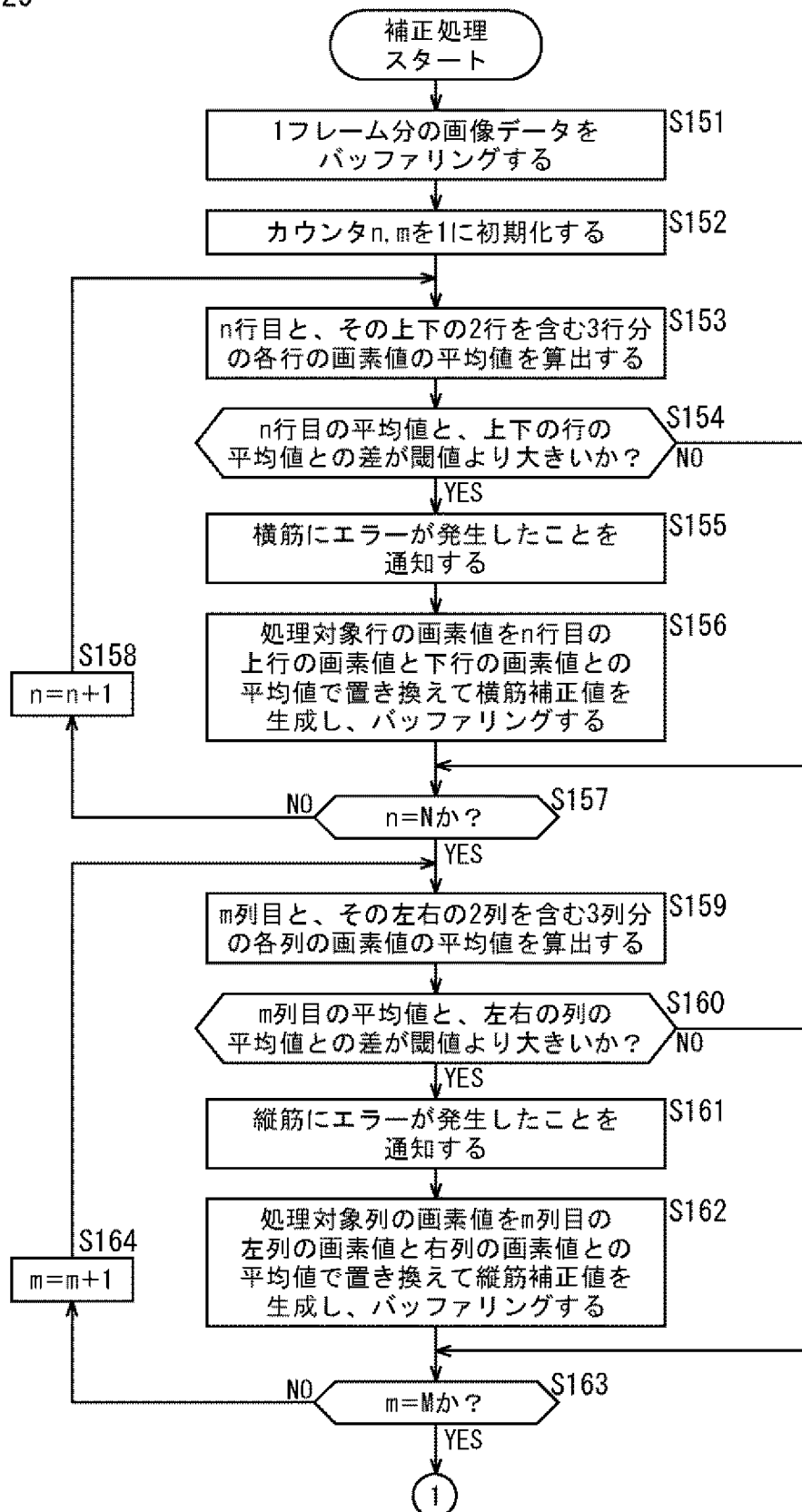
[図27]
FIG. 27



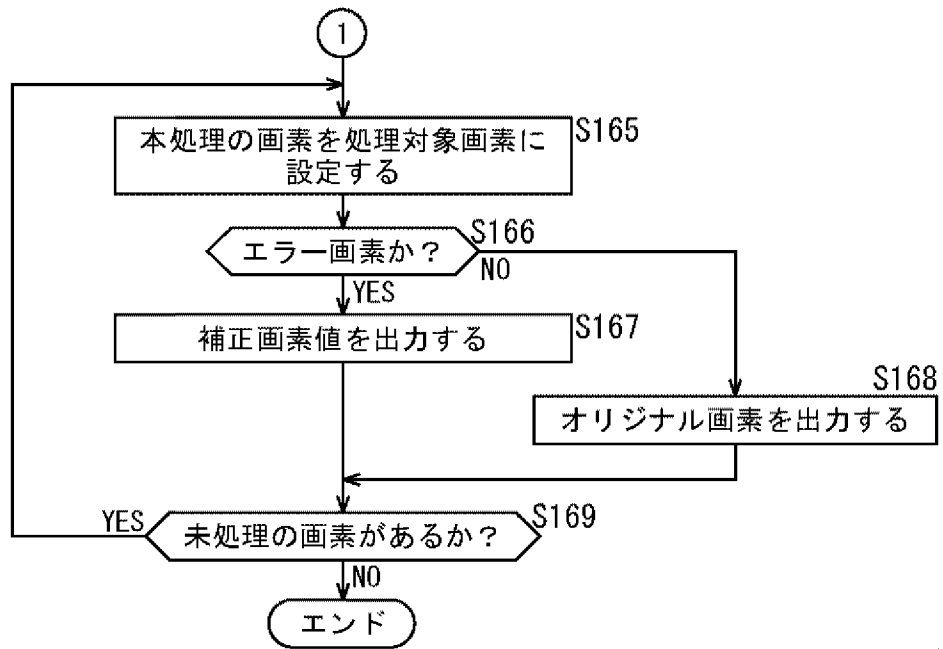
[図28]
FIG. 28



[図29]
FIG. 29

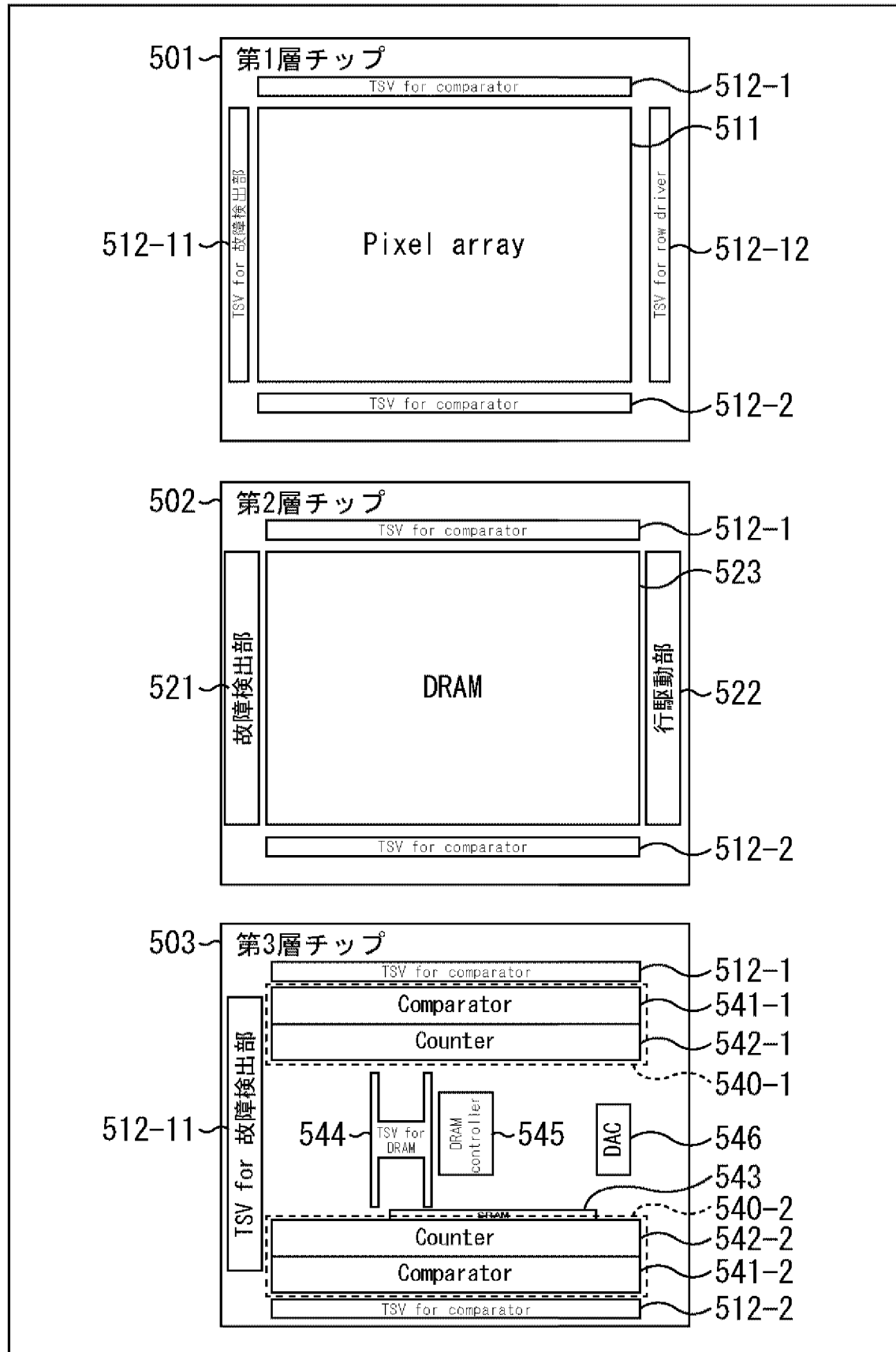


[図30]
FIG. 30

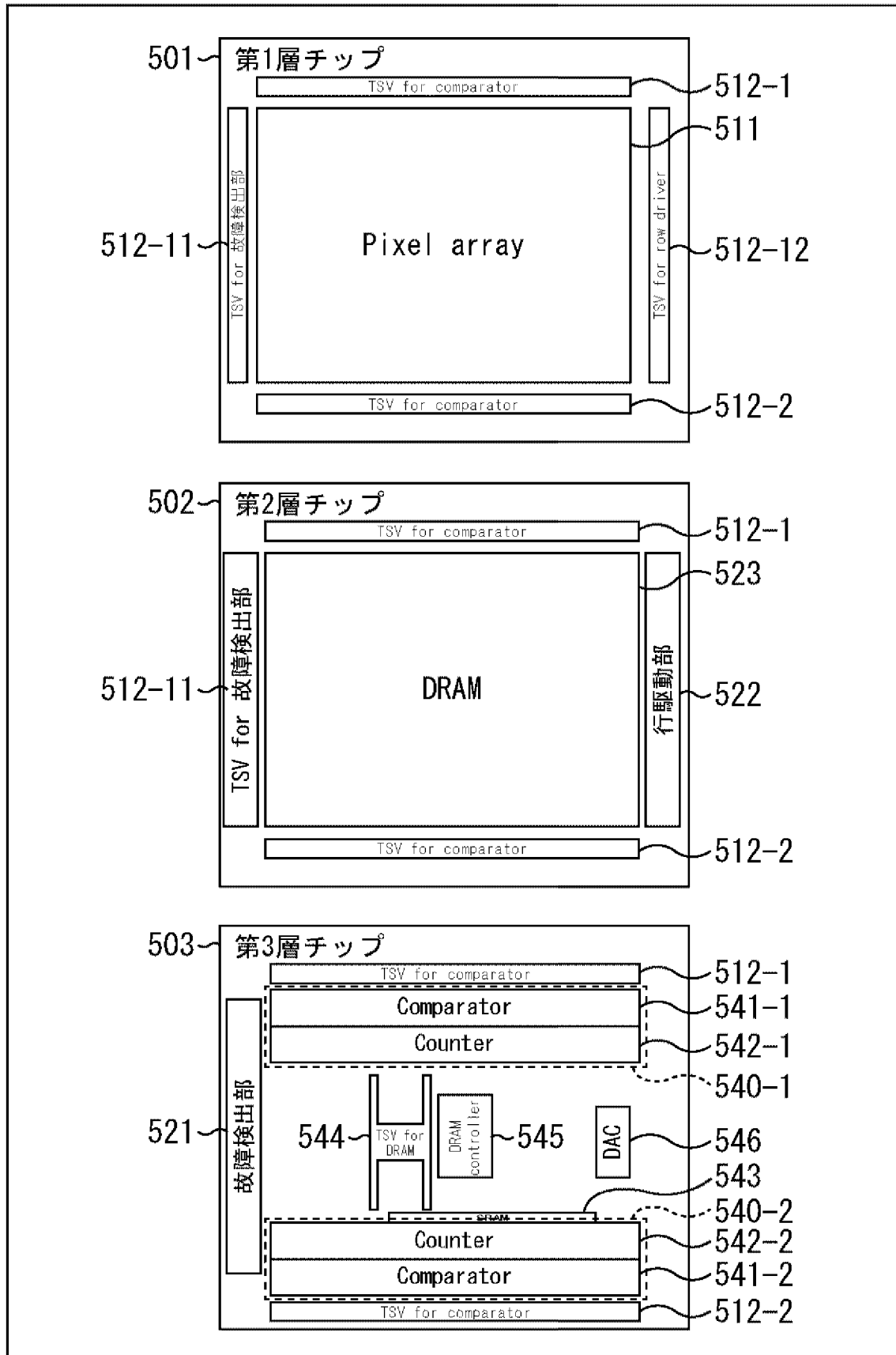


[illegible]

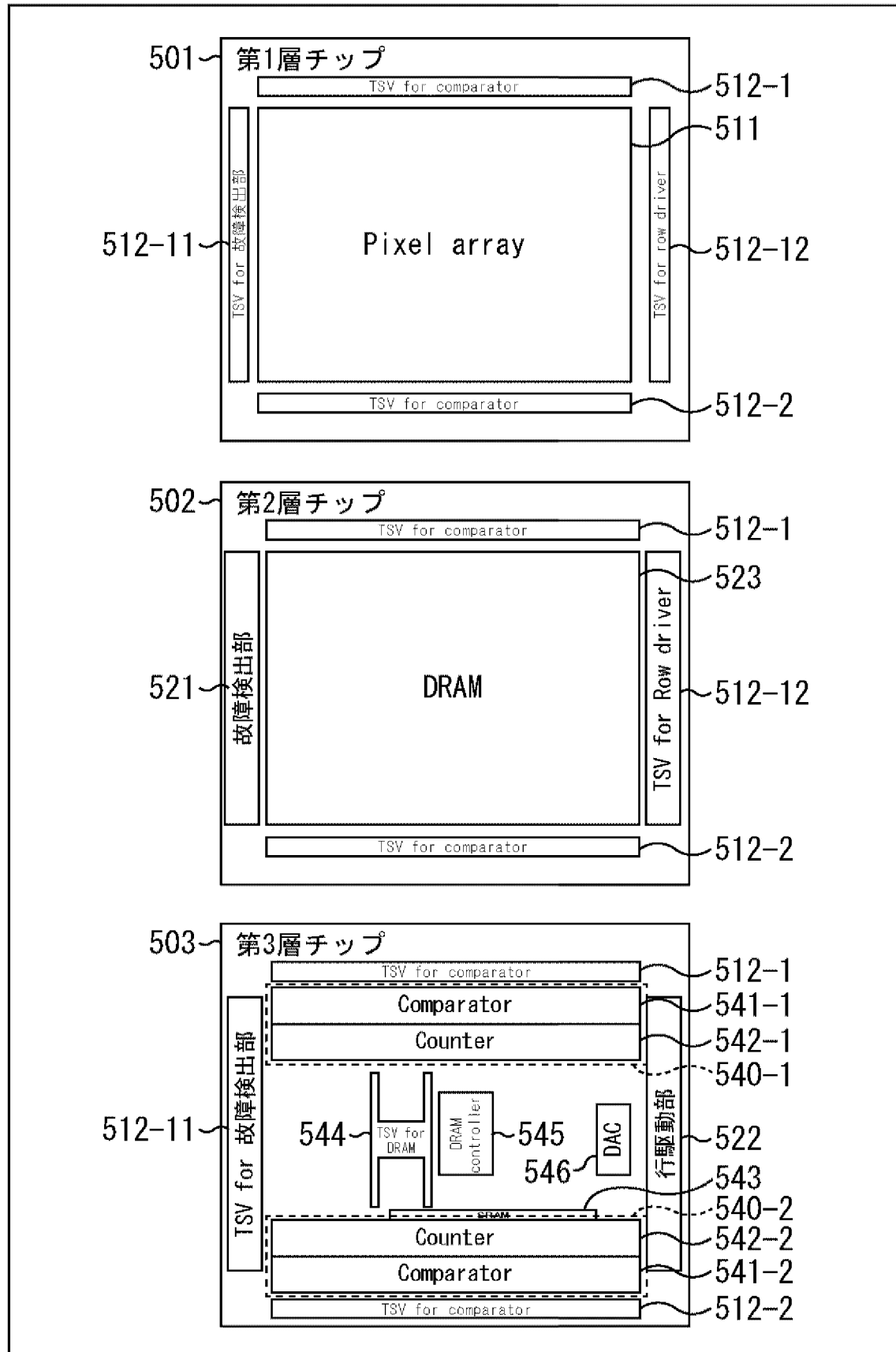
[図32]
FIG. 32



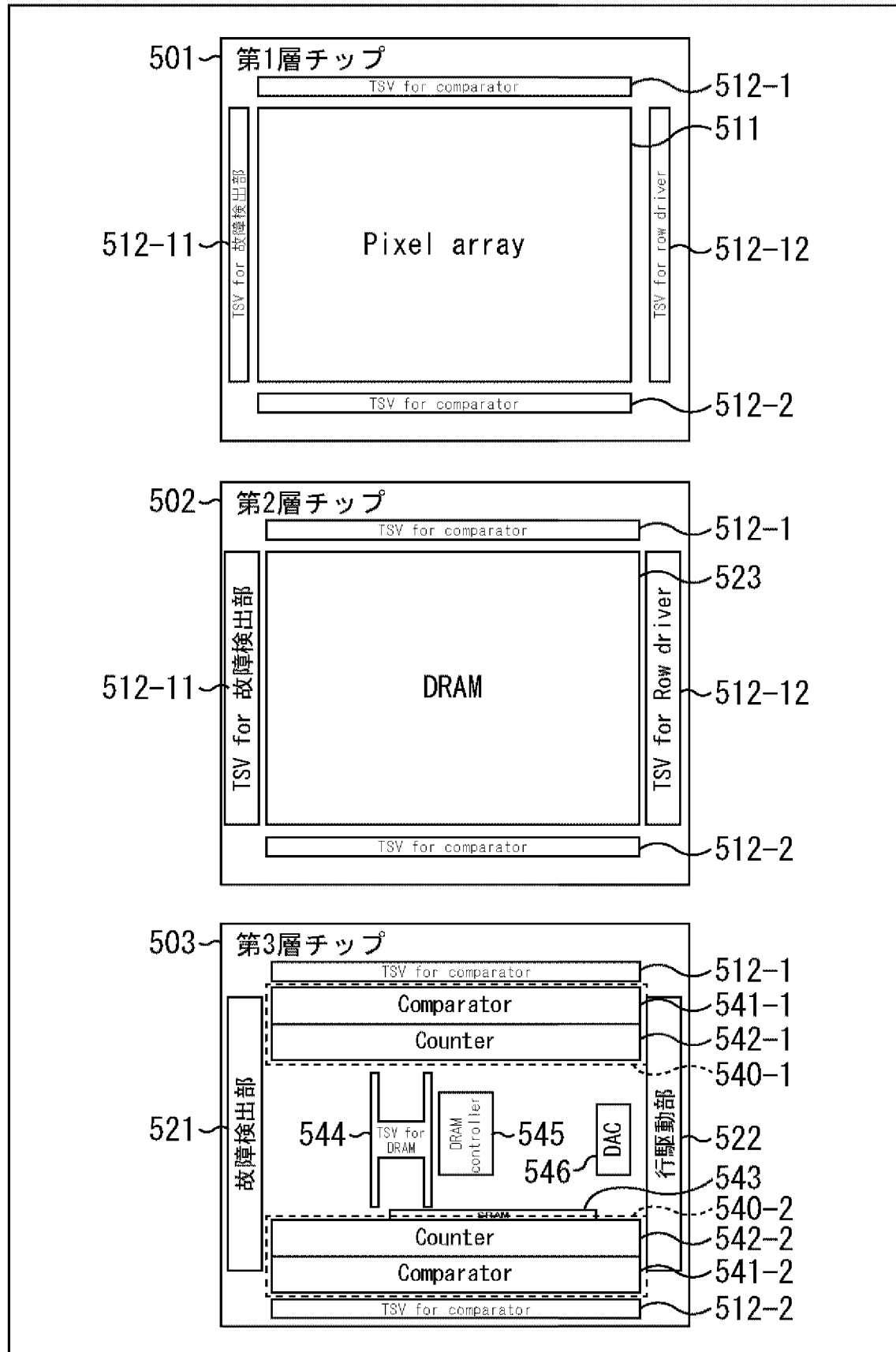
[図33]
FIG. 33



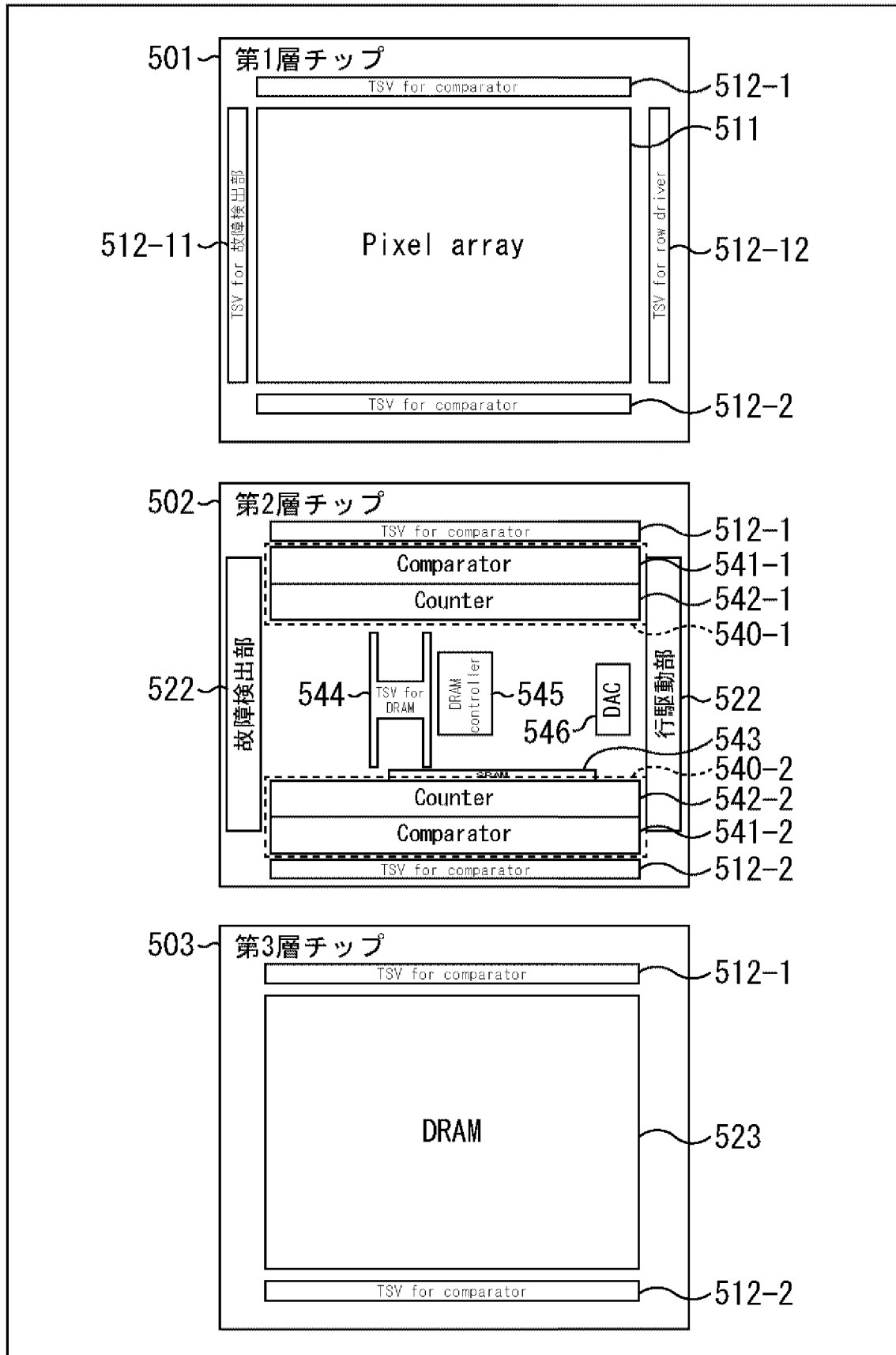
[図34]
FIG. 34



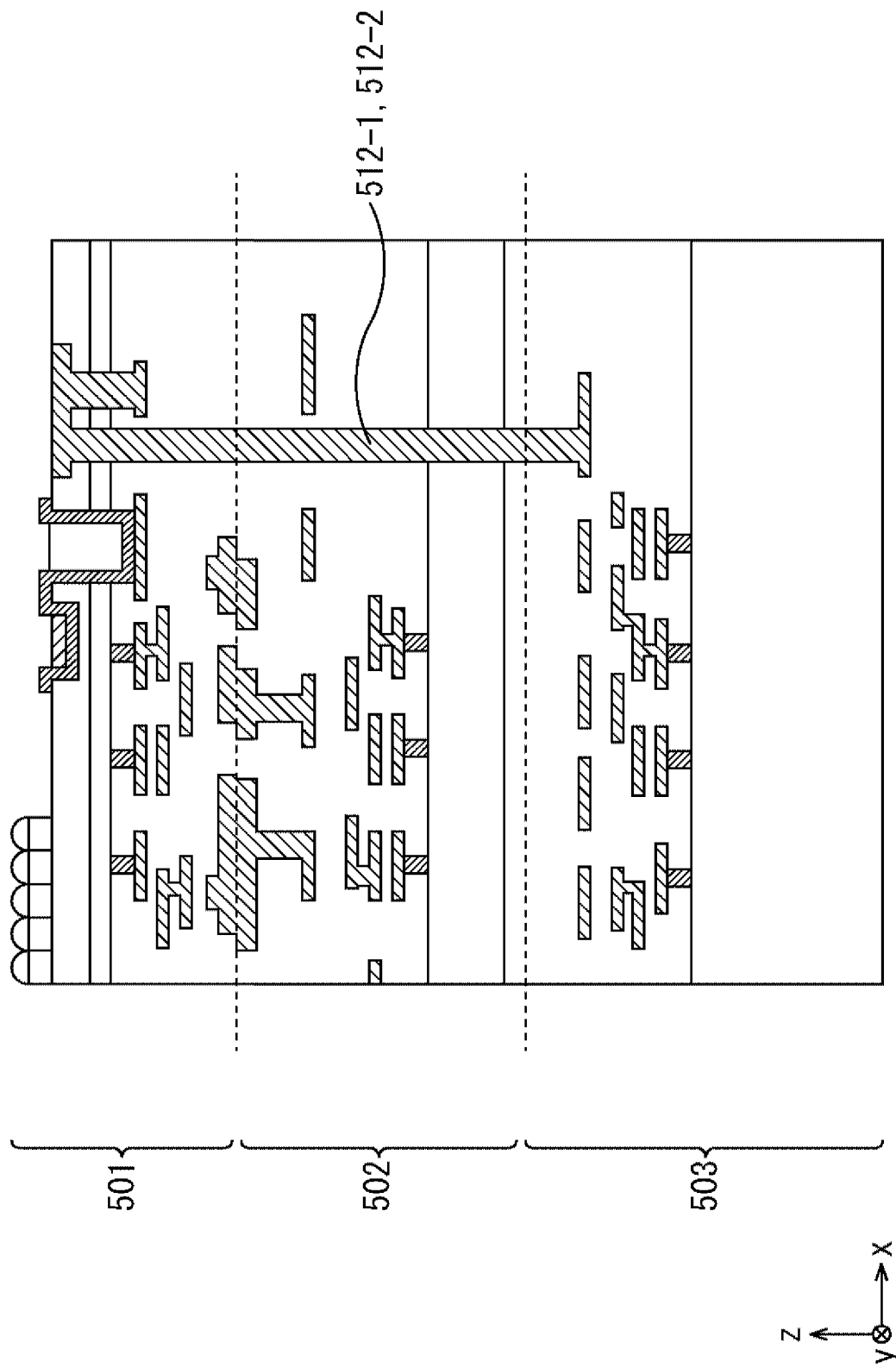
[図35]
FIG. 35



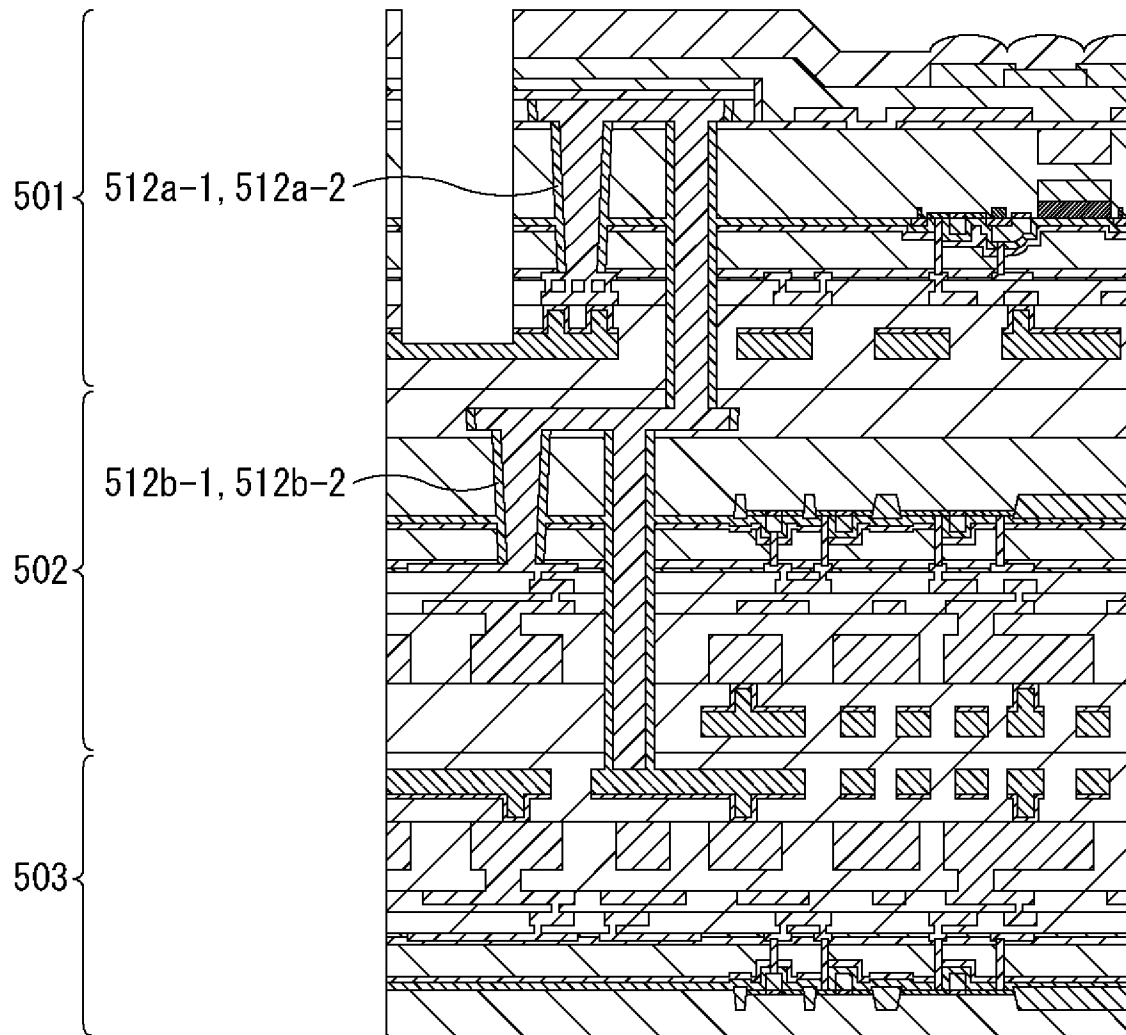
[図36]
FIG. 36



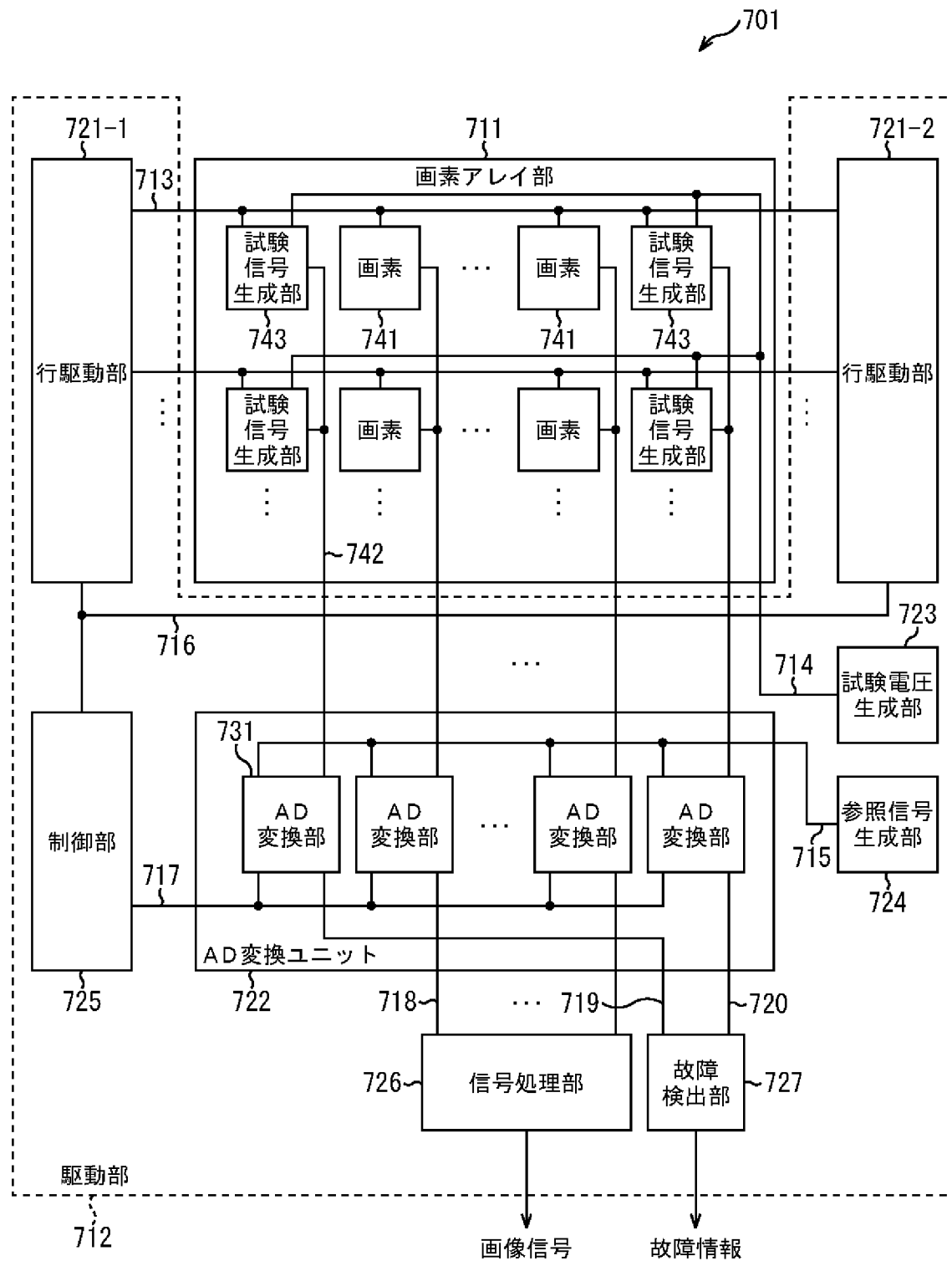
[図37]
FIG. 37



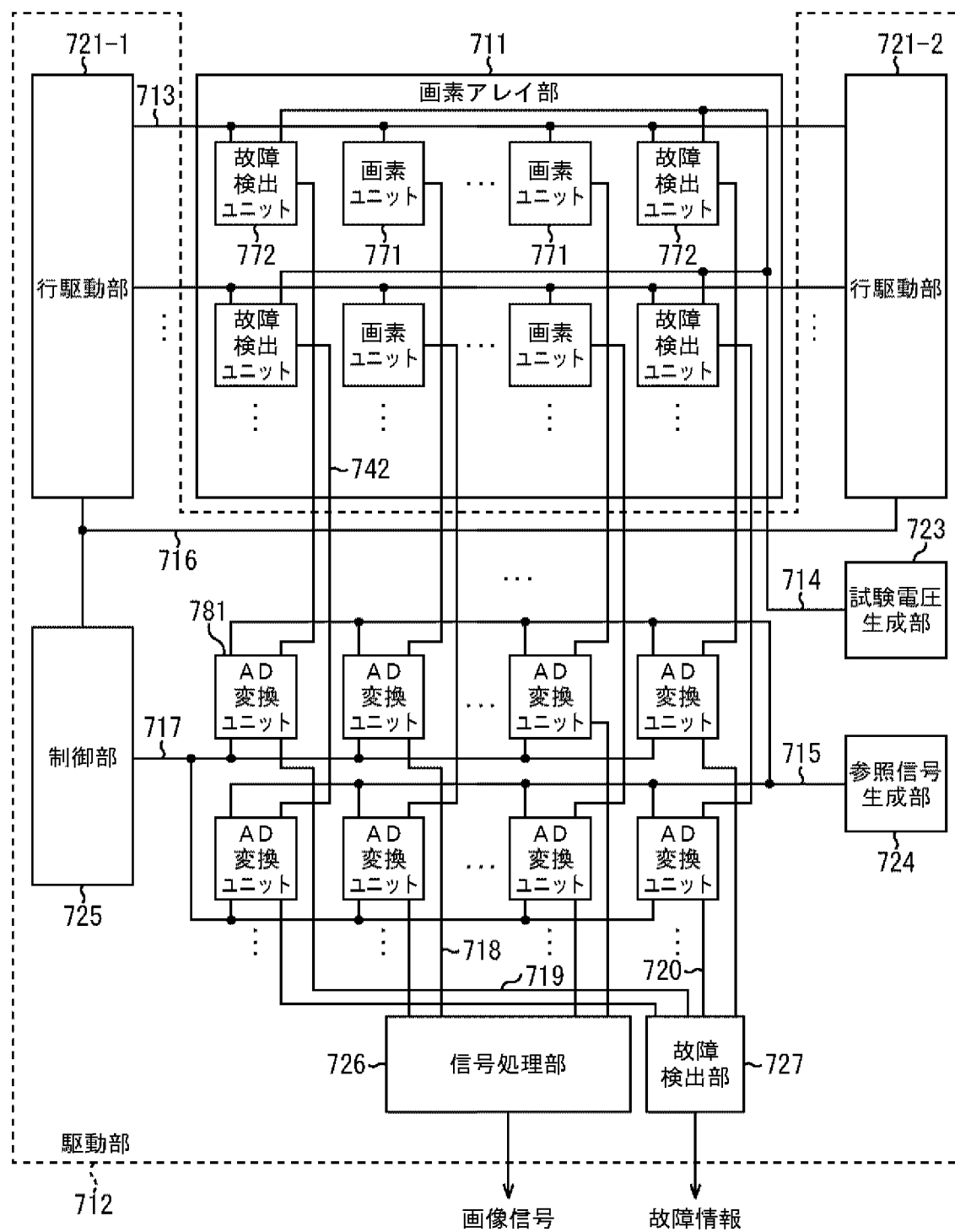
[図38]
FIG. 38



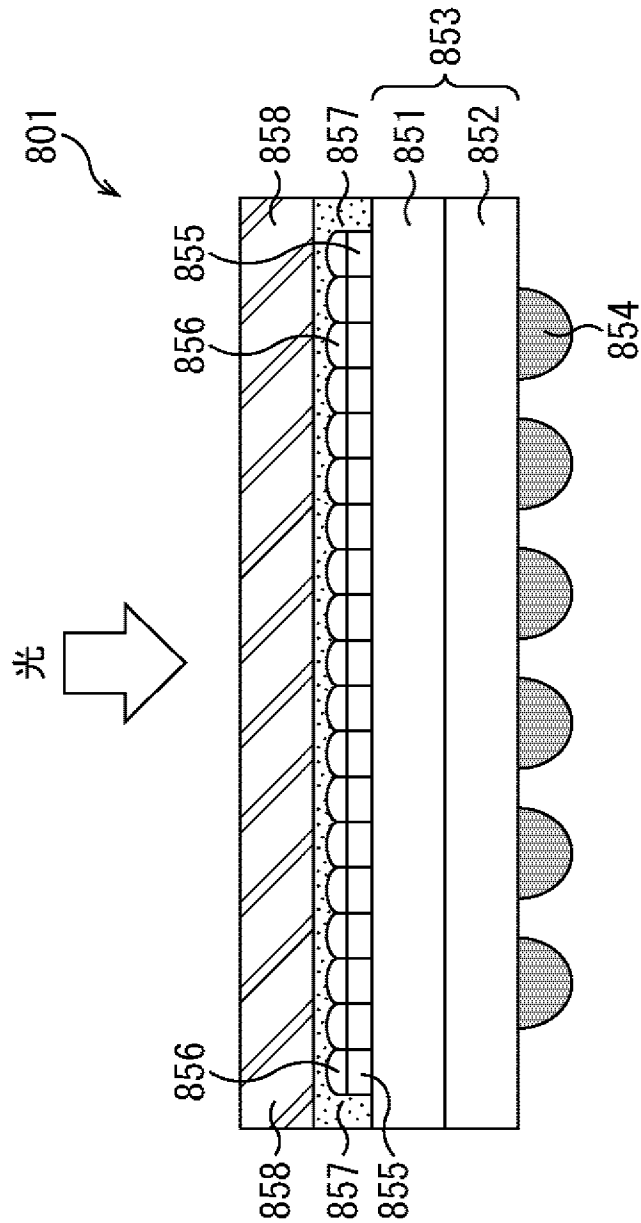
[図39]
FIG. 39



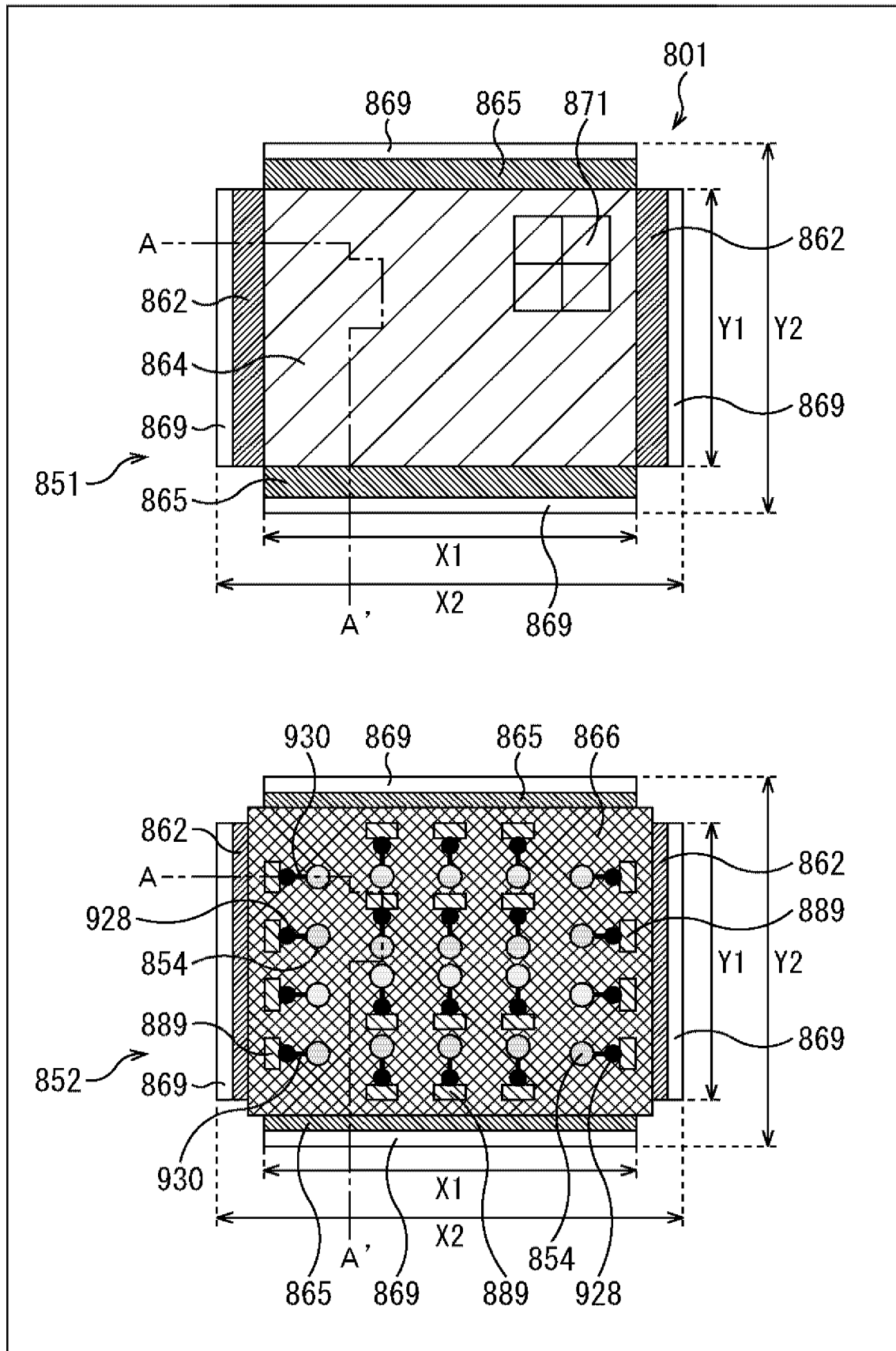
701



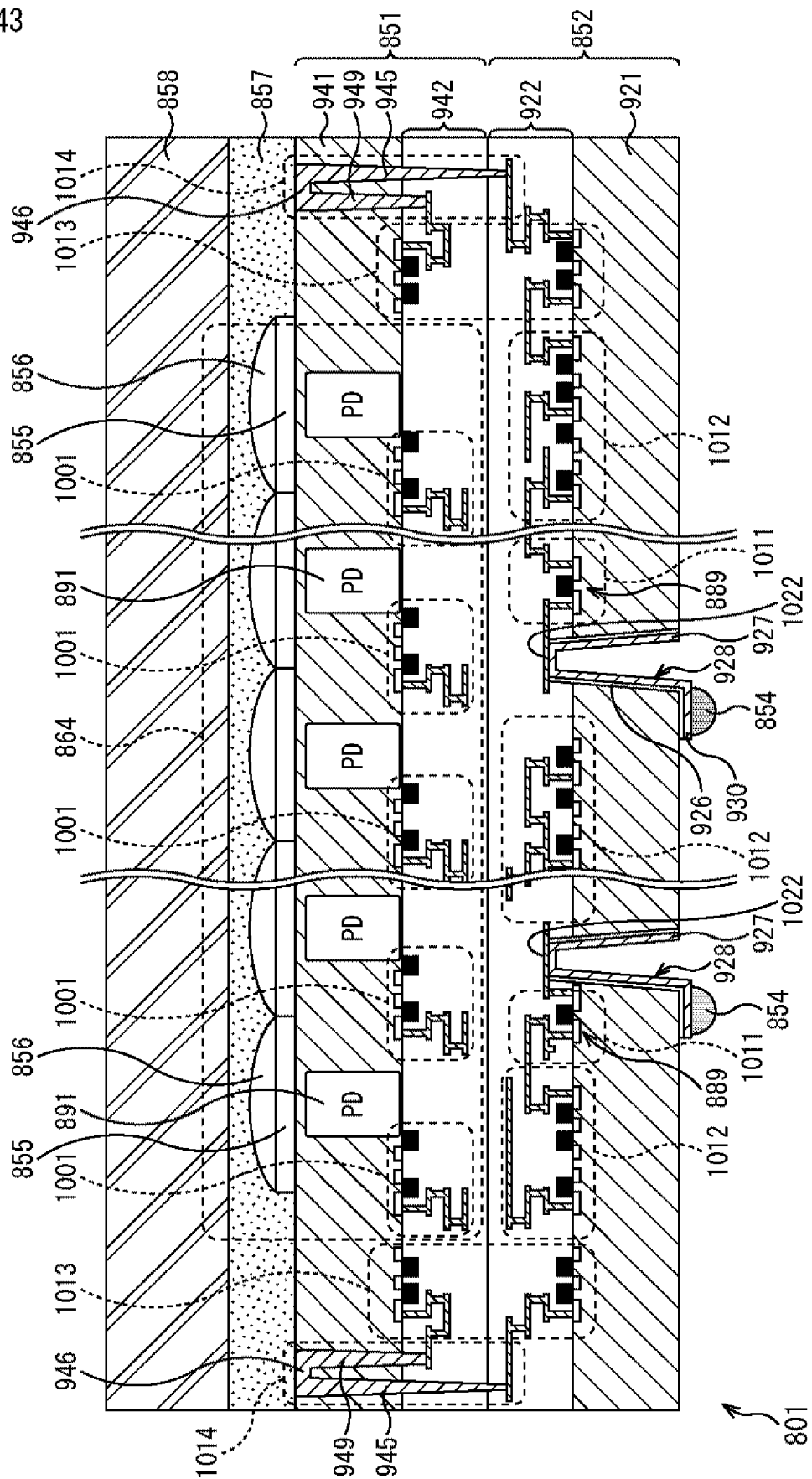
[図41]
FIG. 41



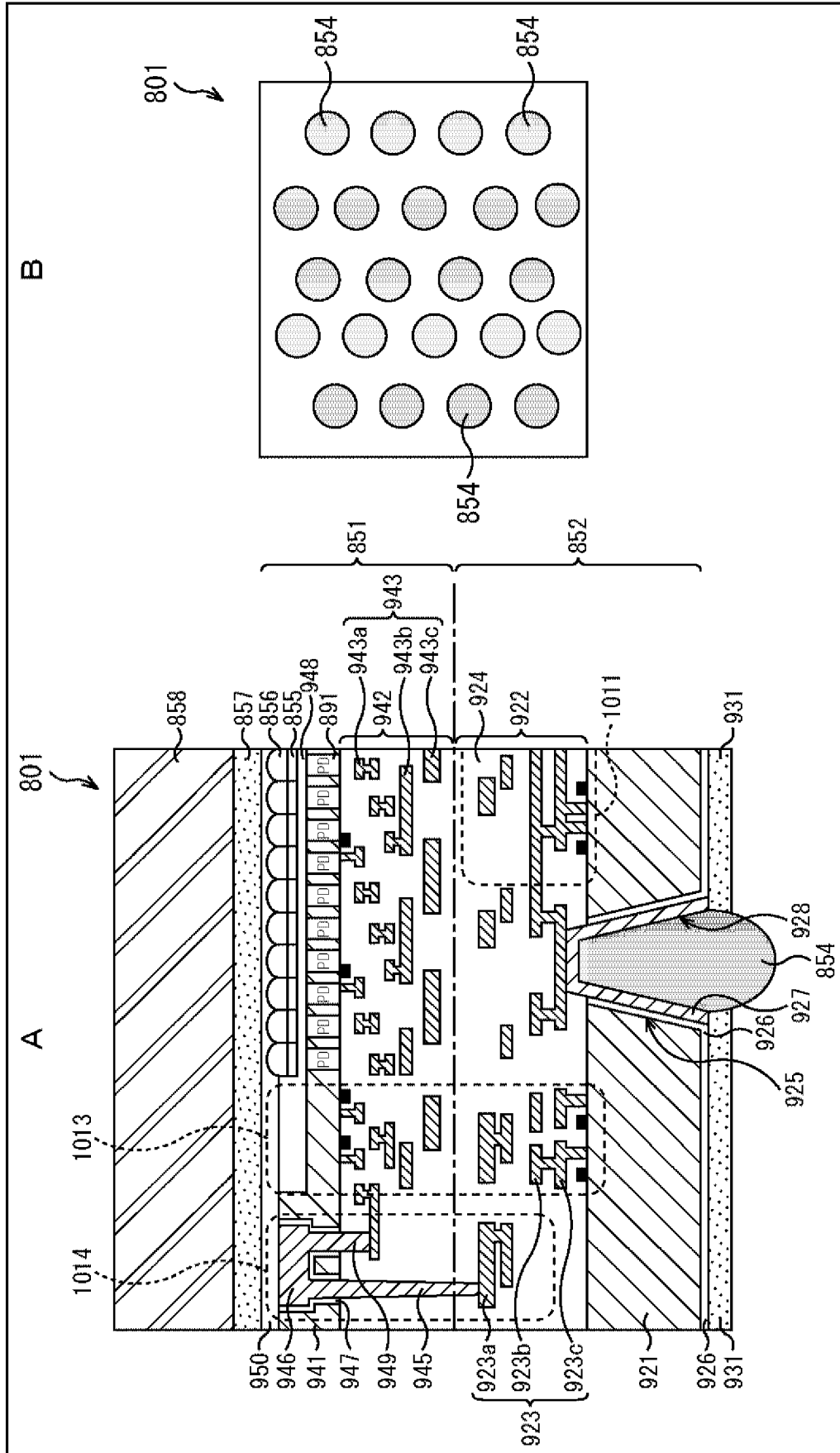
[図42]
FIG. 42



[図43]
FIG. 43

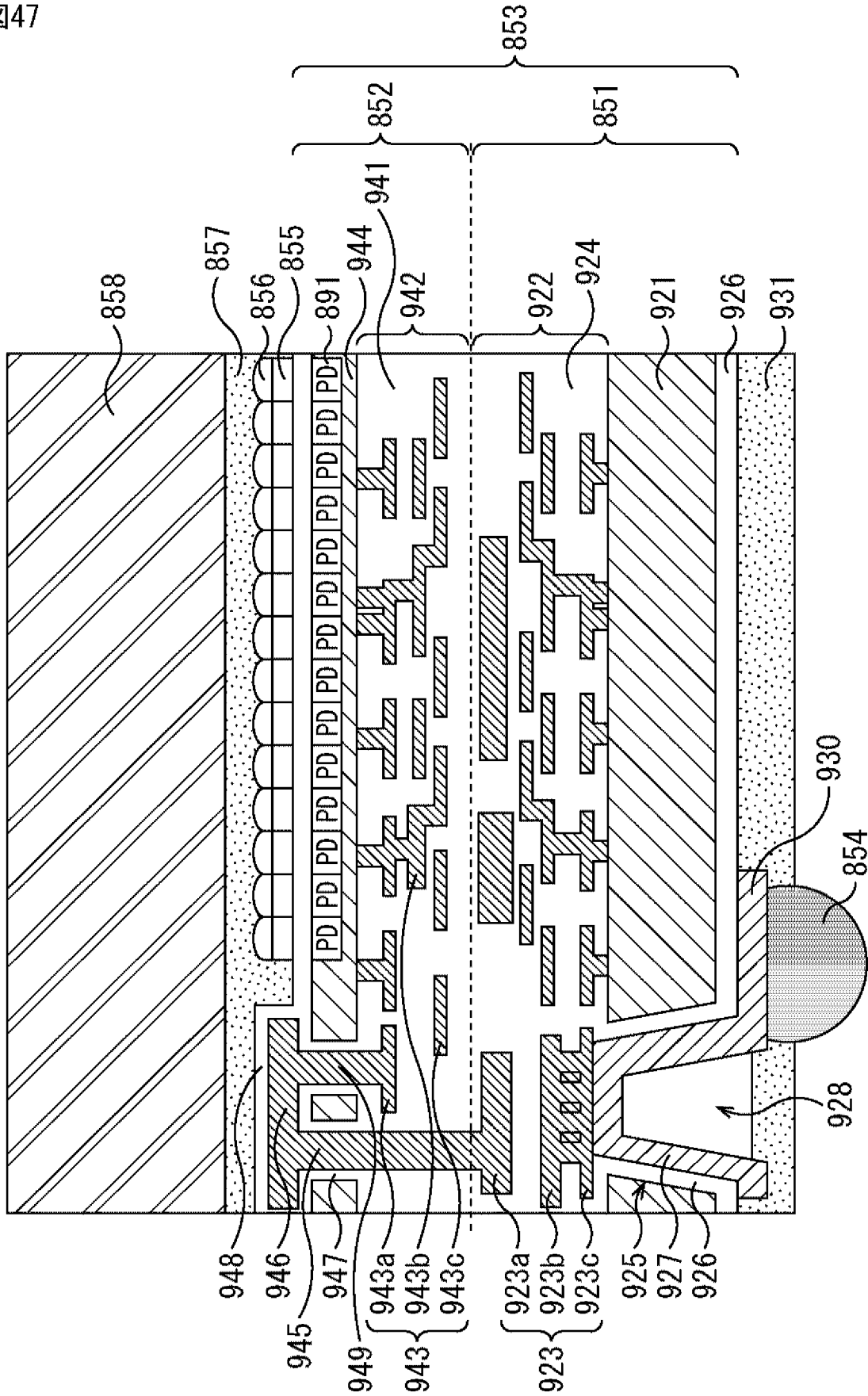


[図46]
FIG. 46

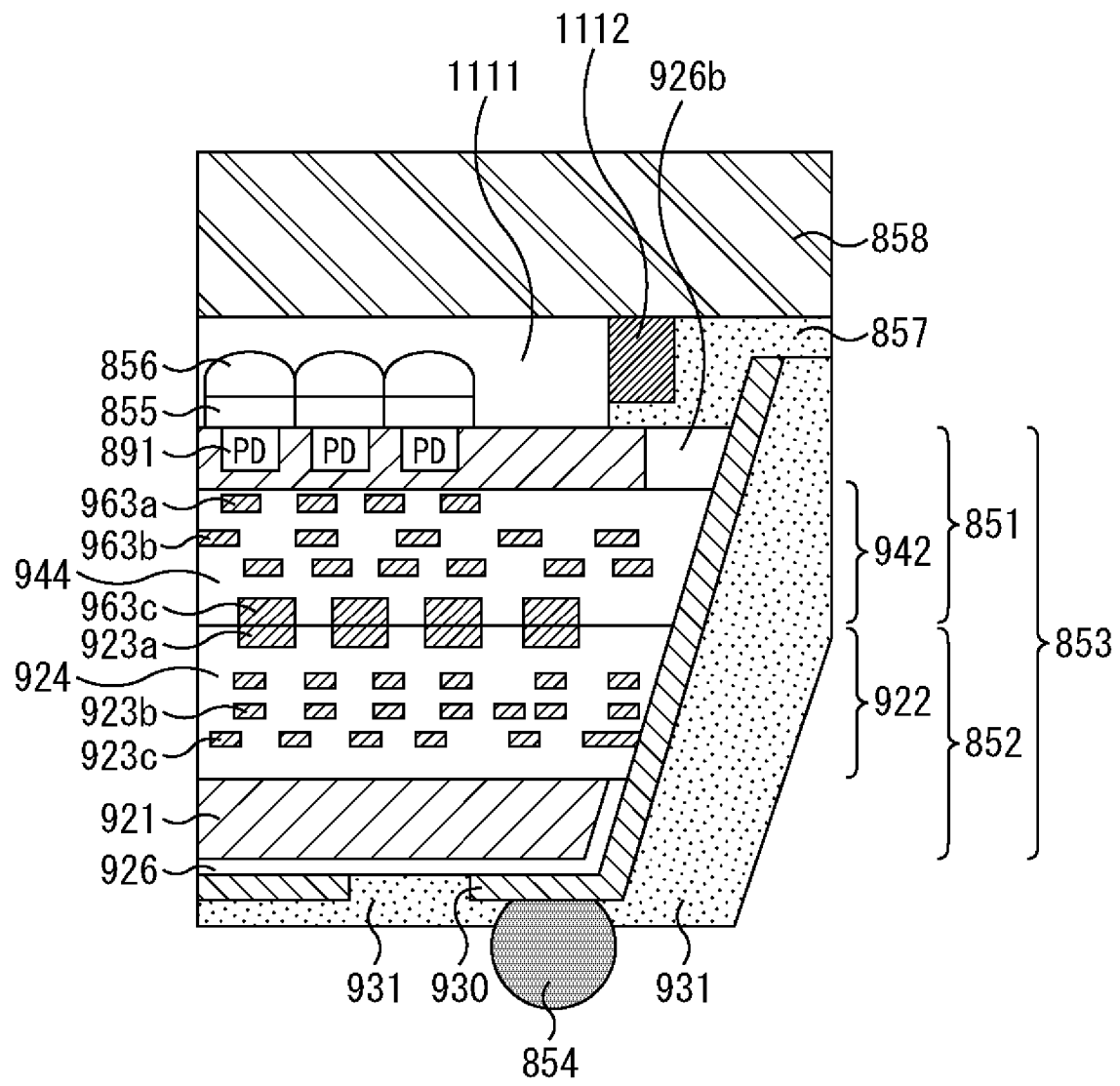


[図47]

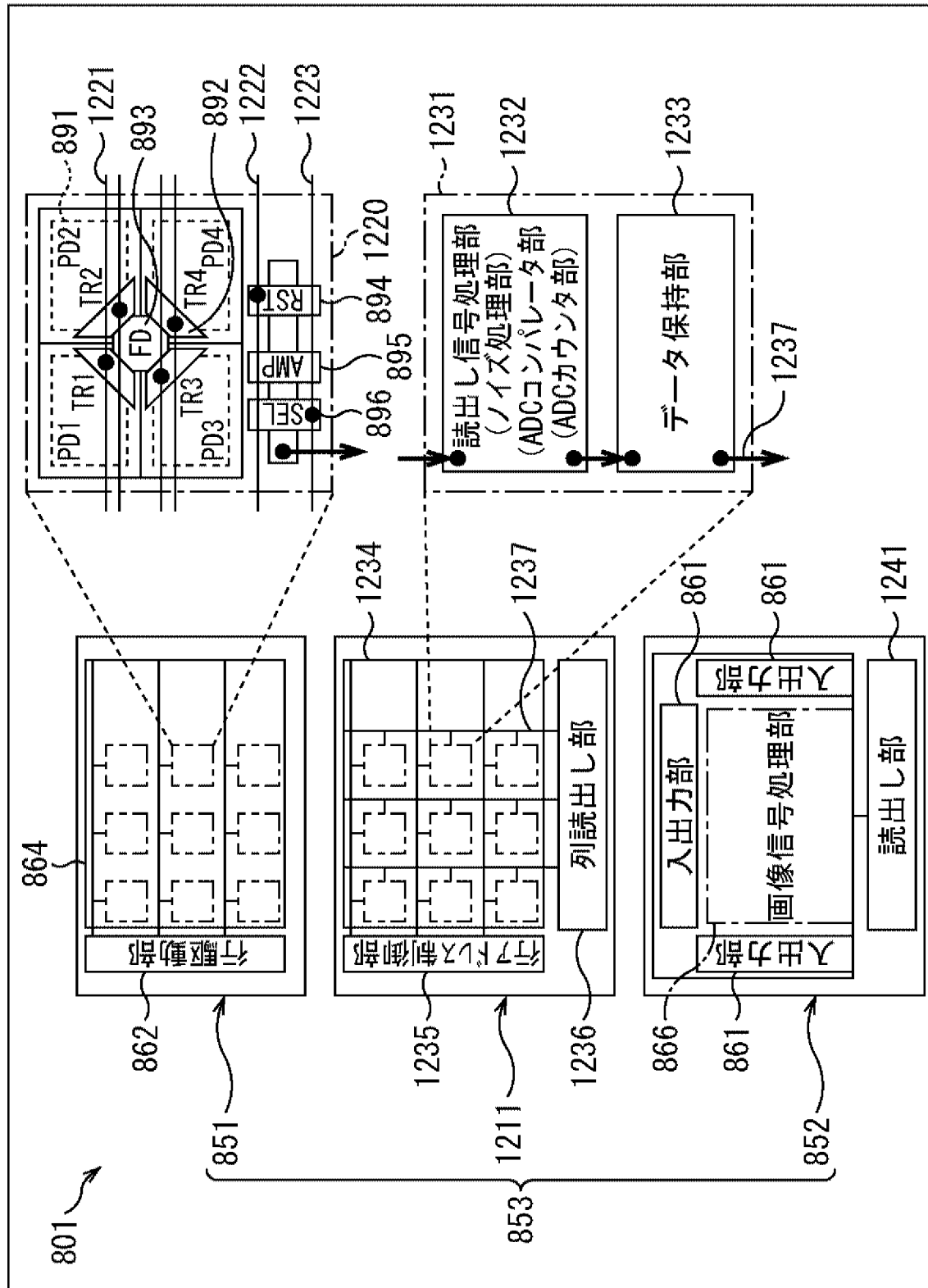
図47



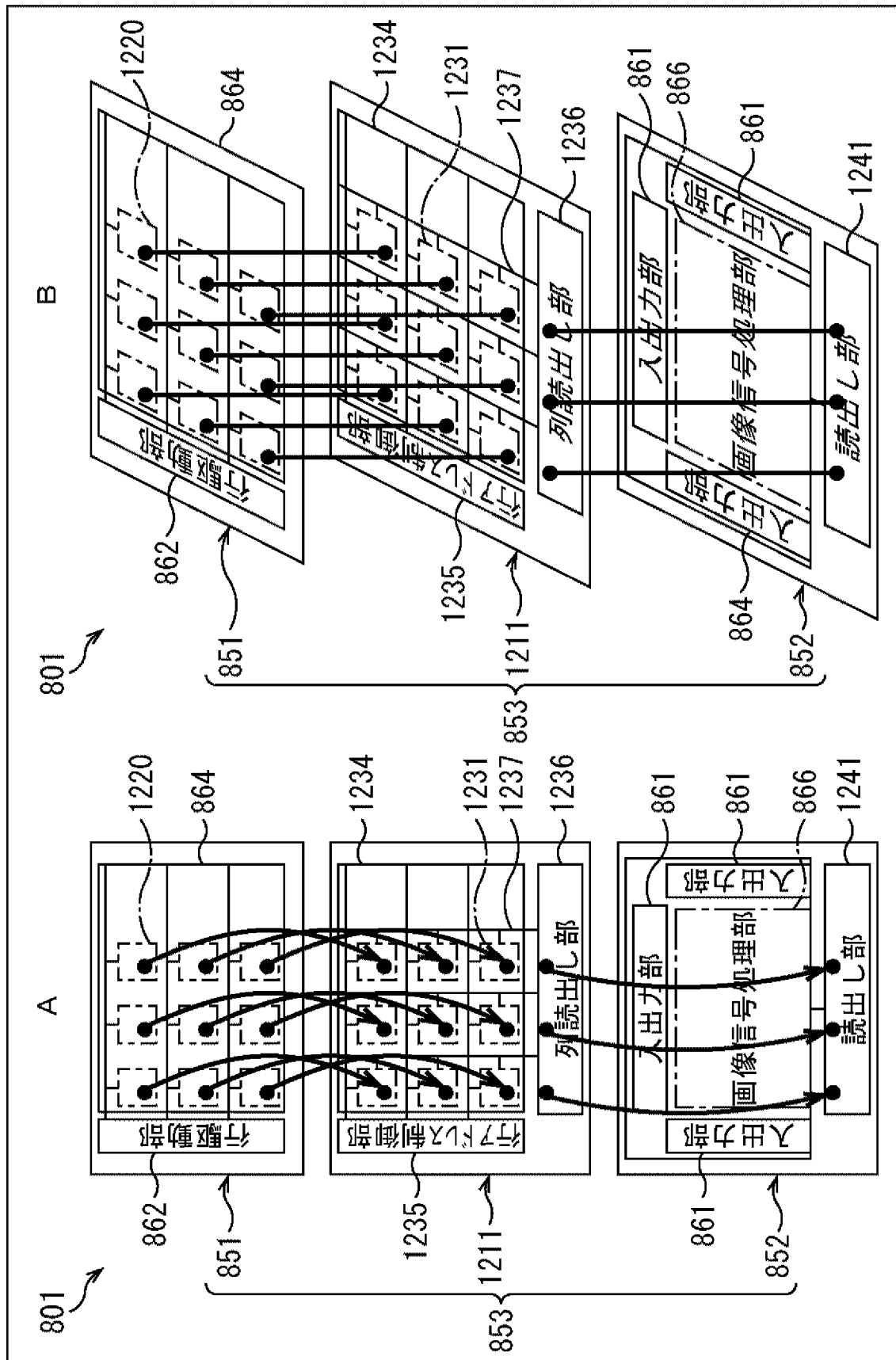
[図48]
FIG. 48



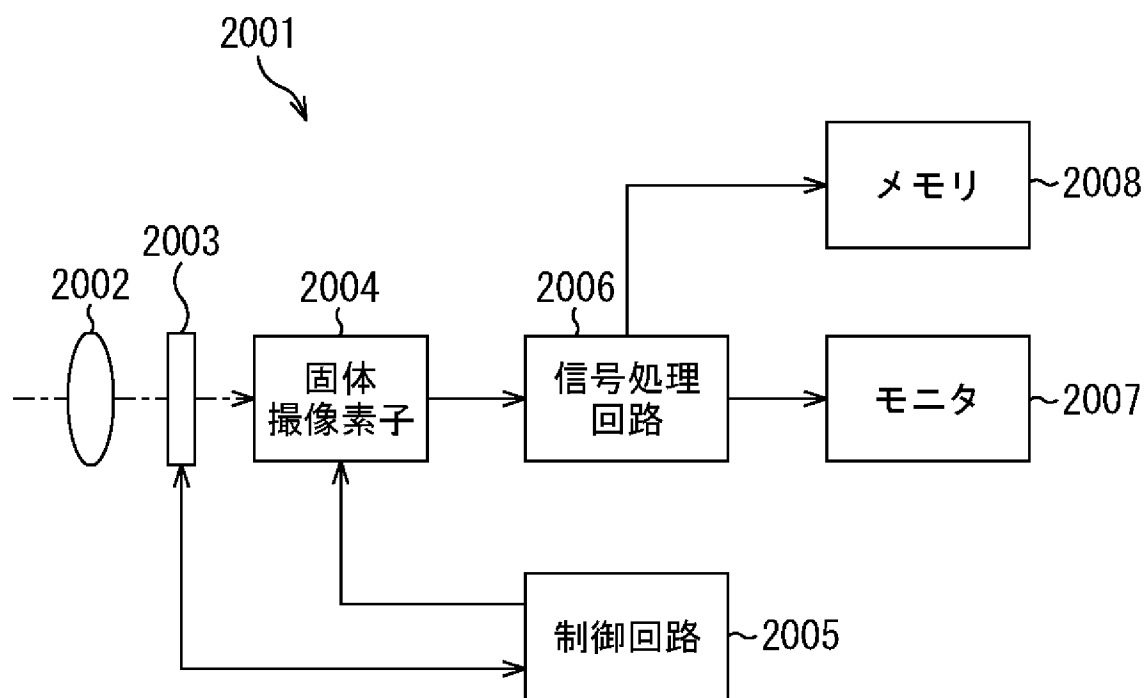
[図49]
FIG. 49



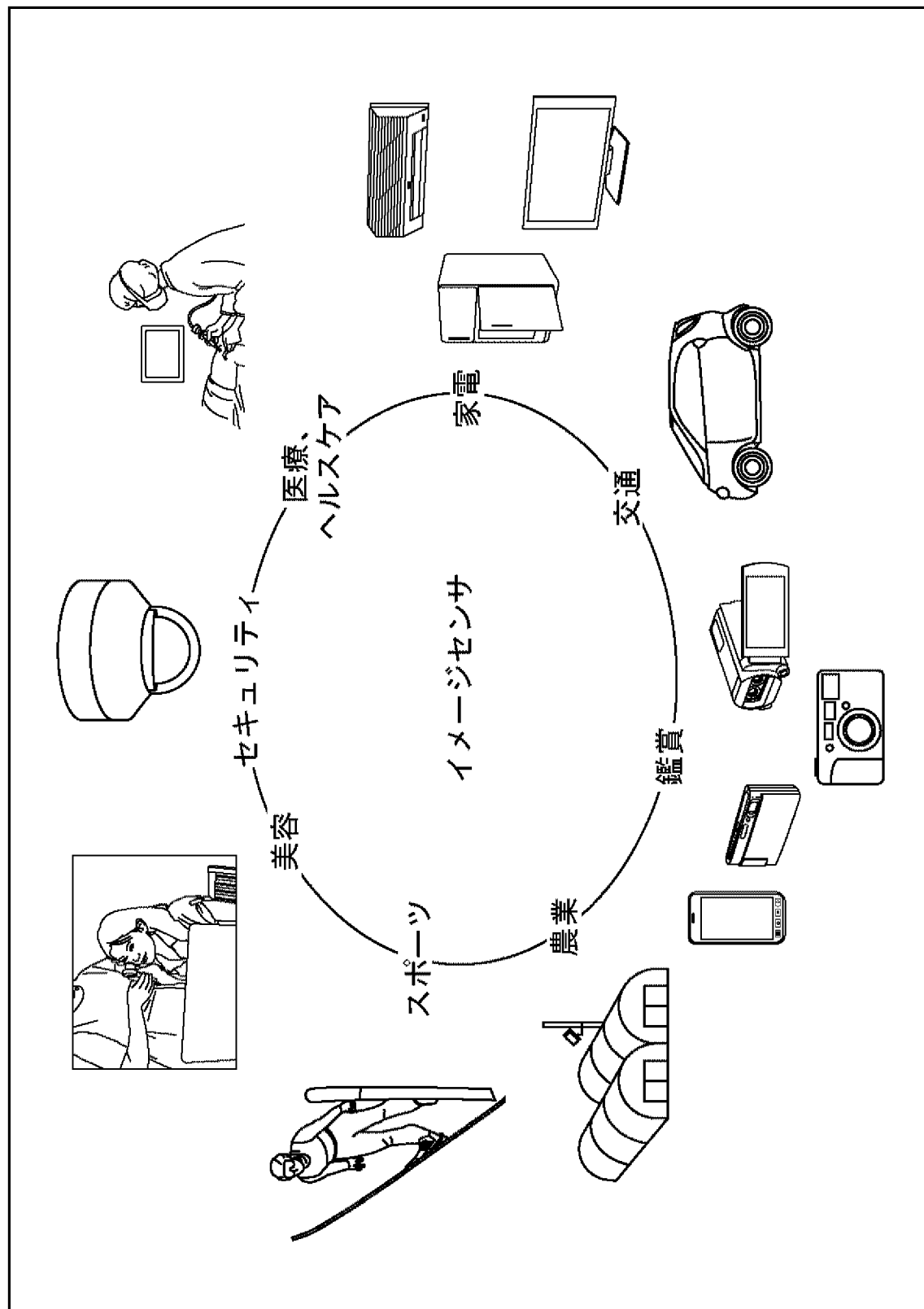
[図50]
FIG. 50



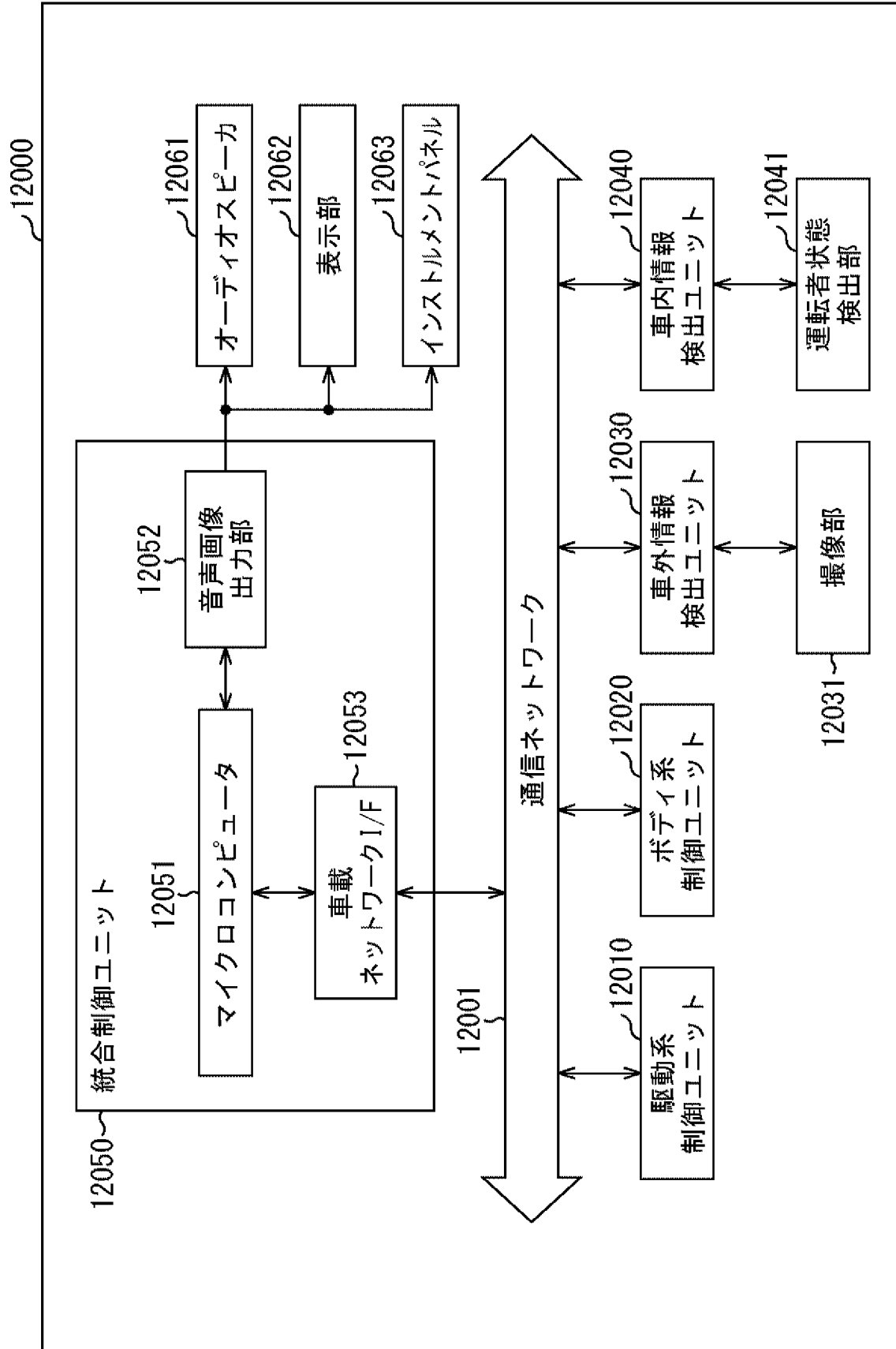
[図51]
FIG. 51



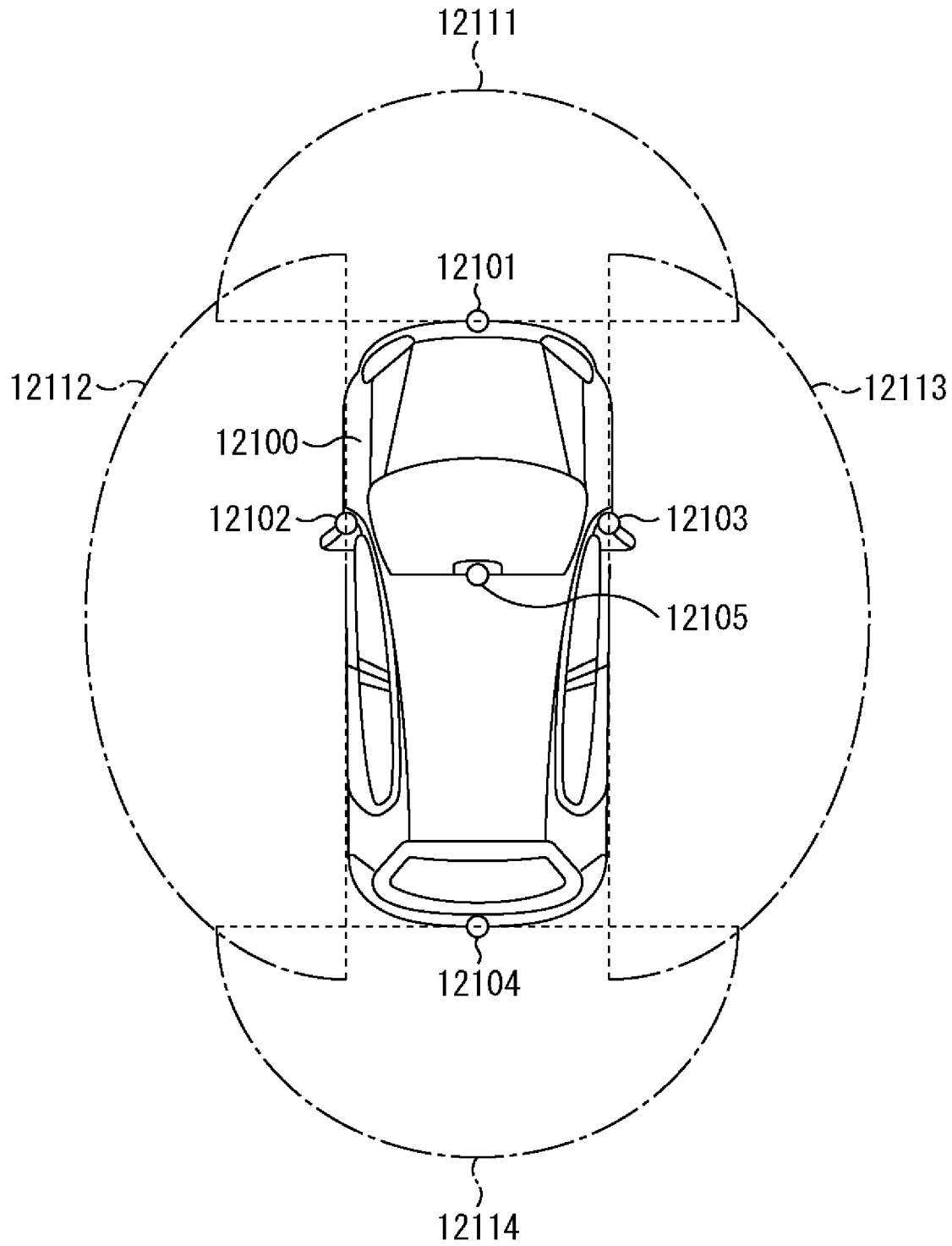
[図52]
FIG. 52



[図53]



[図54]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/020369

A. CLASSIFICATION OF SUBJECT MATTER

H04N5/369(2011.01)i, H04N5/374(2011.01)i, H04N5/376(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/369, H04N5/374, H04N5/376

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2014-17834 A (Sony Corp.), 30 January 2014 (30.01.2014), paragraphs [0020] to [0137] (Family: none)	12
Y	JP 2005-93487 A (Sony Corp.), 07 April 2005 (07.04.2005), paragraph [0055] (Family: none)	12
A	JP 2013-165399 A (Toshiba Corp.), 22 August 2013 (22.08.2013), paragraphs [0047] to [0048] (Family: none)	1-12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 July 2017 (04.07.17)

Date of mailing of the international search report
25 July 2017 (25.07.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/020369

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-109266 A (Matsushita Electric Industrial Co., Ltd.), 08 May 2008 (08.05.2008), paragraph [0076] (Family: none)	1-12
A	JP 2009-177207 A (Sony Corp.), 06 August 2009 (06.08.2009), paragraphs [0019], [0027] (Family: none)	1-12

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H04N5/369(2011.01)i, H04N5/374(2011.01)i, H04N5/376(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H04N5/369, H04N5/374, H04N5/376

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2014-17834 A（ソニー株式会社）2014.01.30, 段落[0020]-[0137] （ファミリーなし）	12
Y	JP 2005-93487 A（ソニー株式会社）2005.04.07, 段落[0055]（ファミリーなし）	12
A	JP 2013-165399 A（株式会社東芝）2013.08.22, 段落[0047]-[0048] （ファミリーなし）	1-12

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

04.07.2017

国際調査報告の発送日

25.07.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

松永 隆志

5 V

4228

電話番号 03-3581-1101 内線 3571

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-109266 A (松下電器産業株式会社) 2008. 05. 08, 段落[0076] (ファミリーなし)	1-12
A	JP 2009-177207 A (ソニー株式会社) 2009. 08. 06, 段落[0019][0027] (ファミリーなし)	1-12