(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. 7
H01L 21/336

(11) 공개번호 특2002 - 0002932
(43) 공개일자 2002년01월10일

(21) 출원번호 10 - 2000 - 0037299
(22) 출원일자 2000년06월30일

(71) 출원인 주식회사 하이닉스반도체
박종섭
경기 이천시 부발읍 아미리 산136 - 1

(72) 발명자 이동근
대구광역시서구평리5동1537 - 23번지

(74) 대리인 박대진
정은섭

심사청구 : 없음

(54) 반도체소자의 게이트전극 형성방법

요약

본 발명은 반도체소자의 게이트전극 형성방법에 관한 것으로써, 반도체기판 상부에 임시막을 증착하는 단계와; 상기 임시막의 상부에 감광막을 도포한 후, 상기 감광막에 노광 및 현상공정을 실시하여 게이트전극이 형성될 부분의 임시막이 형성하고자 하는 게이트전극의 실제크기보다 크게 노출되도록 감광막패턴을 형성하는 단계와; 상기 감광막의 양측에 폴리머를 형성하여 게이트전극이 형성될 부분의 임시막이 형성하고자 하는 게이트전극의 실제크기만큼 노출되도록 하는 단계와; 상기 감광막과 폴리머를 식각마스크로 하여 상기 임시막을 식각해내고, 상기 감광막과 폴리머를 제거하는 단계와; 상기 결과물 전면에 게이트산화막을 증착하고, 상기 게이트산화막의 상부에 게이트전극 물질을 형성하는 단계와; 상기 결과물에 평탄화공정을 실시하여 상기 임시막의 상부에 형성되어 있는 게이트전극 물질 및 게이트산화막을 제거하여 상기 임시막이 노출되도록 한 후, 상기 임시막을 제거하는 단계를 포함하여 이루어짐으로써, 0.1㎛ 이하의 작은 크기를 가지는 게이트전극을 형성할 수 있는 이점이 있다.

대표도

도 6

색인어

폴리머, 상감방법, 게이트전극

명세서

도면의 간단한 설명

도 1 내지 도 9는 본 발명에 따른 반도체소자의 게이트전극 형성방법을 설명하기 위해 도시된 단면도들이다.

＊도면의 주요부분에 대한 부호의 설명＊

110 ; 반도체기판 120 ; 소자분리막

130 ; 임시막 140 ; 감광막

150 ; 폴리머 160 ; 게이트산화막

170 ; 게이트전극물질 G'; 게이트전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자의 게이트전극 형성방법에 관한 것으로써, 보다 자세하게는 크기조절이 용이한 폴리머와 감광막을 이용한 상감방법으로 게이트전극을 형성함으로써, 0.1㎛ 이하의 작은 크기를 가지는 게이트전극을 형성할 수 있도록 한 반도체소자의 게이트전극 형성방법에 관한 것이다.

종래의 게이트전극 형성방법이 도 1 내지 도 3에 도시되어 있다.

우선, 도 1에 도시된 바와 같이 하부구조물이 형성된 반도체기판(10) 상부에 게이트산화막(20)을 형성하고, 그 상부에 게이트전극 물질(30)을 형성한다.

이때, 상기 게이트전극 물질은 폴리실리콘막, 금속막, 폴리실리콘막 및 금속막으로 이루어진 이중막 중 어느 하나이다.

이후, 도 2에 도시된 바와 같이 상기 게이트전극 물질(30)의 상부에 감광막을 형성한 후, 상기 감광막(40)에 노광 및 현상공정을 실시하여 게이트전극이 형성될 부분의 감광막을 제외한 나머지 부분의 감광막을 제거하면서 감광막(40)패턴을 형성한다.

이후, 도 3에 도시된 바와 같이 상기 감광막(40)패턴을 식각마스크로 하여 게이트전극 물질(30) 및 게이트산화막(20)을 식각해내고, 상기 감광막(40)패턴을 제거하여 게이트전극(G)을 형성한다.

이때, 상기와 같은 종래의 게이트전극 형성방법에서 감광막패턴의 크기와 형태에 따라 형성되는 게이트전극의 크기와 형태가 달라지게 된다.

그래서, 0.1㎛ 이하의 게이트전극을 형성하고자 하면, 먼저 감광막에 노광 및 현상공정을 실시하여 0.1㎛ 이하의 크기를 가지는 감광막패턴을 형성해야 한다.

하지만, 현재의 기술로는 0.1㎛ 이하의 크기를 가지는 감광막패턴을 제조하기에는 한계가 있다.

발명이 이루고자 하는 기술적 과제

상기와 같은 문제점을 해결하기 위하여 창안된 본 발명의 목적은 크기조절이 용이한 폴리머와 감광막을 이용한 상감방법으로 게이트전극을 형성함으로써, 0.1㎛ 이하의 작은 크기를 가지는 게이트전극을 형성할 수 있도록 한 반도체소자의 게이트전극 형성방법을 제공하는데 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명은 반도체기판 상부에 임시막을 증착하는 단계와; 상기 임시막의 상부에 감광막을 도포한 후, 상기 감광막에 노광 및 현상공정을 실시하여 게이트전극이 형성될 부분의 임시막이 형성하고자 하는 게이트전극의 실제크기보다 크게 노출되도록 감광막패턴을 형성하는 단계와; 상기 감광막의 양측에 폴리머를 형성하여 게이트전극이 형성될 부분의 임시막이 형성하고자 하는 게이트전극의 실제크기만큼 노출되도록 하는 단계와; 상기 감광막과 폴리머를 식각마스크로 하여 상기 임시막을 식각해내고, 상기 감광막과 폴리머를 제거하는 단계와; 상기 결과물 전면에 게이트산화막을 증착하고, 상기 게이트산화막의 상부에 게이트전극 물질을 형성하는 단계와; 상기 결과물에 평탄화공정을 실시하여 상기 임시막의 상부에 형성되어 있는 게이트전극 물질 및 게이트산화막을 제거하여 상기 임시막이 노출되도록 한 후, 상기 임시막을 제거하는 단계; 를 포함하여 이루어진 것을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대해 설명하고자 한다. 또한, 본 실시예는 발명의 권리범위를 제한하는 것이 아니고, 단지 예시로 제시된 것이다.

도 4 내지 도 12는 본 발명에 따른 반도체소자의 게이트전극 형성방법을 설명하기 위해 도시된 단면도들이다.

우선, 도 4a에 도시된 바와 같이 소자분리막(120)이 형성된 반도체기판(110) 상부에 임시막(130)을 증착한다.

상기 임시막(130)으로는 질화막, 산화막 중 어느 하나를 사용하거나, 도 4b에 도시된 바와 같이 상기 반도체기판 상부에 산화막(130')을 증착한 후, 상기 산화막(130')의 상부에 질화막을 증착하여 이루어진 이중막을 사용한다.

이후, 도 5에 도시된 바와 같이 상기 임시막(130)의 상부에 감광막(140)을 도포한 후, 상기 감광막(140)에 노광 및 현상공정을 실시하여 게이트전극이 형성될 부분의 임시막(130)이 형성하고자 하는 게이트전극의 실제크기보다 크게 노출되도록 감광막(140)패턴을 형성한다.

이후, 도 6에 도시된 바와 같이 상기 감광막(140)의 양측에 폴리머(150)를 형성하여 게이트전극이 형성될 부분의 임시막(130)이 형성하고자 하는 게이트전극의 실제크기만큼 노출되도록 한다.

이후, 도 7에 도시된 바와 같이 상기 폴리머(150)와 감광막(140)을 식각마스크로 하여 상기 임시막(130)을 식각해내고, 상기 폴리머(150)와 감광막(140)을 제거한다.

이후, 도 8에 도시된 바와 같이 상기 결과물 전면에 게이트산화막(160)을 증착하고, 도 9에 도시된 바와 같이 상기 게이트산화막(160)의 상부에 게이트전극 물질(170)을 형성한다.

이때, 상기 게이트전극 물질(170)은 폴리실리콘막, 금속막, 폴리실리콘막 및 금속막으로 이루어진 이중막 중 어느 하나이다.

이후, 도 10에 도시된 바와 같이 상기 결과물에 평탄화공정을 실시하여 상기 임시막(130)의 상부에 형성되어 있는 게이트전극 물질(170) 및 게이트산화막(160)을 제거하여 상기 임시막(130)이 노출되도록 한다,

상기 평탄화공정은 화학적 기계적 연마공정(CMP;Chemical mechanical polishing), 블랭킷 에치(Blanket etch)공정 중 어느 하나를 이용한다.

이후, 도 11에 도시된 바와 같이 상기 임시막(130)을 제거하여 게이트전극(G')을 형성한다.

발명의 효과

상기한 바와 같이 본 발명은 반도체소자의 게이트전극 형성방법에 관한 것으로써, 크기조절이 용이한 폴리머와 감광막을 이용한 상감방법으로 게이트전극을 형성함으로써, 0.1㎛ 이하의 작은 크기를 가지는 게이트전극을 형성할 수 있는 이점이 있다.

또한, 게이트전극의 크기가 감소하므로 반도체소자에서 게이트전극과 비트라인 콘택간의 스페이싱이나 게이트전극과 캐패시터의 하부전극 콘택간의 스페이싱의 확보가 유리해짐으로써, 단락방지에 용이한 효과를 가진다.

또한, 게이트전극의 크기를 줄일 수 있으므로, 반도체소자 전체의 크기를 줄일 수 있다.

(57) 청구의 범위

청구항 1.

반도체기판 상부에 임시막을 증착하는 단계와;

상기 임시막의 상부에 감광막을 도포한 후, 상기 감광막에 노광 및 현상공정을 실시하여 게이트전극이 형성될 부분의 임시막이 형성하고자 하는 게이트전극의 실제크기보다 크게 노출되도록 감광막패턴을 형성하는 단계와;

상기 감광막의 양측에 폴리머를 형성하여 게이트전극이 형성될 부분의 임시막이 형성하고자 하는 게이트전극의 실제크기만큼 노출되도록 하는 단계와;

상기 폴리머와 감광막을 식각마스크로 하여 상기 임시막을 식각해내고, 상기 폴리머와 감광막을 제거하는 단계와;

상기 결과물 전면에 게이트산화막을 증착하고, 상기 게이트산화막의 상부에 게이트전극 물질을 형성하는 단계와;

상기 결과물에 평탄화공정을 실시하여 상기 임시막의 상부에 형성되어 있는 게이트전극 물질 및 게이트산화막을 제거하여 상기 임시막이 노출되도록 한 후, 상기 임시막을 제거하는 단계;

를 포함하여 이루어지는 것을 특징으로 하는 반도체소자의 게이트전극 형성방법.

청구항 2.

제 1항에 있어서,

상기 임시막은 질화막인 것을 특징으로 하는 반도체소자의 게이트전극 형성방법.

청구항 3.

제 1항에 있어서,

상기 임시막은 산화막인 것을 특징으로 하는 반도체소자의 게이트전극 형성방법.

청구항 4.

제 1항에 있어서,

상기 임시막은 상기 반도체기판 상부에 산화막을 증착한 후, 상기 산화막의 상부에 질화막을 증착하여 이루어진 이중막인 것을 특징으로 하는 반도체소자의 게이트전극 형성방법.

청구항 5.

제 1항에 있어서,

상기 게이트전극 물질은 폴리실리콘막, 금속막, 폴리실리콘막 및 금속막으로 이루어진 이중막 중 어느 하나인 것을 특징으로 하는 반도체소자의 게이트전극 형성방법.

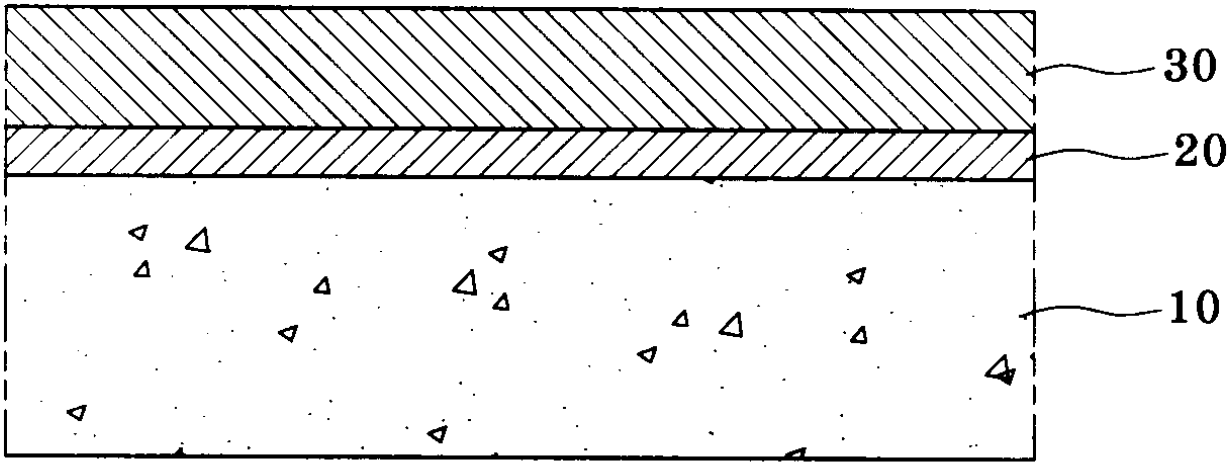
청구항 6.

제 1항에 있어서,

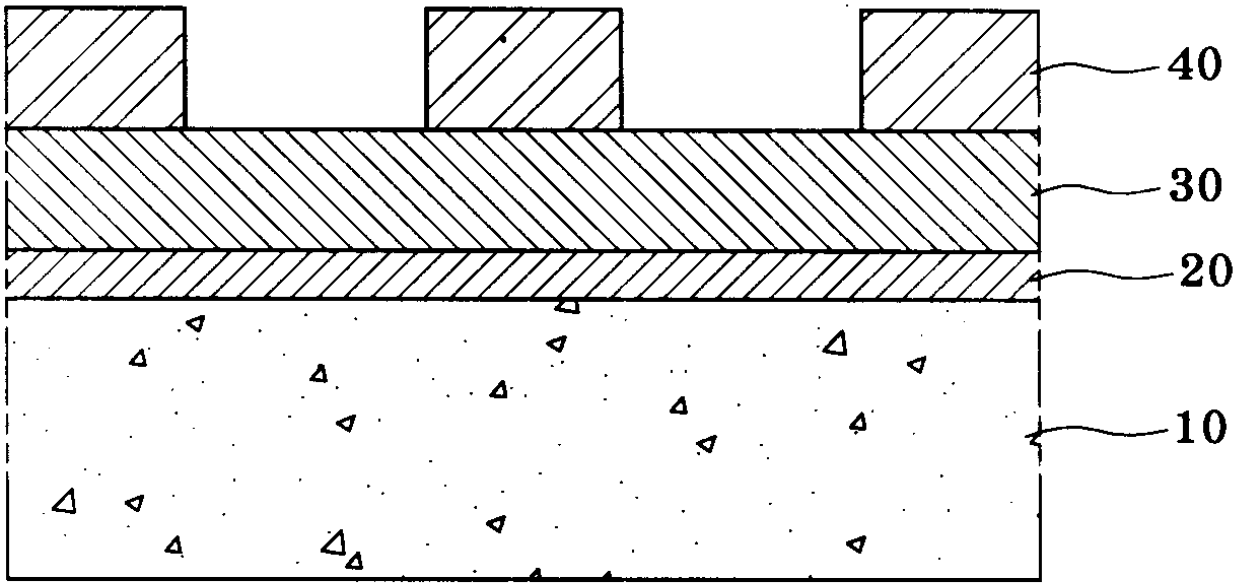
상기 평탄화공정은 화학적 기계적 연마공정, 블랭킷 에치공정 중 어느 하나를 이용한 것임을 특징으로 하는 반도체소자의 게이트전극 형성방법.

도면

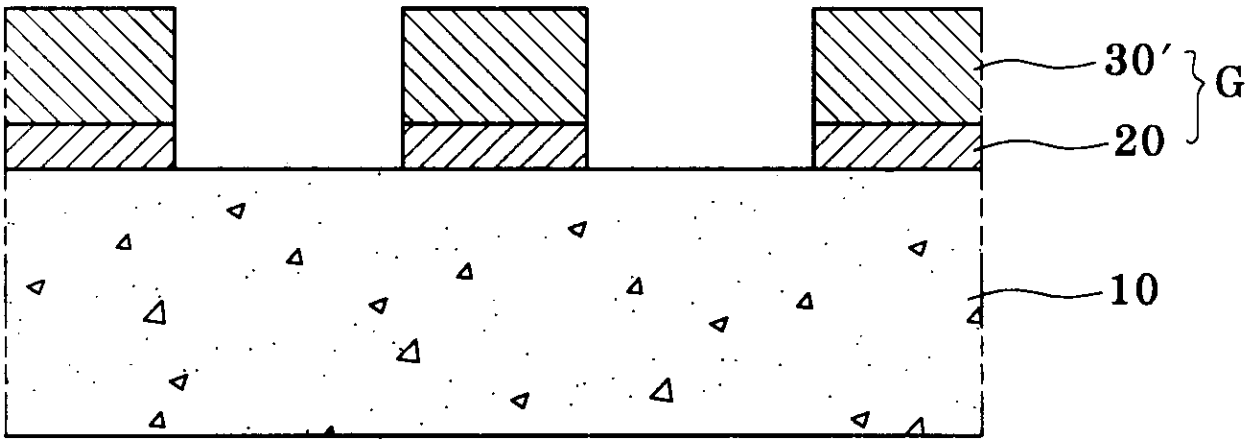
도면 1



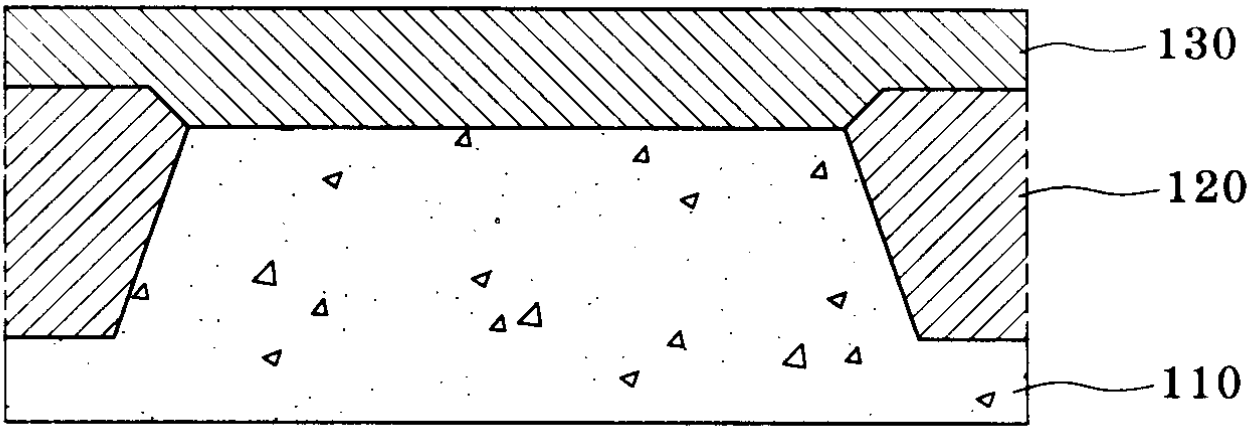
도면 2



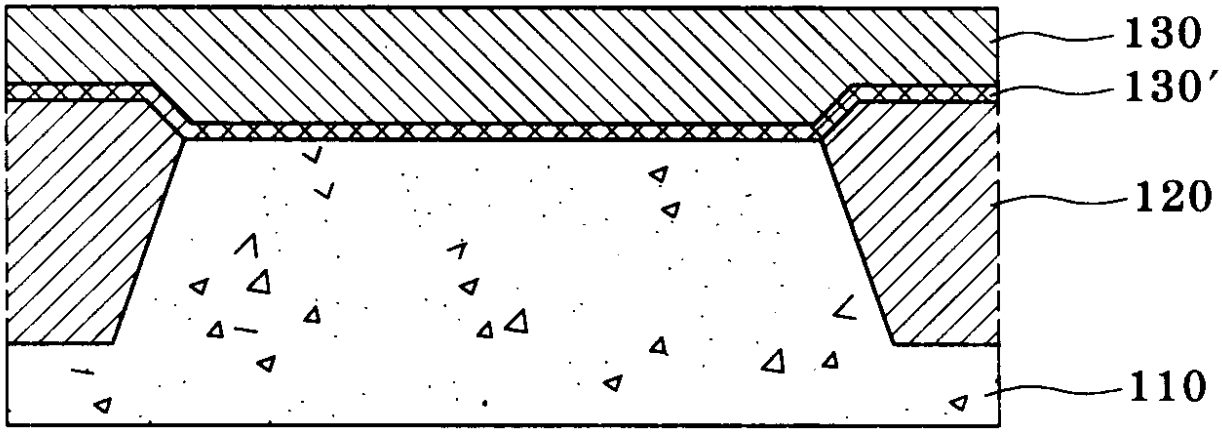
도면 3



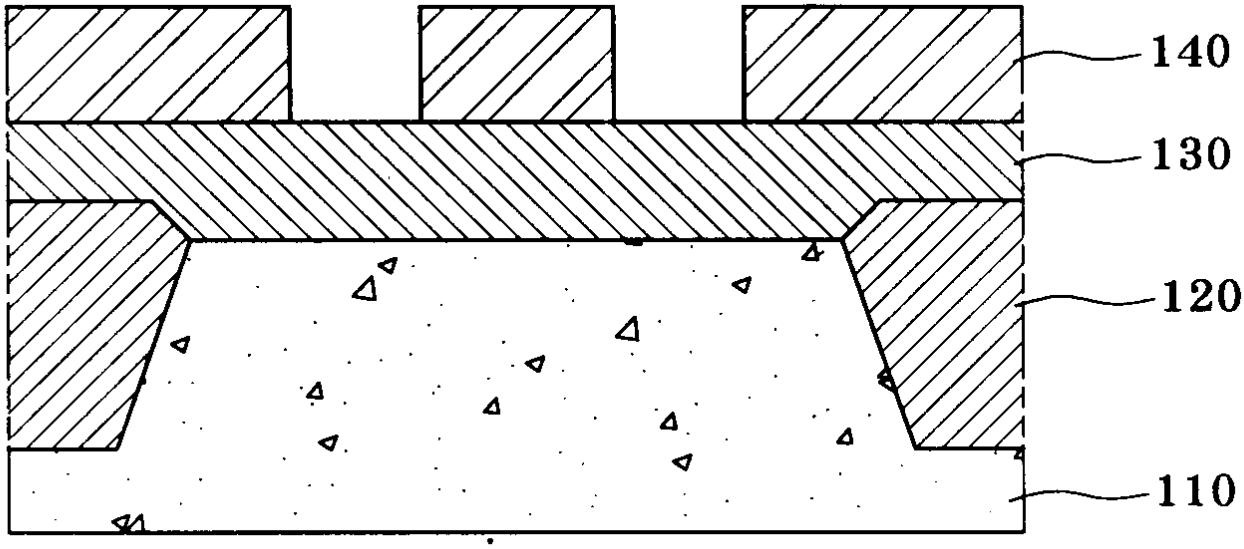
도면 4a



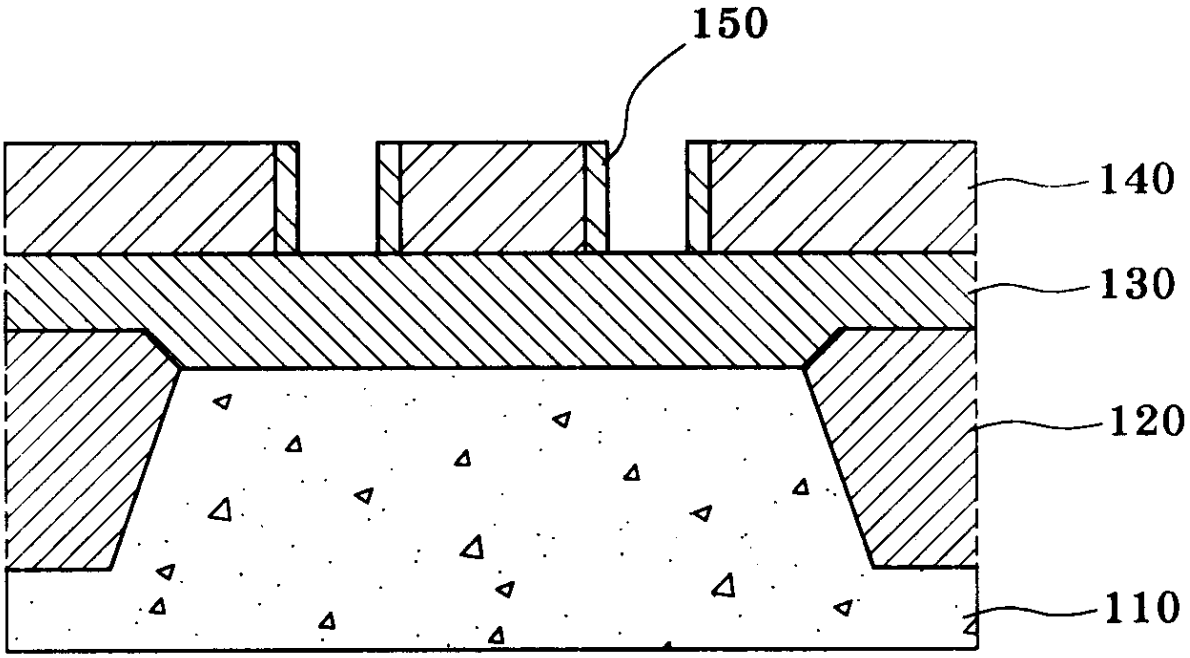
도면 4b



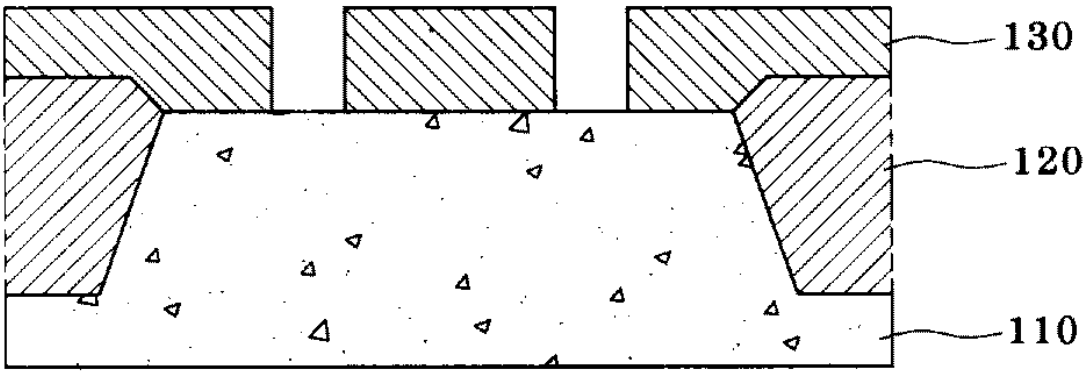
도면 5



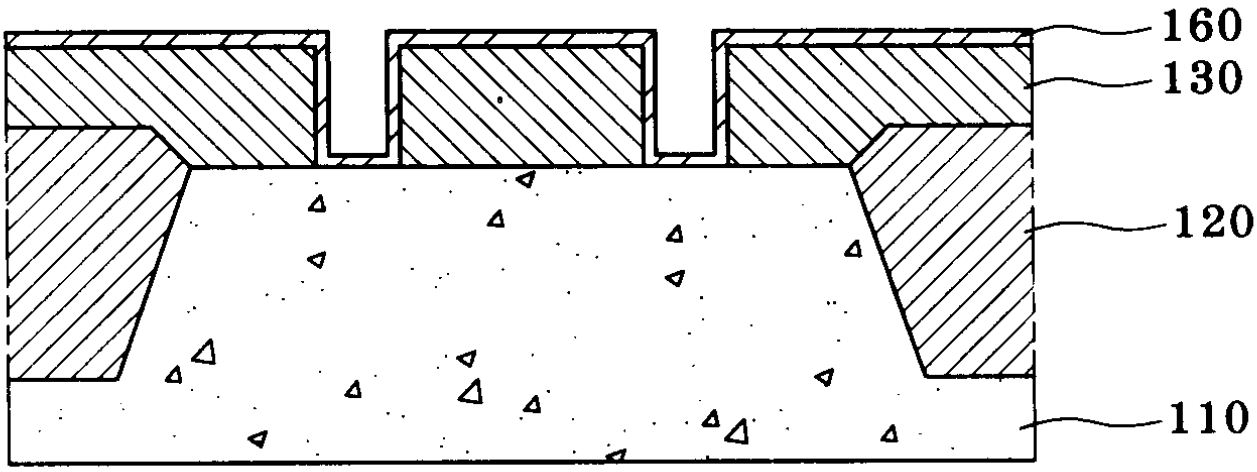
도면 6



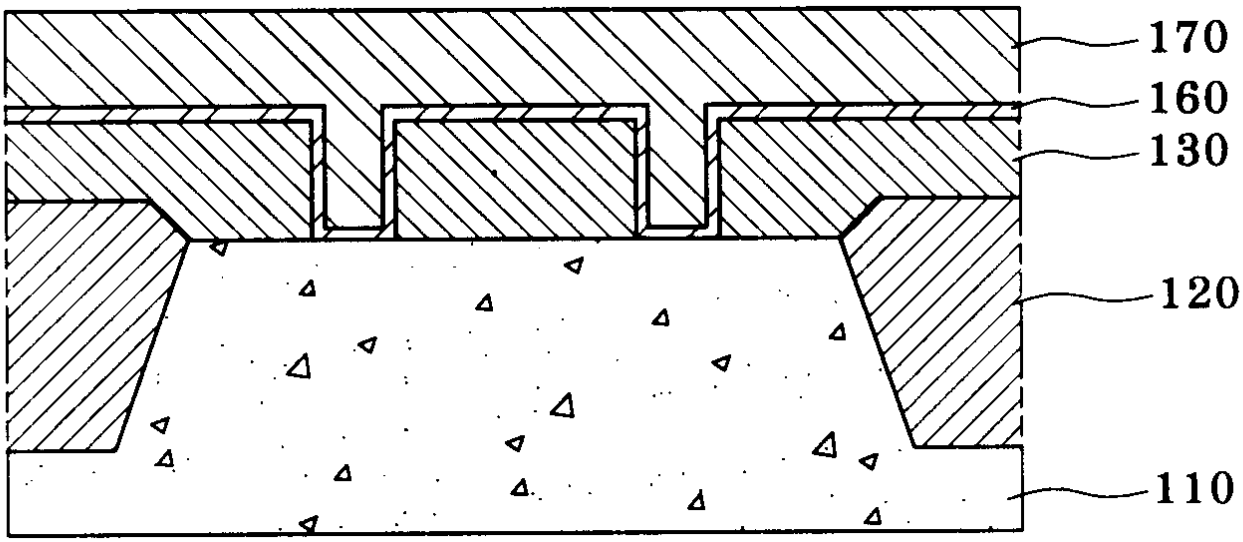
도면 7



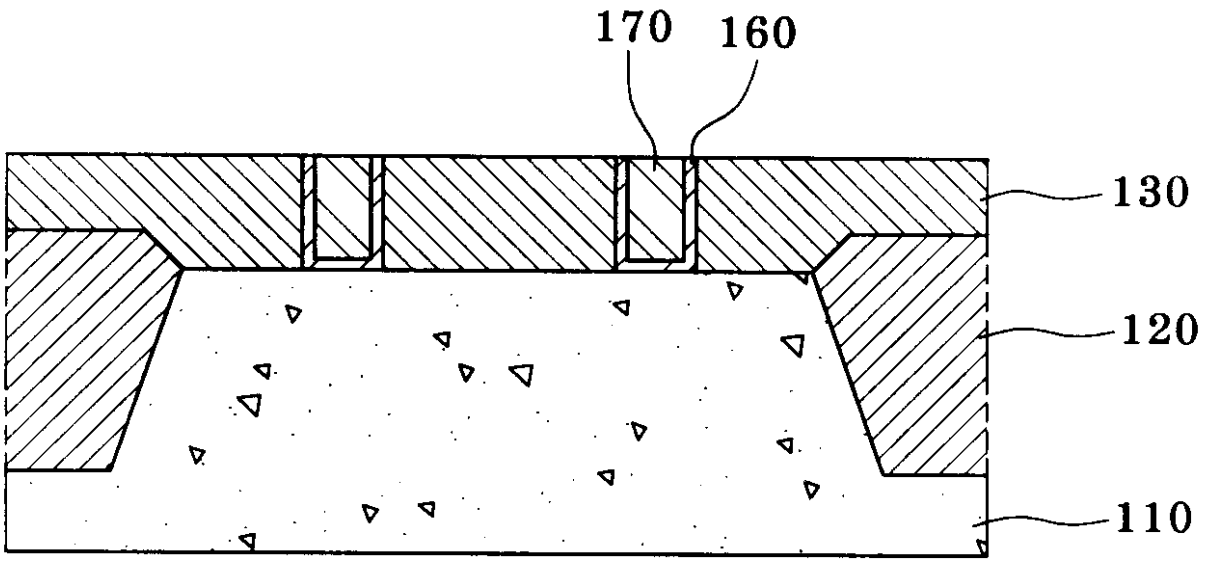
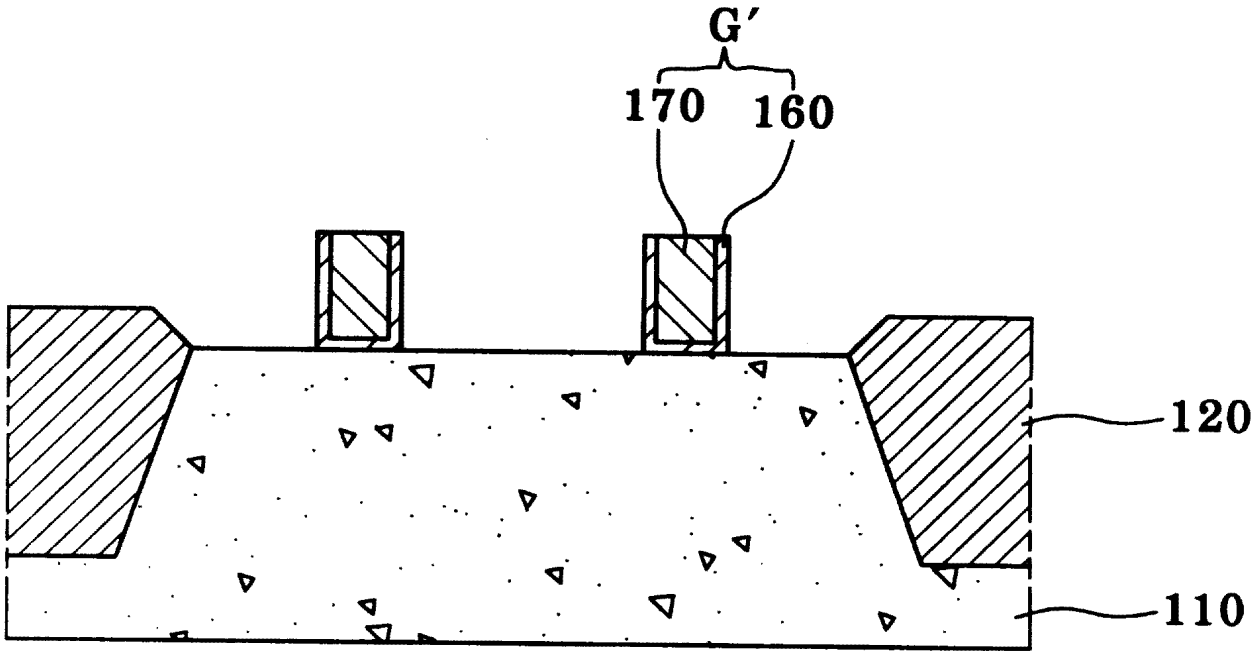
도면 8



도면 9



도면 10



도면 11