

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4983562号  
(P4983562)

(45) 発行日 平成24年7月25日(2012.7.25)

(24) 登録日 平成24年5月11日(2012.5.11)

(51) Int.Cl.		F I			
<b>H03K 17/30</b>	<b>(2006.01)</b>	H03K 17/30		F	
<b>H03K 19/0175</b>	<b>(2006.01)</b>	H03K 19/00		I O I K	
<b>H03K 5/08</b>	<b>(2006.01)</b>	H03K 5/08		J	

請求項の数 2 (全 14 頁)

(21) 出願番号	特願2007-297736 (P2007-297736)	(73) 特許権者	308014341
(22) 出願日	平成19年11月16日(2007.11.16)		富士通セミコンダクター株式会社
(65) 公開番号	特開2009-124537 (P2009-124537A)		神奈川県横浜市港北区新横浜二丁目10番23
(43) 公開日	平成21年6月4日(2009.6.4)	(74) 代理人	100092174
審査請求日	平成22年8月30日(2010.8.30)		弁理士 平戸 哲夫
		(72) 発明者	森井 正晴
			東京都新宿区西新宿二丁目7番1号 富士通エレクトロニクス株式会社内
		審査官	栗栖 正和

最終頁に続く

(54) 【発明の名称】 シュミット回路

(57) 【特許請求の範囲】

【請求項1】

ソースを第1の電源電圧を供給する第1の電源線に接続し、ドレインを第1のノードに接続し、ゲートを入力信号が与えられる信号入力端子に接続した第1のPチャネル電界効果トランジスタと、

ソースを前記第1のノードに接続し、ドレインを第2のノードに接続し、ゲートを前記信号入力端子に接続した第2のPチャネル電界効果トランジスタと、

ドレインを前記第2のノードに接続し、ソースを前記第1の電源電圧よりも低い第2の電源電圧を供給する第2の電源線に接続し、ゲートを前記信号入力端子に接続したNチャネル電界効果トランジスタと、

入力端子を前記第2のノードに接続し、出力端子を信号出力端子に接続したインバータと、

ソースを前記第2の電源線に接続し、ドレインを前記第1のノードに接続し、ゲートを前記第2のノードに接続した第3のPチャネル電界効果トランジスタと、

第1の入力端子を前記信号入力端子に接続し、第2の入力端子を前記インバータの出力端子に接続し、前記入力信号に対する回路しきい値電圧を、前記第1のPチャネル電界効果トランジスタと前記第2のPチャネル電界効果トランジスタと前記Nチャネル電界効果トランジスタとからなる入力部のみにより決まる回路しきい値電圧よりも前記第2の電源電圧側に設定されたノア回路と、

ソースを前記第2の電源線に接続し、ドレインを前記第1のノードに接続し、ゲートを

前記ノア回路の出力端子に接続した第4のPチャネル電界効果トランジスタとを有することを特徴とするシュミット回路。

【請求項2】

ソースを第1の電源電圧を供給する第1の電源線に接続し、ドレインを第1のノードに接続し、ゲートを入力信号が与えられる信号入力端子に接続したPチャネル電界効果トランジスタと、

ドレインを前記第1のノードに接続し、ソースを第2のノードに接続し、ゲートを前記信号入力端子に接続した第1のNチャネル電界効果トランジスタと、

ドレインを前記第2のノードに接続し、ソースを前記第1の電源電圧よりも低い第2の電源電圧を供給する第2の電源線に接続し、ゲートを前記信号入力端子に接続した第2のNチャネル電界効果トランジスタと、

入力端子を前記第1のノードに接続し、出力端子を信号出力端子に接続したインバータと、

ドレインを前記第1の電源線に接続し、ソースを前記第2のノードに接続し、ゲートを前記第1のノードに接続した第3のNチャネル電界効果トランジスタと、

第1の入力端子を前記信号入力端子に接続し、第2の入力端子を前記インバータの出力端子に接続し、前記入力信号に対する回路しきい値電圧を、前記Pチャネル電界効果トランジスタと前記第1のNチャネル電界効果トランジスタと前記第2のNチャネル電界効果トランジスタとからなる入力部のみにより決まる回路しきい値電圧よりも前記第1の電源電圧側に設定されたナンド回路と、

ドレインを前記第1の電源線に接続し、ソースを前記第2のノードに接続し、ゲートを前記ナンド回路の出力端子に接続した第4のNチャネル電界効果トランジスタとを有することを特徴とするシュミット回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路装置において入力回路等として用いられるシュミット回路に関する。

【背景技術】

【0002】

図6は従来 of シュミット回路の一例を示す回路図である。図6中、1は入力信号EAが与えられる信号入力端子、2は出力信号Xが出力される信号出力端子、3は正の電源電圧VDDを供給するVDD電源線、4は接地電圧又は負電圧である電源電圧VSSを供給するVSS電源線である。5は入力部であり、6、7はPチャネル電界効果トランジスタの一種であるPMOSTランジスタ、8、9はNチャネル電界効果トランジスタの一種であるNMOSTランジスタである。10は出力部であり、11はインバータである。

【0003】

12は第1のヒステリシス設定部である。第1のヒステリシス設定部12は、入力信号EAの立ち下がり時に入力信号EAをLレベル(論理0)と見なす電圧、即ち、入力信号EAの立ち下がり時の回路しきい値電圧VILを設定するためのものであり、13はPMOSTランジスタである。

【0004】

14は第2のヒステリシス設定部である。第2のヒステリシス設定部14は、入力信号EAの立ち上がり時に入力信号EAをHレベル(論理1)と見なす電圧、即ち、入力信号EAの立ち上がり時の回路しきい値電圧VIHを設定するためのものであり、15はNMOSTランジスタである。

【0005】

なお、PMOSTランジスタ6、7、13のバルク(バックゲート)には電源電圧VDDが与えられ、NMOSTランジスタ8、9、15のバルクには電源電圧VSSが与えられる。

10

20

30

40

50

## 【0006】

図7は図6に示す従来のシュミット回路のヒステリシス特性を示す図であり、縦軸に入力信号EAの電圧、横軸に時間を取っており、 $V_{thC}$ は第1のヒステリシス設定部12及び第2のヒステリシス設定部14を設けない場合の回路しきい値電圧、即ち、入力部5のみにより決まる回路しきい値電圧である。

## 【0007】

ここで、例えば、入力信号EAがLレベル( $V_{SS}$ )の時は、PMOSトランジスタ6、7はON(導通)状態、NMOSトランジスタ8、9はOFF(非導通)状態、ノード16はHレベル( $V_{DD}$ )、PMOSトランジスタ13はOFF状態、NMOSトランジスタ15はON状態、ノード17はHレベル( $V_{DD}$ )の状態にある。

10

## 【0008】

この状態から、入力信号EAが立ち上がりを開始し、 $V_{SS}$ から $V_{DD}$ に向かって徐々に変化すると、PMOSトランジスタ6、7はON状態からOFF情報へ徐々に変化し、NMOSトランジスタ8、9はOFF状態からON状態へ徐々に変化する。この時、NMOSトランジスタ15がON状態にあるので、 $V_{DD}$ 電源線3からNMOSトランジスタ15とNMOSトランジスタ9とを介して $V_{SS}$ 電源線4への電流パスが発生し、ノード17の電圧が $V_{DD}$ から $V_{SS}$ 側へ徐々に変化する。

## 【0009】

この時、NMOSトランジスタ8のバルク・ソース間電圧 $V_{bs}$ は負の状態にあるが、NMOSトランジスタ8のバルク・ソース間電圧 $V_{bs}$ が負の状態にあると、基板バイアス効果により、NMOSトランジスタ8の見かけ上の素子しきい値電圧 $V_{th8}$ が大きくなり、この結果、入力信号EAの立ち上がり時の回路しきい値電圧 $V_{IH}$ は、入力部5のみにより決まる回路しきい値電圧 $V_{thC}$ よりも $V_{DD}$ 側にシフトすることになる。

20

## 【0010】

そして、入力信号EAが入力信号EAの立ち上がり時の回路しきい値電圧 $V_{IH}$ に到達すると、ノード16はHレベル( $V_{DD}$ )からLレベル( $V_{SS}$ )に変化し、出力信号XはLレベル( $V_{SS}$ )からHレベル( $V_{DD}$ )に変化する。

## 【0011】

また、入力信号EAがHレベル( $V_{DD}$ )の時は、PMOSトランジスタ6、7はOFF状態、NMOSトランジスタ8、9はON状態、ノード16はLレベル( $V_{SS}$ )、PMOSトランジスタ13はON状態、ノード18はLレベル( $V_{SS}$ )、NMOSトランジスタ15はOFF状態にある。

30

## 【0012】

この状態から、入力信号EAが立ち下がりを開始し、 $V_{DD}$ から $V_{SS}$ に向かって徐々に変化すると、PMOSトランジスタ6、7はOFF状態からON状態へ徐々に変化し、NMOSトランジスタ8、9はON状態からOFF状態へ徐々に変化する。この時、PMOSトランジスタ13がON状態にあるので、 $V_{DD}$ 電源線3からPMOSトランジスタ6とPMOSトランジスタ13とを介して $V_{SS}$ 電源線4への電流パスが発生し、ノード18の電圧が $V_{SS}$ から $V_{DD}$ 側へ徐々に変化する。

## 【0013】

この時、PMOSトランジスタ7のバルク・ソース間電圧 $V_{bs}$ は正の状態にあるが、PMOSトランジスタ7のバルク・ソース間電圧 $V_{bs}$ が正であると、基板バイアス効果により、PMOSトランジスタ7の見かけ上の素子しきい値電圧 $|V_{th7}|$ が大きくなり、この結果、入力信号EAの立ち下がり時の回路しきい値電圧 $V_{IL}$ は、入力部5のみにより決まる回路しきい値電圧 $V_{thC}$ より $V_{SS}$ 側へシフトする。

40

## 【0014】

以上の様に、図6に示す従来のシュミット回路においては、第2のヒステリシス設定部14により、入力信号EAの立ち上がり時の回路しきい値電圧 $V_{IH}$ を入力部5のみにより決まる回路しきい値電圧 $V_{thC}$ より $V_{DD}$ 側にシフトさせることができ、また、第1のヒステリシス設定部12により、入力信号の立ち下がり時の回路しきい値電圧 $V_{IL}$ を入

50

力部 5 のみにより決まる回路しきい値電圧  $V_{thC}$  より  $V_{SS}$  側にシフトさせることができる。

【特許文献 1】特開平 8 - 6 5 1 4 2 号公報

【特許文献 2】特開 2 0 0 5 - 3 0 3 8 5 9 号公報

【特許文献 3】特開 2 0 0 3 - 3 3 3 1 0 9 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 5 】

近年、高速データ転送の多様化に伴い、異なる電源電圧で使用する L S I チップ間を接続したり、動作モードの検知や動作確認等に信号電圧範囲を使用するという事がある。この様な場合、入力信号 E A の立ち上がり時の回路しきい値電圧  $V_{IH}$  及び立ち下がり時の回路しきい値電圧  $V_{IL}$  の D C 仕様は、 $V_{DD} / 2$  近傍でなく、 $V_{SS}$  側又は  $V_{DD}$  側に極端に偏る事となる。しかし、この様な仕様を図 6 に示す従来のシュミット回路で実現することは困難である。

10

【 0 0 1 6 】

例えば、入力信号 E A の立ち上がり時の回路しきい値電圧  $V_{IH}$  及び立ち下がり時の回路しきい値電圧  $V_{IL}$  の D C 仕様が  $V_{SS}$  側に極端に偏っている場合、この D C 仕様を図 6 に示す従来のシュミット回路で実現するには、設計上、まず、N M O S トランジスタ 8、9 に対して P M O S トランジスタ 6、7 のチャンネル・コンダクタンス  $g_m$  を大きくとる事で、入力部 5 のみにより決まる回路しきい値電圧  $V_{thC}$  を  $V_{SS}$  側にシフトし、次に、所望のヒステリシス幅  $V_H$  となる様に P M O S トランジスタ 1 3 及び N M O S トランジスタ 1 5 を設定する必要がある。

20

【 0 0 1 7 】

しかしながら、N M O S トランジスタ 8、9 のチャンネル・コンダクタンス  $g_m$  を最小として、P M O S トランジスタ 6、7 のチャンネル・コンダクタンス  $g_m$  を大きくしていくと、入力部 5 のみにより決まる回路しきい値電圧  $V_{thC}$  のシフト量は飽和してしまい、調整幅に限界が生じてしまう。この問題は、P T V (プロセス、温度、電圧) 条件のばらつきを考慮するとさらに厳しいものとなる。

【 0 0 1 8 】

したがって、図 6 に示す従来のシュミット回路の構成では、入力信号 E A の立ち上がり時の回路しきい値電圧  $V_{IH}$  及び立ち下がり時の回路しきい値電圧  $V_{IL}$  の D C 仕様が  $V_{SS}$  側に極端に偏っている場合には、これを満足させる事が出来ず、P T V 条件等のばらつきによっては、論理誤動作という問題を生じてしまうという問題点があった。入力信号 E A の立ち上がり時の回路しきい値電圧  $V_{IH}$  及び立ち下がり時の回路しきい値電圧  $V_{IL}$  の D C 仕様が  $V_{DD}$  側に極端に偏っている場合も同様である。

30

【 0 0 1 9 】

本発明は、かかる点に鑑み、入力信号の立ち上がり時の回路しきい値電圧及び立ち下がり時の回路しきい値電圧の D C 仕様が第 1 の電源電圧と第 2 の電源電圧との中心電圧近傍から第 2 の電源電圧側又は第 1 の電源電圧側に極端に偏っている場合であっても、入力信号の立ち上がり時の回路しきい値電圧及び立ち下がり時の回路しきい値電圧の D C 仕様を満足させることができ、歩留りの向上を図ることができるようにしたシュミット回路を提供することを目的とする。

40

【課題を解決するための手段】

【 0 0 2 0 】

本出願で開示する第 1 のシュミット回路は、入力信号が与えられる信号入力端子と、入力部と、出力部と、第 1 のヒステリシス設定部と、第 2 のヒステリシス設定部と、出力信号が出力される信号出力端子を有している。

【 0 0 2 1 】

前記入力部は、ソースを第 1 の電源電圧を供給する第 1 の電源線に接続し、ドレインを第 1 のノードに接続し、ゲートを前記信号入力端子に接続した第 1 の P チャンネル電界効果

50

トランジスタと、ソースを前記第1のノードに接続し、ドレインを第2のノードに接続し、ゲートを前記信号入力端子に接続した第2のPチャネル電界効果トランジスタと、ドレインを前記第2のノードに接続し、ソースを前記第1の電源電圧よりも低い第2の電源電圧を供給する第2の電源線に接続し、ゲートを前記信号入力端子に接続したNチャネル電界効果トランジスタとを有している。

【0022】

前記出力部は、入力端子を前記第2のノードに接続し、出力端子を前記信号出力端子に接続したインバータを有している。前記第1のヒステリシス設定部は、ソースを前記第2の電源線に接続し、ドレインを前記第1のノードに接続し、ゲートを前記第2のノードに接続した第3のPチャネル電界効果トランジスタを有している。

10

【0023】

前記第2のヒステリシス設定部は、第1の入力端子を前記信号入力端子に接続し、第2の入力端子を前記インバータの出力端子に接続し、前記入力信号に対する回路しきい値電圧を、前記入力部のみにより決まる回路しきい値電圧よりも前記第2の電源電圧側に設定されたNOR回路と、ソースを前記第2の電源線に接続し、ドレインを前記第1のノードに接続し、ゲートを前記NOR回路の出力端子に接続した第4のPチャネル電界効果トランジスタとを有している。

【0024】

本出願で開示する第2のシュミット回路は、入力信号が与えられる信号入力端子と、入力部と、出力部と、第1のヒステリシス設定部と、第2のヒステリシス設定部と、出力信号が出力される信号出力端子を有している。

20

【0025】

前記入力部は、ソースを第1の電源電圧を供給する第1の電源線に接続し、ドレインを第1のノードに接続し、ゲートを前記信号入力端子に接続したPチャネル電界効果トランジスタと、ドレインを前記第1のノードに接続し、ソースを第2のノードに接続し、ゲートを前記信号入力端子に接続した第1のNチャネル電界効果トランジスタと、ドレインを前記第2のノードに接続し、ソースを前記第1の電源電圧よりも低い第2の電源電圧を供給する第2の電源線に接続し、ゲートを前記信号入力端子に接続した第2のNチャネル電界効果トランジスタとを有している。

【0026】

30

前記出力部は、入力端子を前記第1のノードに接続し、出力端子を前記信号出力端子に接続したインバータを有している。前記第1のヒステリシス設定部は、ドレインを前記第1の電源線に接続し、ソースを前記第2のノードに接続し、ゲートを前記第1のノードに接続した第3のNチャネル電界効果トランジスタを有している。

【0027】

前記第2のヒステリシス設定部は、第1の入力端子を前記信号入力端子に接続し、第2の入力端子を前記インバータの出力端子に接続し、前記入力信号に対する回路しきい値電圧を、前記入力部のみにより決まる回路しきい値電圧よりも前記第1の電源電圧側に設定されたNAND回路と、ドレインを前記第1の電源線に接続し、ソースを前記第2のノードに接続し、ゲートを前記NAND回路の出力端子に接続した第4のNチャネル電界効果トランジスタとを有している。

40

【発明の効果】

【0028】

開示した第1のシュミット回路によれば、第2のヒステリシス設定部によって、入力信号の立ち上がり時の回路しきい値電圧を、入力部のみにより決まる回路しきい値電圧より低い第2の電源電圧側にシフトさせることができる。また、第1のヒステリシス設定部及び第2のヒステリシス設定部によって、入力信号の立ち下がり時の回路しきい値電圧を、入力部のみにより決まる回路しきい値電圧より低い第2の電源電圧側、かつ、入力信号の立ち上がり時の回路しきい値電圧よりも低い電圧にシフトさせることができる。

【0029】

50

したがって、開示した第1のシュミット回路によれば、入力信号の立ち上がり時の回路しきい値電圧及び立ち下がり時の回路しきい値電圧のDC仕様が第1の電源電圧と第2の電源電圧との中心電圧近傍から第2の電源電圧側に極端に偏っている場合であっても、このDC仕様を満足させることができ、歩留りの向上を図ることができる。

【0030】

開示した第2のシュミット回路によれば、第1のヒステリシス設定部及び第2のヒステリシス設定部によって、入力信号の立ち上がり時の回路しきい値電圧を、入力部のみにより決まる回路しきい値電圧より高い第1の電源電圧側にシフトさせることができる。また、第2のヒステリシス設定部により、入力信号の立ち下がり時の回路しきい値電圧を、入力部のみにより決まる回路しきい値電圧より第1の電源電圧側、かつ、入力信号の立ち上がり時の回路しきい値電圧よりも低い電圧にシフトさせることができる。

10

【0031】

したがって、開示した第2のシュミット回路によれば、入力信号の立ち上がり時の回路しきい値電圧及び立ち下がり時の回路しきい値電圧のDC仕様が第1の電源電圧と第2の電源電圧との中心電圧近傍から第1の電源電圧側に極端に偏っている場合であっても、このDC仕様を満足させることができ、歩留りの向上を図ることができる。

【発明を実施するための最良の形態】

【0032】

(第1実施形態)

図1は本発明の第1実施形態を示す回路図である。本発明の第1実施形態は、入力信号EAの立ち上がり時の回路しきい値電圧 $V_{IH}$ 及び立ち下がり時の回路しきい値電圧 $V_{IL}$ のDC仕様が $V_{SS}$ 側に極端に偏っている場合に対応することができるようにしたものである。

20

【0033】

図1中、21は入力信号EAが与えられる信号入力端子、22は出力信号Xが出力される信号出力端子、23は正の電源電圧VDDを供給するVDD電源線、24は接地電圧又は負電圧である電源電圧VSSを供給するVSS電源線である。

【0034】

25は入力部であり、26、27はPMOSトランジスタ、28はNMOSトランジスタである。29は出力部であり、30はインバータである。31は第1のヒステリシス設定部であり、32はPMOSトランジスタである。33は第2のヒステリシス設定部であり、34はNOR回路、35はPMOSトランジスタである。

30

【0035】

PMOSトランジスタ26は、ソースをVDD電源線23に接続し、ドレインをノード36に接続し、ゲートを信号入力端子21に接続している。PMOSトランジスタ27は、ソースをノード36に接続し、ドレインをノード37に接続し、ゲートを信号入力端子21に接続している。NMOSトランジスタ28は、ドレインをノード37に接続し、ソースをVSS電源線24に接続し、ゲートを信号入力端子21に接続している。

【0036】

インバータ30は、入力端子をノード37に接続し、出力端子を信号出力端子22に接続している。PMOSトランジスタ32は、ソースをVSS電源線24に接続し、ドレインをノード36に接続し、ゲートをノード37に接続している。NOR回路34は、第1の入力端子を信号入力端子21に接続し、第2の入力端子をインバータ30の出力端子に接続している。PMOSトランジスタ35は、ソースをVSS電源線24に接続し、ドレインをノード36に接続し、ゲートをNOR回路34の出力端子に接続している。

40

【0037】

なお、NOR回路34の入力信号EAに対する回路しきい値電圧は、第1のヒステリシス設定部31及び第2のヒステリシス設定部33を設けない場合の入力部25の回路しきい値電圧、即ち、入力部25のみにより決まる回路しきい値電圧 $V_{thC}$ よりもVSS側に設定される。また、PMOSトランジスタ26、27、32、35のバルクには電源電圧

50

VDDが与えられ、NMOSトランジスタ28のバルクには電源電圧VSSが与えられる。

【0038】

図2は本発明の第1実施形態のヒステリシス特性を示す図であり、縦軸に入力信号EAの電圧、横軸に時間を示している。ここで、入力信号EAがLレベル(VSS)の時は、PMOSトランジスタ26、27はON状態、NMOSトランジスタ28はOFF状態、ノード37はHレベル(VDD)、PMOSトランジスタ32はOFF状態、インバータ30の出力(出力信号X)はLレベル(VSS)、NOR回路34の出力はHレベル(VDD)、PMOSトランジスタ35はOFF状態にある。

【0039】

この状態から、入力信号EAが立ち上がりを開始し、VSSからVDDに向かって徐々に変化すると、PMOSトランジスタ26、27はON状態からOFF状態へ徐々に変化し、NMOSトランジスタ28はOFF状態からON状態へ徐々に変化する。

【0040】

本発明の第1実施形態では、NOR回路34の入力信号EAに対する回路しきい値電圧は、入力部25のみにより決まる回路しきい値電圧 $V_{thC}$ よりもVSS側に設定されるので、入力信号EAの上昇により、ノード37よりも先にNOR回路34の出力がHレベル(VDD)からLレベル(VSS)に変化し、PMOSトランジスタ35がOFF状態からON状態となる。

【0041】

この結果、VDD電源線23からPMOSトランジスタ26とPMOSトランジスタ35とを介してVSS電源線24への電流パスが発生し、ノード36の電圧は、VDDとVSSの差電圧をPMOSトランジスタ26とPMOSトランジスタ35とで按分した電圧となる。

【0042】

この時、PMOSトランジスタ27のバルク・ソース間電圧 $V_{bs}$ は正であるが、PMOSトランジスタ27のバルク・ソース間電圧 $V_{bs}$ が正であると、基板バイアス効果により、PMOSトランジスタ27の見かけ上の素子しきい値電圧 $|V_{th27}|$ が大きくなり、入力信号EAの立ち上がり時の回路しきい値電圧 $V_{IH}$ は、入力部25のみにより決まる回路しきい値電圧 $V_{thC}$ よりもVSS側へシフトすることになる。

【0043】

そして、入力信号EAが入力信号EAの立ち上がり時の回路しきい値電圧 $V_{IH}$ まで到達すると、ノード37はHレベル(VDD)からLレベル(VSS)へ変化し、出力信号XはLレベル(VSS)からHレベル(VDD)に変化する。この様に、本発明の第1実施形態においては、入力信号EAの立ち上がり時の回路しきい値電圧 $V_{IH}$ は、第2のヒステリシス設定部33により、入力部25のみにより決まる回路しきい値電圧 $V_{thC}$ よりVSS側にシフトする。

【0044】

また、入力信号EAがHレベル(VDD)の時は、PMOSトランジスタ26、27はOFF状態、NMOSトランジスタ28はON状態、ノード37はLレベル(VSS)、PMOSトランジスタ32はON状態、インバータ30の出力(出力信号X)はHレベル(VDD)、NOR回路34の出力はLレベル(VSS)、PMOSトランジスタ35はON状態にある。

【0045】

この状態から、入力信号EAが立ち下がりを開始し、VDDからVSSに向かって徐々に変化すると、PMOSトランジスタ26、27はOFF状態からON状態へ徐々に変化し、NMOSトランジスタ28はON状態からOFF状態へ徐々に変化する。この結果、VDD電源線23からPMOSトランジスタ26とPMOSトランジスタ32とを介してVSS電源線24への電流パスと、VDD電源線23からPMOSトランジスタ26とPMOSトランジスタ35とを介してVSS電源線24への電流パスが発生する。

10

20

30

40

50

## 【 0 0 4 6 】

したがって、ノード36の電圧は、VDDとVSSとの差電圧をPMOSトランジスタ26とPMOSトランジスタ32、35とで按分した電圧(<VDDとVSSの差電圧をPMOSトランジスタ26とPMOSトランジスタ35とで按分した電圧)となり、入力信号EAの立ち下がり時の回路しきい値電圧VILは、入力信号EAの立ち上がり時の回路しきい値電圧VIHよりVSS側へシフトすることになる。

## 【 0 0 4 7 】

そして、入力信号EAが入力信号EAの立ち下がり時の回路しきい値電圧VILまで到達すると、ノード37はLレベル(VSS)からHレベル(VDD)へ変化し、出力信号XはHレベル(VDD)からLレベル(VSS)に変化する。この様に、本発明の第1実施形態においては、入力信号EAの立ち下がり時の回路しきい値電圧VILは、第1のヒステリシス設定部31及び第2のヒステリシス設定部33により、入力信号EAの立ち上がり時の回路しきい値電圧VIHよりVSS側へシフトする。

## 【 0 0 4 8 】

図3は本発明の第1実施形態の動作波形を示す図であり、回路シミュレーション波形を示している。図3中、(A)は入力信号EA(B)はノード37のレベル変化、(C)は出力信号X、(D)はNOR回路34の出力信号、(E)はノード36のレベル変化、(F)は入力部25に流れる電源電流Iddの変化を示している。

## 【 0 0 4 9 】

以上のように、本発明の第1実施形態によれば、第2のヒステリシス設定部33により、入力信号EAの立ち上がり時の回路しきい値電圧VIHを、入力部25のみにより決まる回路しきい値電圧VthCよりVSS側にシフトさせることができる。また、第1のヒステリシス設定部31及び第2のヒステリシス設定部33により、入力信号EAの立ち下がり時の回路しきい値電圧VILを、入力信号EAの立ち上がり時の回路しきい値電圧VIHよりVSS側へシフトさせることができる。

## 【 0 0 5 0 】

したがって、入力信号EAの立ち上がり時の回路しきい値電圧VIH及び立ち下がり時の回路しきい値電圧VILのDC仕様がVDDとVSSとの中心電圧近傍からVSS側に極端に偏っている場合であっても、入力信号EAの立ち上がり時の回路しきい値電圧VIH及び立ち下がり時の回路しきい値電圧VILのDC仕様が満足させることができ、歩留りの向上を図ることができる。

## 【 0 0 5 1 】

(第2実施形態)

図4は本発明の第2実施形態を示す回路図である。本発明の第2実施形態は、入力信号EAの立ち上がり時の回路しきい値電圧VIH及び立ち下がり時の回路しきい値電圧VILのDC仕様がVDD側に極端に偏っている場合に対応することができるようにしたものである。

## 【 0 0 5 2 】

図4中、41は入力信号EAが与えられる信号入力端子、42は出力信号Xが出力される信号出力端子、43は正の電源電圧VDDを供給するVDD電源線、44は接地電圧又は負電圧である電源電圧VSSを供給するVSS電源線である。

## 【 0 0 5 3 】

45は入力部であり、46はPMOSトランジスタ、47、48はNMOSトランジスタである。49は出力部であり、50はインバータである。51は第1のヒステリシス設定部であり、52はNMOSトランジスタである。53は第2のヒステリシス設定部であり、54はNAND回路、55はNMOSトランジスタである。

## 【 0 0 5 4 】

PMOSトランジスタ46は、ソースをVDD電源線43に接続し、ドレインをノード56に接続し、ゲートを信号入力端子41に接続している。NMOSトランジスタ47は、ドレインをノード56に接続し、ソースをノード57に接続し、ゲートを信号入力端子

10

20

30

40

50

4 1 に接続している。NMOSトランジスタ4 8 は、ドレインをノード5 7 に接続し、ソースをVSS電源線4 4 に接続し、ゲートを信号入力端子4 1 に接続している。

【0055】

インバータ5 0 は、入力端子をノード5 6 に接続し、出力端子を信号出力端子4 2 に接続している。NMOSトランジスタ5 2 は、ドレインをVDD電源線4 3 に接続し、ソースをノード5 7 に接続し、ゲートをノード5 6 に接続している。NAND回路5 4 は、第1の入力端子を信号入力端子4 1 に接続し、第2の入力端子をインバータ5 0 の出力端子に接続している。NMOSトランジスタ5 5 は、ドレインをVDD電源線4 3 に接続し、ソースをノード5 7 に接続し、ゲートをNAND回路5 4 の出力端子に接続している。

【0056】

なお、NAND回路5 4 の入力信号EAに対する回路しきい値電圧は、第1のヒステリシス設定部5 1 及び第2のヒステリシス設定部5 3 を設けない場合の入力部4 5 の回路しきい値電圧、即ち、入力部4 5 のみにより決まる回路しきい値電圧 $V_{thC}$ よりもVDD側に設定される。また、PMOSトランジスタ4 6 のバルクには電源電圧VDDが与えられ、NMOSトランジスタ4 7、4 8、5 2、5 5 のバルクには電源電圧VSSが与えられる。

【0057】

図5 は本発明の第2実施形態のヒステリシス特性を示す図であり、縦軸に入力信号EAの電圧、横軸に時間を示している。ここで、入力信号EAがLレベル(VSS)の時は、PMOSトランジスタ4 6 はON状態、NMOSトランジスタ4 7、4 8 はOFF状態、ノード5 6 はHレベル(VDD)、NMOSトランジスタ5 2 はON状態、インバータ5 0 の出力(出力信号X)はLレベル(VSS)、NAND回路5 4 の出力はHレベル(VDD)、NMOSトランジスタ5 5 はON状態にある。

【0058】

この状態から、入力信号EAが立ち上がりを開始し、VSSからVDDに向かって徐々に変化すると、PMOSトランジスタ4 6 はON状態からOFF状態へ徐々に変化し、NMOSトランジスタ4 7、4 8 はOFF状態からON状態へ徐々に変化する。

【0059】

本発明の第2実施形態では、NAND回路5 4 の入力信号EAに対する回路しきい値電圧は、入力部4 5 のみにより決まる回路しきい値電圧 $V_{thC}$ よりもVDD側に設定されるので、入力信号EAの上昇により、ノード5 7 よりも先にNAND回路5 4 の出力がHレベル(VDD)からLレベル(VSS)に変化することはない。

【0060】

この結果、VDD電源線4 3 からNMOSトランジスタ5 2 とNMOSトランジスタ4 8 とを介してVSS電源線4 4 への電流パスと、VDD電源線4 3 からNMOSトランジスタ5 5 とNMOSトランジスタ4 8 とを介してVSS電源線4 4 への電流パスとが発生し、ノード5 7 の電圧は、VDDとVSSの差電圧をNMOSトランジスタ5 2、5 5 とNMOSトランジスタ4 8 とで按分した電圧となる。

【0061】

この時、NMOSトランジスタ4 7 のバルク・ソース間電圧 $V_{bs}$ は負であるが、NMOSトランジスタ4 7 のバルク・ソース間電圧 $V_{bs}$ が負であると、基板バイアス効果により、NMOSトランジスタ4 7 の見かけ上の素子しきい値電圧 $V_{th47}$ が大きくなり、入力信号EAの立ち上がり時の回路しきい値電圧 $V_{IH}$ は、入力部4 5 のみにより決まる回路しきい値電圧 $V_{thC}$ よりVDD側へシフトする。

【0062】

そして、入力信号EAが入力信号EAの立ち上がり時の回路しきい値電圧 $V_{IH}$ まで到達すると、ノード5 6 のレベルはHレベル(VDD)からLレベル(VSS)へ変化し、出力信号XはLレベル(VSS)からHレベル(VDD)に変化する。この様に、本発明の第2実施形態においては、入力信号EAの立ち上がり時の回路しきい値電圧 $V_{IH}$ は、第1のヒステリシス設定部5 1 及び第2のヒステリシス設定部5 3 により、入力部4 5 の

10

20

30

40

50

みにより決まる回路しきい値電圧 $V_{thC}$ より $V_{DD}$ 側にシフトする。

【0063】

また、入力信号 $E A$ が $H$ レベル( $V_{DD}$ )の時は、 $P M O S$ トランジスタ46は $O F F$ 状態、 $N M O S$ トランジスタ47、48は $O N$ 状態、ノード56は $L$ レベル( $V_{SS}$ )、 $N M O S$ トランジスタ52は $O F F$ 状態、インバータ50の出力(出力信号 $X$ )は $H$ レベル( $V_{DD}$ )、 $N A N D$ 回路54の出力は $L$ レベル( $V_{SS}$ )であり、 $N M O S$ トランジスタ55は $O F F$ 状態にある。

【0064】

この状態から、入力信号 $E A$ が立ち下がりを開始し、 $V_{DD}$ から $V_{SS}$ に向かって徐々に変化すると、 $P M O S$ トランジスタ46は $O F F$ 状態から $O N$ 状態へ徐々に変化し、 $N M O S$ トランジスタ47、48は $O N$ 状態から $O F F$ 状態へ徐々に変化する。

10

【0065】

本発明の第2実施形態では、 $N A N D$ 回路54の入力信号 $E A$ に対する回路しきい値電圧は、入力部45のみにより決まる回路しきい値電圧 $V_{thC}$ よりも $V_{DD}$ 側に設定されるので、入力信号 $E A$ の下降により、ノード56よりも先に $N A N D$ 回路54の出力が $L$ レベル( $V_{SS}$ )から $H$ レベル( $V_{DD}$ )に変化し、 $N M O S$ トランジスタ55が $O F F$ 状態から $O N$ 状態となる。

【0066】

この結果、 $V_{DD}$ 電源線43から $N M O S$ トランジスタ55及び $N M O S$ トランジスタ48を介して $V_{SS}$ 電源線44への電流パスが発生し、ノード57の電圧は、 $V_{DD}$ と $V_{SS}$ との差電圧を $N M O S$ トランジスタ55と $N M O S$ トランジスタ48とで按分した電圧( $< V_{DD}$ と $V_{SS}$ の差電圧を $N M O S$ トランジスタ52、55と $N M O S$ トランジスタ48とで按分した電圧)となり、入力信号 $E A$ の立ち下がり時の回路しきい値電圧 $V_{IL}$ は、入力信号 $E A$ の立ち上がり時の回路しきい値電圧 $V_{IH}$ より $V_{SS}$ 側、かつ、入力部45のみにより決まる回路しきい値電圧 $V_{thC}$ よりも高い電圧となる。

20

【0067】

そして、入力信号 $E A$ が入力信号 $E A$ の立ち下がり時の回路しきい値電圧 $V_{IL}$ まで到達すると、ノード56のレベルは $L$ レベル( $V_{SS}$ )から $H$ レベル( $V_{DD}$ )へ変化し、出力信号 $X$ は $H$ レベル( $V_{DD}$ )から $L$ レベル( $V_{SS}$ )に変化する。この様に、本発明の第2実施形態においては、入力信号 $E A$ の立ち下がり時の回路しきい値電圧 $V_{IL}$ は、第2のヒステリシス設定部53により、入力信号 $E A$ の立ち上がり時の回路しきい値電圧 $V_{IH}$ より $V_{SS}$ 側、かつ、入力部45のみにより決まる回路しきい値電圧 $V_{thC}$ よりも高い電圧にシフトさせることができる。

30

【0068】

以上のように、本発明の第2実施形態によれば、第1のヒステリシス設定部51及び第2のヒステリシス設定部53により、入力信号 $E A$ の立ち上がり時の回路しきい値電圧 $V_{IH}$ を、入力部45のみにより決まる回路しきい値電圧 $V_{thC}$ より $V_{DD}$ 側にシフトさせることができる。また、第2のヒステリシス設定部53により、入力信号 $E A$ の立ち下がり時の回路しきい値電圧 $V_{IL}$ を、入力信号 $E A$ の立ち上がり時の回路しきい値電圧 $V_{IH}$ より $V_{SS}$ 側、かつ、入力部45のみにより決まる回路しきい値電圧 $V_{thC}$ よりも高い電圧にシフトさせることができる。

40

【0069】

したがって、入力信号 $E A$ の立ち上がり時の回路しきい値電圧 $V_{IH}$ 及び立ち下がり時の回路しきい値電圧 $V_{IL}$ の $D C$ 仕様が $V_{DD}$ と $V_{SS}$ との中心電圧近傍から $V_{DD}$ 側に極端に偏っている場合であっても、入力信号 $E A$ の立ち上がり時の回路しきい値電圧 $V_{IH}$ 及び立ち下がり時の回路しきい値電圧 $V_{IL}$ の $D C$ 仕様を満足させることができ、歩留りの向上を図ることができる。

【図面の簡単な説明】

【0070】

【図1】本発明の第1実施形態を示す回路図である。

50

【図 2】本発明の第 1 実施形態のヒステリシス特性を示す図である。

【図 3】本発明の第 1 実施形態の動作波形を示す図である。

【図 4】本発明の第 2 実施形態を示す回路図である。

【図 5】本発明の第 2 実施形態のヒステリシス特性を示す図である。

【図 6】従来のシュミット回路の一例を示す回路図である。

【図 7】図 6 に示す従来のシュミット回路のヒステリシス特性を示す図である。

【符号の説明】

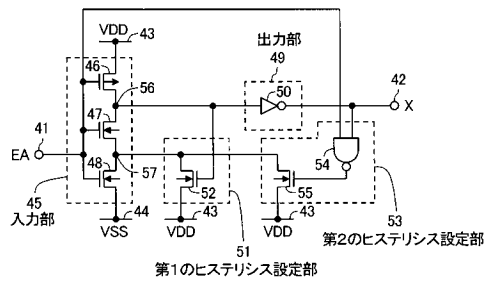
【 0 0 7 1 】

- |                            |    |
|----------------------------|----|
| 1 ... 信号入力端子               |    |
| 2 ... 信号出力端子               | 10 |
| 3 ... V D D 電源線            |    |
| 4 ... V S S 電源線            |    |
| 5 ... 入力部                  |    |
| 6、7 ... P M O S トランジスタ     |    |
| 8、9 ... N M O S トランジスタ     |    |
| 1 0 ... 出力部                |    |
| 1 1 ... インバータ              |    |
| 1 2 ... 第 1 のヒステリシス設定部     |    |
| 1 3 ... P M O S トランジスタ     |    |
| 1 4 ... 第 2 のヒステリシス設定部     | 20 |
| 1 5 ... N M O S トランジスタ     |    |
| 1 6 ~ 1 8 ... ノード          |    |
| 2 1 ... 信号入力端子             |    |
| 2 2 ... 信号出力端子             |    |
| 2 3 ... V D D 電源線          |    |
| 2 4 ... V S S 電源線          |    |
| 2 5 ... 入力部                |    |
| 2 6、2 7 ... P M O S トランジスタ |    |
| 2 8 ... N M O S トランジスタ     |    |
| 2 9 ... 出力部                | 30 |
| 3 0 ... インバータ              |    |
| 3 1 ... 第 1 のヒステリシス設定部     |    |
| 3 2 ... P M O S トランジスタ     |    |
| 3 3 ... 第 2 のヒステリシス設定部     |    |
| 3 4 ... N O R 回路           |    |
| 3 5 ... P M O S トランジスタ     |    |
| 3 6、3 7 ... ノード            |    |
| 4 1 ... 信号入力端子             |    |
| 4 2 ... 信号出力端子             |    |
| 4 3 ... V D D 電源線          | 40 |
| 4 4 ... V S S 電源線          |    |
| 4 5 ... 入力部                |    |
| 4 6 ... P M O S トランジスタ     |    |
| 4 7、4 8 ... N M O S トランジスタ |    |
| 4 9 ... 出力部                |    |
| 5 0 ... インバータ              |    |
| 5 1 ... 第 1 のヒステリシス設定部     |    |
| 5 2 ... N M O S トランジスタ     |    |
| 5 3 ... 第 2 のヒステリシス設定部     |    |
| 5 4 ... N A N D 回路         | 50 |



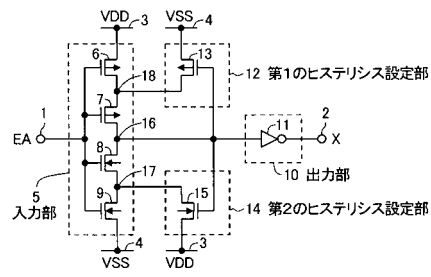
【図4】

本発明の第2実施形態を示す回路図



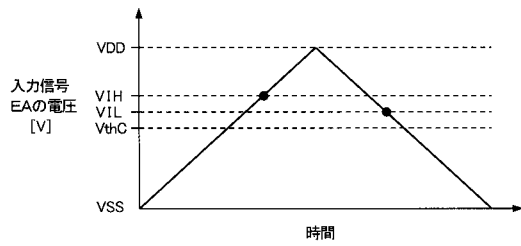
【図6】

従来のシュミット回路の一例を示す回路図



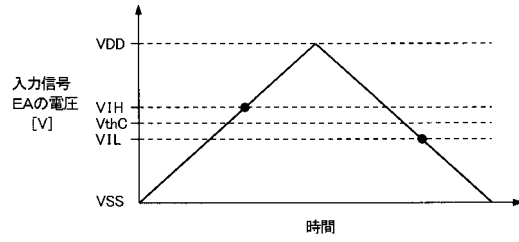
【図5】

本発明の第2実施形態のヒステリシス特性を示す図



【図7】

図6に示す従来のシュミット回路のヒステリシス特性を示す図



---

フロントページの続き

(56)参考文献 特開昭57-005424(JP,A)  
特開平10-163826(JP,A)  
特開2003-087101(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 17/30  
H03K 19/0175  
H03K 5/08