



DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

a measurement range of 1000 nm x 1000 nm.

(57) 要約: 安定した電気特性の半導体装置を提供する。また、信頼性の高い半導体装置を提供する。ゲート電極と、ソース電極と、ドレイン電極と、チャネル形成領域を有する酸化物半導体と、ゲート絶縁体と、を有し、ゲート絶縁体は、チャネル形成領域と接する第1の層、および第1の層上の第2の層を有し、第2の層は金属酸化物であり、金属酸化物は、自乗平均面粗さ(RMS)が、1000 nm×1000 nmの測定範囲において、0.4 nm以下である。

明細書

発明の名称

半導体装置、および半導体装置の作製方法

技術分野

[0001]

本発明の一態様は、半導体装置、ならびに半導体装置の作製方法に関する。または、本発明の一態様は、半導体ウエハ、モジュールおよび電子機器に関する。

[0002]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置および電子機器などは、半導体装置を有すると言える場合がある。

[0003]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

背景技術

[0004]

近年、半導体装置の開発が進められ、LSIやCPUやメモリが広く用いられている。CPUは、半導体ウエハから切り離された半導体集積回路（少なくともトランジスタ及びメモリ）を有し、接続端子である電極が形成された半導体素子の集合体をなす。

[0005]

LSIやCPUやメモリなどの半導体回路（ICチップ）は、回路基板、例えばプリント配線板に実装され、様々な電子機器の部品の一つとして用いられる。

[0006]

また、絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

[0007]

また、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、酸化物半導体を用いたトランジスタのリーク電流が低いという特性を応用した低消費電力のCPUなどが開示されている（特許文献1参照。）。

[0008]

また、トランジスタのキャリア移動度の向上を目的として、電子親和力（または伝導帯下端準位）が異なる酸化物半導体層を積層させる技術が開示されている（特許文献2及び特許文献3参照）。

[0009]

また、近年では電子機器の小型化、軽量化に伴い、トランジスタなどを高密度に集積した集積回路の要求が高まっている。また、集積回路を含む半導体装置の生産性の向上が求められている。

[先行技術文献]

[特許文献]

[0010]

[特許文献1] 特開2012-257187号公報

[特許文献2] 特開2011-124360号公報

[特許文献3] 特開2011-138934号公報

発明の概要

発明が解決しようとする課題

[0011]

本発明の一態様は、良好な電気特性を有する半導体装置を提供することを課題の一つとする。本発明の一態様は、微細化または高集積化が可能な半導体装置を提供することを課題の一つとする。本発明の一態様は、生産性の高い半導体装置を提供することを課題の一つとする。

[0012]

本発明の一態様は、長期間においてデータの保持が可能な半導体装置を提供することを課題の一つとする。本発明の一態様は、情報の書き込み速度が速い半導体装置を提供することを課題の一つとする。本発明の一態様は、設計自由度が高い半導体装置を提供することを課題の一つとする。本発明の一態様は、消費電力を抑えることができる半導体装置を提供することを課題の一つとする。本発明の一態様は、新規な半導体装置を提供することを課題の一つとする。

[0013]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0014]

本発明の一態様は、ゲート電極と、ソース電極と、ドレイン電極と、チャネル形成領域を有する酸化物半導体と、ゲート絶縁体と、を有し、ゲート絶縁体は、チャネル形成領域と接する第1の層、および第1の層上に第2の層を有し、第2の層は金属酸化物であり、金属酸化物は、自乗平均面粗さ（RMS）が、 $1\mu\text{m} \times 1\mu\text{m}$ の測定範囲において、 0.4nm 以下である。

[0015]

本発明の一態様は、ゲート電極と、ソース電極と、ドレイン電極と、チャネル形成領域を有する酸化物半導体と、ゲート絶縁体と、を有し、ゲート絶縁体は、チャネル形成領域と接する第1の層、および第1の層上に第2の層を有し、第2の層は金属酸化物であり、金属酸化物に対する電子顕微鏡を用いた電子線回折において、リング状のパターンが観測される。

[0016]

上記において、金属酸化物は、ハフニウムアルミネート、または酸化ハフニウムである。

[0017]

上記において、酸化ハフニウムは、スパッタリング法により、酸素を含む混合雰囲気下において、 130°C 以下の成膜温度で、成膜される。

[0018]

上記において、第1の層は、酸化シリコンであり、TDS分析において酸素分子の脱離量が $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上である。

発明の効果

[0019]

本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。本発明の一態様により、生産性の高い半導体装置を提供することができる。

[0020]

または、長期間においてデータの保持が可能な半導体装置を提供することができる。または、データの書き込み速度が速い半導体装置を提供することができる。または、設計自由度が高い半導体装置を提供することができる。または、消費電力を抑えることができる半導体装置を提供することができる。または、新規な半導体装置を提供することができる。

[0021]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0022]

- [図1] 本発明の一態様に係る半導体装置の上面図および断面図。
- [図2] 本発明の一態様に係る半導体装置の断面図。
- [図3] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。
- [図4] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。
- [図5] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。
- [図6] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。
- [図7] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。
- [図8] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。
- [図9] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。
- [図10] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。
- [図11] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。
- [図12] 本発明の一態様に係る半導体装置の上面図および断面図。
- [図13] 本発明の一態様に係る半導体装置の上面図および断面図。
- [図14] 本発明の一態様に係る半導体装置の上面図および断面図。
- [図15] 本発明の一態様に係る半導体装置の上面図および断面図。
- [図16] 本発明の一態様に係る半導体装置の回路図および断面図。
- [図17] 本発明の一態様に係る半導体装置の回路図および断面図。
- [図18] 本発明の一態様に係る記憶装置の構成を示す断面図。
- [図19] 本発明の一態様に係る記憶装置の構成を示す断面図。
- [図20] 本発明の一態様に係る記憶装置の回路図および断面図。
- [図21] 本発明の一態様に係る記憶装置の構成を示す断面図。

- [図 2 2] 本発明の一態様に係る記憶装置の構成を示す断面図。
- [図 2 3] 本発明の一態様に係る記憶装置の構成例を示すブロック図。
- [図 2 4] 本発明の一態様に係る記憶装置の構成例を示す回路図。
- [図 2 5] 本発明の一態様に係る記憶装置の構成例を示すブロック図。
- [図 2 6] 本発明の一態様に係る記憶装置の構成例を示すブロック図および回路図。
- [図 2 7] 本発明の一態様に係る半導体装置の構成例を示すブロック図。
- [図 2 8] 本発明の一態様に係る半導体装置の構成例を示すブロック図、回路図、および半導体装置の動作例を示すタイミングチャート。
- [図 2 9] 本発明の一態様に係る半導体装置の構成例を示すブロック図。
- [図 3 0] 本発明の一態様に係る半導体装置の構成例を示す回路図、および半導体装置の動作例を示すタイミングチャート。
- [図 3 1] 本発明の一態様に係る A I システムの構成例を示すブロック図。
- [図 3 2] 本発明の一態様に係る A I システムの応用例を説明するブロック図。
- [図 3 3] 本発明の一態様に係る A I システムを組み込んだ I C の構成例を示す斜視模式図。
- [図 3 4] 本発明の一態様に係る電子機器を示す図。
- [図 3 5] 実施例に係る試料の断面を説明する図。
- [図 3 6] 実施例に係る試料の断面 T E M 像を説明する図。
- [図 3 7] 実施例に係る試料の D F M 測定の結果を説明する図。
- [図 3 8] 実施例に係る試料の断面 T E M 像および電子線回折パターンの結果を説明する図。
- [図 3 9] 実施例に係る試料の断面を説明する図。
- [図 4 0] 実施例に係る試料の T D S 測定の結果を説明する図。

発明を実施するための形態

[0 0 2 3]

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

[0 0 2 4]

また、図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、実際の製造工程において、エッチングなどの処理により層やレジストマスクなどが意図せずに目減りすることがあるが、理解を容易とするために省略して示すことがある。また、図面において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

[0 0 2 5]

また、特に上面図（「平面図」ともいう。）や斜視図などにおいて、発明の理解を容易とするため、一部の構成要素の記載を省略する場合がある。また、一部の隠れ線などの記載を省略する場合がある。

[0 0 2 6]

また、本明細書などにおいて、第 1、第 2 等として付される序数詞は便宜上用いるものであり、工程

順又は積層順を示すものではない。そのため、例えば、「第1の」を「第2の」又は「第3の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

[0027]

また、本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

[0028]

例えば、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等を開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。

[0029]

ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

[0030]

XとYとが直接的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に接続されていない場合であり、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）を介さずに、XとYとが、接続されている場合である。

[0031]

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。なお、XとYとが電氣的に接続されている場合は、XとYとが直接的に接続されている場合を含むものとする。

[0032]

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。なお、XとYとが

機能的に接続されている場合は、XとYとが直接的に接続されている場合と、XとYとが電氣的に接続されている場合とを含むものとする。

[0033]

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャンネル形成領域を有しており、チャンネル形成領域を介して、ソースとドレインとの間に、電流を流すことができるものである。なお、本明細書等において、チャンネル形成領域とは、電流が主として流れる領域をいう。

[0034]

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができる場合がある。

[0035]

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

[0036]

チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

[0037]

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、「実効的なチャンネル幅」ともいう。）と、トランジスタの上面図において示されるチャンネル幅（以下、「見かけ上のチャンネル幅」ともいう。）と、が異なる場合がある。例えば、ゲート電極が半導体の側面を覆う場合、実効的なチャンネル幅が、見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつゲート電極が半導体の側面を覆うトランジスタでは、半導体の側面に形成されるチャンネル形成領域の割合が大きくなる場合がある。その場合は、見かけ上のチャンネル幅よりも、実効的なチャンネル幅の方が大きくなる。

[0038]

このような場合、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

[0039]

そこで、本明細書では、見かけ上のチャネル幅を、「囲い込みチャネル幅 (SCW: Surrounded Channel Width)」と呼ぶ場合がある。また、本明細書では、単にチャネル幅と記載した場合には、囲い込みチャネル幅または見かけ上のチャネル幅を指す場合がある。または、本明細書では、単にチャネル幅と記載した場合には、実効的なチャネル幅を指す場合がある。なお、チャネル長、チャネル幅、実効的なチャネル幅、見かけ上のチャネル幅、囲い込みチャネル幅などは、断面TEM像などを解析することなどによって、値を決定することができる。

[0040]

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物と言える。不純物が含まれることにより、例えば、半導体のDOS (Density of States)が高くなることや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、および酸化物半導体の主成分以外の遷移金属などがあり、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、水も不純物として機能する場合がある。また、酸化物半導体の場合、例えば不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコンである場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

[0041]

なお、本明細書等において、酸化窒化シリコン膜とは、その組成として、窒素よりも酸素の含有量が多いものである。例えば、好ましくは酸素が55原子%以上65原子%以下、窒素が1原子%以上20原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の濃度範囲で含まれるものをいう。また、窒化酸化シリコン膜とは、その組成として、酸素よりも窒素の含有量が多いものである。例えば、好ましくは窒素が55原子%以上65原子%以下、酸素が1原子%以上20原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の濃度範囲で含まれるものをいう。

[0042]

また、本明細書等において、「膜」という用語と、「層」という用語とは、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

[0043]

また、本明細書等において、「絶縁体」という用語を、絶縁膜または絶縁層と言い換えることができる。また、「導電体」という用語を、導電膜または導電層と言い換えることができる。また、「半導体」という用語を、半導体膜または半導体層と言い換えることができる。

[0044]

また、本明細書等に出すトランジスタは、明示されている場合を除き、電界効果トランジスタとする。また、本明細書等に出すトランジスタは、明示されている場合を除き、nチャネル型のトランジスタとする。よって、そのしきい値電圧 (V_{th})ともいう。)は、明示されている場合を除き、0Vよりも大きいものとする。

[0045]

また、本明細書等において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

[0046]

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

[0047]

なお、本明細書において、バリア膜とは、水素などの不純物および酸素の透過を抑制する機能を有する膜のことであり、該バリア膜に導電性を有する場合は、導電性バリア膜と呼ぶことがある。

[0048]

本明細書等において、金属酸化物 (metal oxide) とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体 (透明酸化物導電体を含む)、酸化物半導体 (Oxide Semiconductor または単に OS ともいう) などに分類される。例えば、トランジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。OS FET と記載する場合においては、酸化物または酸化物半導体を有するトランジスタと換言することができる。

[0049]

(実施の形態 1)

以下では、本発明の一態様に係るトランジスタ 200 を有する半導体装置の一例について説明する。

[0050]

<半導体装置の構成例>

図 1 (A)、図 1 (B)、および図 1 (C) は、本発明の一態様に係るトランジスタ 200、およびトランジスタ 200 周辺の上面図および断面図である。

[0051]

図 1 (A) は、トランジスタ 200 を有する半導体装置の上面図である。また、図 1 (B)、および図 1 (C) は該半導体装置の断面図である。ここで、図 1 (B) は、図 1 (A) に A1-A2 の一点鎖線で示す部位の断面図であり、トランジスタ 200 のチャネル長方向の断面図でもある。また、図 1 (C) は、図 1 (A) に A3-A4 の一点鎖線で示す部位の断面図であり、トランジスタ 200 のチャネル幅方向の断面図でもある。図 1 (A) の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0052]

本発明の一態様の半導体装置は、トランジスタ 200 と、層間膜として機能する絶縁体 210、絶縁体 212、絶縁体 280 を有する。また、トランジスタ 200 と電氣的に接続し、配線として機能する導電体 203 (導電体 203a、および導電体 203b)、およびプラグとして機能する導電体 240 (導電体 240a、および導電体 240b) とを有する。

[0053]

なお、導電体 203 は、絶縁体 212 の開口の内壁に接して導電体 203a が形成され、さらに内側

に導電体 203b が形成されている。ここで、導電体 203 の上面の高さと、絶縁体 212 の上面の高さは同程度にできる。なお、トランジスタ 200 では、導電体 203a および導電体 203b を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体 203b のみを設ける構成にしてもよい。

[0054]

また、導電体 240 は、絶縁体 280 の開口の内壁に接して形成されている。ここで、導電体 240 の上面の高さと、絶縁体 280 の上面の高さは同程度にできる。なお、トランジスタ 200 では、導電体 240 が単層である構成について示しているが、本発明はこれに限られるものではない。例えば、導電体 240 は、2 層以上の積層構造でもよい。

[0055]

[トランジスタ 200]

図 1 に示すように、トランジスタ 200 は、基板（図示せず）の上に配置された絶縁体 214 および絶縁体 216 と、絶縁体 214 および絶縁体 216 に埋め込まれるように配置された導電体 205 と、絶縁体 216 と導電体 205 の上に配置された絶縁体 220 と、絶縁体 220 の上に配置された絶縁体 222 と、絶縁体 222 の上に配置された絶縁体 224 と、絶縁体 224 の上に配置された酸化物 230（酸化物 230a、酸化物 230b、および酸化物 230c）と、酸化物 230 の上に配置された絶縁体 250 と、絶縁体 250 上に配置された絶縁体 252 と、絶縁体 252 の上に配置された導電体 260（導電体 260a、および導電体 260b）と、導電体 260 の上に配置された絶縁体 270 と、少なくとも絶縁体 250、および導電体 260 の側面に接して配置された絶縁体 272 と、酸化物 230、および絶縁体 272 と接して配置された絶縁体 274 と、を有する。

[0056]

なお、トランジスタ 200 では、酸化物 230a、および酸化物 230b、および酸化物 230c を積層する構成について示しているが、本発明はこれに限られるものではない。酸化物 230b の単層、酸化物 230b と酸化物 230a の 2 層構造、酸化物 230b と酸化物 230c の 2 層構造、または 3 層以上の積層構造を設ける構成にしてもよい。また、トランジスタ 200 では、導電体 260a および導電体 260b を積層する構成について示しているが、本発明はこれに限られるものではない。

[0057]

また、図 1（B）における破線で囲む、チャネル近傍の領域 239 の拡大図を図 2 に示す。

[0058]

図 2 に示すように、酸化物 230 は、トランジスタ 200 のチャネル形成領域として機能する領域 234 と、ソース領域またはドレイン領域として機能する領域 231（領域 231a、および領域 231b）との間に、領域 232（領域 232a、および領域 232b）を有する。ソース領域またはドレイン領域として機能する領域 231 は、キャリア密度が高い、低抵抗化した領域である。また、チャネル形成領域として機能する領域 234 は、ソース領域またはドレイン領域として機能する領域 231 よりも、キャリア密度が低い領域である。また、領域 232 は、ソース領域またはドレイン領域として機能する領域 231 よりもキャリア密度が低く、チャネル形成領域として機能する領域 234 よりもキャリア密度が高い領域である。すなわち、領域 232 は、チャネル形成領域と、ソース領域またはドレイン領域との間の接合領域（junction region）としての機能を有する。なお、領域 232 は、ゲート電極として機能する導電体 260 と重なる、いわゆるオーバーラップ領域（Lov 領域ともいう）として機能する場合がある。

[0059]

接合領域を設けることで、ソース領域またはドレイン領域として機能する領域231と、チャネル形成領域として機能する領域234との間に高抵抗領域が形成されず、トランジスタのオン電流を大きくすることができる。

[0060]

ここで、トランジスタ200において、酸化物230は、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう）を用いることが好ましい。酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流（オフ電流）が小さいため、低消費電力の半導体装置が提供できる。また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタに用いることができる。

[0061]

一方で、酸化物半導体を用いたトランジスタは、酸化物半導体中の不純物及び酸素欠損によって、その電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。従って、酸素欠損が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の酸素欠損はできる限り低減されていることが好ましい。

[0062]

特に、酸化物230におけるチャネルが形成される領域234と、ゲート絶縁膜として機能する絶縁体250との界面に、酸素欠損が存在すると、電気特性の変動が生じやすく、また信頼性が悪くなる場合がある。

[0063]

ここで、酸化物230におけるチャネルが形成される領域234に形成された酸素欠損は、酸素を供給することで、低減することができる。領域234に、酸素を供給するには、例えば、酸素を含む絶縁体250を、酸化物230に接して設ければよい。好ましくは、絶縁体250は、化学量論的組成を満たす酸素よりも多くの酸素（以下、過剰酸素ともいう）を含むとよい。絶縁体250から、過剰酸素が酸化物230へと拡散することで、酸化物230中の酸素欠損を低減することができる。

[0064]

例えば、絶縁体250として、過剰酸素領域を有し、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS（Thermal Desorption Spectroscopy）分析にて、酸素分子に換算しての酸素の脱離量が、 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 、さらに好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては 100°C 以上 700°C 以下の範囲が好ましい。

[0065]

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

[0066]

また、絶縁体250が有する過剰酸素を、効率的に酸化物230へ供給するために、絶縁体252は酸素拡散を抑制することが好ましい。酸素の拡散を抑制する絶縁体252を設けることで、導電体260への過剰酸素の拡散が抑制される。つまり、酸化物230へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体260の酸化を抑制することができる。

[0067]

また、絶縁体250、および絶縁体252は、ゲート絶縁体の一部としての機能を有する場合がある。従って、絶縁体250に酸化シリコンや酸化窒化シリコンなどを用いる場合、絶縁体252は、比誘電率が高いhigh-k材料である金属酸化物を用いることが好ましい。該積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。従って、物理膜厚を保持したまま、ゲート絶縁体の等価酸化膜厚(EOT: Equivalent oxide thickness)を小さくすることが可能となる。

[0068]

上記積層構造とすることで、導電体260からの電界の影響を弱めることなく、オン電流の向上を図ることができる。また、絶縁体250と、絶縁体252との物理的な厚みにより、導電体260と、酸化物230との間の距離を保つことで、リーク電流を抑制することができる。また、絶縁体250、および絶縁体252との積層構造を設けることで、導電体260と酸化物230との間の物理的な距離、および導電体260から酸化物230へかかる電界強度を、容易に適宜調整することができる。

[0069]

ここで、絶縁体252は、結晶性が低い（または、結晶が少ない）膜、またはアモルファス構造を含む膜を用いるとよい。結晶性が低い、またはアモルファス構造を含む酸化膜は、該酸化膜が有する酸素を、加熱により、近接する絶縁体へと拡散することができる。例えば、結晶性が低い膜、またはアモルファス構造を含む膜を絶縁体252に用いることで、後工程の熱履歴により、絶縁体252から、絶縁体250に過剰酸素が添加され、絶縁体250に過剰酸素領域を容易に形成することができる。また、結晶性が低い膜、またはアモルファス構造を含む膜は、平坦性が高く、絶縁体250と絶縁体252との界面を良好な状態とすることができる。

[0070]

具体的には、絶縁体252として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、または、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

[0071]

特に、アルミニウム、またはハフニウム的一方または双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱履歴において、結晶化しにくいと好ましい。

[0072]

例えば、平坦性が高い膜として、原子間力顕微鏡を用いて測定した自乗平均面粗さ(RMS)が、 $1\mu\text{m} \times 1\mu\text{m}$ の測定範囲において、 0.4nm 以下、好ましくは 0.3nm 以下である絶縁体を用いるとよい。

[0073]

例えば、結晶性が低い膜として、電子顕微鏡を用いた電子線回折において、円状（リング状）のパターンが観測される絶縁体を用いるとよい。

[0074]

また、絶縁体250、および絶縁体252と接して、絶縁体272を設けることが好ましい。例えば、絶縁体272は、酸素（例えば、酸素原子、酸素分子など）の拡散を抑制する機能を有するとよい。絶縁体272が、酸素の拡散を抑制する機能を有することで、絶縁体250が有する過剰酸素領域の酸素は絶縁体274側へ拡散することなく、効率よく領域234へ供給される。従って、酸化物230と、絶縁体250との界面における酸素欠損の形成が抑制され、トランジスタ200の信頼性を向上させることができる。

[0075]

以上より、オン電流が大きい酸化物半導体を有するトランジスタを有する半導体装置を提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを有する半導体装置を提供することができる。または、電気特性の変動を抑制し、安定した電気特性を有すると共に、信頼性を向上させた半導体装置を提供することができる。

[0076]

以下では、本発明の一態様に係るトランジスタ200を有する半導体装置の詳細な構成について説明する。

[0077]

導電体203は、図1（A）、および図1（C）に示すように、チャネル幅方向に延伸されており、導電体205に電位を印加する配線として機能する。なお、導電体203は、絶縁体214および絶縁体216に埋め込まれて設けることが好ましい。

[0078]

導電体205は、酸化物230、および導電体260と、重なるように配置する。また、導電体205は、導電体203の上面に接して設けるとよい。

[0079]

ここで、導電体260は、第1のゲート（トップゲートともいう）電極として機能する場合がある。また、導電体205は、第2のゲート（ボトムゲートともいう）電極として機能する場合がある。その場合、導電体205に印加する電位を、導電体260に印加する電位と、連動させず、独立して変化させることで、トランジスタ200のしきい値電圧を制御することができる。特に、導電体205に負の電位を印加することにより、トランジスタ200のしきい値電圧を0Vより大きくし、オフ電流を低減することが可能となる。従って、導電体260に印加する電圧が0Vのときのドレイン電流を小さくすることができる。

[0080]

導電体203上に導電体205を設けることで、第1のゲート電極、および配線としての機能を有する導電体260と、導電体203との距離を適宜設計することが可能となる。導電体203と導電体260の間に絶縁体214および絶縁体216などが設けられることで、導電体203と導電体260の間の寄生容量を低減し、絶縁耐圧を高めることができる。

[0081]

導電体203と導電体260の間の寄生容量を低減することで、トランジスタのスイッチング速度を向上させ、高い周波数特性を有するトランジスタにすることができる。また、導電体203と導電体

260の間の絶縁耐圧を高めることで、トランジスタ200の信頼性を向上させることができる。よって、絶縁体214および絶縁体216の膜厚を大きくすることが好ましい。なお、導電体203の延伸方向はこれに限られず、例えば、トランジスタ200のチャネル長方向に延伸されてもよい。

[0082]

なお、導電体205は、図1(A)に示すように、酸化物230、および導電体260と重なるように配置する。また、導電体205は、酸化物230における領域234よりも、大きく設けるとよい。特に、図1(C)に示すように、導電体205は、酸化物230bの領域234のチャネル幅方向(W長方向)の端部よりも外側の領域においても、延伸していることが好ましい。つまり、酸化物230bのチャネル幅方向における側面の外側において、導電体205と、導電体260とは、絶縁体を介して重畳していることが好ましい。

[0083]

上記構成を有することで、導電体260、および導電体205に電位を印加した場合、導電体260から生じる電界と、導電体205から生じる電界と、がつながることで、閉回路を形成し、酸化物230に形成されるチャネル形成領域を覆うことができる。

[0084]

つまり、第1のゲート電極としての機能を有する導電体260の電界と、第2のゲート電極としての機能を有する導電体205の電界によって、領域234のチャネル形成領域を電氣的に取り囲むことができる。本明細書において、第1のゲート電極、および第2のゲート電極の電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構造を、surrounded channel (S-channel) 構造とよぶ。

[0085]

また、導電体205は、絶縁体214および絶縁体216の開口の内壁に接して導電体205aが形成され、さらに内側に導電体205bが形成されている。ここで、導電体205aおよび導電体205bの上面の高さと、絶縁体216の上面の高さは同程度にできる。なお、トランジスタ200では、導電体205aおよび導電体205bを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体205bのみを設ける構成にしてもよい。

[0086]

ここで、導電体205aおよび導電体203aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する(上記不純物が透過しにくい)導電性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子など)の拡散を抑制する機能を有する(上記酸素が透過しにくい)導電性材料を用いることが好ましい。なお、本明細書において、不純物、または酸素の拡散を抑制する機能とは、上記不純物、または上記酸素のいずれか一または、すべての拡散を抑制する機能とする。

[0087]

導電体205a、および導電体203aが酸素の拡散を抑制する機能を持つことにより、導電体205bおよび導電体203bが酸化して導電率が低下することを防ぐことができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウムまたは酸化ルテニウムなどを用いることが好ましい。従って、導電体205a、および導電体203aとしては、上記導電性材料を単層または積層で用いればよい。これにより、水素、水などの不純物が、導電体203、および導電体205を通じて、トランジスタ200側に拡散するのを抑制することができる。

[0088]

また、導電体205bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。なお、導電体205bを単層で図示したが、積層構造としても良く、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

[0089]

また、導電体203bは、配線として機能するため、導電体205bより導電性が高い導電体を用いることが好ましい。例えば、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体203bは積層構造としても良く、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

[0090]

特に、導電体203bに、銅を用いることが好ましい。銅は抵抗が小さいため、配線等に用いることが好ましい。一方、銅は拡散しやすいため、酸化物230に拡散することで、トランジスタ200の特性を低下させる場合がある。そこで、例えば、絶縁体214には、銅の透過性が低い酸化アルミニウム、または酸化ハフニウムなどの材料を用いることで、銅の拡散を抑えることができる。

[0091]

絶縁体210および絶縁体214は、水または水素などの不純物が、基板側からトランジスタに混入するのを防ぐバリア絶縁膜として機能することが好ましい。従って、絶縁体210および絶縁体214は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する(上記不純物が透過しにくい)絶縁性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子など)の拡散を抑制する機能を有する(上記酸素が透過しにくい)絶縁性材料を用いることが好ましい。

[0092]

例えば、絶縁体210として酸化アルミニウムなどを用い、絶縁体214として窒化シリコンなどを用いることが好ましい。これにより、水素、水などの不純物が絶縁体210および絶縁体214を介してトランジスタ側に拡散するのを抑制することができる。または、絶縁体224などに含まれる酸素が、絶縁体210および絶縁体214を介して基板側に、拡散するのを抑制することができる。

[0093]

また、導電体203の上に導電体205を積層して設ける構成にすることにより、導電体203上に絶縁体214を設けることができる。ここで、導電体203bに銅など拡散しやすい金属を用いても、絶縁体214として窒化シリコンなどを設けることにより、当該金属が絶縁体214より上の層に拡散するのを防ぐことができる。

[0094]

また、層間膜として機能する絶縁体212、絶縁体216、および絶縁体280は、絶縁体210、または絶縁体214よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0095]

例えば、絶縁体212、絶縁体216、および絶縁体280として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛(PZT)、チタン酸ストロンチウム($SrTiO_3$)または(Ba, Sr) TiO_3 (BST)などの絶縁体を単層または積層で用いることができる。またはこれらの絶縁体に例

例えば酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理しても良い。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

[0096]

絶縁体220、絶縁体222、および絶縁体224は、ゲート絶縁体としての機能を有する。

[0097]

ここで、酸化物230と接する絶縁体224は、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁体を用いることが好ましい。つまり、絶縁体224には、過剰酸素領域が形成されることが好ましい。このような過剰酸素を含む絶縁体を酸化物230に接して設けることにより、酸化物230中の酸素欠損を低減し、信頼性を向上させることができる。

[0098]

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS (Thermal Desorption Spectroscopy) 分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 、または $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては 100°C 以上 700°C 以下、または 100°C 以上 400°C 以下の範囲が好ましい。

[0099]

また、絶縁体224が、過剰酸素領域を有する場合、絶縁体222は、酸素（例えば、酸素原子、酸素分子など）の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。

[0100]

絶縁体222が、酸素の拡散を抑制する機能を有することで、過剰酸素領域の酸素は、絶縁体220側へ拡散することなく、効率よく酸化物230へ供給することができる。また、導電体205が、絶縁体224が有する過剰酸素領域の酸素と反応することを抑制することができる。

[0101]

絶縁体222は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛 (PZT)、チタン酸ストロンチウム (SrTiO_3) または (Ba, Sr) TiO_3 (BST) などのいわゆる h i g h - k 材料を含む絶縁体を単層または積層で用いることが好ましい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、h i g h - k 材料を用いることで物理膜厚を保ち、低電圧化が可能となる。

[0102]

特に、不純物、および酸素などの拡散を抑制する機能を有する（不純物や酸素が透過しにくい）絶縁性材料であるアルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて形成した場合、酸化物230からの酸素の放出や、トランジスタ200の周辺部からの水素等の不純物の混入を防ぐ層として機能する。

[0103]

または、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理しても良い。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

[0104]

また、絶縁体220は、熱的に安定していることが好ましい。例えば、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、h i g h - k材料の絶縁体と222組み合わせることで、熱的に安定かつ比誘電率の高い積層構造とすることができる。

[0105]

なお、絶縁体220、絶縁体222、および絶縁体224が、2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

[0106]

酸化物230は、酸化物230aと、酸化物230a上の酸化物230bと、酸化物230b上の酸化物230cと、を有する。酸化物230a上に、酸化物230bを有することで、酸化物230aよりも下方に形成された構造物から、酸化物230bへの不純物の拡散を抑制することができる。また、酸化物230c下に、酸化物230bを有することで、酸化物230cよりも上方に形成された構造物から、酸化物230bへの不純物の拡散を抑制することができる。

[0107]

また、酸化物230は、各金属原子の原子数比が異なる酸化物により、積層構造を有することが好ましい。具体的には、酸化物230aに用いる金属酸化物において、構成元素中の元素Mの原子数比が、酸化物230bに用いる金属酸化物における、構成元素中の元素Mの原子数比より、大きいことが好ましい。また、酸化物230aに用いる金属酸化物において、 I_n に対する元素Mの原子数比が、酸化物230bに用いる金属酸化物における、 I_n に対する元素Mの原子数比より大きいことが好ましい。また、酸化物230bに用いる金属酸化物において、元素Mに対する I_n の原子数比が、酸化物230aに用いる金属酸化物における、元素Mに対する I_n の原子数比より大きいことが好ましい。また、酸化物230cは、酸化物230aまたは酸化物230bに用いることができる金属酸化物を、用いることができる。

[0108]

また、酸化物230aおよび酸化物230cの伝導帯下端のエネルギーが、酸化物230bの伝導帯下端のエネルギーが低い領域における、伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物230aおよび酸化物230cの電子親和力が、酸化物230bの伝導帯下端のエネルギーが低い領域における電子親和力より小さいことが好ましい。

[0109]

ここで、酸化物230a、酸化物230b、および酸化物230cにおいて、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物230aと酸化物230bとの界面、および酸化物230bと酸化物230cとの界面において形成される混合層の欠陥準位密度を低くするとよい。

[0110]

具体的には、酸化物230aと酸化物230b、酸化物230bと酸化物230cが、酸素以外に共

通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物230bがIn-Ga-Zn酸化物の場合、酸化物230aおよび酸化物230cとして、In-Ga-Zn酸化物、Ga-Zn酸化物、酸化ガリウムなどを用いるとよい。

[0111]

このとき、キャリアの主たる経路は酸化物230bに形成されるナローギャップ部分となる。酸化物230aと酸化物230bとの界面、および酸化物230bと酸化物230cとの界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。

[0112]

また、酸化物230は、領域231、領域232、および領域234を有することが好ましい。なお、領域231の少なくとも一部は、絶縁体274と接し、インジウムなどの金属元素、水素、および窒素の少なくとも一の濃度が領域234よりも大きいことが好ましい。また、領域232は、インジウムなどの金属元素、水素、および窒素の少なくとも一の濃度が、領域234よりも大きく、かつ領域231よりも小さいことが好ましい。

[0113]

つまり、領域231、および領域232は、酸化物230として設けられた金属酸化物に、インジウム、ガリウムなどの金属原子、または不純物を添加した領域である。なお、領域231は、領域234よりも、導電性が高い。なお、領域231、および領域232に、不純物を添加するために、例えば、プラズマ処理、イオン化された原料ガスを質量分離して添加するイオン注入法、イオン化された原料ガスを質量分離せずに添加するイオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いて、インジウムなどの金属元素、および不純物の少なくとも一であるドーパントを添加すればよい。

[0114]

例えば、酸化物230に接して、不純物となる元素を含む絶縁体274を成膜することで、領域231、および領域232に、不純物を添加することができる。または、領域231において、酸化物230のインジウムなどの金属原子の含有率を高くすることで、電子移動度を高くし、低抵抗化を図ることができる。

[0115]

つまり、領域231は、酸素欠損を形成する元素、または酸素欠損に捕獲される元素を添加されることで低抵抗化される。このような元素としては、代表的には水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、塩素、チタン、希ガス等が挙げられる。また、希ガス元素の代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノン等がある。よって、領域231は、上記元素の一つまたは複数を含む構成にすればよい。

[0116]

なお、図1、および図2では、領域234、領域231、および領域232が、酸化物230bに形成されているが、これに限られることなく、例えば、これらの領域は酸化物230a、および酸化物230cにも、形成されていてもよい。また、図1、および図2では、各領域の境界を、酸化物230の上面に対して略垂直に表示しているが、本実施の形態はこれに限られるものではない。例えば、領域232が酸化物230bの表面近傍では導電体260側に張り出し、酸化物230aの下面近傍では、導電体240a側または導電体240b側に後退する形状になる場合がある。

[0117]

また、トランジスタ200において、領域232を低抵抗化した場合、ソース領域およびド레인領域として機能する領域231と、チャネルが形成される領域234との間に高抵抗領域が形成されないため、トランジスタのオン電流、および移動度を大きくすることができる。また、領域232を有することで、チャネル長方向において、ソース領域およびド레인領域と、ゲートとが重ならないため、不要な容量が形成されることを抑制できる。また、領域232を有することで、非導通時のリーク電流を小さくすることができる。

[0118]

また、例えば、領域232にガリウムなどを添加した場合、領域231から領域234へ、水素などの不純物の横拡散を抑制でき、意図しない実効チャネル長の縮小を抑制することができる。

[0119]

従って、各領域の範囲を適宜選択することにより、回路設計に合わせて、要求に見合う電気特性を有するトランジスタを容易に提供することができる。

[0120]

従って、トランジスタ200をオンさせると、領域231a、または領域231bは、ソース領域、またはド레인領域として機能する。一方、領域234の少なくとも一部は、チャネルが形成される領域として機能する。領域231と、領域234の間に領域232を有することで、トランジスタ200において、オン電流を大きくし、かつ、非導通時のリーク電流（オフ電流）を小さくすることができる。

[0121]

また、酸化物230の側面と、酸化物230の上面との間に、湾曲面を有する。つまり、側面の端部と上面の端部は、湾曲していることが好ましい（以下、ラウンド状ともいう）。湾曲面は、例えば、酸化物230bの端部において、曲率半径が、3nm以上10nm以下、好ましくは、5nm以上6nm以下とすることが好ましい。

[0122]

酸化物230は、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう）を用いることが好ましい。例えば、領域234となる金属酸化物としては、エネルギーギャップが2eV以上、好ましくは2.5eV以上のものを用いることが好ましい。このように、エネルギーギャップの広い金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

[0123]

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物（metal oxide）と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（metal oxynitride）と呼称してもよい。

[0124]

酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいため、低消費電力の半導体装置が提供できる。また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタに用いることができる。

[0125]

例えば、酸化物230として、In-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、

ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。また、酸化物 230 として、In-Ga 酸化物、In-Zn 酸化物を用いてもよい。

[0126]

絶縁体 250 は、ゲート絶縁膜として機能する。絶縁体 250 は、酸化物 230 c の上面に接して配置することが好ましい。絶縁体 250 は、加熱により酸素が放出される絶縁体を用いて形成することが好ましい。例えば、昇温脱離ガス分光法分析（TDS 分析）にて、酸素分子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 、または $3.0 \times 10^{20} \text{ atoms/cm}^3$ である酸化物膜である。なお、上記 TDS 分析時における膜の表面温度としては 100°C 以上 700°C 以下の範囲が好ましい。

[0127]

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

[0128]

加熱により酸素が放出される絶縁体を、絶縁体 250 として、酸化物 230 c の上面に接して設けることにより、酸化物 230 b の領域 234 に効果的に酸素を供給することができる。また、絶縁体 224 と同様に、絶縁体 250 中の水または水素などの不純物濃度が低減されていることが好ましい。絶縁体 250 の膜厚は、1 nm 以上 20 nm 以下とするのが好ましい。

[0129]

また、絶縁体 250 が有する過剰酸素を、効率的に酸化物 230 へ供給するために、絶縁体 252 は酸素拡散を抑制することが好ましい。酸素の拡散を抑制する絶縁体 252 を設けることで、導電体 260 への過剰酸素の拡散が抑制される。つまり、酸化物 230 へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体 260 の酸化を抑制することができる。

[0130]

また、絶縁体 250、および絶縁体 252 は、ゲート絶縁体の一部としての機能を有する場合がある。従って、絶縁体 250 に酸化シリコンや酸化窒化シリコンなどを用いる場合、絶縁体 252 は、比誘電率が高い high-k 材料である金属酸化物を用いることが好ましい。該積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。従って、物理膜厚を保持したまま、ゲート絶縁体の等価酸化膜厚（EOT）を小さくすることが可能となる。

[0131]

上記積層構造とすることで、導電体 260 からの電界の影響を弱めることなく、オン電流の向上を図ることができる。また、絶縁体 250 と、絶縁体 252 との物理的な厚みにより、導電体 260 と、酸化物 230 との間の距離を保つことで、リーク電流を抑制することができる。また、絶縁体 250、および絶縁体 252 との積層構造を設けることで、導電体 260 と酸化物 230 との間の物理的な距離、および導電体 260 から酸化物 230 へかかる電界強度を、容易に適宜調整することができる。

[0132]

ここで、絶縁体 252 は、結晶性が低い（または、結晶が少ない）膜、またはアモルファス構造を含

む膜を用いるとよい。結晶性が低い、またはアモルファス構造を含む酸化膜は、該酸化膜が有する酸素を、加熱により、近接する絶縁体へと拡散することができる。例えば、結晶性が低い膜、またはアモルファス構造を含む膜を絶縁体 252 に用いることで、後工程の熱履歴により、絶縁体 252 から、絶縁体 250 に過剰酸素が添加され、絶縁体 250 に過剰酸素領域を容易に形成することができる。また、結晶性が低い膜、またはアモルファス構造を含む膜は、平坦性が高く、絶縁体 250 と絶縁体 252 との界面を良好な状態とすることができる。

[0133]

具体的には、絶縁体 252 として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、または、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

[0134]

特に、アルミニウム、またはハフニウム的一方または双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱履歴において、結晶化しにくいことが好ましい。

[0135]

例えば、平坦性が高い膜として、原子間力顕微鏡を用いて測定した自乗平均面粗さ（RMS）が、 $1\mu\text{m} \times 1\mu\text{m}$ の測定範囲において、 0.4nm 以下、好ましくは 0.3nm 以下である絶縁体を用いるとよい。

[0136]

例えば、結晶性が低い膜として、電子顕微鏡を用いた電子線回折において、円状（リング状）のパターンが観測される絶縁体を用いるとよい。

[0137]

第1のゲート電極として機能する導電体 260 は、導電体 260a、および導電体 260a 上の導電体 260b を有する。導電体 260a は、導電体 205a と同様に、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（ N_2O 、 NO 、 NO_2 など）、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子など）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0138]

導電体 260a が酸素の拡散を抑制する機能を持つことにより、絶縁体 250、および絶縁体 252 が有する過剰酸素により、導電体 260b が酸化して導電率が低下することを防ぐことができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウムまたは酸化ルテニウムなどを用いることが好ましい。

[0139]

また、導電体 260 は、配線として機能するため、導電性が高い導電体を用いることが好ましい。例えば、導電体 260b に、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体 260b は積層構造としても良く、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

[0140]

また、例えば、導電体 260a として、導電性酸化物を用いることができる。例えば、酸化物 230

として用いることができる金属酸化物を用いることが好ましい。特に、 In-Ga-Zn 系酸化物のうち、導電性が高い、金属の原子数比が $[\text{In}]:[\text{Ga}]:[\text{Zn}] = 4:2:3$ から $4:2:4$ 、1、およびその近傍値のものを用いることが好ましい。このような導電体260aを設けることで、導電体260bへの酸素の透過を抑制し、酸化によって導電体260bの電気抵抗値が増加することを防ぐことができる。

[0141]

また、このような導電性酸化物を、スパッタリング法を用いて成膜することで、絶縁体250、および絶縁体252に酸素が添加され、酸化物230の領域234に酸素を供給することが可能となる。これにより、酸化物230の領域234の酸素欠損を低減することができる。

[0142]

上記導電性酸化物を導電体260aとして用いる場合、導電体260bには、導電体260aに窒素などの不純物を添加し、導電体260aの導電性を向上できる導電体を用いることが好ましい。例えば、導電体260bは、窒化チタンなどを用いることが好ましい。また、導電体260bを、窒化チタンなどの金属窒化物と、その上にタングステンなどの金属を積層した構造にしてもよい。

[0143]

また、図1(C)に示すように、導電体205が、酸化物230bのチャネル幅方向の端部よりも外側の領域に、延伸している場合、導電体260は、該領域において、絶縁体250を介して、重畳していることが好ましい。つまり、酸化物230bの側面の外側において、導電体205と、絶縁体250と、導電体260とは、積層構造を形成することが好ましい。

[0144]

上記構成を有することで、導電体260、および導電体205に電位を印加した場合、導電体260から生じる電界と、導電体205から生じる電界と、がつながることで、閉回路を形成し、酸化物230に形成されるチャネル形成領域を覆うことができる。

[0145]

つまり、第1のゲート電極としての機能を有する導電体260の電界と、第2のゲート電極としての機能を有する導電体205の電界によって、領域234のチャネル形成領域を電氣的に取り囲むことができる。

[0146]

また、導電体260bの上に、バリア膜として機能する270、またはハードマスクとして機能する絶縁体271を配置してもよい。絶縁体271を設けることで、導電体260の加工の際、導電体260の側面を基板表面に対して概略垂直、具体的には、導電体260の側面と基板表面のなす角を、75度以上100度以下、好ましくは80度以上95度以下とすることができる。導電体を該形状に加工することで、後工程で形成する絶縁体272の加工が容易となる。

[0147]

バリア膜として機能する絶縁体272は、絶縁体250、絶縁体252、導電体260、および絶縁体270の側面に接して設ける。

[0148]

ここで、絶縁体272は、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウム、または酸化ハフニウムなどを用いることが好ましい。これにより、絶縁体250、および絶縁体252中の酸素が外部に拡散することを防ぐこと

ができる。また、絶縁体 250、および絶縁体 252 の端部などから酸化物 230 に水素、水などの不純物が混入するのを抑制することができる。従って、酸化物 230 と、絶縁体 250 との界面における酸素欠損の形成が抑制され、トランジスタ 200 の信頼性を向上させることができる。

[0149]

絶縁体 272 を設けることで、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁体で、導電体 260 の側面、絶縁体 250 の側面、および絶縁体 252 の側面を覆うことができる。これにより、導電体 260、絶縁体 250 および絶縁体 252 を介して、水または水素などの不純物が酸化物 230 に混入することを防ぐことができる。従って、絶縁体 272 は、ゲート電極およびゲート絶縁膜の側面を保護するサイドバリアとしての機能を有する。

[0150]

特に、トランジスタが微細化され、チャネル長が 10 nm 以上 30 nm 以下程度に形成されている場合、トランジスタ 200 の周辺に設けられる構造体に含まれる不純物元素が拡散し、領域 231a と、領域 231b と、が電氣的に導通する恐れがある。上記構造とすることで、第 1 のゲート電圧が 0 V のときに、ソース領域とドレイン領域が電氣的に導通することを防ぐことができる。

[0151]

絶縁体 274 は、絶縁体 271、絶縁体 272、酸化物 230 および絶縁体 224 を覆って設ける。ここで、絶縁体 274 は、絶縁体 271 および絶縁体 272 の上面に接し、かつ絶縁体 272 の側面に接して設けられる。

[0152]

また、絶縁体 274 は、酸素の透過を抑制する機能を有する絶縁性材料を用いることが好ましい。例えば、絶縁体 274 として、窒化シリコン、窒化酸化シリコン、酸化窒化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどを用いることが好ましい。

[0153]

なお、絶縁体 274 を成膜することにより、領域 231、および領域 232 を設ける場合、絶縁体 274 は、水素および窒素の少なくとも一方を有することが好ましい。水素、または窒素などの不純物を有する絶縁体を絶縁体 274 に用いることで、水素または窒素などの不純物を酸化物 230 に添加して、酸化物 230 において、領域 231、および領域 232 を形成することができる。

[0154]

絶縁体 274 の上に、層間膜として機能する絶縁体 280 を設けることが好ましい。絶縁体 280 は、絶縁体 224 などと同様に、膜中の水または水素などの不純物濃度が低減されていることが好ましい。なお、絶縁体 280 の上に絶縁体 210 と同様の絶縁体を設けてもよい。

[0155]

また、絶縁体 280 および絶縁体 274 に形成された開口に、導電体 240a および導電体 240b を配置する。導電体 240a および導電体 240b は、導電体 260 を挟んで対向して設ける。なお、導電体 240a および導電体 240b の上面の高さは、絶縁体 280 の上面の高さと同程度としてもよい。

[0156]

導電体 240a は、トランジスタ 200 のソース領域およびドレイン領域の一方として機能する領域 231a と接しており、導電体 240b はトランジスタ 200 のソース領域およびドレイン領域の他方として機能する領域 231b と接している。よって、導電体 240a はソース電極およびドレイン

電極の一方として機能でき、導電体 240b はソース電極およびドレイン電極の他方として機能できる。領域 231a および領域 231b は低抵抗化されているので、導電体 240a と領域 231a の接触抵抗、および導電体 240b と領域 231b の接触抵抗を低減し、トランジスタ 200 のオン電流を大きくすることができる。

[0157]

なお、絶縁体 280 および絶縁体 274 の開口の内壁に接して導電体 240a が形成されている。当該開口の底部の少なくとも一部には酸化物 230 の領域 231a が位置しており、導電体 240a が領域 231a と接する。同様に、絶縁体 280 および絶縁体 274 の開口の内壁に接して導電体 240b が形成されている。当該開口の底部の少なくとも一部には酸化物 230 の領域 231b が位置しており、導電体 240b が領域 231b と接する。

[0158]

ここで、導電体 240a、および導電体 240b は、少なくとも酸化物 230 の上面と接し、さらに酸化物 230 の側面と接することが好ましい。特に、導電体 240a、および導電体 240b は、酸化物 230 のチャンネル幅方向と交わる側面において、A3 側の側面、および A4 側の側面の双方または一方と接することが好ましい。また、導電体 240a、および導電体 240b が、酸化物 230 のチャンネル長方向と交わる側面において、A1 側（A2 側）の側面と接する構成にしてもよい。このように、導電体 240a、および導電体 240b が酸化物 230 の上面に加えて、酸化物 230 の側面と接する構成にすることにより、導電体 240a、および導電体 240b と酸化物 230 のコンタクト部の上面積を増やすことなく、コンタクト部の接触面積を増加させ、導電体 240a、および導電体 240b と酸化物 230 の接触抵抗を低減することができる。これにより、トランジスタのソース電極およびドレイン電極の微細化を図りつつ、オン電流を大きくすることができる。

[0159]

導電体 240a および導電体 240b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、図示しないが、導電体 240a および導電体 240b は積層構造としても良く、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

[0160]

導電体 240 を積層構造とする場合、絶縁体 274、および絶縁体 280 と接する導電体には、導電体 205a などと同様に、水または水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウムまたは酸化ルテニウムなどを用いることが好ましい。また、水または水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。該導電性材料を用いることで、絶縁体 280 より上層から水素、水などの不純物が、導電体 240a および導電体 240b を通じて酸化物 230 に混入するのを抑制することができる。

[0161]

また、図示しないが、導電体 240a の上面、および導電体 240b の上面に接して配線して機能する導電体を配置してもよい。配線として機能する導電体は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、該導電体は、積層構造としても良く、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。なお、該導電体は、導電体 203 などと同様に、絶縁体に設けられた開口に埋め込むように形成してもよい。

[0162]

<半導体装置の構成材料>

以下では、半導体装置に用いることができる構成材料について説明する。

[0163]

<<基板>>

トランジスタ200を形成する基板としては、例えば、絶縁体基板、半導体基板または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムなどの半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えばSOI（Silicon On Insulator）基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

[0164]

また、基板として、可とう性基板を用いてもよい。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。また、基板が伸縮性を有してもよい。また、基板は、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有してもよい。または、元の形状に戻らない性質を有してもよい。基板は、例えば、 $5\mu\text{m}$ 以上 $700\mu\text{m}$ 以下、好ましくは $10\mu\text{m}$ 以上 $500\mu\text{m}$ 以下、さらに好ましくは $15\mu\text{m}$ 以上 $300\mu\text{m}$ 以下の厚さとなる領域を有する。基板を薄くすると、トランジスタを有する半導体装置を軽量化することができる。また、基板を薄くすることで、ガラスなどを用いた場合にも伸縮性を有する場合や、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有する場合がある。そのため、落下などによって基板上の半導体装置に加わる衝撃などを緩和することができる。即ち、丈夫な半導体装置を提供することができる。

[0165]

可とう性基板である基板としては、例えば、金属、合金、樹脂もしくはガラス、またはそれらの繊維などを用いることができる。また、基板として、繊維を編みこんだシート、フィルムまたは箔などを用いてもよい。可とう性基板である基板は、線膨張率が低いほど環境による変形が抑制されて好ましい。可とう性基板である基板としては、例えば、線膨張率が $1 \times 10^{-3}/\text{K}$ 以下、 $5 \times 10^{-5}/\text{K}$ 以下、または $1 \times 10^{-5}/\text{K}$ 以下である材質を用いればよい。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、アクリルなどがある。特に、アラミドは、線膨張率が低いため、可とう性基板である基板として好適である。

[0166]

<<絶縁体>>

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化

窒化物、金属窒化酸化物などがある。

[0167]

例えば、トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、high-k材料を用いることで物理膜厚を保ち、低電圧化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。従って、絶縁体の機能に応じて、材料を選択するとよい。

[0168]

また、比誘電率の高い絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などがある。

[0169]

また、比誘電率が低い絶縁体としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などがある。

[0170]

また、特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定である。そのため、例えば、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネートまたはアクリルなどがある。また、例えば、酸化シリコン、および酸化窒化シリコンは、比誘電率の高い絶縁体と組み合わせることで、熱的に安定かつ比誘電率の高い積層構造とすることができる。

[0171]

また、酸化物半導体を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。

[0172]

水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

[0173]

例えば、ゲート絶縁体の一部として機能する絶縁体224および絶縁体250は、過剰酸素領域を有する絶縁体であることが好ましい。例えば、過剰酸素領域を有する酸化シリコンまたは酸化窒化シリコンを酸化物230と接する構造とすることで、酸化物230が有する酸素欠損を補償することができる。

[0174]

また、例えば、ゲート絶縁体の一部として機能する絶縁体222および絶縁体252において、アルミニウム、ハフニウム、およびガリウムの一種または複数種の酸化物を含む絶縁体を用いることができる。特に、アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物(ハフニウムアルミネート)などを用いることが好ましい。

[0175]

ここで、絶縁体222および絶縁体252は、結晶性が低い(または、結晶が少ない)膜、またはアモルファス構造を含む膜を用いるとよい。結晶性が低い、またはアモルファス構造を含む酸化膜は、該酸化膜が有する酸素を、加熱により、近接する絶縁体へと拡散することができる。例えば、結晶性が低い膜、またはアモルファス構造を含む膜を絶縁体224および絶縁体252に用いることで、後工程の熱履歴により、絶縁体222および絶縁体252から、絶縁体224、および絶縁体250に過剰酸素が添加され、絶縁体224、および絶縁体250に過剰酸素領域を容易に形成することができる。また、結晶性が低い膜、またはアモルファス構造を含む膜は、平坦性が高く、絶縁体250と絶縁体252との界面、および絶縁体220と絶縁体222の界面、絶縁体222と絶縁体224との界面を良好な状態とすることができる。

[0176]

例えば、平坦性が高い膜として、原子間力顕微鏡を用いて測定した自乗平均面粗さ(RMS)が、 $1\mu\text{m} \times 1\mu\text{m}$ の測定範囲において、 0.4nm 以下、好ましくは 0.3nm 以下である絶縁体を用いるとよい。

[0177]

例えば、結晶性が低い膜として、電子顕微鏡を用いた電子線回折において、円状(リング状)のパターンが観測される絶縁体を用いるとよい。

[0178]

例えば、絶縁体222には、熱に対して安定である酸化シリコンまたは酸化窒化シリコンを用いることが好ましい。ゲート絶縁体として、熱に対して安定な膜と、比誘電率が高い積層構造とすることで、物理膜厚を保持したまま、ゲート絶縁体の等価酸化膜厚(EOT)の薄膜化が可能となる。

[0179]

上記積層構造とすることで、ゲート電極からの電界の影響を弱めることなく、オン電流の向上を図ることができる。また、ゲート絶縁体の物理的な厚みにより、ゲート電極と、チャネルが形成される領域との間の距離を保つことで、リーク電流を抑制することができる。

[0180]

絶縁体212、絶縁体216、絶縁体271および絶縁体280は、比誘電率の低い絶縁体を有することが好ましい。例えば、絶縁体212、絶縁体216、絶縁体271、および絶縁体280は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などを有することが好ましい。または、絶縁体212、絶縁体216、絶縁体271、および絶縁体280は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコンまたは空孔を有する酸化シリコンと、樹脂と、の積層構造を有することが好ましい。酸化シリコンおよ

び酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネートまたはアクリルなどがある。

[0181]

絶縁体210、絶縁体214、絶縁体270、および絶縁体272としては、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。絶縁体270および絶縁体272としては、例えば、酸化アルミニウム、酸化ハフニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いればよい。

[0182]

<<導電体>>

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を1種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0183]

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

[0184]

なお、トランジスタのチャネル形成領域に酸化物を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

[0185]

特に、ゲート電極として機能する導電体として、チャネルが形成される金属酸化物に含まれる金属元素および酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

[0186]

導電体260、導電体203、導電体205、および導電体240としては、アルミニウム、クロム、

銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を1種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0187]

<<金属酸化物>>

酸化物230として、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう）を用いることが好ましい。以下では、本発明に係る酸化物230に適用可能な金属酸化物について説明する。

[0188]

酸化物半導体は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウムまたはスズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

[0189]

ここでは、酸化物半導体が、インジウム、元素Mおよび亜鉛を有する $In-M-Zn$ 酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

[0190]

[金属酸化物の構成]

以下では、本発明の一態様で開示されるトランジスタに用いることができるCAC(Cloud-Aligned Composite)-OSの構成について説明する。

[0191]

なお、本明細書等において、CAAC(c-axis aligned crystal)、及びCAC(Cloud-Aligned Composite)と記載する場合がある。なお、CAACは結晶構造の一例を表し、CACは機能、または材料の構成の一例を表す。

[0192]

CAC-OSまたはCAC-metal oxideとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、CAC-OSまたはCAC-metal oxideを、トランジスタの活性層に用いる場合、導電性の機能は、キャリアとなる電子（またはホール）を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能(On/Offさせる機能)をCAC-OSまたはCAC-metal oxideに付与することができる。CAC-OSまたはCAC-metal oxideにおいて、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

[0193]

また、CAC-OSまたはCAC-metal oxideは、導電性領域、及び絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

[0194]

また、CAC-OSまたはCAC-metal oxideにおいて、導電性領域と、絶縁性領域とは、それぞれ0.5 nm以上10 nm以下、好ましくは0.5 nm以上3 nm以下のサイズで材料中に分散している場合がある。

[0195]

また、CAC-OSまたはCAC-metal oxideは、異なるバンドギャップを有する成分により構成される。例えば、CAC-OSまたはCAC-metal oxideは、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記CAC-OSまたはCAC-metal oxideをトランジスタのチャネル形成領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。

[0196]

すなわち、CAC-OSまたはCAC-metal oxideは、マトリックス複合材(matrix composite)、または金属マトリックス複合材(metal matrix composite)と呼称することもできる。

[0197]

[金属酸化物の構造]

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS(c-axis aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS(ncrystalline oxide semiconductor)、擬似非晶質酸化物半導体(a-like OS: amorphous-like oxide semiconductor)および非晶質酸化物半導体などがある。

[0198]

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。

[0199]

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、および七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界(グレインバウンダリーともいう)を確認することは

できない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

[0200]

また、CAAC-OSは、インジウム、および酸素を有する層（以下、In層）と、元素M、亜鉛、および酸素を有する層（以下、(M, Zn)層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M, Zn)層の元素Mがインジウムと置換した場合、(In, M, Zn)層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、(In, M)層と表すこともできる。

[0201]

CAAC-OSは結晶性の高い酸化物半導体である。一方、CAAC-OSは、明確な結晶粒界を確認することはできないため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。

[0202]

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

[0203]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OSは、鬆または低密度領域を有する。即ち、a-like OSは、nc-OSおよびCAAC-OSと比べて、結晶性が低い。

[0204]

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

[0205]

[酸化物半導体を有するトランジスタ]

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

[0206]

なお、上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0207]

また、トランジスタには、キャリア密度の低い酸化物半導体を用いることが好ましい。酸化物半導体膜のキャリア密度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真

性または実質的に高純度真性と言う。例えば、酸化物半導体は、キャリア密度が $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上とすればよい。

[0208]

また、高純度真性または実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0209]

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

[0210]

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0211]

[不純物]

ここで、酸化物半導体中における各不純物の影響について説明する。

[0212]

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコンや炭素の濃度と、酸化物半導体との界面近傍のシリコンや炭素の濃度(二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)により得られる濃度)を、 $2 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。

[0213]

また、酸化物半導体にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属またはアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより得られる酸化物半導体中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms} / \text{cm}^3$ 以下にする。

[0214]

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体を用いたトランジスタはノーマリーオン特性となりやすい。従って、該酸化物半導体において、窒素はできる限り低減されていることが好ましい、例えば、酸化物半導体中の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。

[0215]

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損

を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

[0216]

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0217]

<半導体装置の作製方法>

次に、本発明に係るトランジスタ200を有する半導体装置について、作製方法を図3乃至図11を用いて説明する。また、図3乃至図11において、各図の(A)は上面図を示す。また、各図の(B)は(A)に示すA1-A2の一点鎖線で示す部位に対応する断面図である。また、各図の(C)は、(A)にA3-A4の一点鎖線で示す部位に対応する断面図である。

[0218]

まず、基板(図示しない)を準備し、当該基板上に絶縁体210を成膜する。絶縁体210の成膜は、スパッタリング法、化学気相成長(CVD: Chemical Vapor Deposition)法、分子線エピタキシー(MBE: Molecular Beam Epitaxy)法、パルスレーザー堆積(PLD: Pulsed Laser Deposition)法またはALD(Atomic Layer Deposition)法などを用いて行うことができる。

[0219]

なお、CVD法は、プラズマを利用するプラズマCVD(PECVD: Plasma Enhanced CVD)法、熱を利用する熱CVD(TCVD: Thermal CVD)法、光を利用する光CVD(Photo CVD)法などに分類できる。さらに用いる原料ガスによって金属CVD(MCVD: Metal CVD)法、有機金属CVD(MOCVD: Metal Organic CVD)法に分けることができる。

[0220]

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子(トランジスタ、容量素子など)などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

[0221]

また、ALD法も、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。また、ALD法も、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

[0222]

CVD法およびALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

[0223]

CVD法およびALD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、CVD法およびALD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、CVD法およびALD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間の分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

[0224]

本実施の形態では、絶縁体210として、スパッタリング法によって酸化アルミニウムを成膜する。また、絶縁体210は、多層構造としてもよい。例えばスパッタリング法によって酸化アルミニウムを成膜し、該酸化アルミニウム上にALD法によって酸化アルミニウムを成膜する構造としてもよい。または、ALD法によって酸化アルミニウムを成膜し、該酸化アルミニウム上に、スパッタリング法によって酸化アルミニウムを成膜する構造としてもよい。

[0225]

次に絶縁体210上に絶縁体212を成膜する。絶縁体212の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。本実施の形態では、絶縁体212として、CVD法によって酸化シリコンを成膜する。

[0226]

次に、絶縁体212、および絶縁体210に開口を形成する。開口とは、例えば、溝やスリットなども含まれる。また、開口が形成された領域を指して開口部とする場合がある。開口の形成はウェットエッチングを用いてもよいが、ドライエッチングを用いるほうが微細加工には好ましい。また、絶縁体210は、絶縁体212をエッチングして溝を形成する際のエッチングストップ膜として機能する絶縁体を選択することが好ましい。例えば、溝を形成する絶縁体212に酸化シリコン膜を用いた場合は、絶縁体210は、エッチングストップ膜として機能する絶縁膜として、窒化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜を用いるとよい。

[0227]

開口の形成後に、導電体203aとなる導電膜を成膜する。該導電膜は、酸素の透過を抑制する機能を有する導電体を含むことが望ましい。たとえば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。またはタンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデンタングステン合金との積層膜とすることができる。導電体203aとなる導電体の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0228]

本実施の形態では、導電体203aとなる導電膜として、スパッタリング法によって窒化タンタルま

たは、窒化タンタルの上に窒化チタンを積層した膜を成膜する。導電体 203 a としてこのような金属窒化物を用いることにより、後述する導電体 203 b で銅など拡散しやすい金属を用いても、当該金属が導電体 203 a から外に拡散するのを防ぐことができる。

[0229]

次に、導電体 203 a となる導電膜上に、導電体 203 b となる導電膜を成膜する。該導電膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて行うことができる。本実施の形態では、導電体 203 b となる導電膜として、銅などの低抵抗導電性材料を成膜する。

[0230]

次に、CMP 処理を行うことで、導電体 203 a となる導電膜、ならびに導電体 203 b となる導電膜の一部を除去し、絶縁体 212 を露出する。その結果、開口部のみに、導電体 203 a となる導電膜、ならびに導電体 203 b となる導電膜が残存する。これにより、上面が平坦な、導電体 203 a および導電体 203 b を含む導電体 203 を形成することができる（図 3 参照。）。なお、当該 CMP 処理により、絶縁体 212 の一部が除去される場合がある。

[0231]

次に、絶縁体 212、および導電体 203 上に絶縁体 214 を成膜する。絶縁体 214 の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて行うことができる。本実施の形態では、絶縁体 214 として、CVD 法によって窒化シリコンを成膜する。このように、絶縁体 214 として、窒化シリコンなどの銅が透過しにくい絶縁体を用いることにより、導電体 203 b に銅など拡散しやすい金属を用いても、当該金属が絶縁体 214 より上の層に拡散するのを防ぐことができる。

[0232]

次に絶縁体 214 上に絶縁体 216 を成膜する。絶縁体 216 の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて行うことができる。本実施の形態では、絶縁体 216 として、CVD 法によって酸化シリコンを成膜する。

[0233]

次に、絶縁体 214 および絶縁体 216 に、導電体 203 に達する開口を形成する。開口の形成はウェットエッチングを用いてもよいが、ドライエッチングを用いるほうが微細加工には好ましい。

[0234]

開口の形成後に、導電体 205 a となる導電膜を成膜する。導電体 205 a となる導電膜は、酸素の透過を抑制する機能を有する導電性材料を含むことが望ましい。たとえば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。またはタンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデンタングステン合金との積層膜とすることができる。導電体 205 a となる導電膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて行うことができる。

[0235]

本実施の形態では、導電体 205 a となる導電膜として、スパッタリング法によって窒化タンタルを成膜する。

[0236]

次に、導電体 205 a となる導電膜上に、導電体 205 b となる導電膜を成膜する。該導電膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて行うことができ

る。

[0237]

本実施の形態では、導電体205bとなる導電膜として、CVD法によって窒化チタンを成膜し、該窒化チタン上にCVD法によってタングステンを成膜する。

[0238]

次に、CMP処理を行うことで、導電体205aとなる導電膜、ならびに導電体205bとなる導電膜の一部を除去し、絶縁体216を露出する。その結果、開口部のみに、導電体205a、および導電体205bとなる導電膜が残存する。これにより、上面が平坦な、導電体205aおよび導電体205bを含む導電体205を形成することができる（図3参照。）。なお、当該CMP処理により、絶縁体212の一部が除去される場合がある。

[0239]

次に、絶縁体216、および導電体205上に絶縁体220を成膜する。絶縁体220の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。本実施の形態では、絶縁体212として、CVD法によって酸化シリコンを成膜する。

[0240]

次に、絶縁体220上に絶縁体222を成膜する。絶縁体222として、アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。なお、アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体は、酸素、水素、および水に対するバリア性を有する。絶縁体222が、水素および水に対するバリア性を有することで、トランジスタ200の周辺に設けられた構造体に含まれる水素、および水は、トランジスタ200の内側へ拡散することなく、酸化物230中の酸素欠損の生成を抑制することができる。

[0241]

絶縁体222の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0242]

ここで、絶縁体222は、結晶性が低い（または、結晶が少ない）膜、またはアモルファス構造を含む膜とする。結晶性が低い、またはアモルファス構造を含む酸化膜は、該酸化膜が有する酸素を、加熱により、近接する絶縁体へと拡散することができる。結晶性が低い膜、またはアモルファス構造を含む膜を絶縁体222に用いることで、後工程の熱履歴により、絶縁体222から、絶縁体224に過剰酸素が添加され、絶縁体224に過剰酸素領域を容易に形成することができる。また、結晶性が低い膜、またはアモルファス構造を含む膜は、平坦性が高く、積層する他の膜との界面を良好な状態とすることができる。

[0243]

絶縁体222に用いることができる結晶性が低い、またはアモルファス構造を含む酸化膜は、成膜温度がR. T. (R. T.: Room temperature。なお、本明細書においてR. T. とは、意図的に加熱しない温度とする) 以上200℃以下、および酸素を含む混合雰囲気下でのスパッタリング法により、成膜することができる。なお、成膜温度は、好ましくは130℃以下、さらに好ましくはR. T. とするとよい。また、酸素を含む混合雰囲気としては、酸素と希ガスとの混合ガス、ま

たは酸素と窒素との混合ガスを用いることができる。

[0244]

成膜温度が200℃以下、および酸素を含む混合雰囲気下でのスパッタリング法により、原子間力顕微鏡を用いて測定した自乗平均面粗さ(RMS)が、 $1\mu\text{m} \times 1\mu\text{m}$ の測定範囲において、0.4nm以下、好ましくは0.3nm以下である絶縁体222を成膜することができる。また、電子顕微鏡を用いた電子線回折において、円状(リング状)のパターンが観測される絶縁体222を成膜することができる。

[0245]

次に、絶縁体222上に絶縁体224を成膜する。絶縁体224の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる(図3参照。)。本実施の形態では、絶縁体224として、CVD法によって酸化シリコンを成膜する。

[0246]

続いて、加熱処理を行うと好ましい。加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下、さらに好ましくは320℃以上450℃以下で行えばよい。なお、加熱処理は、窒素または不活性ガス雰囲気、または酸化性ガスを10ppm以上、1%以上もしくは10%以上含む雰囲気で行う。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素または不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上または10%以上含む雰囲気で行ってもよい。

[0247]

本実施の形態では、加熱処理として、絶縁体224成膜後に窒素雰囲気にて400℃の温度で1時間の処理を行なう。

[0248]

上記加熱処理によって、絶縁体222から、絶縁体224に過剰酸素が添加され、絶縁体224に過剰酸素領域を容易に形成することができる。また、絶縁体224に含まれる水素や水などの不純物を除去することなどができる。

[0249]

また、加熱処理は、絶縁体220成膜後、および絶縁体222の成膜後のそれぞれのタイミングで行うこともできる。該加熱処理は、上述した加熱処理条件を用いることができるが、絶縁体220成膜後の加熱処理は、窒素を含む雰囲気中で行うことが好ましい。

[0250]

ここで、絶縁体224に過剰酸素領域を形成するために、減圧状態で酸素を含むプラズマ処理を行ってもよい。酸素を含むプラズマ処理は、例えばマイクロ波を用いた高密度プラズマを発生させる電源を有する装置を用いることが好ましい。または、基板側にRF(Radio Frequency)を印加する電源を有してもよい。高密度プラズマを用いることより高密度の酸素ラジカルを生成することができ、基板側にRFを印加することで高密度プラズマによって生成された酸素ラジカルを効率よく絶縁体224内に導くことができる。または、この装置を用いて不活性ガスを含むプラズマ処理を行った後に脱離した酸素を補うために酸素を含むプラズマ処理を行ってもよい。なお、該プラズマ処理の条件を適宜選択することにより、絶縁体224に含まれる水素や水などの不純物を除去することができる。その場合、加熱処理は行わなくてもよい。

[0251]

次に、絶縁体 224 上に、酸化物 230a となる酸化膜 230A と、酸化物 230b となる酸化膜 230B を順に成膜する（図 4 参照。）。なお、上記酸化膜は、大気環境にさらさずに連続して成膜することが好ましい。大気開放せずに成膜することで、酸化膜 230A、および酸化膜 230B 上に大気環境からの不純物または水分が付着することを防ぐことができ、酸化膜 230A と酸化膜 230B との界面近傍を清浄に保つことができる。

[0252]

酸化膜 230A、および酸化膜 230B の成膜はスパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて行うことができる。

[0253]

例えば、酸化膜 230A、および酸化膜 230B をスパッタリング法によって成膜する場合は、スパッタリングガスとして酸素、または、酸素と希ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。また、上記の酸化膜をスパッタリング法によって成膜する場合は、上記の In-M-Zn 酸化物ターゲットを用いることができる。

[0254]

特に、酸化膜 230A の成膜時に、スパッタリングガスに含まれる酸素の一部が絶縁体 224 に供給される場合がある。従って、酸化膜 230A のスパッタリングガスに含まれる酸素の割合は 70% 以上、好ましくは 80% 以上、より好ましくは 100% とすればよい。

[0255]

また、酸化膜 230B をスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を 1% 以上 30% 以下、好ましくは 5% 以上 20% 以下として成膜すると、酸素欠乏型の酸化物半導体が形成される。酸素欠乏型の酸化物半導体を用いたトランジスタは、比較的高い電界効果移動度が得られる。

[0256]

本実施の形態では、酸化膜 230A を、スパッタリング法によって、In:Ga:Zn=1:3:4 [原子数比] のターゲットを用いて成膜する。また、酸化膜 230B を、スパッタリング法によって、In:Ga:Zn=4:2:4、1 [原子数比] のターゲットを用いて成膜する。なお、各酸化膜は、成膜条件、および原子数比を適宜選択することで、酸化物 230 に求める特性に合わせて形成するとよい。

[0257]

次に、加熱処理を行ってもよい。加熱処理は、上述した加熱処理条件を用いることができる。加熱処理によって、酸化膜 230A、および酸化膜 230B 中の水素や水などの不純物を除去することなどができる。本実施の形態では、窒素雰囲気にて 400℃ の温度で 1 時間の処理を行なった後に、連続して酸素雰囲気にて 400℃ の温度で 1 時間の処理を行う。

[0258]

次に、酸化膜 230A、および酸化膜 230B を島状に加工して、酸化物 230a、および酸化物 230b を形成する（図 5 参照。）。

[0259]

なお、上記工程において、絶縁体 224 を、島状に加工してもよい。その場合、絶縁体 222 をエッチングストッパ膜として用いることができる。

[0260]

ここで、酸化物230a、および酸化物230bは、少なくとも一部が導電体205と重なるように形成する。また、酸化物230a、および酸化物230bの側面は、絶縁体222の上面に対し、概略垂直であることが好ましい。酸化物230a、および酸化物230bの側面が、絶縁体222の上面に対し、概略垂直であることで、複数のトランジスタ200を設ける際に、小面積化、高密度化が可能となる。なお、酸化物230a、および酸化物230bの側面と絶縁体222の上面のなす角が鋭角になる構成にしてもよい。その場合、酸化物230a、および酸化物230bの側面と絶縁体222の上面のなす角は大きいほど好ましい。

[0261]

また、酸化物230a、および酸化物230bの側面と、酸化物230aの上面との間に、湾曲面を有する。つまり、側面の端部と上面の端部は、湾曲していることが好ましい（以下、ラウンド状ともいう）。湾曲面は、例えば、酸化物230bの端部において、曲率半径が、3nm以上10nm以下、好ましくは、5nm以上6nm以下とすることが好ましい。端部に角を有さないことで、以降の成膜工程における膜の被覆性が向上する。

[0262]

なお、当該酸化膜の加工はリソグラフィ法を用いて行えばよい。また、該加工はドライエッチング法やウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。

[0263]

リソグラフィ法では、まず、マスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電体、半導体または絶縁体などを所望の形状に加工することができる。例えば、KrFエキシマレーザ光、ArFエキシマレーザ光、EUV（Extreme Ultraviolet）光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体（例えば水）を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、マスクは不要となる。なお、レジストマスクの除去には、アッシングなどのドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、またはウェットエッチング処理後にドライエッチング処理を行うことができる。

[0264]

また、レジストマスクの代わりに絶縁体や導電体からなるハードマスクを用いてもよい。ハードマスクを用いる場合、酸化膜230B上にハードマスク材料となる絶縁膜や導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。酸化膜230A、および酸化膜230Bのエッチングは、レジストマスクを除去してから行っても良いし、レジストマスクを残したまま行っても良い。後者の場合、エッチング中にレジストマスクが消失することがある。上記酸化膜のエッチング後にハードマスクをエッチングにより除去しても良い。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要は無い。

[0265]

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ（CCP：Capacitively Coupled Plasma）を用いることができる。

itively Coupled Plasma) エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電源を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電源を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電源を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電源を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ (ICP: Inductively Coupled Plasma) エッチング装置などを用いることができる。

[0266]

また、上記ドライエッチングなどの処理を行うことによって、エッチングガスなどに起因した不純物が酸化物230a、および酸化物230bなどの表面または内部に付着または拡散することがある。不純物としては、例えば、フッ素または塩素などがある。

[0267]

上記の不純物などを除去するために、洗浄を行う。洗浄方法としては、洗浄液など用いたウェット洗浄、プラズマを用いたプラズマ処理または、熱処理による洗浄などがあり、上記洗浄を適宜組み合わせて行ってもよい。

[0268]

ウェット洗浄としては、シュウ酸、リン酸またはフッ化水素酸などを炭酸水または純水で希釈した水溶液を用いて洗浄処理を行ってもよい。または、純水または炭酸水を用いた超音波洗浄を行ってもよい。本実施の形態では、純水または炭酸水を用いた超音波洗浄を行う。

[0269]

続いて、加熱処理を行っても良い。加熱処理の条件は、前述の加熱処理の条件を用いることができる。

[0270]

次に、絶縁膜224、酸化物230a、および酸化物230bの上に、酸化膜230C、絶縁膜250A、絶縁膜252A、導電膜260A、導電膜260B、絶縁膜270A、および絶縁膜271Aを順に成膜する(図6参照)。

[0271]

酸化膜230Cの成膜はスパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。酸化物230cに求める特性に合わせて、酸化膜230A、または酸化膜230Bと同様の成膜方法を用いて、酸化膜230Cを成膜すればよい。本実施の形態では、酸化膜230Cを、スパッタリング法によって、 $In:Ga:Zn=1:3:4$ [原子数比] のターゲットを用いて成膜する。

[0272]

次に、絶縁膜250Aを成膜する。絶縁膜250Aは、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて成膜することができる。本実施例では、絶縁膜250Aとして、CVD法により、酸化窒化シリコンを成膜するとよい。なお、絶縁膜250Aを成膜する際の成膜温度は、350℃以上450℃未満、特に400℃前後とすることが好ましい。絶縁膜250Aを、400℃で成膜することで、不純物が少ない絶縁体を成膜することができる。

[0273]

なお、マイクロ波で酸素を励起し、高密度な酸素プラズマを発生させ、該酸素プラズマに絶縁膜25

0 Aを曝すことで、絶縁膜250A、酸化物230a、酸化物230b、および酸化膜230C、へ酸素を導入することができる。

[0274]

また、加熱処理を行ってもよい。加熱処理は、前述の加熱処理条件を用いることができる。該加熱処理によって、絶縁膜250Aの水分濃度および水素濃度を低減させることができる。

[0275]

次に、絶縁膜250A上に絶縁膜252Aを成膜する。絶縁膜252Aとして、アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。なお、アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体は、酸素、水素、および水に対するバリア性を有する。絶縁体252Aが、水素および水に対するバリア性を有することで、トランジスタ200の周辺に設けられた構造体に含まれる水素、および水は、トランジスタ200の内側へ拡散することなく、酸化物230中の酸素欠損の生成を抑制することができる。

[0276]

絶縁膜252Aは、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて成膜することができる。

[0277]

ここで、絶縁膜252Aは、結晶性が低い（または、結晶が少ない）膜、またはアモルファス構造を含む膜とする。結晶性が低い、またはアモルファス構造を含む酸化膜は、該酸化膜が有する酸素を、加熱により、近接する絶縁体へと拡散することができる。結晶性が低い膜、またはアモルファス構造を含む膜を絶縁膜252Aに用いることで、後工程の熱履歴により、絶縁膜252Aから、絶縁膜250Aに過剰酸素が添加され、絶縁膜250Aに過剰酸素領域を容易に形成することができる。また、結晶性が低い膜、またはアモルファス構造を含む膜は、平坦性が高く、積層する他の膜との界面を良好な状態とすることができる。

[0278]

絶縁膜252Aに用いることができる結晶性が低い、またはアモルファス構造を含む酸化膜は、成膜温度がR. T以上200℃以下、および酸素を含む混合雰囲気下でのスパッタリング法により、成膜することができる。なお、成膜温度は、好ましくは130℃以下、さらに好ましくはR. T（R. Tとは、意図的に加熱しない温度とする）とするとよい。また、酸素を含む混合雰囲気としては、酸素と希ガスとの混合ガス、または酸素と窒素との混合ガスを用いることができる。

[0279]

成膜温度が200℃以下、および酸素を含む混合雰囲気下でのスパッタリング法により、原子間力顕微鏡を用いて測定した自乗平均面粗さ（RMS）が、 $1\mu\text{m} \times 1\mu\text{m}$ の測定範囲において、0.4nm以下、好ましくは0.3nm以下である絶縁体252Aを成膜することができる。また、電子顕微鏡を用いた電子線回折において、円状（リング状）のパターンが観測される絶縁膜252Aを成膜することができる。

[0280]

また、絶縁膜252Aとして金属酸化物を、酸素を含む雰囲気において、スパッタリング法を用いて成膜することで、絶縁膜250Aに酸素を添加し、絶縁膜250Aに過剰酸素領域を形成することが

できる。絶縁膜 250A に形成された過剰酸素領域から、酸化物 230 に酸素を供給することで、酸素欠損を補償することができる。

[0281]

ここで、スパッタリング法による絶縁膜 252A の成膜時には、ターゲットと基板との間には、イオンとスパッタされた粒子とが存在する。例えば、ターゲットは、電源が接続されており、電位 E_0 が与えられる。また、基板は、接地電位などの電位 E_1 が与えられる。ただし、基板が電氣的に浮いていてもよい。また、ターゲットと基板の間には電位 E_2 となる領域が存在する。各電位の大小関係は、 $E_2 > E_1 > E_0$ である。

[0282]

プラズマ内のイオンが、電位差 $E_2 - E_0$ によって加速され、ターゲットに衝突することにより、ターゲットから粒子がはじき出される。このスパッタされた粒子が成膜表面に付着し、堆積することにより成膜が行われる。また、一部のイオンはターゲットによって反跳し、反跳イオンとして形成された膜を通過し、被成膜面と接する絶縁膜 250A、および絶縁体 224 に取り込まれる場合がある。また、プラズマ内のイオンは、電位差 $E_2 - E_1$ によって加速され、成膜表面を衝撃する。この際、一部のイオンは、絶縁膜 250A、および絶縁体 224 内部まで到達する。イオンが絶縁膜 250A、および絶縁体 224 に取り込まれることにより、イオンが取り込まれた領域が絶縁膜 250A、および絶縁体 224 に形成される。つまり、イオンが酸素を含むイオンであった場合において、絶縁膜 250A、および絶縁体 224 に過剰酸素領域が形成される。

[0283]

絶縁膜 250A、および絶縁体 224 に過剰な酸素を導入することで、過剰酸素領域を形成することができる。絶縁膜 250A、および絶縁体 224 の過剰な酸素は、酸化物 230 に供給され、酸化物 230 の酸素欠損を補填することができる。

[0284]

従って、絶縁膜 252A を、スパッタリング装置を用いて、酸素ガス雰囲気下で成膜することで、絶縁膜 252A を成膜しながら、絶縁膜 250A、および絶縁体 224 に酸素を導入することができる。特に、絶縁膜 252A に、バリア性を有するアルミニウム及びハフニウム的一方または双方の酸化物を用いることで、絶縁体 250 に導入した過剰酸素を、効果的に封じ込めることができる。

[0285]

続いて、導電膜 260A、および導電膜 260B を成膜する。導電膜 260A、および導電膜 260B は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて成膜することができる。本実施の形態では、導電膜 260A として、CVD 法によって窒化チタンを成膜し、導電膜 260B として、CVD 法によってタングステンを成膜する。

[0286]

続いて、加熱処理を行うことができる。加熱処理は、前述の加熱処理条件を用いることができる。なお、加熱処理は行わなくてもよい場合がある。本加熱処理によって、絶縁体 252A から、絶縁体 250A、および絶縁体 224 に過剰酸素が添加され、絶縁体 250A、および絶縁体 224 に過剰酸素領域を容易に形成することができる。

[0287]

絶縁膜 270A は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて成膜することができる。絶縁膜 270A は、バリア膜として機能するため、水または水素などの不純

物、および酸素の透過を抑制する機能を有する絶縁性材料を用いる。例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。これにより、導電体260の酸化を防ぐことができる。また、導電体260および絶縁体250を介して、水または水素などの不純物が酸化物230に混入することを防ぐことができる。本実施の形態では、絶縁膜270Aとして、ALD法によって酸化アルミニウムを成膜する。

[0288]

絶縁膜271Aは、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて成膜することができる。ここで、絶縁膜271Aの膜厚は、後の工程で成膜する絶縁膜272Aの膜厚より厚くすることが好ましい。これにより、後の工程で絶縁体272を形成する際、導電体260の上に絶縁体271を、容易に残存させることができる。本実施の形態では、絶縁膜271Aとして、CVD法によって酸化シリコンを成膜する。

[0289]

次に、絶縁膜271Aを、エッチングし、絶縁体271を形成する。ここで、絶縁体271は、ハードマスクとして機能する。絶縁体271を設けることで、絶縁体250の側面、導電体260aの側面、導電体260bの側面、および絶縁体270の側面を、基板に対し、概略垂直に形成することができる。

[0290]

絶縁体271をマスクとして、絶縁膜250A、絶縁膜252A、導電膜260A、導電膜260B、絶縁膜270Aを、エッチングし、酸化物230（酸化物230a、酸化物230b、および酸化物230c）絶縁体250、絶縁体252、導電体260（導電体260a、および導電体260b）、および絶縁体270を形成する（図7参照）。絶縁体250、絶縁体252、導電体260a、導電体260b、絶縁体270、および絶縁体271は、少なくとも一部が、導電体205および酸化物230と重なるように形成する。

[0291]

また、絶縁体250の側面、絶縁体252の側面、導電体260aの側面、導電体260bの側面、および絶縁体270の側面は、同一面内であることが好ましい。

[0292]

また、絶縁体250の側面、絶縁体252の側面、導電体260aの側面、導電体260bの側面、および絶縁体270の側面が共有する同一面は、基板に対し、概略垂直であることが好ましい。なお、断面形状において、絶縁体250、絶縁体252、導電体260a、導電体260b、および絶縁体270の側面と、酸化物230の上面のなす角が鋭角になる構成にしてもよい。その場合、絶縁体250、導電体260a、導電体260b、および絶縁体270の側面と、酸化物230の上面のなす角は大きいほど好ましい。

[0293]

なお、上記加工後も、当該ハードマスク（絶縁体271）は除去せずに後工程を進めてもよい。その場合、絶縁体271は、後工程で実施されるドーパントの添加においてもハードマスクとして機能することができる。

[0294]

また、上記エッチングにより、酸化物230bの絶縁体250と重ならない領域の上部がエッチングされる場合がある。この場合、酸化物230bの絶縁体250と重なる領域の膜厚が、絶縁体250

と重ならない領域の膜厚より厚くなる場合がある。

[0295]

次に、酸化物230c、絶縁体250、絶縁体252、導電体260、絶縁体270、および絶縁体271を覆って、絶縁膜272Aを成膜する(図8参照。)。絶縁膜272Aは、被覆性に優れたALD法により成膜することが好ましい。ALD法を用いることで、導電体260などにより形成された段差部においても、絶縁体250、導電体260、および絶縁体270の側面に、均一な厚さを有する絶縁膜272Aを形成することができる。

[0296]

次に、絶縁膜272Aに異方性のエッチング処理を行い、絶縁体250、導電体260、および絶縁体270の側面に接して、絶縁体272を形成する(図9参照。)。異方性のエッチング処理としては、ドライエッチング処理を行うことが好ましい。これにより、基板面に略平行な面に成膜された該絶縁膜を除去して、絶縁体272を自己整合的に形成することができる。

[0297]

ここで、絶縁体270上に絶縁体271を形成しておくことで、絶縁体270上部の絶縁膜272Aが除去されても、絶縁体270を残存させることができる。また、絶縁体250、導電体260、絶縁体270、および絶縁体271からなる構造体の高さを、酸化物230aおよび酸化物230bの高さよりも、高くすることで、酸化物230a、酸化物230bの側面の絶縁膜272Aを、除去することができる。さらに、酸化物230a、酸化物230bの端部をラウンド形状にしておく、と、酸化物230a、酸化物230bの側面に成膜された絶縁膜272Aを除去するための時間が短縮され、より容易に絶縁体272を形成することができる。

[0298]

また、図示しないが、酸化物230の側面にも絶縁膜272Aが残存していてもよい。その場合、後の工程で成膜する層間膜などの被膜性を高めることができる。また、酸化物230の側面に絶縁体が残存することで、酸化物230に混入する水または水素などの不純物を低減し、酸化物230から酸素が外方拡散するのを防ぐことができる場合がある。

[0299]

また、酸化物230の側面に接して絶縁膜272Aの残存した構造体が形成されていることで、後の工程で、不純物となる元素を含む絶縁体274を成膜し、酸化物230に領域231a、および領域231bを形成する場合、絶縁体224と酸化物230との界面領域は、低抵抗化されないため、リーク電流の発生を抑制することができる。または、酸化物230aに濃度のピークを持つように酸化物230にインジウムを添加したとしても、酸化物230aを介したリーク電流の発生を抑制することができる。

[0300]

なお、当該異方性エッチングは、後述するドーパントの添加後に行っても良い。この場合、ドーパントは、絶縁膜272Aを介して酸化物230に添加される。

[0301]

続いて、酸化物230において、領域231、領域232、および領域234を形成する。領域231、および領域232は、酸化物230として設けられた金属酸化物に、インジウム、ガリウムなどの金属原子、または不純物を添加した領域である。なお、領域231は、少なくとも、領域234における酸化物230bよりも、導電性が高い。

[0302]

領域231、および領域232に、不純物を添加するために、例えば、インジウム、またはガリウムなどの金属元素、および不純物の少なくとも一であるドーパントを添加すればよい。なお、ドーパントとしては、上述の酸素欠損を形成する元素、または酸素欠損に捕獲される元素などを用いればよい。例えば、該元素として、水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、塩素、チタン、希ガス等が挙げられる。また、希ガス元素の代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノン等がある。

[0303]

例えば、領域231、および領域232に、不純物を添加するために、ドーパントを含む膜を絶縁体274として、領域231に接して成膜するとよい。絶縁体274は、上記元素の一種、または複数種を含む絶縁膜を用いることが好ましい（図10参照。）。

[0304]

具体的には、酸化物230に接して、窒素などの不純物となる元素を含む絶縁体274を成膜するとよい。窒素などの不純物となる元素を含む絶縁体は、酸化物230に含まれる酸素を引き抜き、吸収する場合がある。酸化物230から、酸素が引き抜かれると、領域231、および領域232には酸素欠損が生じる。該酸素欠損に、絶縁体274の成膜や成膜後の熱処理により、絶縁体274の成膜雰囲気に含まれる、水素または窒素などの不純物元素が捕獲され、領域231、および領域232は低抵抗化する。つまり、酸化物230は、絶縁体274と接する領域を中心に、添加された不純物元素により酸素欠損が形成され、さらに当該不純物元素が酸素欠損に入り込むことで、キャリア密度が高くなり、低抵抗化される。その際、絶縁体274と接しない領域232にも不純物が拡散することで、低抵抗化すると考えられる。

[0305]

従って、絶縁体274の成膜により、ソース領域およびドレイン領域を自己整合的に形成することができる。よって、微細化または高集積化された半導体装置も、歩留まり良く製造することができる。

[0306]

ここで、導電体260、絶縁体252および絶縁体250の上面および側面を、絶縁体270および絶縁体272で覆っておくことで、窒素または水素などの不純物元素が、導電体260、絶縁体252および絶縁体250に混入することを防ぐことができる。これにより、窒素または水素などの不純物元素が、導電体260、絶縁体252および絶縁体250を通して、トランジスタ200のチャネル形成領域として機能する領域234に混入することを防ぐことができる。従って、良好な電気特性を有するトランジスタ200を提供することができる。

[0307]

例えば、絶縁体274として、CVD法を用いて成膜した、窒化シリコン、窒化酸化シリコン、酸化窒化シリコンを用いることができる。本実施の形態では、絶縁体274として、窒化酸化シリコンを用いる。

[0308]

絶縁体274として、窒化酸化シリコンを用いた場合、領域231a、および領域231bは、領域234より、水素および窒素の少なくとも一方の濃度が大きくなることが好ましい。水素または窒素の濃度は、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）などを用いて測定すればよい。ここで、領域234の水素または窒素の濃度として

は、酸化物230bの絶縁体250と重なる領域の中央近傍（例えば、酸化物230bの絶縁体250と重なる領域のチャンネル長方向の両側面からの距離が概略等しい部分）の水素または窒素の濃度を測定すればよい。

[0309]

なお、上記において、絶縁体274の成膜による酸化物230の低抵抗化、を用いて、領域231、領域232、および領域234を形成したが、本実施の形態はこれに限られるものではない。

[0310]

他のドーパントの添加方法としては、イオン化された原料ガスを質量分離して添加するイオン注入法、イオン化された原料ガスを質量分離せずに添加するイオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いることができる。質量分離を行う場合、添加するイオン種およびその濃度を厳密に制御することができる。一方、質量分離を行わない場合、短時間で高濃度のイオンを添加することができる。また、原子または分子のクラスターを生成してイオン化するイオンドーピング法を用いてもよい。なお、ドーパントを、イオン、ドナー、アクセプター、不純物または元素などと言い換えてもよい。

[0311]

また、ドーパントは、プラズマ処理にて添加されてもよい。この場合、プラズマCVD装置、ドライエッチング装置、アッシング装置を用いてプラズマ処理を行い、領域231、および領域232にドーパントを添加することができる。なお、上述した処理を複数組み合わせ、各領域などを形成してもよい。

[0312]

例えば、領域231は、上述の酸素欠損を形成する元素、酸素欠損に捕獲される元素の含有率を高くすることで、キャリア密度を高くし、低抵抗化を図ることができる。または、例えば、領域231において、インジウムなどの金属元素を添加し、酸化物230のインジウムなどの金属原子の含有率を高くすることで、電子移動度を高くし、低抵抗化を図ることができる。なお、インジウムを添加する場合、少なくとも領域231における元素Mに対するインジウムの原子数比が、領域234の元素Mに対するインジウムの原子数比よりも大きくなる。

[0313]

また、例えば、領域232は、ガリウムの含有率を高くすることで、領域231に添加された水素などの不純物の拡散を抑制することで、意図しない実行チャンネル長の縮小を抑制することができる。

[0314]

また、例えば、絶縁体250、絶縁体252、導電体260、絶縁体272、絶縁体270、および絶縁体271をマスクとして、酸化物230にプラズマ処理を行ってもよい。プラズマ処理は、上述の酸素欠損を形成する元素、または酸素欠損に捕獲される元素を含む雰囲気などで行えばよい。例えば、アルゴンガスと窒素ガスを用いてプラズマ処理を行えばよい。

[0315]

また、例えば、絶縁膜272Aを成膜した後、絶縁膜272Aを介して、イオンドーピング法により、ドーパントを添加してもよい。絶縁膜272Aは、酸化物230、絶縁体250、導電体260、絶縁体270を覆って設けられている。従って、酸化物230の上面に対する垂直方向において、絶縁膜272Aの膜厚は、絶縁体250、導電体260、絶縁体270の側面周辺と、その他の領域において異なる。つまり、絶縁膜272Aの膜厚は、絶縁体250、導電体260、絶縁体270の側面

周辺では、その他の領域よりも大きい。つまり、絶縁膜 272A を介して、ドーパントを添加することで、チャネル長が 10 nm から 30 nm 程度に微細化されたトランジスタでも、自己整合的に、領域 231、領域 232 を設けることができる。また、領域 232 は、後工程で行う熱処理などの工程において、領域 231 のドーパントが拡散することにより、形成されてもよい。

[0316]

トランジスタ 200 において、領域 232 を設けることで、ソース領域およびドレイン領域として機能する領域 231 と、チャネルが形成される領域 234 との間に高抵抗領域が形成されないため、トランジスタのオン電流、および移動度を大きくすることができる。また、領域 232 を有することで、チャネル長方向において、ソース領域およびドレイン領域と、ゲートとが重ならないため、不要な容量が形成されるのを抑制することができる。また、領域 232 を有することで、非導通時のリーク電流を小さくすることができる。

[0317]

従って、各領域の範囲を適宜選択することにより、回路設計に合わせて、要求に見合う電気特性を有するトランジスタを容易に提供することができる。

[0318]

続いて、加熱処理を行うことができる。加熱処理は、前述の加熱処理条件を用いることができる。加熱処理を行うことで、添加されたドーパントが、酸化物 230 の領域 232 へと拡散し、オン電流を大きくすることができる。

[0319]

次に、絶縁体 274 の上に、絶縁体 280 を成膜する。絶縁体 280 の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて行うことができる。または、スピニング法、ディップ法、液滴吐出法（インクジェット法など）、印刷法（スクリーン印刷、オフセット印刷など）、ドクターナイフ法、ロールコーター法またはカーテンコーター法などを用いて行うことができる。本実施の形態では、該絶縁膜として、酸化窒化シリコンを用いる。

[0320]

次に、絶縁体 280 の一部を除去する。絶縁体 280 は、上面が平坦性を有するように形成することが好ましい。例えば、絶縁体 280 は、絶縁体 280 となる絶縁膜として成膜した直後に上面が平坦性を有していてもよい。または、例えば、絶縁体 280 は、成膜後に基板裏面などの基準面と平行になるよう絶縁体などを上面から除去していくことで平坦性を有してもよい。このような処理を、平坦化処理と呼ぶ。平坦化処理としては、CMP 処理、ドライエッチング処理などがある。本実施の形態では、平坦化処理として、CMP 処理を用いる。ただし、絶縁体 280 の上面は必ずしも平坦性を有さなくてもよい。

[0321]

次に、絶縁体 280 および絶縁体 274 に、酸化物 230 の領域 231a に達する開口と、酸化物 230 の領域 231b に達する開口と、を形成する。当該開口の形成は、リソグラフィ法を用いて行えばよい。なお、導電体 240a、および導電体 240b が酸化物 230 の側面に接して設けられるように、酸化物 230 に達する開口において、酸化物 230 の側面が露出するように、当該開口を形成する。

[0322]

次に、導電体 240a、および導電体 240b となる導電膜を成膜する。該導電膜の成膜は、スパッ

タリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0323]

次に、CMP処理を行うことで、導電体240a、および導電体240bとなる導電膜の一部を除去し、絶縁体280を露出する。その結果、上記開口のみに、該導電膜が残存することで上面が平坦な導電体240a、および導電体240bを形成することができる（図11参照。）。

[0324]

以上により、トランジスタ200を有する半導体装置を作製することができる。図3乃至図11に示す本実施の形態の半導体装置の作製方法を用いることで、トランジスタ200を作成することができる。

[0325]

本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、オフ電流の小さい半導体装置を提供することができる。または、本発明の一態様により、オン電流の大きいトランジスタを提供することができる。または、本発明の一態様により、信頼性の高い半導体装置を提供することができる。または、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。または、本発明の一態様により、消費電力が低減された半導体装置を提供することができる。または、本発明の一態様により、生産性の高い半導体装置を提供することができる。

[0326]

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

[0327]

<半導体装置の変形例>

以下では、図12、図13、および図14を用いて、本発明の一態様に係るトランジスタ200を有する半導体装置の一例について説明する。

[0328]

図12(A)、図13(A)、および図14(A)は、トランジスタ200を有する半導体装置の上面図である。また、図12(B)、図12(C)、図13(B)、図13(C)、図14(B)、および図14(C)は該半導体装置の断面図である。ここで、図12(B)、図13(B)、または図14(B)は、図12(A)、図13(A)、または図14(A)にA1-A2の一点鎖線で示す部位の断面図であり、トランジスタ200のチャネル長方向の断面図でもある。また、図12(C)、図13(C)、または図14(C)は、図12(A)、図13(A)、または図14(A)にA3-A4の一点鎖線で示す部位の断面図であり、トランジスタ200のチャネル幅方向の断面図でもある。図12(A)、図13(A)、および図14(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0329]

なお、図12(A)、図13(A)、および図14(A)に示す半導体装置において、<半導体装置の構成例>に示した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。

[0330]

以下、トランジスタ200の構成についてそれぞれ図12、図13(A)、および図14(A)を用いて説明する。なお、本項目においても、トランジスタ200の構成材料については<半導体装置の

構成例>で詳細に説明した材料を用いることができる。

[0331]

[半導体装置の変形例1]

図12に示すトランジスタ200は、<半導体装置の構成例>に示した半導体装置とは、少なくとも絶縁体273を有することが異なる。

[0332]

具体的には、図12に示すように、絶縁体224、酸化物230、絶縁体272、および絶縁体271と、絶縁体274との間に、絶縁体273を有する。

[0333]

図12に示すように、絶縁体274と、酸化物230との間に絶縁体273を設けることで、絶縁体274を成膜した際に拡散するドーパントの量を調整することができる。従って、絶縁体273の膜厚、および材料は、求めるトランジスタの性能により、適宜設計すればよい。

[0334]

例えば、絶縁体273として、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウム、または酸化ハフニウムなどを用いることが好ましい。これにより、絶縁体273の膜厚を薄くすることができる。具体的には、絶縁体273の膜厚は、0.5nm以上、1.2nm以下であることが好ましい。

[0335]

なお、絶縁体273は、ALD法により成膜するとよい。ALD法を用いることで、被膜性が高い絶縁体273を成膜することができる。

[0336]

また、絶縁体273を設けることで、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁体で、絶縁体272の側面を覆うことで、絶縁体272のバリア性を強化することができる。これにより、導電体260、絶縁体250および絶縁体252を介して、水または水素などの不純物が酸化物230に混入することを防ぐことができる。従って、絶縁体273は、ゲート電極およびゲート絶縁膜の側面を保護するサイドバリアとしての機能を有する。

[0337]

[半導体装置の変形例2]

図13に示すトランジスタ200は、<半導体装置の構成例>に示した半導体装置とは、少なくとも酸化物230cの形状が異なる。

[0338]

具体的には、図13に示すように、酸化物230cは、酸化物230a、および酸化物230bを覆って設ける。つまり、酸化物230bは、酸化物230a、および酸化物230cにより包囲される。当該構造とすることで、領域234において、チャネルが形成される酸化物230bに不純物が混入することを抑制することができる。

[0339]

また、酸化物230aの側面と酸化物230bの側面は同一面上となるように、設けられていることが好ましい。また、酸化物230cは、酸化物230aおよび酸化物230bを覆って形成されることが好ましい。例えば、酸化物230cは、酸化物230aの側面、酸化物230bの上面および側面、ならびに絶縁体224の上面の一部に接して形成される。ここで、酸化物230cを上面から見

ると、酸化物230cの側面は、酸化物230aおよび酸化物230bの側面の外側に位置する。当該構造とすることで、トランジスタ200が、導電体240と電氣的に接続する場合、絶縁体224上においても、酸化物230cを介して導通するため、オーミック接触が良好となる。

[0340]

[半導体装置の変形例3]

以下では、図14を用いて、本実施の形態に示すトランジスタの変形例について説明する。

[0341]

図14に示すトランジスタ200は、一つのゲート電極に対して複数のチャネル形成領域を有することが、図1(A)、(B)および(C)に示すトランジスタ200の構成と異なる。トランジスタ200は、複数のチャネル形成領域を有することで大きなオン電流を得ることができる。また、それぞれのチャネル形成領域は、ゲート電極で覆われた構造、つまりs-channel構造となっているため、それぞれのチャネル形成領域において大きなオン電流を得ることができる。尚、図14は、3つのチャネル形成領域を有する一例を示すが、チャネル形成領域の数はこれに限定されない。その他の構成は、上述の図1(A)、(B)および(C)に示したトランジスタ200の構成を参酌する。

[0342]

以上、本実施の形態に示す構成、構造、方法などは、他の実施の形態に示す構成、構造、方法などと適宜組み合わせる用いることができる。

[0343]

(実施の形態2)

以下では、本発明の一態様に係るトランジスタ200を有する半導体装置の一例について説明する。

[0344]

<半導体装置の構成例>

図15(A)、図15(B)、および図15(C)は、本発明の一態様に係るトランジスタ200、容量素子100、およびトランジスタ200周辺の上面図、および断面図である。なお、本明細書では、1つの容量素子、および少なくとも1つのトランジスタを有する記憶装置をセルと称する。

[0345]

図15(A)は、トランジスタ200、および容量素子100を有するセル600の上面図である。また、図15(B)、および図15(C)はセル600の断面図である。ここで、図15(B)は、図15(A)にA1-A2の一点鎖線で示す部位の断面図であり、トランジスタ200のチャネル長方向の断面図でもある。また、図15(C)は、図15(A)にA3-A4の一点鎖線で示す部位の断面図であり、トランジスタ200のチャネル幅方向の断面図でもある。図15(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0346]

[セル600]

本発明の一態様の半導体装置は、トランジスタ200と、容量素子100、および層間膜として機能する絶縁体280を有する。また、トランジスタ200と電氣的に接続し、プラグとして機能する導電体240(導電体240a、導電体240b、導電体240c、および導電体240d)とを有する。

[0347]

図15に示すセル600は、トランジスタ200と、容量素子100とを、同層に設けることで、ト

ランジスタ 200 を構成する構造の一部を、容量素子 100 が構成する構造の一部と、併用することができる。つまり、ランジスタ 200 の構造の一部は、容量素子 100 の構造の一部として、機能する場合がある。

[0348]

また、ランジスタ 200 に、容量素子 100 の一部、または全体が、重畳することで、ランジスタ 200 の投影面積、および容量素子 100 の投影面積の合計した面積を小さくすることができる。

[0349]

また、ランジスタ 200 と電氣的に接続するプラグ、または配線として機能する導電体 240b、および導電体 207（導電体 207a、および導電体 207b）を、容量素子 100、およびランジスタ 200 が重畳する領域の下部に設けることで、セル 600 の微細化、または高集積化が容易となる。また、導電体 207 は、ランジスタ 200 の構成である導電体 205 と同工程で形成できるため、工程短縮が可能となる。

[0350]

なお、容量素子 100 に求められる容量値に応じて、ランジスタ 200、および容量素子 100 のレイアウトを適宜設計することができる。

[0351]

例えば、容量素子 100 の面積は、酸化物 230 の領域 231b と、導電体 120 が、絶縁体 130 を介して重畳する面積により決定される。従って、セル 600 に必要な容量値が図 15 (A)、および図 15 (B) に示す容量素子 100 では得られない場合、酸化物 230a および酸化物 230b の領域 231b における A3-A4 方向の幅を、酸化物 230a および酸化物 230b の領域 234 における A3-A4 方向の幅よりも大きくすることで、容量値を大きくすることができる。

[0352]

また、例えば、酸化物 230 の領域 231b における A1-A2 方向の長さを、導電体 120 における A1-A2 方向の長さよりも大きくしてもよい。その場合、導電体 240b を、絶縁体 280 に埋め込むことができる。つまり、酸化物 230 の領域 231b と、導電体 240b とが、酸化物 230 の領域 231b と導電体 120 とが重畳しない領域で接するように設けてもよい。従って、導電体 240a、導電体 240b、および導電体 240c を同一工程で形成することで、工程を短縮することができる。

[0353]

上記構造を有することで、微細化または高集積化が可能である。また、設計自由度を高くすることができる。また、ランジスタ 200 は、容量素子 100 と、同一の工程で形成する。従って、工程を短縮することができるため、生産性を向上させることができる。

[0354]

[ランジスタ 200]

ランジスタ 200 には、先の実施の形態で説明した半導体装置が有するランジスタの構造を用いればよい。また、図 15 に示すランジスタ 200 は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なランジスタを用いればよい。

[0355]

[容量素子 100]

図 15 に示すように、容量素子 100 は、ランジスタ 200 と共通の構造を有する構成である。本

実施の形態では、トランジスタ 200 の酸化物 230 に設けられた領域 231 b を、容量素子 100 の電極の一方として機能する容量素子 100 の例について示す。

[0356]

容量素子 100 は、酸化物 230 の領域 231 b、領域 231 b 上に絶縁体 130、絶縁体 130 上に導電体 120 を有する。絶縁体 130 の上に、少なくとも一部が酸化物 230 の領域 231 b と重なるように、導電体 120 が配置されることが好ましい。

[0357]

酸化物 230 の領域 231 b は、容量素子 100 の電極の一方として機能し、導電体 120 は容量素子 100 の電極の他方として機能する。絶縁体 130 は容量素子 100 の誘電体として機能する。酸化物 230 の領域 231 b は低抵抗化されており、導電性酸化物である。従って、容量素子 100 の電極の一方として機能することができる。

[0358]

なお、絶縁体 274 を加工することで、絶縁体 130 を設けてもよい。また、絶縁体 130（絶縁体 274）は、トランジスタ 200、および絶縁体 224 と接して残存していてもよい。

[0359]

また、イオンドーピング法、またはプラズマ処理などにより、酸化物 230 の領域 231 にドーパントを添加する場合、絶縁体 274 を設けず、誘電体として別途、絶縁体 130 を設けてもよい。絶縁体 130 は、例えば、酸化アルミニウムまたは酸化窒化シリコンを単層または積層で用いればよい。

[0360]

導電体 120 は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、図示しないが、導電体 120 は積層構造としても良く、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

[0361]

<セルアレイの構造>

ここで、本実施の形態のセルアレイの一例を、図 16、および図 17 に示す。例えば、図 15 に示すトランジスタ 200、および容量素子 100 を有するセル 600 を、行列、またはマトリクス状に配置することで、セルアレイを構成することができる。

[0362]

図 16 (A) は、図 15 に示すセル 600 を、マトリクス状に配置した一形態を示す回路図である。図 16 (A) においては、行方向に隣り合うセル 600 が有するトランジスタのソースおよびドレインの一方が共通の BL (BL01、BL02、BL03) と電気的に接続する。また、当該 BL は、列方向に配置されたセルが有するトランジスタのソースおよびドレインの一方とも電気的に接続する。一方、行方向に隣り合うセル 600 が有するトランジスタの第 1 のゲートは、異なる WL (WL01 乃至 WL06) と電気的に接続する。また、各セル 600 が有するトランジスタには第 2 のゲート BG が設けられていてもよい。BG に印加される電位により、トランジスタのしきい値を制御することができる。また、セル 600 が有する容量の第 1 の電極は、トランジスタのソースおよびドレインの他方と電気的に接続する。この時、容量の第 1 の電極は、トランジスタを構成する構造の一部からなる場合がある。また、セル 600 が有する容量の第 2 の電極は、電源線 PL と電気的に接続する。

[0363]

図 16 (B) は、図 16 (A) における、行の一部として WL04 と BL02 に電気的に接続された

セル600a、およびWL03とBL02に電氣的に接続されたセル600bを含む回路610を抜き出した断面図である。図16(B)は、セル600a、およびセル600bの断面図を示す。

[0364]

セル600aは、トランジスタ200aおよび容量素子100aを有している。セル600bは、トランジスタ200bおよび容量素子100bを有している。

[0365]

トランジスタ200aのソースおよびドレインの一方と、トランジスタ200bのソースおよびドレインの一方は、いずれもBL02と電氣的に接続している。

[0366]

上記構成より、ソースおよびドレインの一方と電氣的に接続する配線を共通化することで、セルアレイの占有面積をさらに縮小することができる。

[0367]

図17(A)は、図15に示すセル600を、マトリクス状に配置した回路において、図16(A)と異なる形態を示す回路図である。図17(A)においては、行方向に配置されたセル600が有するトランジスタの第1のゲートが共通のWL(WL01、WL02、WL03)と電氣的に接続する。また、列方向に配置されたセルが有するトランジスタのソースおよびドレインの一方が、共通のBL(BL01乃至BL06)と電氣的に接続する。また、各セル600が有するトランジスタには第2のゲートBGが設けられていてもよい。BGに印加される電位により、トランジスタのしきい値を制御することができる。また、セル600が有する容量の第1の電極は、トランジスタのソースおよびドレインの他方と電氣的に接続する。この時、容量の第1の電極は、トランジスタを構成する構造の一部からなる場合がある。また、セル600が有する容量の第2の電極は、PLと電氣的に接続する。

[0368]

図17(B)は、図17(A)における、行の一部としてWL02とBL03に電氣的に接続されたセル600a、およびWL02とBL04に電氣的に接続されたセル600bを含む回路610を抜き出した断面図である。図17(B)は、セル600a、およびセル600bの断面図を示す。

[0369]

セル600aは、トランジスタ200aおよび容量素子100aを有している。セル600bは、トランジスタ200bおよび容量素子100bを有している。

[0370]

以上、本実施の形態に示す構成、構造、方法などは、他の実施の形態に示す構成、構造、方法などと適宜組み合わせ用いることができる。

[0371]

(実施の形態3)

本実施の形態では、半導体装置の一形態を、図18乃至図22を用いて説明する。

[0372]

<記憶装置1>

図18、および図19に示す記憶装置は、トランジスタ300と、トランジスタ200、および容量素子100を有している。

[0373]

トランジスタ200は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。

トランジスタ 200 は、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。

[0374]

図 18、および図 19 に示す記憶装置において、配線 1001 はトランジスタ 300 のソースと電氣的に接続され、配線 1002 はトランジスタ 300 のドレインと電氣的に接続されている。また、配線 1003 はトランジスタ 200 のソースおよびドレインの一方と電氣的に接続され、配線 1004 はトランジスタ 200 の第 1 のゲートと電氣的に接続され、配線 1006 はトランジスタ 200 の第 2 のゲートと電氣的に接続されている。そして、トランジスタ 300 のゲート、およびトランジスタ 200 のソースおよびドレインの他方は、容量素子 100 の電極の一方と電氣的に接続され、配線 1005 は容量素子 100 の電極の他方と電氣的に接続されている。

[0375]

図 18、および図 19 に示す記憶装置は、トランジスタ 300 のゲートの電位を保持可能という特性を有することで、以下に示すように、情報の書き込み、保持、読み出しが可能である。

[0376]

情報の書き込みおよび保持について説明する。まず、配線 1004 の電位を、トランジスタ 200 が導通状態となる電位にして、トランジスタ 200 を導通状態とする。これにより、配線 1003 の電位が、トランジスタ 300 のゲート、および容量素子 100 の電極の一方と電氣的に接続するノード FG に与えられる。即ち、トランジスタ 300 のゲートには、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下 Low レベル電荷、High レベル電荷という。）のどちらかが与えられるものとする。その後、配線 1004 の電位を、トランジスタ 200 が非導通状態となる電位にして、トランジスタ 200 を非導通状態とすることにより、ノード FG に電荷が保持される（保持）。

[0377]

トランジスタ 200 のオフ電流が小さい場合、ノード FG の電荷は長期間にわたって保持される。

[0378]

次に情報の読み出しについて説明する。配線 1001 に所定の電位（定電位）を与えた状態で、配線 1005 に適切な電位（読み出し電位）を与えると、配線 1002 は、ノード FG に保持された電荷量に応じた電位をとる。これは、トランジスタ 300 を n チャネル型とすると、トランジスタ 300 のゲートに High レベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_H} は、トランジスタ 300 のゲートに Low レベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_L} より低くなるためである。ここで、見かけ上のしきい値電圧とは、トランジスタ 300 を「導通状態」とするために必要な配線 1005 の電位をいうものとする。したがって、配線 1005 の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、ノード FG に与えられた電荷を判別できる。例えば、書き込みにおいて、ノード FG に High レベル電荷が与えられていた場合には、配線 1005 の電位が V_0 ($> V_{th_H}$) となれば、トランジスタ 300 は「導通状態」となる。一方、ノード FG に Low レベル電荷が与えられていた場合には、配線 1005 の電位が V_0 ($< V_{th_L}$) となっても、トランジスタ 300 は「非導通状態」のままである。このため、配線 1002 の電位を判別することで、ノード FG に保持されている情報を読み出すことができる。

[0379]

<記憶装置 1 の構造>

本発明の一態様の記憶装置は、図 18 に示すようにトランジスタ 300、トランジスタ 200、容量素子 100 を有する。トランジスタ 200 はトランジスタ 300 の上方に設けられ、容量素子 100 はトランジスタ 300、およびトランジスタ 200 の上方に設けられている。

[0380]

トランジスタ 300 は、基板 311 上に設けられ、導電体 316、絶縁体 315、基板 311 の一部からなる半導体領域 313、およびソース領域またはドレイン領域として機能する低抵抗領域 314a、および低抵抗領域 314b を有する。

[0381]

トランジスタ 300 は、p チャンネル型、あるいは n チャンネル型のいずれでもよい。

[0382]

半導体領域 313 のチャンネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域 314a、および低抵抗領域 314b などにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウムアルミニウムヒ素）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。または GaAs と GaAlAs 等を用いることで、トランジスタ 300 を HEMT（High Electron Mobility Transistor）としてもよい。

[0383]

低抵抗領域 314a、および低抵抗領域 314b は、半導体領域 313 に適用される半導体材料に加え、ヒ素、リンなどの n 型の導電性を付与する元素、またはホウ素などの p 型の導電性を付与する元素を含む。

[0384]

ゲート電極として機能する導電体 316 は、ヒ素、リンなどの n 型の導電性を付与する元素、もしくはホウ素などの p 型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。

[0385]

なお、導電体の材料により、仕事関数が定まるため、導電体の材料を変更することでしきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

[0386]

なお、図 18 に示すトランジスタ 300 は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[0387]

トランジスタ 300 を覆って、絶縁体 320、絶縁体 322、絶縁体 324、および絶縁体 326 が順に積層して設けられている。

[0388]

絶縁体 320、絶縁体 322、絶縁体 324、および絶縁体 326 として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

[0389]

絶縁体 322 は、その下方に設けられるトランジスタ 300 などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体 322 の上面は、平坦性を高めるために化学機械研磨 (CMP) 法等を用いた平坦化処理により平坦化されていてもよい。

[0390]

また、絶縁体 324 には、基板 311、またはトランジスタ 300 などから、トランジスタ 200 が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

[0391]

水素に対するバリア性を有する膜の一例として、例えば、CVD 法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 200 等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の特性が低下する場合がある。従って、トランジスタ 200 と、トランジスタ 300 との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0392]

水素の脱離量は、例えば、昇温脱離ガス分析法 (TDS) などを用いて分析することができる。例えば、絶縁体 324 の水素の脱離量は、TDS 分析において、膜の表面温度が 50°C から 500°C の範囲において、水素原子に換算した脱離量が、絶縁体 324 の面積当たりに換算して、 $1.0 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

[0393]

なお、絶縁体 326 は、絶縁体 324 よりも誘電率が低いことが好ましい。例えば、絶縁体 326 の比誘電率は 4 未満が好ましく、3 未満がより好ましい。また例えば、絶縁体 326 の比誘電率は、絶縁体 324 の比誘電率の 0.7 倍以下が好ましく、0.6 倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0394]

また、絶縁体 320、絶縁体 322、絶縁体 324、および絶縁体 326 には容量素子 100、またはトランジスタ 200 と電気的に接続する導電体 328、および導電体 330 等が埋め込まれている。なお、導電体 328、および導電体 330 はプラグ、または配線としての機能を有する。また、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電気的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

[0395]

各プラグ、および配線 (導電体 328、および導電体 330 等) の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0396]

絶縁体326、および導電体330上に、配線層を設けてもよい。例えば、図18において、絶縁体350、絶縁体352、及び絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、及び絶縁体354には、導電体356が形成されている。導電体356は、プラグ、または配線としての機能を有する。なお導電体356は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0397]

なお、例えば、絶縁体350は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体356は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体350が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ200とは、バリア層により分離することができ、トランジスタ300からトランジスタ200への水素の拡散を抑制することができる。

[0398]

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ300からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体350と接する構造であることが好ましい。

[0399]

絶縁体354、および導電体356上に、配線層を設けてもよい。例えば、図18において、絶縁体360、絶縁体362、及び絶縁体364が順に積層して設けられている。また、絶縁体360、絶縁体362、及び絶縁体364には、導電体366が形成されている。導電体366は、プラグ、または配線としての機能を有する。なお導電体366は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0400]

なお、例えば、絶縁体360は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体366は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体360が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ200とは、バリア層により分離することができ、トランジスタ300からトランジスタ200への水素の拡散を抑制することができる。

[0401]

絶縁体364、および導電体366上に、配線層を設けてもよい。例えば、図18において、絶縁体370、絶縁体372、及び絶縁体374が順に積層して設けられている。また、絶縁体370、絶縁体372、及び絶縁体374には、導電体376が形成されている。導電体376は、プラグ、または配線としての機能を有する。なお導電体376は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0402]

なお、例えば、絶縁体370は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用

いることが好ましい。また、導電体 376 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 370 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 300 とトランジスタ 200 とは、バリア層により分離することができ、トランジスタ 300 からトランジスタ 200 への水素の拡散を抑制することができる。

[0403]

絶縁体 374、および導電体 376 上に、配線層を設けてもよい。例えば、図 18 において、絶縁体 380、絶縁体 382、及び絶縁体 384 が順に積層して設けられている。また、絶縁体 380、絶縁体 382、及び絶縁体 384 には、導電体 386 が形成されている。導電体 386 は、プラグ、または配線としての機能を有する。なお導電体 386 は、導電体 328、および導電体 330 と同様の材料を用いて設けることができる。

[0404]

なお、例えば、絶縁体 380 は、絶縁体 324 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 386 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 380 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 300 とトランジスタ 200 とは、バリア層により分離することができ、トランジスタ 300 からトランジスタ 200 への水素の拡散を抑制することができる。

[0405]

絶縁体 384 上には絶縁体 210、絶縁体 212、絶縁体 214、および絶縁体 216 が、順に積層して設けられている。絶縁体 210、絶縁体 212、絶縁体 214、および絶縁体 216 のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

[0406]

例えば、絶縁体 210、および絶縁体 214 には、例えば、基板 311、またはトランジスタ 300 を設ける領域などから、トランジスタ 200 を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。従って、絶縁体 324 と同様の材料を用いることができる。

[0407]

水素に対するバリア性を有する膜の一例として、CVD 法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 200 等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の特性が低下する場合がある。従って、トランジスタ 200 と、トランジスタ 300 との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0408]

また、水素に対するバリア性を有する膜として、例えば、絶縁体 210、および絶縁体 214 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0409]

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ 200 への混入を防止することができる。また、トランジスタ 200 を構成する酸化物からの酸素の放出を抑制

することができる。そのため、トランジスタ 200 に対する保護膜として用いることに適している。

[0410]

また、例えば、絶縁体 212、および絶縁体 216 には、絶縁体 320 と同様の材料を用いることができる。また、比較的誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 212、および絶縁体 216 として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

[0411]

また、絶縁体 210、絶縁体 212、絶縁体 214、および絶縁体 216 には、導電体 218、及びトランジスタ 200 を構成する導電体（導電体 205）等が埋め込まれている。なお、導電体 218 は、容量素子 100、またはトランジスタ 300 と電氣的に接続するプラグ、または配線としての機能を有する。導電体 218 は、導電体 328、および導電体 330 と同様の材料を用いて設けることができる。

[0412]

特に、絶縁体 210、および絶縁体 214 と接する領域の導電体 218 は、酸素、水素、および水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ 300 とトランジスタ 200 とは、酸素、水素、および水に対するバリア性を有する層で、分離することができ、トランジスタ 300 からトランジスタ 200 への水素の拡散を抑制することができる。

[0413]

絶縁体 216 の上方には、トランジスタ 200 が設けられている。なお、トランジスタ 200 には、先の実施の形態で説明した半導体装置が有するトランジスタの構造を用いればよい。また、図 18 に示すトランジスタ 200 は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[0414]

トランジスタ 200 の上方には、絶縁体 280 を設ける。

[0415]

絶縁体 280 上には、絶縁体 282 が設けられている。絶縁体 282 は、酸素や水素に対してバリア性のある物質を用いることが好ましい。従って、絶縁体 282 には、絶縁体 214 と同様の材料を用いることができる。例えば、絶縁体 282 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0416]

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ 200 への混入を防止することができる。また、トランジスタ 200 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 200 に対する保護膜として用いることに適している。

[0417]

また、絶縁体 282 上には、絶縁体 286 が設けられている。絶縁体 286 は、絶縁体 320 と同様の材料を用いることができる。また、比較的誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 286 として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

[0418]

また、絶縁体220、絶縁体222、絶縁体274、絶縁体280、絶縁体282、および絶縁体286には、導電体246、および導電体248等が埋め込まれている。

[0419]

導電体246、および導電体248は、容量素子100、トランジスタ200、またはトランジスタ300と電氣的に接続するプラグ、または配線としての機能を有する。導電体246、および導電体248は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0420]

続いて、トランジスタ200の上方には、容量素子100が設けられている。容量素子100は、導電体110と、導電体120、および絶縁体130とを有する。

[0421]

また、導電体246、および導電体248上に、導電体112を設けてもよい。導電体112は、容量素子100、トランジスタ200、またはトランジスタ300と電氣的に接続するプラグ、または配線としての機能を有する。導電体110は、容量素子100の電極としての機能を有する。なお、導電体112、および導電体110は、同時に形成することができる。

[0422]

導電体112、および導電体110には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

[0423]

図18では、導電体112、および導電体110は単層構造を示したが、当該構成に限定されず、2層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

[0424]

また、導電体112、および導電体110上に、容量素子100の誘電体として、絶縁体130を設ける。絶縁体130は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設けることができる。

[0425]

例えば、絶縁体130には、酸化窒化シリコンなどの絶縁耐力が大きい材料を用いるとよい。当該構成により、容量素子100は、絶縁耐力が向上し、容量素子100の静電破壊を抑制することができる。

[0426]

絶縁体130上に、導電体110と重畳するように、導電体120を設ける。なお、導電体120は、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電

性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンをを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料であるCu（銅）やAl（アルミニウム）等を用いればよい。

[0427]

導電体120、および絶縁体130上には、絶縁体150が設けられている。絶縁体150は、絶縁体320と同様の材料を用いて設けることができる。また、絶縁体150は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

[0428]

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。

[0429]

<記憶装置1の変形例>

以下では、図19を用いて、本発明の一態様に係る記憶装置の一例について説明する。

[0430]

図19は、容量素子100、トランジスタ200、およびトランジスタ300を有する記憶装置の断面図である。なお、図19に示す記憶装置において、先の実施の形態、および<記憶装置1の構造>に示した半導体装置、および記憶装置を構成する構造と同機能を有する構造には、同符号を付記する。

[0431]

図19に示すトランジスタ200は、<記憶装置1の構成例>に示した半導体装置に、先の実施の形態で説明したセル600を設けたことが異なる。

[0432]

具体的には、図19に示すように、容量素子100と、トランジスタ200を独立して設ける代わりに、容量素子100の構成の一部と、トランジスタ200の構成の一部とを共有するセル600を有する。

[0433]

上記構造により、セル600と、トランジスタ300との一部、または全体が、重畳することで、記憶装置の投影面積の合計した面積を小さくすることができる。従って、セル600の微細化、または高集積化が容易となる。また、工程短縮が可能となる。

[0434]

<記憶装置2>

図20に示す半導体装置は、トランジスタ400と、トランジスタ200、および容量素子100を有する記憶装置である。以下に、記憶装置としての一形態を、図20を用いて説明する。

[0435]

本実施の形態に示す半導体装置における、トランジスタ200、トランジスタ400、および容量素子100の接続関係の一例を示した回路図を図20(A)に示す。また、図20(A)に示す配線1003から配線1010などを対応させた半導体装置の断面図を図20(B)に示す。

[0436]

図20に示すように、トランジスタ200は、ゲートが配線1004と、ソースおよびドレインの一方が配線1003と、ソース及びドレインの他方が容量素子100の電極の一方と電気的に接続される。また、容量素子100の電極の他方が配線1005と電気的に接続される。また、トランジスタ400のドレインが配線1010と電気的に接続される。また、図20(B)に示すように、トランジスタ200の第2のゲートと、トランジスタ400のソース、第1のゲート、および第2のゲートが、配線1006、配線1007、配線1008、および配線1009を介して電気的に接続される。

[0437]

ここで、配線1004に電位を印加することで、トランジスタ200のオン状態、オフ状態を制御することができる。トランジスタ200をオン状態として、配線1003に電位を印加することで、トランジスタ200を介して、容量素子100に電荷を供給することができる。このとき、トランジスタ200をオフ状態にすることで、容量素子100に供給された電荷を保持することができる。また、配線1005は、任意の電位を与えることで、容量結合によって、トランジスタ200と容量素子100の接続部分の電位を制御することができる。例えば、配線1005に接地電位を与えると、上記電荷を保持しやすくなる。また、配線1010に負の電位を印加することで、トランジスタ400を介して、トランジスタ200の第2のゲートに負の電位を与え、トランジスタ200のしきい値電圧を0Vより大きくし、オフ電流を低減し、第1のゲート電圧が0Vのときのドレイン電流を非常に小さくすることができる。

[0438]

トランジスタ400の第1のゲート及び第2のゲートをソースとダイオード接続し、トランジスタ400のソースとトランジスタ200の第2のゲートを接続する構成にすることで、配線1010によって、トランジスタ200の第2のゲート電圧を制御することができる。トランジスタ200の第2のゲートの負電位を保持するとき、トランジスタ400の第1のゲートソース間の電圧、および第2のゲートソース間の電圧は、0Vになる。トランジスタ400の第1のゲート電圧が0Vのときのドレイン電流が非常に小さく、しきい値電圧がトランジスタ200より大きいので、この構成とすることにより、トランジスタ400に電源供給をしなくてもトランジスタ200の第2のゲートの負電位を長時間維持することができる。

[0439]

さらに、トランジスタ200の第2のゲートの負電位を保持することで、トランジスタ200に電源供給をしなくてもトランジスタ200の第1のゲート電圧が0Vのときのドレイン電流を非常に小さくすることができる。つまり、トランジスタ200およびトランジスタ400に電源供給をしなくても、容量素子100に電荷を長時間保持することができる。例えば、このような半導体装置を記憶素子として用いることにより、電源供給無しで長時間の記憶保持を行うことができる。よって、リフレッシュ動作の頻度が少ない、またはリフレッシュ動作を必要としない記憶装置を提供することができる。

[0440]

なお、トランジスタ200、トランジスタ400および容量素子100の接続関係は、図20(A)(B)に示すものに限定されない。必要な回路構成に応じて適宜接続関係を変更することができる。

[0441]

<記憶装置2の構造>

図20(B)は、容量素子100、トランジスタ200、およびトランジスタ400を有する記憶装

置の断面図である。なお、図 20 に示す記憶装置において、先の実施の形態、および記憶装置 1 の構造に示した半導体装置、および記憶装置を構成する構造と同機能を有する構造には、同符号を付記する。

[0442]

本発明の一態様の記憶装置は、図 20 に示すようにトランジスタ 200、トランジスタ 400 および容量素子 100 を有する。トランジスタ 200 およびトランジスタ 400 は同一層に設けられ、容量素子 100 はトランジスタ 300、およびトランジスタ 200 の上方に設けられている。

[0443]

なお、容量素子 100、およびトランジスタ 200 としては、先の実施の形態、および図 18、および図 19 で説明した半導体装置、および記憶装置が有する容量素子及びトランジスタを用いればよい。なお、図 20 に示す容量素子 100、トランジスタ 200 およびトランジスタ 400 は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[0444]

トランジスタ 400 は、トランジスタ 200 と同じ層に形成されており、並行して作製することができるトランジスタである。トランジスタ 400 は、第 1 のゲート電極として機能する導電体 460（導電体 460a、および導電体 460b）と、第 2 のゲート電極として機能する導電体 405（導電体 405a、および導電体 405b）と、導電体 460 と接する絶縁体 470、および絶縁体 472 と、ゲート絶縁層として機能する絶縁体 220、絶縁体 222、絶縁体 224、および絶縁体 450 と、チャネルが形成される領域を有する酸化物 430c と、ソースまたはドレインの一方として機能する酸化物 431a、および酸化物 431b と、ソースまたはドレインの他方として機能する酸化物 432a、および酸化物 432b と、を有する。また、第 2 のゲート電極として機能する導電体 405 は、配線として機能する導電体 403（導電体 403a、および導電体 403b）と、電気的に接続されている。

[0445]

トランジスタ 400 において、導電体 405 は、導電体 205 と、同じ層である。酸化物 431a、および酸化物 432a と、酸化物 230a とは、同じ層であり、酸化物 431b、および酸化物 432b と、酸化物 230b とは、同じ層である。酸化物 430c は、酸化物 230c と同じ層である。絶縁体 450 は、絶縁体 250 と、同じ層である。絶縁体 452 は、絶縁体 252 と、同じ層である。導電体 460 は、導電体 260 と、同じ層である。また、絶縁体 470 は、絶縁体 270 と、同じ層である。また、絶縁体 472 は、絶縁体 272 と、同じ層である。

[0446]

トランジスタ 400 の活性層として機能する酸化物 430c は、酸化物 230 などと同様に、酸素欠損が低減され、水素または水などの不純物が低減されている。これにより、トランジスタ 400 のしきい値電圧を 0V より大きくし、オフ電流を低減し、第 2 のゲート電圧及び第 1 のゲート電圧が 0V のときのドレイン電流を非常に小さくすることができる。

[0447]

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、消費電力を低減することができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。または、

微細化または高集積化された半導体装置を生産性良く提供することができる。

[0448]

<記憶装置3>

図21に示す半導体装置は、トランジスタ400、トランジスタ300と、トランジスタ200、および容量素子100を有する記憶装置である。以下に、記憶装置としての一形態を、図21を用いて説明する。

[0449]

トランジスタ200は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタであり、上記実施の形態に示すトランジスタを用いることができる。上記実施の形態に示すトランジスタは、微細化しても歩留まり良く形成できるので、トランジスタ200の微細化を図ることができる。このようなトランジスタを記憶装置に用いることで、記憶装置の微細化または高集積化を図ることができる。上記実施の形態に示すトランジスタは、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。

[0450]

図21において、配線1001はトランジスタ300のソースと電氣的に接続され、配線1002はトランジスタ300のドレインと電氣的に接続されている。また、配線1003はトランジスタ200のソースおよびドレインの一方と電氣的に接続され、配線1004はトランジスタ200のゲートと電氣的に接続され、配線1006はトランジスタ200のバックゲートと電氣的に接続されている。そして、トランジスタ300のゲート、およびトランジスタ200のソースおよびドレインの他方は、容量素子100の電極の一方と電氣的に接続され、配線1005は容量素子100の電極の他方と電氣的に接続されている。配線1007はトランジスタ400のソースと電氣的に接続され、配線1008はトランジスタ400のゲートと電氣的に接続され、配線1009はトランジスタ400のバックゲートと電氣的に接続され、配線1010はトランジスタ400のドレインと電氣的に接続されている。ここで、配線1006、配線1007、配線1008、及び配線1009が電氣的に接続されている。

[0451]

図21に示す半導体装置は、トランジスタ300のゲートの電位が保持可能という特性を有することで、以下に示すように、情報の書き込み、保持、読み出しが可能である。

[0452]

情報の書き込みおよび保持について説明する。まず、配線1004の電位を、トランジスタ200が導通状態となる電位にして、トランジスタ200を導通状態とする。これにより、配線1003の電位が、トランジスタ300のゲート、および容量素子100の電極の一方と電氣的に接続するノードFGに与えられる。即ち、トランジスタ300のゲートには、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下Lowレベル電荷、Highレベル電荷という。）のどちらかが与えられるものとする。その後、配線1004の電位を、トランジスタ200が非導通状態となる電位にして、トランジスタ200を非導通状態とすることにより、ノードFGに電荷が保持される（保持）。

[0453]

トランジスタ 200 のオフ電流が小さい場合、ノード FG の電荷は長期間にわたって保持される。

[0454]

次に情報の読み出しについて説明する。配線 1001 に所定の電位（定電位）を与えた状態で、配線 1005 に適切な電位（読み出し電位）を与えると、配線 1002 は、ノード FG に保持された電荷量に応じた電位をとる。これは、トランジスタ 300 を n チャンネル型とすると、トランジスタ 300 のゲートに High レベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_H} は、トランジスタ 300 のゲートに Low レベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_L} より低くなるためである。ここで、見かけ上のしきい値電圧とは、トランジスタ 300 を「導通状態」とするために必要な配線 1005 の電位をいうものとする。したがって、配線 1005 の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、ノード FG に与えられた電荷を判別できる。例えば、書き込みにおいて、ノード FG に High レベル電荷が与えられていた場合には、配線 1005 の電位が V_0 ($> V_{th_H}$) となれば、トランジスタ 300 は「導通状態」となる。一方、ノード FG に Low レベル電荷が与えられていた場合には、配線 1005 の電位が V_0 ($< V_{th_L}$) となっても、トランジスタ 300 は「非導通状態」のままである。このため、配線 1002 の電位を判別することで、ノード FG に保持されている情報を読み出すことができる。

[0455]

<記憶装置 3 の構造>

[0456]

図 21 は、容量素子 100、トランジスタ 200、トランジスタ 300、およびトランジスタ 400 を有する記憶装置の断面図である。なお、図 21 に示す記憶装置において、先の実施の形態、<記憶装置 1 の構造>、および<記憶装置 2 の構造>、に示した半導体装置、および記憶装置を構成する構造と同機能を有する構造には、同符号を付記する。

[0457]

本発明の一態様の記憶装置は、図 21 に示すようにトランジスタ 300、トランジスタ 200、トランジスタ 400 および容量素子 100 を有する。トランジスタ 200 およびトランジスタ 400 はトランジスタ 300 の上方に設けられ、容量素子 100 はトランジスタ 300、トランジスタ 200 およびトランジスタ 400 の上方に設けられている。

[0458]

なお、容量素子 100、トランジスタ 200、トランジスタ 300、およびトランジスタ 400 としては、先の実施の形態、および図 18 乃至図 20 で説明した半導体装置、および記憶装置が有する容量素子及びトランジスタを用いればよい。なお、図 21 に示す容量素子 100、トランジスタ 300、トランジスタ 200 およびトランジスタ 400 は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[0459]

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、消費電力を低減することができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。または、微細化または高集積化された半導体装置を生産性良く提供することができる。

[0460]

<メモリセルアレイの構造>

[0461]

本実施の形態のメモリセルアレイの一例を、図22に示す。トランジスタ200をメモリセルとして、マトリクス状に配置することで、メモリセルアレイを構成することができる。

[0462]

なお、図22に示す記憶装置は、図18、および図21に示す記憶装置をマトリクス状に配置することで、メモリセルアレイを構成する半導体装置である。なお、1個のトランジスタ400は、複数のトランジスタ200のバックゲート電圧を制御することができる。そのため、トランジスタ400は、トランジスタ200よりも、少ない個数を設けるとよい。

[0463]

従って、図22には、図21に示すトランジスタ400は省略する。図22は、図18、および図21に示す記憶装置を、マトリクス状に配置した場合における、行の一部を抜き出した断面図である。

[0464]

また、図22は、図21と、トランジスタ300の構成が異なる。図22に示すトランジスタ300はチャネルが形成される半導体領域313（基板311の一部）が凸形状を有する。また、半導体領域313の側面および上面を、絶縁体315を介して、導電体316が覆うように設けられている。なお、導電体316は仕事関数を調整する材料を用いてもよい。このようなトランジスタ300は半導体基板の凸部を利用していることからF I N型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、S O I基板を加工して凸形状を有する半導体膜を形成してもよい。

[0465]

図22に示す記憶装置では、メモリセル650aとメモリセル650bが隣接して配置されている。メモリセル650aおよびメモリセル650bは、トランジスタ300、トランジスタ200、および容量素子100を有し、配線1001、配線1002、配線1003、配線1004、配線1005、および配線1006と電氣的に接続される。また、メモリセル650aおよびメモリセル650bにおいても、同様にトランジスタ300のゲートと、容量素子100の電極の一方と、が電氣的に接続するノードを、ノードFGとする。なお、配線1002は隣接するメモリセル650aとメモリセル650bで共通の配線である。

[0466]

メモリセルをアレイ状に配置する場合、読み出し時には、所望のメモリセルの情報を読み出さなくてはならない。例えば、メモリセルアレイがN O R型の構成の場合、情報を読み出さないメモリセルのトランジスタ300を非導通状態にすることで、所望のメモリセルの情報のみを読み出すことができる。この場合、ノードFGに与えられた電荷によらずトランジスタ300が「非導通状態」となるような電位、つまり、 V_{th_H} より低い電位を、情報を読み出さないメモリセルと接続される配線1005に与えればよい。または、例えば、メモリセルアレイがN A N D型の構成の場合、情報を読み出さないメモリセルのトランジスタ300を導通状態にすることで、所望のメモリセルの情報のみを読み出すことができる。この場合、ノードFGに与えられた電荷によらずトランジスタ300が「導通状態」となるような電位、つまり、 V_{th_L} より高い電位を、情報を読み出さないメモリセルと接続される配線1005に与えればよい。

[0467]

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、消費電力を低減することができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。または、微細化または高集積化された半導体装置を生産性良く提供することができる。

[0468]

以上、本実施の形態に示す構成、構造、方法などは、他の実施の形態に示す構成、構造、方法などと適宜組み合わせる用いることができる。

[0469]

(実施の形態4)

本実施の形態では、図23および図24を用いて、本発明の一態様に係る、酸化物を半導体に用いたトランジスタ（以下、OSトランジスタと呼ぶ。）、および容量素子が適用されている記憶装置の一例として、NOSRAMについて説明する。NOSRAM（登録商標）とは「Nonvolatile Oxide Semiconductor RAM」の略称であり、ゲインセル型（2T型、3T型）のメモリセルを有するRAMを指す。

[0470]

NOSRAMでは、メモリセルにOSトランジスタが用いられるメモリ装置（以下、「OSメモリ」と呼ぶ。）が適用されている。OSメモリは、少なくとも容量素子と、容量素子の充放電を制御するOSトランジスタを有するメモリである。OSトランジスタが極小オフ電流のトランジスタであるので、OSメモリは優れた保持特性をもち、不揮発性メモリとして機能させることができる。

[0471]

<<NOSRAM>>

図23にNOSRAMの構成例を示す。図23に示すNOSRAM1600は、メモリセルアレイ1610、コントローラ1640、行ドライバ1650、列ドライバ1660、出力ドライバ1670を有する。なお、NOSRAM1600は、1のメモリセルで多値データを記憶する多値NOSRAMである。

[0472]

メモリセルアレイ1610は複数のメモリセル1611、複数のワード線WWL、RWL、ビット線BL、ソース線SLを有する。ワード線WWLは書き込みワード線であり、ワード線RWLは読み出しワード線である。NOSRAM1600では、1のメモリセル1611で3ビット（8値）のデータを記憶する。

[0473]

コントローラ1640は、NOSRAM1600全体を統括的に制御し、データWDA[31:0]の書き込み、データRDA[31:0]の読み出しを行う。コントローラ1640は、外部からのコマンド信号（例えば、チップイネーブル信号、書き込みイネーブル信号など）を処理して、行ドライバ1650、列ドライバ1660および出力ドライバ1670の制御信号を生成する。

[0474]

行ドライバ1650は、アクセスする行を選択する機能を有する。行ドライバ1650は、行デコーダ1651、およびワード線ドライバ1652を有する。

[0475]

列ドライバ1660は、ソース線SLおよびビット線BLを駆動する。列ドライバ1660は、列デコーダ1661、書き込みドライバ1662、DAC（デジタルアナログ変換回路）1663を有する。

[0476]

DAC1663は3ビットのデジタルデータをアナログ電圧に変換する。DAC1663は32ビットのデータWDA[31:0]を3ビットごとに、アナログ電圧に変換する。

[0477]

書き込みドライバ1662は、ソース線SLをプリチャージする機能、ソース線SLを電氣的に浮遊状態にする機能、ソース線SLを選択する機能、選択されたソース線SLにDAC1663で生成した書き込み電圧を入力する機能、ビット線BLをプリチャージする機能、ビット線BLを電氣的に浮遊状態にする機能等を有する。

[0478]

出力ドライバ1670は、セクタ1671、ADC（アナログデジタル変換回路）1672、出力バッファ1673を有する。セクタ1671は、アクセスするソース線SLを選択し、選択されたソース線SLの電圧をADC1672に送信する。ADC1672は、アナログ電圧を3ビットのデジタルデータに変換する機能を持つ。ソース線SLの電圧はADC1672において、3ビットのデータに変換され、出力バッファ1673はADC1672から出力されるデータを保持する。

[0479]

<メモリセル>

図24(A)はメモリセル1611の構成例を示す回路図である。メモリセル1611は2T型のゲインセルであり、メモリセル1611はワード線WWL、RWL、ビット線BL、ソース線SL、配線BGLに電氣的に接続されている。メモリセル1611は、ノードSN、OSトランジスタMO61、トランジスタMP61、容量素子C61を有する。OSトランジスタMO61は書き込みトランジスタである。トランジスタMP61は読み出しトランジスタであり、例えばpチャネル型Siトランジスタで構成される。容量素子C61はノードSNの電圧を保持するための保持容量である。ノードSNはデータの保持ノードであり、ここではトランジスタMP61のゲートに相当する。

[0480]

メモリセル1611の書き込みトランジスタがOSトランジスタMO61で構成されているため、NOSRAM1600は長時間データを保持することが可能である。

[0481]

図24(A)の例では、ビット線は、書き込みと読み出しで共通のビット線であるが、図24(B)に示すように、書き込みビット線WBLと、読み出しビット線RBLとを設けてもよい。

[0482]

図24(C)－図24(E)にメモリセルの他の構成例を示す。図24(C)－図24(E)には、書き込み用ビット線と読み出し用ビット線を設けた例を示しているが、図24(A)のように書き込みと読み出しで共有されるビット線を設けてもよい。

[0483]

図24(C)に示すメモリセル1612は、メモリセル1611の変形例であり、読み出しトランジスタをnチャネル型トランジスタ(MN61)に変更したものである。トランジスタMN61はOS

トランジスタであってもよいし、Siトランジスタであってもよい。

[0484]

メモリセル1611、1612において、OSTランジスタMO61はバックゲートの無いOSTランジスタであってもよい。

[0485]

図24(D)に示すメモリセル1613は、3T型ゲインセルであり、ワード線WWL、RWL、ビット線WBL、RBL、ソース線SL、配線BGL、PCLに電氣的に接続されている。メモリセル1613は、ノードSN、OSTランジスタMO62、トランジスタMP62、トランジスタMP63、容量素子C62を有する。OSTランジスタMO62は書き込みトランジスタである。トランジスタMP62は読み出しトランジスタであり、トランジスタMP63は選択トランジスタである。

[0486]

図24(E)に示すメモリセル1614は、メモリセル1613の変形例であり、読み出しトランジスタおよび選択トランジスタをnチャネル型トランジスタ(MN62、MN63)に変更したものである。トランジスタMN62、MN63はOSTランジスタであってもよいし、Siトランジスタであってもよい。

[0487]

メモリセル1611-1614に設けられるOSTランジスタは、バックゲートの無いトランジスタでもよいし、バックゲートが有るトランジスタであってもよい。

[0488]

容量素子C61、C62の充放電によってデータを書き換えるため、NOSRAM1600は原理的には書き換え回数に制約はなく、かつ、低エネルギーで、データの書き込みおよび読み出しが可能である。また、長時間データを保持することが可能であるので、リフレッシュ頻度を低減できる。

[0489]

上記実施の形態に示す半導体装置をメモリセル1611、1612、1613、1614に用いる場合、OSTランジスタMO61、MO62としてトランジスタ200を用い、容量素子C61、C62として容量素子100を用い、トランジスタMP61、MN62としてトランジスタ300を用いることができる。これにより、トランジスタと容量素子一組当たりの上面視における占有面積を低減することができるので、本実施の形態に係る記憶装置を高集積化させることができる。よって、本実施の形態に係る記憶装置の単位面積当たりの記憶容量を増加させることができる。

[0490]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ用いることができる。

[0491]

(実施の形態5)

本実施の形態では、図25および図26を用いて、本発明の一態様に係る、OSTランジスタ、および容量素子が適用されている記憶装置の一例として、DOSRAMについて説明する。DOSRAM(登録商標)とは、「Dynamic Oxide Semiconductor RAM」の略称であり、1T(トランジスタ)1C(容量)型のメモリセルを有するRAMを指す。DOSRAMも、NOSRAMと同様に、OSメモリが適用されている。

[0492]

<<DOSRAM1400>>

図25にDOSRAMの構成例を示す。図25に示すように、DOSRAM1400は、コントローラ1405、行回路1410、列回路1415、メモリセルおよびセンスアンプアレイ1420（以下、「MC-SAアレイ1420」と呼ぶ。）を有する。

[0493]

行回路1410はデコーダ1411、ワード線ドライバ回路1412、列セクタ1413、センスアンプドライバ回路1414を有する。列回路1415はグローバルセンスアンプアレイ1416、入出力回路1417を有する。グローバルセンスアンプアレイ1416は複数のグローバルセンスアンプ1447を有する。MC-SAアレイ1420はメモリセルアレイ1422、センスアンプアレイ1423、グローバルビット線GBLL、GBLRを有する。

[0494]

(MC-SAアレイ1420)

MC-SAアレイ1420は、メモリセルアレイ1422をセンスアンプアレイ1423上に積層した積層構造をもつ。グローバルビット線GBLL、GBLRはメモリセルアレイ1422上に積層されている。DOSRAM1400では、ビット線の構造に、ローカルビット線とグローバルビット線とで階層化された階層ビット線構造が採用されている。

[0495]

メモリセルアレイ1422は、N個（Nは2以上の整数）のローカルメモリセルアレイ1425<0>-1425<N-1>を有する。図26（A）にローカルメモリセルアレイ1425の構成例を示す。ローカルメモリセルアレイ1425は、複数のメモリセル1445、複数のワード線WL、複数のビット線BL、BLRを有する。図26（A）の例では、ローカルメモリセルアレイ1425の構造はオープンビット線型であるが、フォールデッドビット線型であってもよい。

[0496]

図26（B）にメモリセル1445の回路構成例を示す。メモリセル1445はトランジスタMW1、容量素子CS1、端子B1、B2を有する。トランジスタMW1は容量素子CS1の充放電を制御する機能をもつ。トランジスタMW1のゲートはワード線に電氣的に接続され、第1端子はビット線に電氣的に接続され、第2端子は容量素子の第1端子に電氣的に接続されている。容量素子CS1の第2端子は端子B2に電氣的に接続されている。端子B2には、定電圧（例えば、低電源電圧）が入力される。

[0497]

上記実施の形態に示す半導体装置をメモリセル1445に用いる場合、トランジスタMW1としてトランジスタ200を用い、容量素子CS1として容量素子100を用いることができる。これにより、トランジスタと容量素子一組当たりの上面視における占有面積を低減することができるので、本実施の形態に係る記憶装置を高集積化させることができる。よって、本実施の形態に係る記憶装置の単位面積当たりの記憶容量を増加させることができる。

[0498]

トランジスタMW1はバックゲートを備えており、バックゲートは端子B1に電氣的に接続されている。そのため、端子B1の電圧によって、トランジスタMW1の閾値電圧を変更することができる。例えば、端子B1の電圧は固定電圧（例えば、負の定電圧）であってもよいし、DOSRAM1400の動作に応じて、端子B1の電圧を変化させてもよい。

[0499]

トランジスタMW1のバックゲートをトランジスタMW1のゲート、ソース、またはドレインに電氣的に接続してもよい。あるいは、トランジスタMW1にバックゲートを設けなくてもよい。

[0500]

センスアンプアレイ1423は、N個のローカルセンスアンプアレイ1426<0>〜1426<N−1>を有する。ローカルセンスアンプアレイ1426は、1のスイッチアレイ1444、複数のセンスアンプ1446を有する。センスアンプ1446には、ビット線対が電氣的に接続されている。センスアンプ1446は、ビット線対をプリチャージする機能、ビット線対の電圧差を増幅する機能、この電圧差を保持する機能を有する。スイッチアレイ1444は、ビット線対を選択し、選択したビット線対とグローバルビット線対との間を導通状態にする機能を有する。

[0501]

ここで、ビット線対とは、センスアンプによって、同時に比較される2本のビット線のことをいう。グローバルビット線対とは、グローバルセンスアンプによって、同時に比較される2本のグローバルビット線のことをいう。ビット線対を一对のビット線と呼ぶことができ、グローバルビット線対を一对のグローバルビット線と呼ぶことができる。ここでは、ビット線BLLとビット線BLRが1組のビット線対を成す。グローバルビット線GBLLとグローバルビット線GBLRとが1組のグローバルビット線対をなす。以下、ビット線対(BLL, BLR)、グローバルビット線対(GBLL, GBLR)とも表す。

[0502]

(コントローラ1405)

コントローラ1405は、DOSRAM1400の動作全般を制御する機能を有する。コントローラ1405は、外部から入力されるコマンド信号を論理演算して、動作モードを決定する機能、決定した動作モードが実行されるように、行回路1410、列回路1415の制御信号を生成する機能、外部から入力されるアドレス信号を保持する機能、内部アドレス信号を生成する機能を有する。

[0503]

(行回路1410)

行回路1410は、MC-SAアレイ1420を駆動する機能を有する。デコーダ1411はアドレス信号をデコードする機能を有する。ワード線ドライバ回路1412は、アクセス対象行のワード線WLを選択する選択信号を生成する。

[0504]

列セクタ1413、センスアンプドライバ回路1414はセンスアンプアレイ1423を駆動するための回路である。列セクタ1413は、アクセス対象列のビット線を選択するための選択信号を生成する機能をもつ。列セクタ1413の選択信号によって、各ローカルセンスアンプアレイ1426のスイッチアレイ1444が制御される。センスアンプドライバ回路1414の制御信号によって、複数のローカルセンスアンプアレイ1426は独立して駆動される。

[0505]

(列回路1415)

列回路1415は、データ信号WDA[31:0]の入力を制御する機能、データ信号RDA[31:0]の出力を制御する機能を有する。データ信号WDA[31:0]は書き込みデータ信号であり、データ信号RDA[31:0]は読み出しデータ信号である。

[0506]

グローバルセンスアンプ1447はグローバルビット線対（GBLL, GBLR）に電氣的に接続されている。グローバルセンスアンプ1447はグローバルビット線対（GBLL, GBLR）間の電圧差を増幅する機能、この電圧差を保持する機能を有する。グローバルビット線対（GBLL, GBLR）へのデータの書き込み、および読み出しは、入出力回路1417によって行われる。

[0507]

DOSRAM1400の書き込み動作の概要を説明する。入出力回路1417によって、データがグローバルビット線対に書き込まれる。グローバルビット線対のデータは、グローバルセンスアンプアレイ1416によって保持される。アドレス信号が指定するローカルセンスアンプアレイ1426のスイッチアレイ1444によって、グローバルビット線対のデータが、対象列のビット線対に書き込まれる。ローカルセンスアンプアレイ1426は、書き込まれたデータを増幅し、保持する。指定されたローカルメモリセルアレイ1425において、行回路1410によって、対象行のワード線WLが選択され、選択行のメモリセル1445にローカルセンスアンプアレイ1426の保持データが書き込まれる。

[0508]

DOSRAM1400の読み出し動作の概要を説明する。アドレス信号によって、ローカルメモリセルアレイ1425の1行が指定される。指定されたローカルメモリセルアレイ1425において、対象行のワード線WLが選択状態となり、メモリセル1445のデータがビット線に書き込まれる。ローカルセンスアンプアレイ1426によって、各列のビット線対の電圧差がデータとして検出され、かつ保持される。スイッチアレイ1444によって、ローカルセンスアンプアレイ1426の保持データの内、アドレス信号が指定する列のデータが、グローバルビット線対に書き込まれる。グローバルセンスアンプアレイ1416は、グローバルビット線対のデータを検出し、保持する。グローバルセンスアンプアレイ1416の保持データは入出力回路1417に出力される。以上で、読み出し動作が完了する。

[0509]

容量素子CS1の充放電によってデータを書き換えるため、DOSRAM1400には原理的には書き換え回数に制約はなく、かつ、低エネルギーで、データの書き込みおよび読み出しが可能である。また、メモリセル1445の回路構成が単純であるため、大容量化が容易である。

[0510]

トランジスタMW1はOSTランジスタである。OSTランジスタはオフ電流が極めて小さいため、容量素子CS1から電荷がリークすることを抑えることができる。したがって、DOSRAM1400の保持時間はDRAMに比べて非常に長い。したがってリフレッシュの頻度を低減できるため、リフレッシュ動作に要する電力を削減できる。よって、DOSRAM1400は大容量のデータを高頻度で書き換えるメモリ装置、例えば、画像処理に利用されるフレームメモリに好適である。

[0511]

MC-SAアレイ1420が積層構造であることよって、ローカルセンスアンプアレイ1426の長さと同程度の長さにビット線を短くすることができる。ビット線を短くすることで、ビット線容量が小さくなり、メモリセル1445の保持容量を低減することができる。また、ローカルセンスアンプアレイ1426にスイッチアレイ1444を設けることで、長いビット線の本数を減らすことができる。以上の理由から、DOSRAM1400のアクセス時に駆動する負荷が低減され、消費電力を低

減することができる。

[0512]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

[0513]

(実施の形態6)

本実施の形態では、図27から図30を用いて、本発明の一態様に係る、OSトランジスタ、および容量素子が適用されている半導体装置の一例として、FPGA（フィールドプログラマブルゲートアレイ）について説明する。本実施の形態のFPGAは、コンフィギュレーションメモリ、およびレジスタにOSメモリが適用されている。ここでは、このようなFPGAを「OS-FPGA」と呼ぶ。

[0514]

<<OS-FPGA>>

図27(A)にOS-FPGAの構成例を示す。図27(A)に示すOS-FPGA3110は、マルチコンテキスト構造によるコンテキスト切り替え、細粒度パワーゲーティング、NOFF（ノーマリオフ）コンピューティングが可能である。OS-FPGA3110は、コントローラ（Controller）3111、ワードドライバ（Word driver）3112、データドライバ（Data Driver）3113、プログラマブルエリア（Programmable area）3115を有する。

[0515]

プログラマブルエリア3115は、2個の入出力ブロック（IOB）3117、コア（Core）3119を有する。IOB3117は複数のプログラマブル入出力回路を有する。コア3119は、複数のロジックアレイブロック（LAB）3120、複数のスイッチアレイブロック（SAB）3130を有する。LAB3120は複数のプログラマブルロジックエレメント（PLE）3121を有する。図27(B)には、LAB3120を5個のPLE3121で構成する例を示す。図27(C)に示すようにSAB3130はアレイ状に配列された複数のスイッチブロック（SB）3131を有する。LAB3120は自身の入力端子と、SAB3130を介して4（上下左右）方向のLAB3120に接続される。

[0516]

図28(A)乃至図28(C)を参照して、SB3131について説明する。図28(A)に示すSB3131には、data、datab、信号context[1:0]、word[1:0]が入力される。data、databはコンフィギュレーションデータであり、dataとdatabは論理が相補的な関係にある。OS-FPGA3110のコンテキスト数は2であり、信号context[1:0]はコンテキスト選択信号である。信号word[1:0]はワード線選択信号であり、信号word[1:0]が入力される配線がそれぞれワード線である。

[0517]

SB3131は、PRS（プログラマブルルーティングスイッチ）3133[0]、3133[1]を有する。PRS3133[0]、3133[1]は、相補データを格納できるコンフィギュレーションメモリ（CM）を有する。なお、PRS3133[0]とPRS3133[1]とを区別しない場合、PRS3133と呼ぶ。他の要素についても同様である。

[0518]

図28(B)にPRS3133[0]の回路構成例を示す。PRS3133[0]とPRS3133

[1] とは同じ回路構成を有する。PRS3133[0] と PRS3133[1] とは入力されるコンテキスト選択信号、ワード線選択信号が異なる。信号 context[0]、word[0] は PRS3133[0] に入力され、信号 context[1]、word[1] は PRS3133[1] に入力される。例えば、SB3131において、信号 context[0] が“H”になることで、PRS3133[0] がアクティブになる。

[0519]

PRS3133[0] は、CM3135、SiトランジスタM31を有する。SiトランジスタM31は、CM3135により制御されるパストランジスタである。CM3135は、メモリ回路3137、3137Bを有する。メモリ回路3137、3137Bは同じ回路構成である。メモリ回路3137は、容量素子C31、OSTランジスタMO31、MO32を有する。メモリ回路3137Bは、容量素子CB31、OSTランジスタMOB31、MOB32を有する。

[0520]

上記実施の形態に示す半導体装置をSAB3130に用いる場合、OSTランジスタMO31、MOB31としてトランジスタ200を用い、容量素子C31、CB31として容量素子100を用いることができる。これにより、トランジスタと容量素子一組当たりの上面視における占有面積を低減することができるので、本実施の形態に係る半導体装置を高集積化させることができる。

[0521]

OSTランジスタMO31、MO32、MOB31、MOB32はバックゲートを有し、これらバックゲートはそれぞれ固定電圧を供給する電源線に電氣的に接続されている。

[0522]

SiトランジスタM31のゲートがノードN31であり、OSTランジスタMO32のゲートがノードN32であり、OSTランジスタMOB32のゲートがノードNB32である。ノードN32、NB32はCM3135の電荷保持ノードである。OSTランジスタMO32はノードN31と信号 context[0] 用の信号線との間の導通状態を制御する。OSTランジスタMOB32はノードN31と低電位電源線VSSとの間の導通状態を制御する。

[0523]

メモリ回路3137、3137Bが保持するデータは相補的な関係にある。したがって、OSTランジスタMO32またはMOB32の何れか一方が導通する。

[0524]

図28(C)を参照して、PRS3133[0] の動作例を説明する。PRS3133[0] にコンフィギュレーションデータが既書き込まれており、PRS3133[0] のノードN32は“H”であり、ノードNB32は“L”である。

[0525]

信号 context[0] が“L”である間はPRS3133[0] は非アクティブである。この期間に、PRS3133[0] の入力端子が“H”に遷移しても、SiトランジスタM31のゲートは“L”が維持され、PRS3133[0] の出力端子も“L”が維持される。

[0526]

信号 context[0] が“H”である間はPRS3133[0] はアクティブである。信号 context[0] が“H”に遷移すると、CM3135が記憶するコンフィギュレーションデータによって、SiトランジスタM31のゲートは“H”に遷移する。

[0527]

PRS3133[0]がアクティブである期間に、入力端子が“H”に遷移すると、メモリ回路3137のOSトランジスタMO32がソースフォロアであるために、ブースティングによってSiトランジスタM31のゲート電圧は上昇する。その結果、メモリ回路3137のOSトランジスタMO32は駆動能力を失い、SiトランジスタM31のゲートは浮遊状態となる。

[0528]

マルチコンテキスト機能を備えるPRS3133において、CM3135はマルチプレクサの機能を併せ持つ。

[0529]

図29にPLE3121の構成例を示す。PLE3121はルックアップテーブルブロック(LUT block)3123、レジスタブロック3124、セクタ3125、CM3126を有する。LUTブロック3123は、入力inA-inDに従って内部の16ビットCM対の出力をマルチプレクスする構成である。セクタ3125は、CM3126が格納するコンフィギュレーションに従って、LUTブロック3123の出力またはレジスタブロック3124の出力を選択する。

[0530]

PLE3121は、パワースイッチ3127を介して電圧VDD用の電源線に電氣的に接続されている。パワースイッチ3127のオンオフは、CM3128が格納するコンフィギュレーションデータによって設定される。各PLE3121にパワースイッチ3127を設けることで、細粒度パワーゲーティングが可能である。細粒度パワーゲーティング機能により、コンテキストの切り替え後に使用されないPLE3121をパワーゲーティングすることができるので、待機電力を効果的に低減できる。

[0531]

NOFFコンピューティングを実現するため、レジスタブロック3124は、不揮発性レジスタで構成される。PLE3121内の不揮発性レジスタはOSメモリを備えるフリップフロップ(以下[OS-FF]と呼ぶ)である。

[0532]

レジスタブロック3124は、OS-FF3140[1]3140[2]を有する。信号user_res、load、storeがOS-FF3140[1]、3140[2]に入力される。クロック信号CLK1はOS-FF3140[1]に入力され、クロック信号CLK2はOS-FF3140[2]に入力される。図30(A)にOS-FF3140の構成例を示す。

[0533]

OS-FF3140は、FF3141、シャドウレジスタ3142を有する。FF3141は、ノードCK、R、D、Q、QBを有する。ノードCKにはクロック信号が入力される。ノードRには信号user_resが入力される。信号user_resはリセット信号である。ノードDはデータ入力ノードであり、ノードQはデータ出力ノードである。ノードQとノードQBとは論理が相補関係にある。

[0534]

シャドウレジスタ3142は、FF3141のバックアップ回路として機能する。シャドウレジスタ3142は、信号storeに従いノードQ、QBのデータをそれぞれバックアップし、また、信号loadに従い、バックアップしたデータをノードQ、QBに書き戻す。

[0535]

シャドウレジスタ3142は、インバータ回路3188、3189、SiトランジスタM37、MB37、メモリ回路3143、3143Bを有する。メモリ回路3143、3143Bは、PRS3133のメモリ回路3137と同じ回路構成である。メモリ回路3143は容量素子C36、OSTランジスタMO35、MO36を有する。メモリ回路3143Bは容量素子CB36、OSTランジスタMOB35、OSTランジスタMOB36を有する。ノードN36、NB36はOSTランジスタMO36、OSTランジスタMOB36のゲートであり、それぞれ電荷保持ノードである。ノードN37、NB37は、SiトランジスタM37、MB37のゲートである。

[0536]

上記実施の形態に示す半導体装置をLAB3120に用いる場合、OSTランジスタMO35、MOB35としてトランジスタ200を用い、容量素子C36、CB36として容量素子100を用いることができる。これにより、トランジスタと容量素子一組当たりの上面視における占有面積を低減することができるので、本実施の形態に係る半導体装置を高集積化させることができる。

[0537]

OSTランジスタMO35、MO36、MOB35、MOB36はバックゲートを有し、これらバックゲートはそれぞれ固定電圧を供給する電源線に電氣的に接続されている。

[0538]

図30(B)を参照して、OSFF3140の動作方法例を説明する。

[0539]

(バックアップ (Backup))

“H”の信号storeがOSFF3140に入力されると、シャドウレジスタ3142はFF3141のデータをバックアップする。ノードN36は、ノードQのデータが書き込まれることで、“L”となり、ノードNB36は、ノードQBのデータが書き込まれることで、“H”となる。しかる後、パワーゲーティングが実行され、パワースイッチ3127をオフにする。FF3141のノードQ、QBのデータは消失するが、電源オフであっても、シャドウレジスタ3142はバックアップしたデータを保持する。

[0540]

(リカバリ (Recovery))

パワースイッチ3127をオンにし、PLE3121に電源を供給する。しかる後、“H”の信号loadがOSFF3140に入力されると、シャドウレジスタ3142はバックアップしているデータをFF3141に書き戻す。ノードN36は“L”であるので、ノードN37は“L”が維持され、ノードNB36は“H”であるので、ノードNB37は“H”となる。よって、ノードQは“H”になり、ノードQBは“L”になる。つまり、OSFF3140はバックアップ動作時の状態に復帰する。

[0541]

細粒度パワーゲーティングと、OSFF3140のバックアップ／リカバリ動作とを組み合わせることで、OSFPGA3110の消費電力を効果的に低減できる。

[0542]

メモリ回路において発生しうるエラーとして放射線の入射によるソフトエラーが挙げられる。ソフトエラーは、メモリやパッケージを構成する材料などから放出される α 線や、宇宙から大気に入射した

一次宇宙線が大気中に存在する原子の原子核と核反応を起こすことにより発生する二次宇宙線中性子などがトランジスタに照射され、電子正孔対が生成されることにより、メモリに保持されたデータが反転するなどの誤作動が生じる現象である。OSトランジスタを用いたOSメモリはソフトウェア耐性が高い。そのため、OSメモリを搭載することで、信頼性の高いOS-FPGA3110を提供することができる。

[0543]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ用いることができる。

[0544]

(実施の形態7)

本実施の形態では、図31を用いて、上記実施の形態に示す半導体装置を適用した、AIシステムについて説明を行う。

[0545]

図31はAIシステム4041の構成例を示すブロック図である。AIシステム4041は、演算部4010と、制御部4020と、入出力部4030を有する。

[0546]

演算部4010は、アナログ演算回路4011と、DOSRAM4012と、NOSRAM4013と、FPGA4014と、を有する。DOSRAM4012、NOSRAM4013、およびFPGA4014として、上記実施の形態に示す、DOSRAM1400、NOSRAM1600、およびOS-FPGA3110を用いることができる。

[0547]

制御部4020は、CPU (Central Processing Unit) 4021と、GPU (Graphics Processing Unit) 4022と、PLL (Phase Locked Loop) 4023と、SRAM (Static Random Access Memory) 4024と、PROM (Programmable Read Only Memory) 4025と、メモリコントローラ4026と、電源回路4027と、PMU (Power Management Unit) 4028と、を有する。

[0548]

入出力部4030は、外部記憶制御回路4031と、音声コーデック4032と、映像コーデック4033と、汎用入出力モジュール4034と、通信モジュール4035と、を有する。

[0549]

演算部4010は、ニューラルネットワークによる学習または推論を実行することができる。

[0550]

アナログ演算回路4011はA/D (アナログ/デジタル) 変換回路、D/A (デジタル/アナログ) 変換回路、および積和演算回路を有する。

[0551]

アナログ演算回路4011はOSトランジスタを用いて形成することが好ましい。OSトランジスタを用いたアナログ演算回路4011は、アナログメモリを有し、学習または推論に必要な積和演算を、低消費電力で実行することが可能になる。

[0552]

DOSRAM4012は、OSトランジスタを用いて形成されたDRAMであり、DOSRAM40

12は、CPU4021から送られてくるデジタルデータを一時的に格納するメモリである。DOSRAM4012は、OSトランジスタを含むメモリセルと、Siトランジスタを含む読み出し回路部を有する。上記メモリセルと読み出し回路部は、積層された異なる層に設けることができるため、DOSRAM4012は、全体の回路面積を小さくすることができる。

[0553]

ニューラルネットワークを用いた計算は、入力データが1000を超えることがある。上記入力データをSRAMに格納する場合、SRAMは回路面積に制限があり、記憶容量が小さいため、上記入力データを小分けにして格納せざるを得ない。DOSRAM4012は、限られた回路面積でも、メモリセルを高集積に配置することが可能であり、SRAMに比べて記憶容量が大きい。そのため、DOSRAM4012は、上記入力データを効率よく格納することができる。

[0554]

NOSRAM4013はOSトランジスタを用いた不揮発性メモリである。NOSRAM4013は、フラッシュメモリや、ReRAM(Resistive Random Access Memory)、MRAM(Magnetoresistive Random Access Memory)などの他の不揮発性メモリと比べて、データを書き込む際の消費電力が小さい。また、フラッシュメモリやReRAMのように、データを書き込む際に素子が劣化することもなく、データの書き込み可能回数に制限が無い。

[0555]

また、NOSRAM4013は、1ビットの2値データの他に、2ビット以上の多値データを記憶することができる。NOSRAM4013は多値データを記憶することで、1ビット当たりのメモリセル面積を小さくすることができる。

[0556]

また、NOSRAM4013は、デジタルデータの他にアナログデータを記憶することができる。そのため、アナログ演算回路4011は、NOSRAM4013をアナログメモリとして用いることもできる。NOSRAM4013は、アナログデータのまま記憶することができるため、D/A変換回路やA/D変換回路が不要である。そのため、NOSRAM4013は周辺回路の面積を小さくすることができる。なお、本明細書においてアナログデータとは、3ビット(8値)以上の分解能を有するデータのことを指す。上述した多値データがアナログデータに含まれる場合もある。

[0557]

ニューラルネットワークの計算に用いられるデータやパラメータは、一旦、NOSRAM4013に格納することができる。上記データやパラメータは、CPU4021を介して、AIシステム4041の外部に設けられたメモリに格納してもよいが、内部に設けられたNOSRAM4013の方が、より高速且つ低消費電力に上記データやパラメータを格納することができる。また、NOSRAM4013は、DOSRAM4012よりもビット線を長くすることができるので、記憶容量を大きくすることができる。

[0558]

FPGA4014は、OSトランジスタを用いたFPGAである。AIシステム4041は、FPGA4014を用いることによって、ハードウェアで後述する、ディープニューラルネットワーク(DNN)、畳み込みニューラルネットワーク(CNN)、再帰型ニューラルネットワーク(RNN)、自己符号化器、深層ボルツマンマシン(DBM)、深層信念ネットワーク(DBN)などの、ニューラ

ルネットワークの接続を構成することができる。上記のニューラルネットワークの接続をハードウェアで構成することで、より高速に実行することができる。

[0559]

FPGA 4014はOSトランジスタを有するFPGAである。OS-FPGAは、SRAMで構成されるFPGAよりもメモリの面積を小さくすることができる。そのため、コンテキスト切り替え機能を追加しても面積増加が少ない。また、OS-FPGAはブースティングによりデータやパラメータを高速に伝えることができる。

[0560]

AIシステム4041は、アナログ演算回路4011、DOSRAM4012、NOSRAM4013、およびFPGA4014を1つのダイ（チップ）の上に設けることができる。そのため、AIシステム4041は、高速且つ低消費電力に、ニューラルネットワークの計算を実行することができる。また、アナログ演算回路4011、DOSRAM4012、NOSRAM4013、およびFPGA4014は、同じ製造プロセスで作製することができる。そのため、AIシステム4041は、低コストで作製することができる。

[0561]

なお、演算部4010は、DOSRAM4012、NOSRAM4013、およびFPGA4014を、全て有する必要はない。AIシステム4041が解決したい課題に応じて、DOSRAM4012、NOSRAM4013、およびFPGA4014の一または複数を、選択して設ければよい。

[0562]

AIシステム4041は、解決したい課題に応じて、ディープニューラルネットワーク（DNN）、畳み込みニューラルネットワーク（CNN）、再帰型ニューラルネットワーク（RNN）、自己符号化器、深層ボルツマンマシン（DBM）、深層信念ネットワーク（DBN）などの手法を実行することができる。PROM4025は、これらの手法の少なくとも1つを実行するためのプログラムを保存することができる。また、当該プログラムの一部または全てを、NOSRAM4013に保存してもよい。

[0563]

ライブラリとして存在する既存のプログラムは、GPUの処理を前提としているものが多い。そのため、AIシステム4041はGPU4022を有することが好ましい。AIシステム4041は、学習と推論で用いられる積和演算のうち、律速となる積和演算を演算部4010で実行し、それ以外の積和演算をGPU4022で実行することができる。そうすることで、学習と推論を高速に実行することができる。

[0564]

電源回路4027は、論理回路用の低電源電位を生成するだけでなく、アナログ演算のための電位生成も行う。電源回路4027はOSメモリを用いてもよい。電源回路4027は、基準電位をOSメモリに保存することで、消費電力を下げるができる。

[0565]

PMU4028は、AIシステム4041の電力供給を一時的にオフにする機能を有する。

[0566]

CPU4021およびGPU4022は、レジスタとしてOSメモリを有することが好ましい。CPU4021およびGPU4022はOSメモリを有することで、電力供給がオフになっても、OSメ

メモリ中にデータ（論理値）を保持し続けることができる。その結果、A I システム 4 0 4 1 は、電力を節約することができる。

[0 5 6 7]

P L L 4 0 2 3 は、クロックを生成する機能を有する。A I システム 4 0 4 1 は、P L L 4 0 2 3 が生成したクロックを基準に動作を行う。P L L 4 0 2 3 は O S メモリを有することが好ましい。P L L 4 0 2 3 は O S メモリを有することで、クロックの発振周期を制御するアナログ電位を保持することができる。

[0 5 6 8]

A I システム 4 0 4 1 は、D R A M などの外部メモリにデータを保存してもよい。そのため、A I システム 4 0 4 1 は、外部の D R A M とのインターフェースとして機能するメモリコントローラ 4 0 2 6 を有することが好ましい。また、メモリコントローラ 4 0 2 6 は、C P U 4 0 2 1 または G P U 4 0 2 2 の近くに配置することが好ましい。そうすることで、データのやり取りを高速に行うことができる。

[0 5 6 9]

制御部 4 0 2 0 に示す回路の一部または全ては、演算部 4 0 1 0 と同じダイの上に形成することができる。そうすることで、A I システム 4 0 4 1 は、高速且つ低消費電力に、ニューラルネットワークの計算を実行することができる。

[0 5 7 0]

ニューラルネットワークの計算に用いられるデータは外部記憶装置（HDD（H a r d D i s k D r i v e）、SSD（S o l i d S t a t e D r i v e）など）に保存される場合が多い。そのため、A I システム 4 0 4 1 は、外部記憶装置とのインターフェースとして機能する外部記憶制御回路 4 0 3 1 を有することが好ましい。

[0 5 7 1]

ニューラルネットワークを用いた学習と推論は、音声や映像を扱うことが多いので、A I システム 4 0 4 1 は音声コーデック 4 0 3 2 および映像コーデック 4 0 3 3 を有する。音声コーデック 4 0 3 2 は、音声データのエンコード（符号化）およびデコード（復号）を行い、映像コーデック 4 0 3 3 は、映像データのエンコードおよびデコードを行う。

[0 5 7 2]

A I システム 4 0 4 1 は、外部センサから得られたデータを用いて学習または推論を行うことができる。そのため、A I システム 4 0 4 1 は汎用入出力モジュール 4 0 3 4 を有する。汎用入出力モジュール 4 0 3 4 は、例えば、U S B（U n i v e r s a l S e r i a l B u s）や I 2 C（I n t e r - I n t e g r a t e d C i r c u i t）などを含む。

[0 5 7 3]

A I システム 4 0 4 1 は、インターネットを経由して得られたデータを用いて学習または推論を行うことができる。そのため、A I システム 4 0 4 1 は、通信モジュール 4 0 3 5 を有することが好ましい。

[0 5 7 4]

アナログ演算回路 4 0 1 1 は、多値のフラッシュメモリをアナログメモリとして用いてもよい。しかし、フラッシュメモリは書き換え可能回数に制限がある。また、多値のフラッシュメモリは、エンベディッドで形成する（演算回路とメモリを同じダイの上に形成する）ことが非常に難しい。

[0575]

また、アナログ演算回路4011は、ReRAMをアナログメモリとして用いてもよい。しかし、ReRAMは書き換え可能回数に制限があり、記憶精度の点でも問題がある。さらに、2端子でなる素子であるため、データの書き込みと読み出しを分ける回路設計が複雑になる。

[0576]

また、アナログ演算回路4011は、MRAMをアナログメモリとして用いてもよい。しかし、MRAMは抵抗変化率が低く、記憶精度の点で問題がある。

[0577]

以上を鑑み、アナログ演算回路4011は、OSメモリをアナログメモリとして用いることが好ましい。

[0578]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ用いることができる。

[0579]

(実施の形態8)

<AIシステムの応用例>

本実施の形態では、上記実施の形態に示すAIシステムの応用例について図32を用いて説明を行う。

[0580]

図32(A)は、図31で説明したAIシステム4041を並列に配置し、バス線を介してシステム間での信号の送受信を可能にした、AIシステム4041Aである。

[0581]

図32(A)に図示するAIシステム4041Aは、複数のAIシステム4041__1乃至AIシステム4041__n(nは自然数)を有する。AIシステム4041__1乃至AIシステム4041__nは、バス線4098を介して互いに接続されている。

[0582]

また図32(B)は、図31で説明したAIシステム4041を図32(A)と同様に並列に配置し、ネットワークを介してシステム間での信号の送受信を可能にした、AIシステム4041Bである。

[0583]

図32(B)に図示するAIシステム4041Bは、複数のAIシステム4041__1乃至AIシステム4041__nを有する。AIシステム4041__1乃至AIシステム4041__nは、ネットワーク4099を介して互いに接続されている。

[0584]

ネットワーク4099は、AIシステム4041__1乃至AIシステム4041__nのそれぞれに通信モジュールを設け、無線または有線による通信を行う構成とすればよい。通信モジュールは、アンテナを介して通信を行うことができる。例えばWorld Wide Web(WWW)の基盤であるインターネット、イントラネット、エクストラネット、PAN(Personal Area Network)、LAN(Local Area Network)、CAN(Campus Area Network)、MAN(Metropolitan Area Network)、WAN(Wide Area Network)、GAN(Global Area Network)等のコンピュータネットワークに各電子装置を接続させ、通信を行うことができる。無線通信を行う場合、通信プロトコル又は通信技術として、LTE(Long Term Evolution)、GSM

(Global System for Mobile Communication:登録商標)、EDGE (Enhanced Data Rates for GSM Evolution)、CDMA2000 (Code Division Multiple Access 2000)、W-CDMA (登録商標)などの通信規格、またはWi-Fi (登録商標)、Bluetooth (登録商標)、ZigBee (登録商標)等のIEEEにより通信規格化された仕様を用いることができる。

[0585]

図32(A)、(B)の構成とすることで、外部のセンサ等で得られたアナログ信号を別々のAIシステムで処理することができる。例えば、生体情報のように、脳波、脈拍、血圧、体温等といった情報を脳波センサ、脈波センサ、血圧センサ、温度センサといった各種センサで取得し、別々のAIシステムでアナログ信号を処理することができる。別々のAIシステムのそれぞれで信号の処理、または学習を行うことで一つのAIシステムあたりの情報処理量を少なくできる。そのため、より少ない演算量で信号の処理、または学習を行うことができる。その結果、認識精度を高めることができる。それぞれのAIシステムで得られた情報から、複雑に変化する生体情報の変化を瞬時に統合的に把握することができるといったことが期待できる。

[0586]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

[0587]

(実施の形態9)

本実施の形態は、上記実施の形態に示すAIシステムが組み込まれたICの一例を示す。

[0588]

上記実施の形態に示すAIシステムは、CPU等のSiトランジスタでなるデジタル処理回路と、OSTランジスタを用いたアナログ演算回路、OS-FPGAおよびDOSRAM、NOSRAM等のOSメモリを、1のダイに集積することができる。

[0589]

図33に、AIシステムを組み込んだICの一例を示す。図33に示すAIシステムIC7000は、リード7001及び回路部7003を有する。AIシステムIC7000は、例えばプリント基板7002に実装される。このようなICチップが複数組み合わせられて、それぞれがプリント基板7002上で電気的に接続されることで電子部品が実装された基板(実装基板7004)が完成する。回路部7003には、上記実施の形態で示した各種の回路が1のダイに設けられている。回路部7003は、先の実施の形態で図18に示すように、積層構造をもち、Siトランジスタ層7031、配線層7032、OSTランジスタ層7033に大別される。OSTランジスタ層7033をSiトランジスタ層7031に積層して設けることができるため、AIシステムIC7000の小型化が容易である。

[0590]

図33では、AIシステムIC7000のパッケージにQFP(Quad Flat Package)を適用しているが、パッケージの態様はこれに限定されない。

[0591]

CPU等のデジタル処理回路と、OSTランジスタを用いたアナログ演算回路、OS-FPGAおよびDOSRAM、NOSRAM等のOSメモリは、全て、Siトランジスタ層7031、配線層70

32およびオストランジスタ層7033に形成することができる。すなわち、上記AIシステムを構成する素子は、同一の製造プロセスで形成することが可能である。そのため、本実施の形態に示すICは、構成する素子が増えても製造プロセスを増やす必要がなく、上記AIシステムを低コストで組み込むことができる。

[0592]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

[0593]

(実施の形態10)

<電子機器>

本発明の一態様に係る半導体装置は、様々な電子機器に用いることができる。図34に、本発明の一態様に係る半導体装置を用いた電子機器の具体例を示す。

[0594]

図34(A)は、自動車の一例を示す外観図である。自動車2980は、車体2981、車輪2982、ダッシュボード2983、およびライト2984等を有する。また、自動車2980は、アンテナ、バッテリーなどを備える。

[0595]

図34(B)に示す情報端末2910は、筐体2911、表示部2912、マイク2917、スピーカ部2914、カメラ2913、外部接続部2916、および操作スイッチ2915等を有する。表示部2912には、可撓性基板が用いられた表示パネルおよびタッチスクリーンを備える。また、情報端末2910は、筐体2911の内側にアンテナ、バッテリーなどを備える。情報端末2910は、例えば、スマートフォン、携帯電話、タブレット型情報端末、タブレット型パーソナルコンピュータ、電子書籍端末等として用いることができる。

[0596]

図34(C)に示すノート型パーソナルコンピュータ2920は、筐体2921、表示部2922、キーボード2923、およびポインティングデバイス2924等を有する。また、ノート型パーソナルコンピュータ2920は、筐体2921の内側にアンテナ、バッテリーなどを備える。

[0597]

図34(D)に示すビデオカメラ2940は、筐体2941、筐体2942、表示部2943、操作スイッチ2944、レンズ2945、および接続部2946等を有する。操作スイッチ2944およびレンズ2945は筐体2941に設けられており、表示部2943は筐体2942に設けられている。また、ビデオカメラ2940は、筐体2941の内側にアンテナ、バッテリーなどを備える。そして、筐体2941と筐体2942は、接続部2946により接続されており、筐体2941と筐体2942の間の角度は、接続部2946により変えることが可能な構造となっている。筐体2941に対する筐体2942の角度によって、表示部2943に表示される画像の向きの変更や、画像の表示／非表示の切り換えを行うことができる。

[0598]

図34(E)にバングル型の情報端末の一例を示す。情報端末2950は、筐体2951、および表示部2952等を有する。また、情報端末2950は、筐体2951の内側にアンテナ、バッテリーなどを備える。表示部2952は、曲面を有する筐体2951に支持されている。表示部2952には、可撓性基板を用いた表示パネルを備えているため、フレキシブルかつ軽くて使い勝手の良い情報端末

2950を提供することができる。

[0599]

図34(F)に腕時計型の情報端末の一例を示す。情報端末2960は、筐体2961、表示部2962、バンド2963、バックル2964、操作スイッチ2965、入出力端子2966などを備える。また、情報端末2960は、筐体2961の内側にアンテナ、バッテリーなどを備える。情報端末2960は、移動電話、電子メール、文章閲覧及び作成、音楽再生、インターネット通信、コンピュータゲームなどの種々のアプリケーションを実行することができる。

[0600]

表示部2962の表示面は湾曲しており、湾曲した表示面に沿って表示を行うことができる。また、表示部2962はタッチセンサを備え、指やスタイラスなどで画面に触れることで操作することができる。例えば、表示部2962に表示されたアイコン2967に触れることで、アプリケーションを起動することができる。操作スイッチ2965は、時刻設定のほか、電源のオン、オフ動作、無線通信のオン、オフ動作、マナーモードの実行及び解除、省電力モードの実行及び解除など、様々な機能を持たせることができる。例えば、情報端末2960に組み込まれたオペレーティングシステムにより、操作スイッチ2965の機能を設定することもできる。

[0601]

また、情報端末2960は、通信規格に基づく近距離無線通信を実行することが可能である。例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、情報端末2960は入出力端子2966を備え、他の情報端末とコネクタを介して直接データのやりとりを行うことができる。また入出力端子2966を介して充電を行うこともできる。なお、充電動作は入出力端子2966を介さずに無線給電により行ってもよい。

[0602]

例えば、本発明の一態様の半導体装置を用いた記憶装置は、上述した電子機器の制御情報や、制御プログラムなどを長期間保持することができる。本発明の一態様に係る半導体装置を用いることで、信頼性の高い電子機器を実現することができる。

[0603]

本実施の形態は、他の実施の形態や実施例などに記載した構成と適宜組み合わせて実施することが可能である。

[実施例1]

[0604]

本実施例では、スパッタリング法を用いて成膜した酸化ハフニウムについて、密度、結晶性、および平坦性の分析を行った。なお、平坦性は原子間力顕微鏡(Atomic Force Microscope: AFM)を用いて測定と観察を行った。また、結晶性は、X線回折(XRD: X-Ray Diffraction)を用いて分析した。

[0605]

また、本実施例では、試料1A、試料1B、試料1C、試料1D、試料1E、試料1F、試料1G、および試料1Hを作成し、分析を行った。

[0606]

<試料の構成と作製方法>

図35に、各試料の積層構造を示す。試料1A、試料1B、試料1C、試料1D、試料1E、試料1

F、試料 1 G、および試料 1 Hは、それぞれ、基板 9 1 0 と、基板 9 1 0 上の絶縁体 9 1 2 と、絶縁体 9 1 2 上の絶縁体 9 1 4 と、を有する。

[0607]

なお、試料 1 A、試料 1 B、試料 1 C、試料 1 D、試料 1 E、試料 1 F、試料 1 G、および試料 1 H は、絶縁体 9 1 4 として、成膜条件がそれぞれ異なる酸化ハフニウム膜を用いた。下表に、試料 1 A 乃至試料 1 H における絶縁体 9 1 4 の成膜温度を示す。

[0608]

[表 1]

	酸素流量[%]	成膜温度[°C]
試料1A	50	R.T.
試料1B		130
試料1C		150
試料1D		200
試料1E	100	R.T.
試料1F		130
試料1G		150
試料1H		200

[0609]

次に、各試料の作製方法について、説明する。

[0610]

まず、基板 9 1 0 として、シリコンウエハを用意した。次に、基板 9 1 0 上に、絶縁体 9 1 2 として、熱酸化法によって、酸化シリコン膜を 1 0 0 nm の膜厚で成膜した。

[0611]

続いて、スパッタリング装置を用いて、絶縁体 9 1 2 上に絶縁体 9 1 4 として、酸化ハフニウム膜を 5 nm の膜厚で、成膜した。なお、酸化ハフニウム膜は、酸化ハフニウムのターゲットを用いて、酸素 (O_2) とアルゴン (Ar) との混合雰囲気下、または酸素 (O_2) 雰囲気下にて、圧力 0. 7 Pa、ターゲットと基板との間の距離を 6 0 mm とし、2. 5 kW の電源電力 (RF) を印加し、成膜した。また、スパッタリングガスの酸素流量比、および成膜温度は上表に従った。

[0612]

以上の工程により、本実施例の試料 1 A 乃至試料 1 H を作製した。

[0613]

<試料の画像解析>

まず、試料 1 A 乃至試料 1 H の断面観察を行った。図 3 6 に、走査透過電子顕微鏡 (STEM: Scanning Transmission Electron Microscope) により取得した、試料 1 A 乃至試料 1 H の明視野像 (以下、TEM 画像ともいう) を示す。なお、TEM 画像の取得には、日立ハイテクノロジーズ社製走査透過電子顕微鏡 HD-2700 を用い、加速電圧は 2 0 0 kV、ビーム径は約 0. 4 nm ϕ とした。

[0614]

図 3 6 より、酸素流量比が同じである場合、成膜温度が高い方が、結晶性が高い傾向があることがわかった。また、図 3 6 より、成膜温度が同じである場合、酸素を含む混合雰囲気下で成膜を行うこと

で、膜の平坦性が高くなる傾向があることがわかった。

[0615]

特に、成膜温度が200℃である試料1D、および試料1Hは、膜全体が結晶化していることが確認された。また、試料1B、試料1C、試料1E、試料1F、および試料1Gの絶縁体914は、部分的に結晶領域を有することが確認された。試料1Aの絶縁体914は、結晶領域が確認できなかった。

[0616]

ここで、試料1E、および試料1Fの絶縁体914において、結晶領域の一つと、他の結晶領域、または非結晶領域の間に凹、または凸を有する形状が形成されていることが観察された。また、絶縁体912と、絶縁体914ととの界面が、試料1A、または試料1Bよりも不明瞭な状態で観察された。該形状は、各結晶領域が成長する際に、膜表面が隆起し、膜の平坦性が低下したことによると考えられる。また、試料1E乃至試料1Hを比較すると、成膜温度が150℃に近いほど、結晶領域の一つは大きい傾向があり、膜表面の凹凸が少ないことが観察された。

[0617]

一方、試料1A乃至試料1Dの絶縁体914は、膜表面が平坦であることが確認された。特に、絶縁体912と、絶縁体914ととの界面が明瞭に観察された。試料1A乃至試料1Dを比較すると、成膜温度が高いほど、絶縁体914において、全体に対し、結晶化している領域の割合が高いことが観察された。

[0618]

以上より、スパッタリング法を用いた酸化ハフニウム膜の成膜において、成膜温度は、結晶化の割合に寄与する傾向があることがわかった。また、成膜時の雰囲気、酸素を含む混合雰囲気とすることで、成膜メカニズムに寄与する傾向があると考えられる。従って、スパッタリング法において、低い成膜温度、または成膜時に、酸素を含む混合雰囲気とすることで、平坦性が高い、または結晶性が低い酸化ハフニウム膜が成膜されることがわかった。

[0619]

<試料の平坦性評価>

次に、試料1A、試料1D、試料1E、および試料1Hにおける絶縁体914の平坦性評価を、エスアイアイ・ナノテクノロジー株式会社製走査型プローブ顕微鏡システムSPA-500を用いて行った。なお、測定範囲は1μm×1μmとした。また、走査型プローブ顕微鏡による測定条件は、走査速度を1.0Hzとし、データ数をX=512、Y=512とし、測定点数は10点とした。また、当該測定には、カンチレバーを共振させた状態で、レバーの振動振幅が一定になるように探針と試料との間の距離を制御しながら、表面形状を測定する方法を用いた。

[0620]

試料1A、試料1D、試料1E、および試料1Hの平坦性は、表面荒さの自乗和平方根(RMS)によって評価した。その結果を図37に示す。

[0621]

図37より、試料1Aの自乗平均面粗さ(RMS)は、 $2.5 \times 10^{-1} \text{ nm}$ (加熱前)であった。試料1Dの自乗平均面粗さ(RMS)は、 $2.9 \times 10^{-1} \text{ nm}$ (加熱前)であった。試料1Eの自乗平均面粗さ(RMS)は、 $4.3 \times 10^{-1} \text{ nm}$ (加熱前)であった。試料1Hの自乗平均面粗さ(RMS)は、 $4.7 \times 10^{-1} \text{ nm}$ (加熱前)であった。

[0622]

従って、試料 1 A、および試料 1 Dは、試料 1 E、および試料 1 Hよりも、平坦性が高いことがわかった。従って、スパッタリング法を用いた酸化ハフニウム膜は、酸素を含む混合雰囲気下で成膜することで、平坦性が高い膜が成膜できることがわかった。

[0623]

以上より、スパッタリング法を用いた酸化ハフニウム膜は、成膜条件を適宜設定することにより、自乗平均面粗さ (RMS) が、 $1\mu\text{m} \times 1\mu\text{m}$ の測定範囲において、 0.40nm 以下となることがわかった。

[0624]

<試料の結晶性観察>

次に、試料 1 A、試料 1 D、試料 1 E、および試料 1 Hにおける絶縁体 914 の結晶性観察を、電子線回折パターンを用いて行った。電子線回折パターンは、日本電子株式会社製原子分解能分析電子顕微鏡 JEM-ARM200F を用いて、加速電圧 200kV 、ビーム径約 $0.1\text{nm}\phi$ の電子線を照射しながら 0 秒の位置から 35 秒の位置まで一定の速度で移動することで取得した。

[0625]

なお、アモルファス構造を有する物質に対し、ナノビーム電子線回折を行うと、円状 (リング状) のパターンが観測される場合がある。また、使用するビーム径などの測定条件 (例えばビーム径約 $50\text{nm}\phi$ 以上の電子線など) により、アモルファス構造に近い微結晶を有する物質に対しても、円状 (リング状) のパターンが観測される場合がある。さらに、アモルファス構造と微結晶粒が混在している場合、リング状の領域に複数の輝点が観測される場合がある。

[0626]

図 38 に試料 1 A、試料 1 D、試料 1 E、および試料 1 H の電子線回折パターンを取得した結果を示す。なお、試料 1 A は断面 TEM 画像に示す点 A に示す箇所の電子線回折パターン、試料 1 D は断面 TEM 画像に示す点 D に示す箇所の電子線回折パターン、試料 1 E は断面 TEM 画像に示す点 E に示す箇所の電子線回折パターン、および試料 1 H は断面 TEM 画像に示す点 A に示す箇所の電子線回折パターンを、それぞれ取得した。

[0627]

図 38 に示すように、試料 1 A に対する電子線回折パターンの結果は、円状 (リング状) のパターンが観測された。また、リング状の領域に複数のスポットが観察された。従って、試料 1 A は、微結晶を有することが確認された。

[0628]

また、試料 1 D に対する電子線回折パターンの結果は、明確な複数のスポットが観察されたが、該複数のスポットを含むリング状の領域内に、比較的輝度が低い多数のスポットが観察された。また、試料 1 D と試料 1 A とを比較すると、試料 1 D は、試料 1 A よりも比較的輝度が低いスポットの数は少ない。そのため、試料 1 D は、試料 1 A よりも、リング状の領域が不明瞭に観察された。従って、試料 1 D にも微結晶が含まれるが、試料 1 A よりも、1 つの微結晶の粒径が大きい、または微結晶である割合が高いと考えられる。

[0629]

一方、試料 1 E、および試料 1 H に対する電子線回折パターンの結果からは、アモルファス構造に起因する円状 (リング状) のパターンが観察できなかった。しかしながら、試料 1 E は、円周上に並ぶように、明確な複数のスポットが確認された。一方、試料 1 H は、結晶構造に起因すると推測される

スポットが含まれる回折パターンが見られた。従って、試料 1 E は、試料 1 A、および試料 1 D よりも、1 つの微結晶の粒径が大きい、または、微結晶である割合が高く微結晶からなる多結晶領域を有すると推測できる。また、試料 1 H は、試料 1 E よりも、1 つの微結晶の粒径が大きい、または多結晶領域の割合が高いと考えられる。

[0630]

以上より、試料 1 A、試料 1 D、試料 1 E、試料 1 H の順に、結晶性が高くなることがわかった。従って、スパッタリング法を用いた酸化ハフニウム膜は、酸素を含む混合ガスを用いることで、結晶性が低い膜が成膜できることがわかった。また、スパッタリング法を用いた酸化ハフニウム膜は、成膜温度が低いほど、結晶性が低い膜が成膜できることがわかった。

[0631]

以上より、スパッタリング法を用いた酸化ハフニウム膜の成膜において、酸素流量比が同じである場合、成膜温度が高い方が、結晶性が高い傾向があることがわかった。特に、成膜温度が同じである場合、酸素を含む混合雰囲気下で成膜することで、膜の結晶性が低く、平坦性が高くなる傾向があることがわかった。

[0632]

本実施例に示す構成は、他の実施例または他の実施の形態と適宜組み合わせて用いることができる。

[実施例 2]

[0633]

本実施例では、基板上に成膜した絶縁体 9 2 2 について、絶縁体 9 2 4 成膜後に加熱処理の前後で、TDS 測定を行った結果について説明する。なお、本実施例においては、試料 2 A、試料 2 B、試料 2 C、試料 2 D、試料 2 E、試料 2 F、試料 2 G、および試料 2 H を作製した。

[0634]

<各試料の構成と作製方法>

図 39 に、各試料の積層構造を示す。試料 2 A、試料 2 B、試料 2 C、試料 2 D、試料 2 E、試料 2 F、試料 2 G、および試料 2 H は、それぞれ、基板 9 2 0 と、基板 9 2 0 上の絶縁体 9 2 2 と、絶縁体 9 2 2 上の絶縁体 9 2 4 と、を有する。

[0635]

なお、試料 2 A、試料 2 B、試料 2 C、試料 2 D、試料 2 E、試料 2 F、試料 2 G、および試料 2 H には、絶縁体 9 2 4 として、成膜条件がそれぞれ異なる酸化ハフニウム膜を用いた。下表に、試料 2 A 乃至試料 2 H における絶縁体 9 2 4 の成膜温度を示す。

[0636]

[表 2]

	酸素流量[%]	成膜温度[°C]
試料2A	50	R.T.
試料2B		130
試料2C		150
試料2D		200
試料2E	100	R.T.
試料2F		130
試料2G		150
試料2H		200

[0637]

次に、各試料の作製方法について、説明する。

[0638]

まず、基板920として、シリコンウエハを用意した。次に、基板920上に、絶縁体922として、熱酸化法によって、酸化シリコン膜を100nmの膜厚で成膜した。

[0639]

続いて、試料2A乃至試料2Hにおいて、窒素雰囲気下で600°C、1時間の加熱処理を行った。

[0640]

続いて、スパッタリング装置を用いて、絶縁体922上に絶縁体924として、酸化ハフニウム膜を5nmの膜厚で、成膜した。なお、酸化ハフニウム膜は、酸化ハフニウムのターゲットを用いて、酸素(O₂)とアルゴン(Ar)との混合雰囲気下、または酸素(O₂)雰囲気下にて、圧力0.7Pa、ターゲットと基板との間の距離を60mmとし、2.5kWの電源電力(RF)を印加し、成膜した。また、スパッタリングガスの酸素流量比、および成膜温度は上表に従った。

[0641]

以上の工程により、本実施例の試料2A乃至試料2Hを作製した。

[0642]

<各試料のTDSの測定結果>

各試料において、絶縁体922が有する酸素量を測定した。なお、測定方法は、各試料の絶縁体924を除去した後、絶縁体922に対し、TDS分析を行なった。また、当該TDS分析においては、酸素分子に相当する質量電荷比 $m/z = 32$ の放出量を測定した。TDS分析装置は、電子科学社製WA1000Sを用い、昇温レートは30°C/minとした。

[0643]

また、試料2A、乃至試料2Hに対し、後工程における熱履歴を想定した加熱処理を行った。なお、加熱処理は、窒素雰囲気下で350°C、1時間とした。加熱処理後、各試料の絶縁体924を除去し、絶縁体922に対し、TDS分析を行なった。図40に、試料2A、乃至試料2Hにおける加熱処理前後のTDS分析の結果を示す。

[0644]

図40は、各試料の酸素の放出量[個/cm²]を示す。図40に示すように、加熱処理前の試料2A乃至試料2Hにおいて、絶縁体922は、酸素の放出が確認された。つまり、絶縁体924を成膜することで、絶縁体922に、過剰酸素領域が形成されることがわかった。特に、絶縁体924を、

酸素を含む混合雰囲気下で成膜することで、酸素のみの雰囲気下での成膜よりも、効率的に過剰酸素を絶縁体 9 2 2 へ転嫁できることが確認された。

[0645]

また、試料 2 A、および試料 2 B は、加熱処理を行うことで、酸素分子の放出量が増加することがわかった。これは、加熱処理により、絶縁体 9 2 4 が有する酸素分子が、絶縁体 9 2 2 へ拡散することで、絶縁体 9 2 2 が有する過剰酸素が増加したと推測できる。一方、試料 2 D 乃至試料 2 H では、加熱処理後に、酸素分子の放出量が、測定下限以下となった。

[0646]

以上より、絶縁体 9 2 4 の成膜温度が低い場合、熱処理、または後工程における熱履歴により、絶縁体 9 2 4 から、絶縁体 9 2 2 へと酸素が拡散することがわかった。

[0647]

以上より、絶縁体 9 2 4 を成膜することで、絶縁体 9 2 2 に過剰酸素領域を形成することが確認できた。また、絶縁体 9 2 4 の成膜は、酸素を含む混合雰囲気下、または成膜温度が低いほど、絶縁体 9 2 2 に効率よく過剰酸素を添加することがわかった。

[0648]

以上、本実施例に示す構成は、他の実施例または他の実施の形態と適宜組み合わせる用いることができる。

[符号の説明]

[0649]

100	容量素子
100a	容量素子
100b	容量素子
110	導電体
112	導電体
120	導電体
130	絶縁体
150	絶縁体
200	トランジスタ
200a	トランジスタ
200b	トランジスタ
203	導電体
203a	導電体
203b	導電体
205	導電体
205a	導電体
205b	導電体
205B	導電膜
207	導電体
207a	導電体
207b	導電体

2 1 0 絶縁体
2 1 2 絶縁体
2 1 4 絶縁体
2 1 6 絶縁体
2 1 8 導電体
2 2 0 絶縁体
2 2 2 絶縁体
2 2 4 絶縁体
2 2 4 A 絶縁体
2 3 0 酸化物
2 3 0 a 酸化物
2 3 0 A 酸化膜
2 3 0 b 酸化物
2 3 0 B 酸化膜
2 3 0 c 酸化物
2 3 0 C 酸化膜
2 3 1 領域
2 3 1 a 領域
2 3 1 b 領域
2 3 2 領域
2 3 2 a 領域
2 3 2 b 領域
2 3 4 領域
2 3 9 領域
2 4 0 導電体
2 4 0 a 導電体
2 4 0 b 導電体
2 4 0 c 導電体
2 4 0 d 導電体
2 4 6 導電体
2 4 8 導電体
2 5 0 絶縁体
2 5 0 A 絶縁膜
2 5 2 絶縁体
2 5 2 A 絶縁膜
2 6 0 導電体
2 6 0 a 導電体
2 6 0 A 導電膜
2 6 0 b 導電体
2 6 0 B 導電膜

2 7 0 絶縁体
2 7 0 A 絶縁膜
2 7 1 絶縁体
2 7 1 A 絶縁膜
2 7 2 絶縁体
2 7 2 A 絶縁膜
2 7 3 絶縁体
2 7 4 絶縁体
2 8 0 絶縁体
2 8 2 絶縁体
2 8 6 絶縁体
3 0 0 トランジスタ
3 1 1 基板
3 1 3 半導体領域
3 1 4 a 低抵抗領域
3 1 4 b 低抵抗領域
3 1 5 絶縁体
3 1 6 導電体
3 2 0 絶縁体
3 2 2 絶縁体
3 2 4 絶縁体
3 2 6 絶縁体
3 2 8 導電体
3 3 0 導電体
3 5 0 絶縁体
3 5 2 絶縁体
3 5 4 絶縁体
3 5 6 導電体
3 6 0 絶縁体
3 6 2 絶縁体
3 6 4 絶縁体
3 6 6 導電体
3 7 0 絶縁体
3 7 2 絶縁体
3 7 4 絶縁体
3 7 6 導電体
3 8 0 絶縁体
3 8 2 絶縁体
3 8 4 絶縁体
3 8 6 導電体

4 0 0 トランジスタ
4 0 3 導電体
4 0 3 a 導電体
4 0 3 b 導電体
4 0 5 導電体
4 0 5 a 導電体
4 0 5 b 導電体
4 3 0 c 酸化物
4 3 1 a 酸化物
4 3 1 b 酸化物
4 3 2 a 酸化物
4 3 2 b 酸化物
4 5 0 絶縁体
4 5 2 絶縁体
4 6 0 導電体
4 6 0 a 導電体
4 6 0 b 導電体
4 7 0 絶縁体
4 7 2 絶縁体
6 0 0 セル
6 0 0 a セル
6 0 0 b セル
6 1 0 回路
6 2 0 回路
6 5 0 a メモリセル
6 5 0 b メモリセル
9 1 0 基板
9 1 2 絶縁体
9 1 4 絶縁体
9 2 0 基板
9 2 2 絶縁体
9 2 4 絶縁体
1 0 0 1 配線
1 0 0 2 配線
1 0 0 3 配線
1 0 0 4 配線
1 0 0 5 配線
1 0 0 6 配線
1 0 0 7 配線
1 0 0 8 配線

1 0 0 9	配線
1 0 1 0	配線
1 4 0 0	D O S R A M
1 4 0 5	コントローラ
1 4 1 0	行回路
1 4 1 1	デコーダ
1 4 1 2	ワード線ドライバ回路
1 4 1 3	列セクタ
1 4 1 4	センスアンプドライバ回路
1 4 1 5	列回路
1 4 1 6	グローバルセンスアンプアレイ
1 4 1 7	入出力回路
1 4 2 0	M C - S A アレイ
1 4 2 2	メモリセルアレイ
1 4 2 3	センスアンプアレイ
1 4 2 5	ローカルメモリセルアレイ
1 4 2 6	ローカルセンスアンプアレイ
1 4 4 4	スイッチアレイ
1 4 4 5	メモリセル
1 4 4 6	センスアンプ
1 4 4 7	グローバルセンスアンプ
1 6 0 0	N O S R A M
1 6 1 0	メモリセルアレイ
1 6 1 1	メモリセル
1 6 1 2	メモリセル
1 6 1 3	メモリセル
1 6 1 4	メモリセル
1 6 4 0	コントローラ
1 6 5 0	行ドライバ
1 6 5 1	行デコーダ
1 6 5 2	ワード線ドライバ
1 6 6 0	列ドライバ
1 6 6 1	列デコーダ
1 6 6 2	ドライバ
1 6 6 3	D A C
1 6 7 0	出力ドライバ
1 6 7 1	セクタ
1 6 7 2	A D C
1 6 7 3	出力バッファ
2 0 0 0	C D M A

2 9 1 0	情報端末
2 9 1 1	筐体
2 9 1 2	表示部
2 9 1 3	カメラ
2 9 1 4	スピーカ部
2 9 1 5	操作スイッチ
2 9 1 6	外部接続部
2 9 1 7	マイク
2 9 2 0	ノート型パーソナルコンピュータ
2 9 2 1	筐体
2 9 2 2	表示部
2 9 2 3	キーボード
2 9 2 4	ポインティングデバイス
2 9 4 0	ビデオカメラ
2 9 4 1	筐体
2 9 4 2	筐体
2 9 4 3	表示部
2 9 4 4	操作スイッチ
2 9 4 5	レンズ
2 9 4 6	接続部
2 9 5 0	情報端末
2 9 5 1	筐体
2 9 5 2	表示部
2 9 6 0	情報端末
2 9 6 1	筐体
2 9 6 2	表示部
2 9 6 3	バンド
2 9 6 4	バックル
2 9 6 5	操作スイッチ
2 9 6 6	入出力端子
2 9 6 7	アイコン
2 9 8 0	自動車
2 9 8 1	車体
2 9 8 2	車輪
2 9 8 3	ダッシュボード
2 9 8 4	ライト
3 1 1 0	OS－FPGA
3 1 1 1	コントローラ
3 1 1 2	ワードドライバ
3 1 1 3	データドライバ

3 1 1 5	プログラマブルエリア
3 1 1 7	I O B
3 1 1 9	コア
3 1 2 0	L A B
3 1 2 1	P L E
3 1 2 3	L U T ブロック
3 1 2 4	レジスタブロック
3 1 2 5	セレクタ
3 1 2 6	CM
3 1 2 7	パワースイッチ
3 1 2 8	CM
3 1 3 0	S A B
3 1 3 1	S B
3 1 3 3	P R S
3 1 3 5	CM
3 1 3 7	メモリ回路
3 1 3 7 B	メモリ回路
3 1 4 0	O S - F F
3 1 4 1	F F
3 1 4 2	シャドウレジスタ
3 1 4 3	メモリ回路
3 1 4 3 B	メモリ回路
3 1 8 8	インバータ回路
3 1 8 9	インバータ回路
4 0 1 0	演算部
4 0 1 1	アナログ演算回路
4 0 1 2	D O S R A M
4 0 1 3	N O S R A M
4 0 1 4	F P G A
4 0 2 0	制御部
4 0 2 1	C P U
4 0 2 2	G P U
4 0 2 3	P L L
4 0 2 5	P R O M
4 0 2 6	メモリコントローラ
4 0 2 7	電源回路
4 0 2 8	P M U
4 0 3 0	入出力部
4 0 3 1	外部記憶制御回路
4 0 3 2	音声コーデック

4 0 3 3 映像コーデック
4 0 3 4 汎用入出力モジュール
4 0 3 5 通信モジュール
4 0 4 1 A I システム
4 0 4 1 __ n A I システム
4 0 4 1 __ 1 A I システム
4 0 4 1 A A I システム
4 0 4 1 B A I システム
4 0 9 8 バス線
4 0 9 9 ネットワーク
7 0 0 0 A I システム I C
7 0 0 1 リード
7 0 0 3 回路部
7 0 3 1 S i トランジスタ層
7 0 3 2 配線層
7 0 3 3 O S トランジスタ層

請求の範囲

[請求項 1]

ゲート電極と、ソース電極と、ドレイン電極と、チャネル形成領域を有する酸化物半導体と、ゲート絶縁体と、を有し、

前記ゲート絶縁体は、前記チャネル形成領域と接する第 1 の層、および前記第 1 の層上の第 2 の層を有し、

前記第 2 の層は金属酸化物であり、

前記金属酸化物は、自乗平均面粗さ (RMS) が、 $1\ \mu\text{m} \times 1\ \mu\text{m}$ の測定範囲において、 $0.4\ \text{nm}$ 以下であることを特徴とする半導体装置。

[請求項 2]

ゲート電極と、ソース電極と、ドレイン電極と、チャネル形成領域を有する酸化物半導体と、ゲート絶縁体と、を有し、

前記ゲート絶縁体は、前記チャネル形成領域と接する第 1 の層、および前記第 1 の層上の第 2 の層を有し、

前記第 2 の層は金属酸化物であり、

前記金属酸化物に対する電子顕微鏡を用いた電子線回折において、リング状のパターンが観測されることを特徴とする半導体装置。

[請求項 3]

請求項 1 乃至請求項 2 のいずれかーにおいて、

前記金属酸化物は、ハフニウムアルミネートであることを特徴とする半導体装置。

[請求項 4]

請求項 1 乃至請求項 2 のいずれかーにおいて、

前記金属酸化物は、酸化ハフニウムであることを特徴とする半導体装置。

[請求項 5]

請求項 4 において、

前記酸化ハフニウムは、スパッタリング法により、酸素を含む混合雰囲気下において、 130°C 以下の成膜温度で、成膜されたことを特徴とする半導体装置。

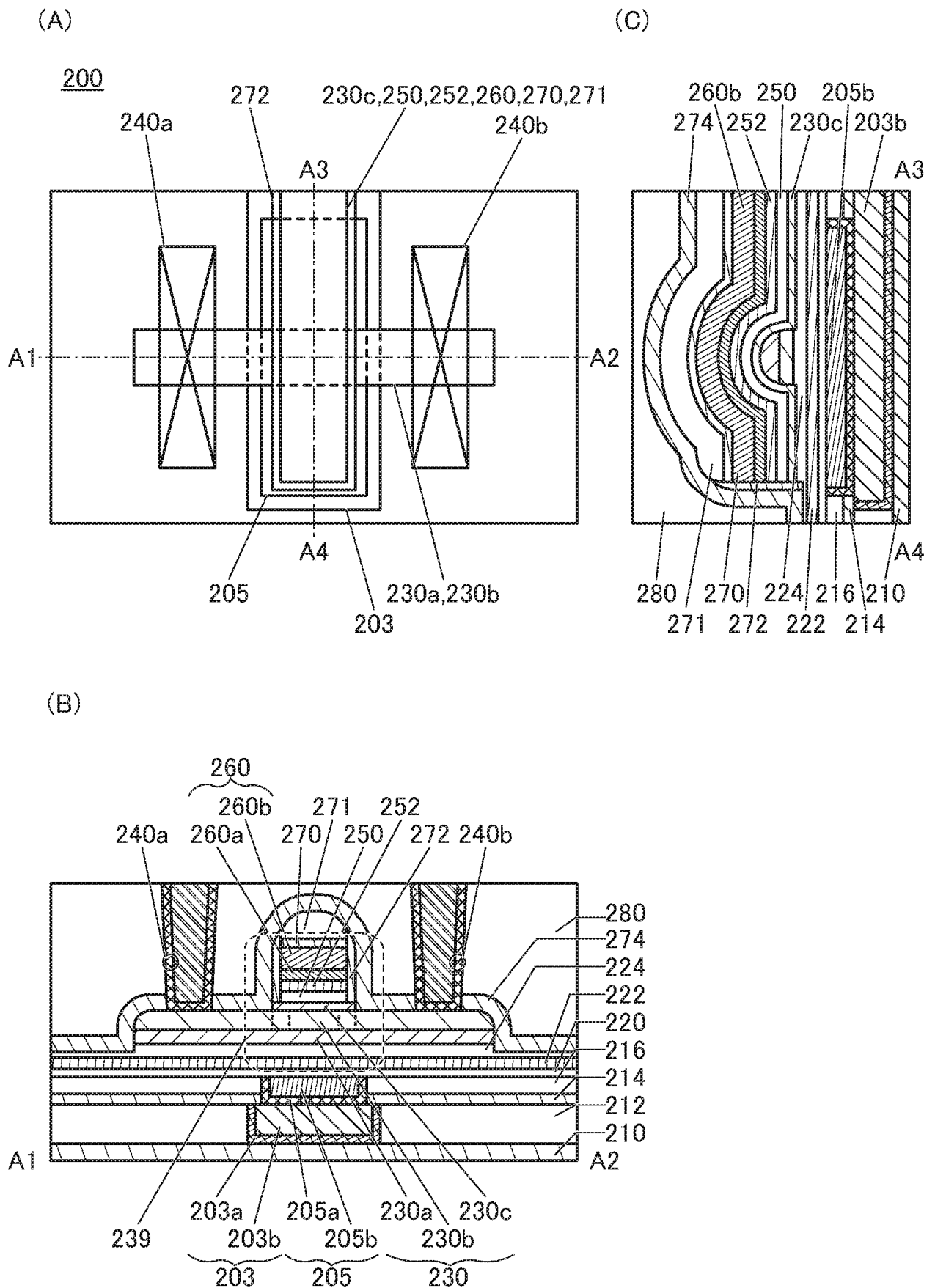
[請求項 6]

請求項 1 乃至請求項 2 のいずれかーにおいて、

前記第 1 の層は、酸化シリコンであり、TDS 分析において酸素分子の脱離量が $1.0 \times 10^{19}\ \text{atoms/cm}^3$ 以上であることを特徴とする半導体装置。

[図01]

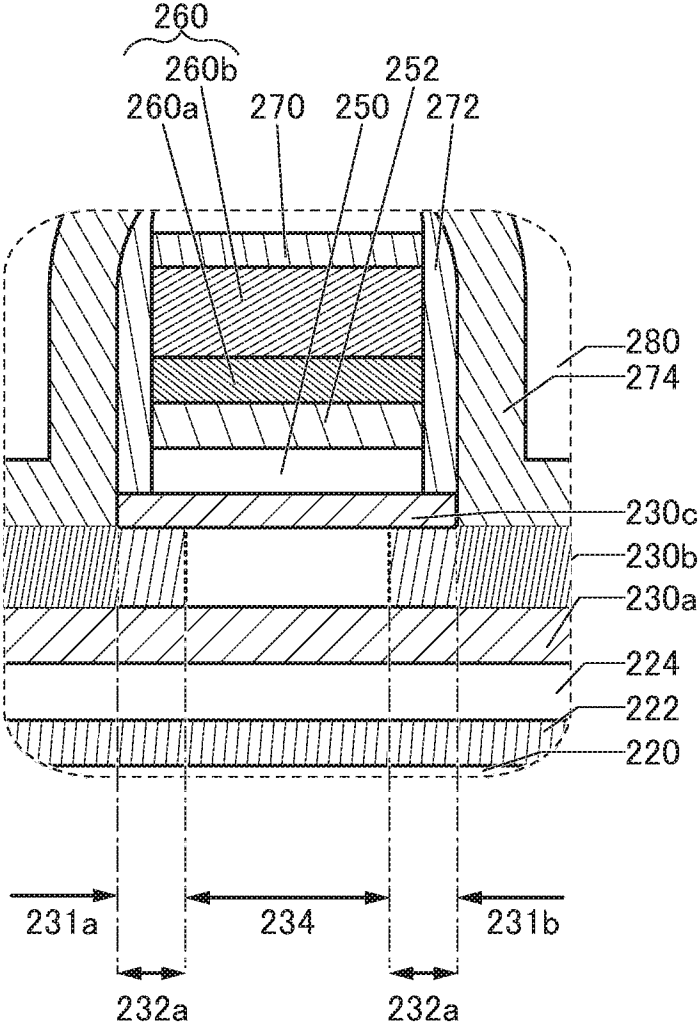
1/40



[図02]

2/40

239

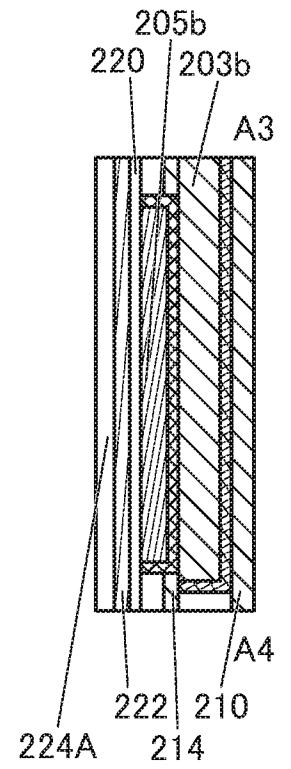
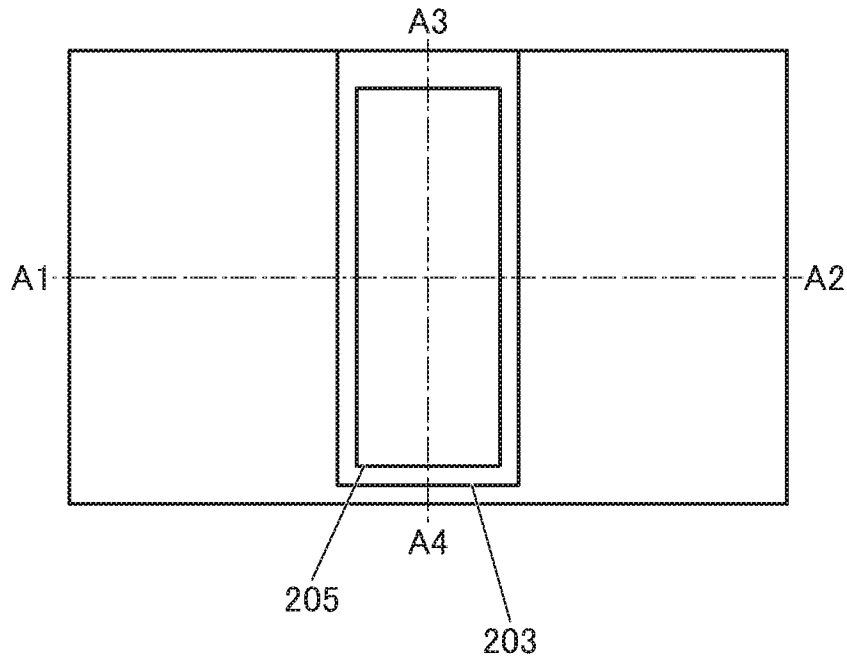


[図03]

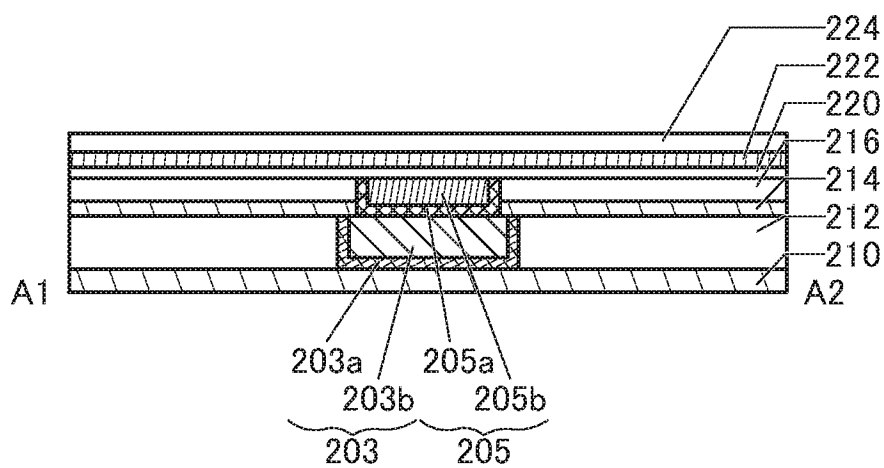
3/40

(A)

(C)



(B)

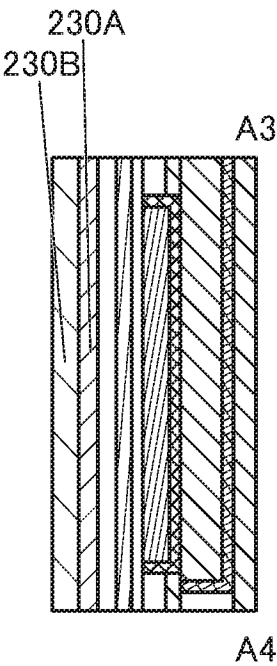
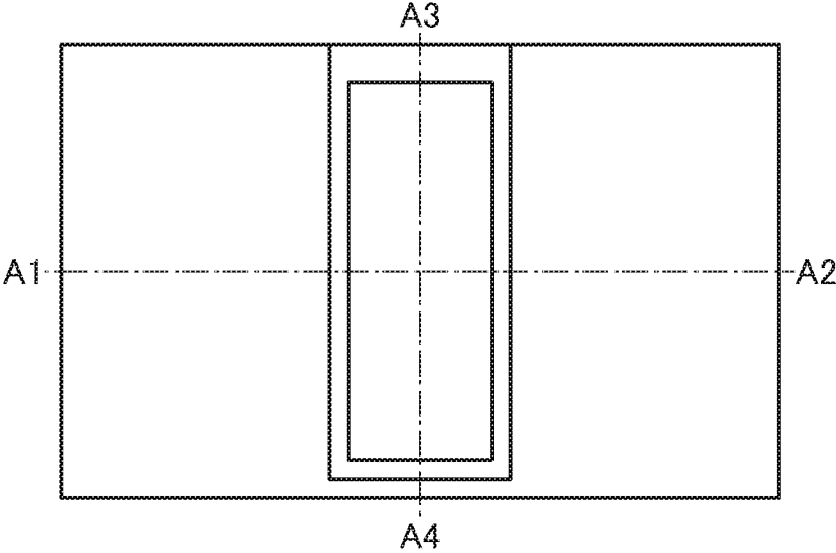


[図04]

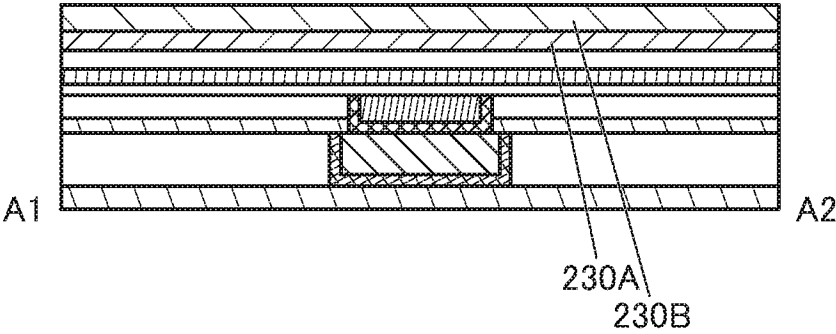
4/40

(A)

(C)



(B)

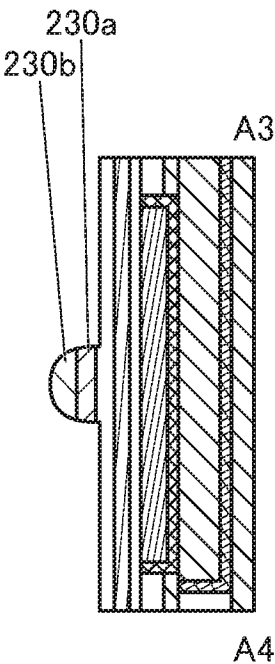
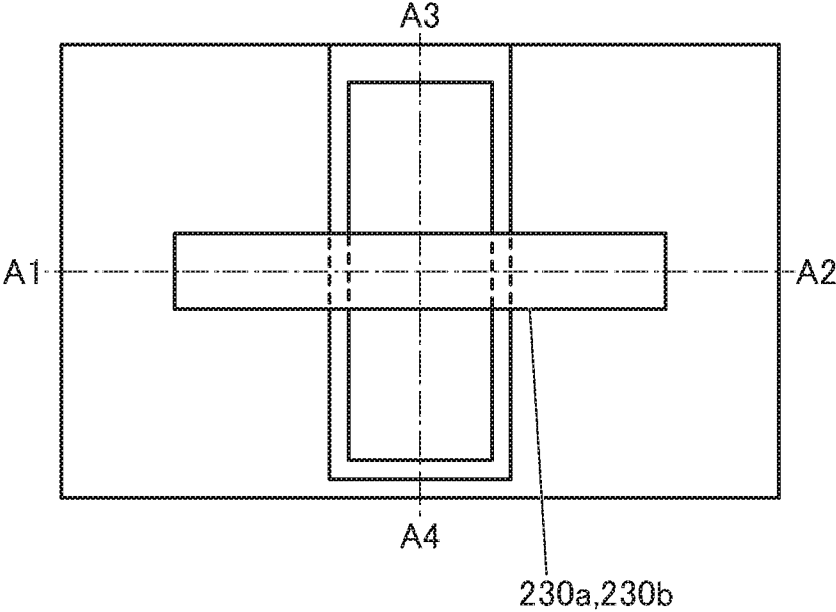


[図05]

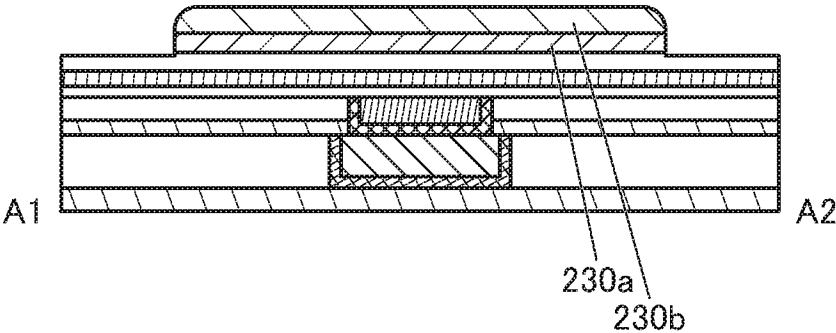
5/40

(A)

(C)



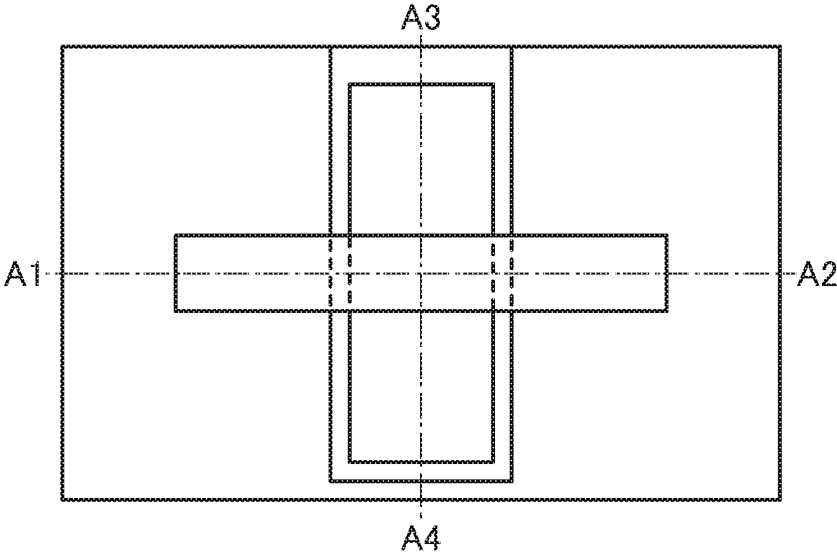
(B)



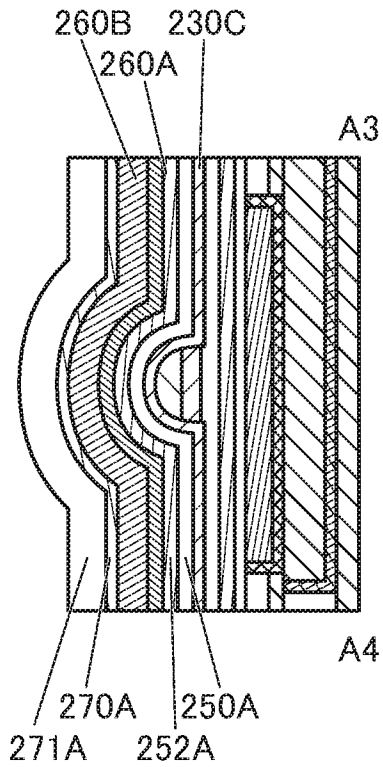
[06]

6/40

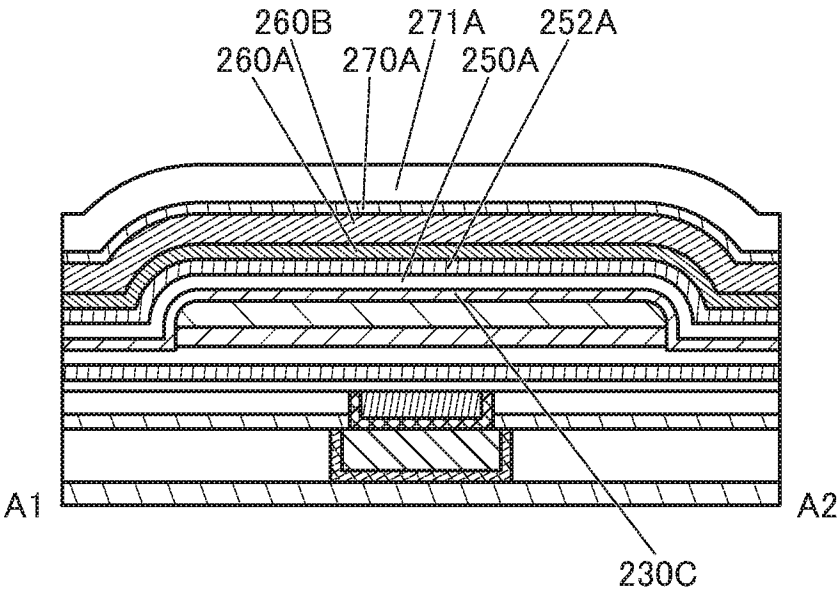
(A)



(C)

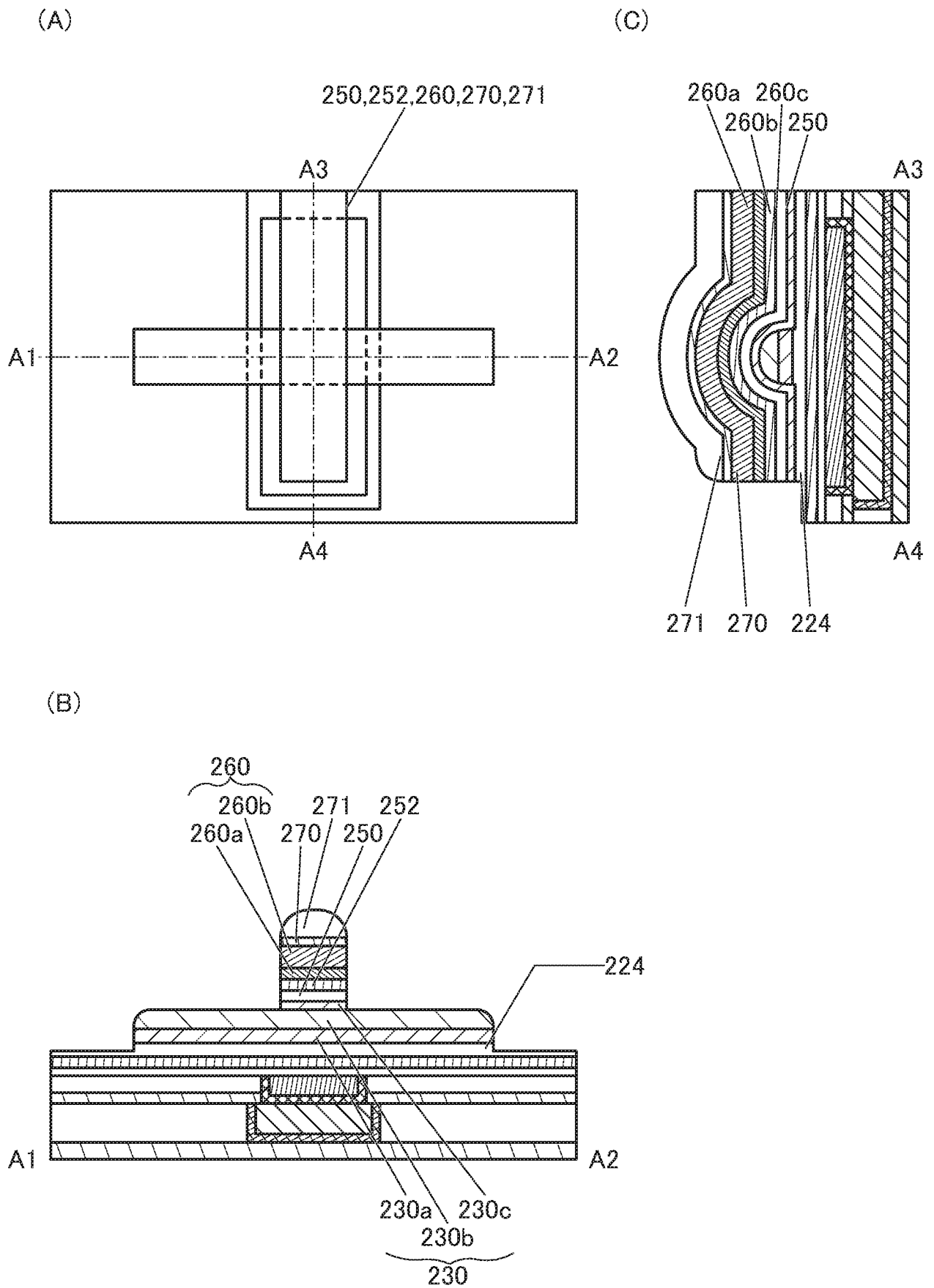


(B)



[図07]

7/40

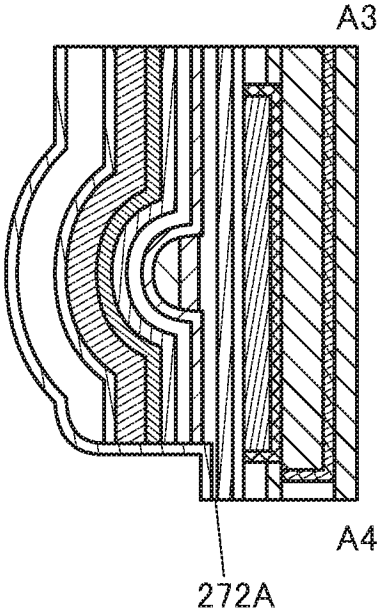
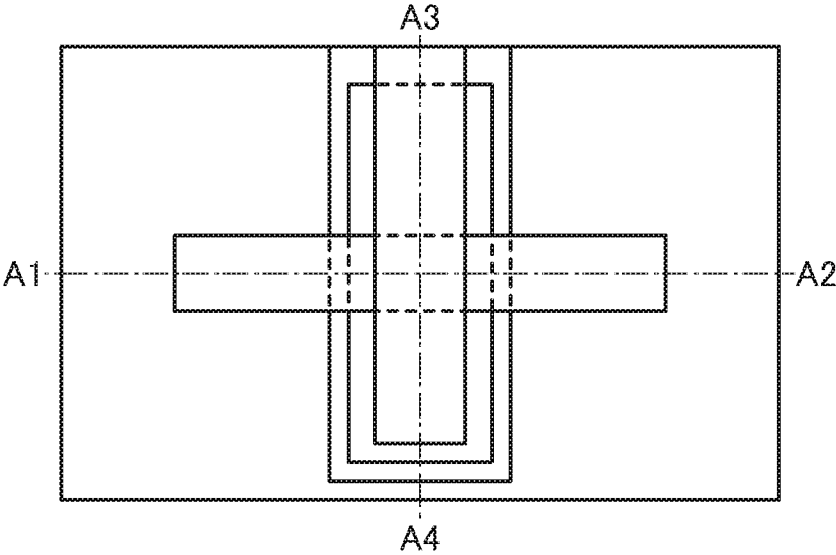


[08]

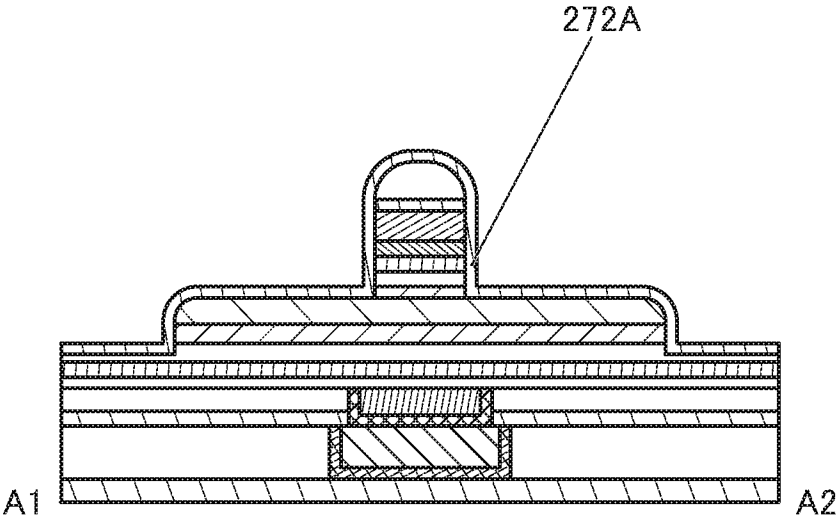
8/40

(A)

(C)



(B)

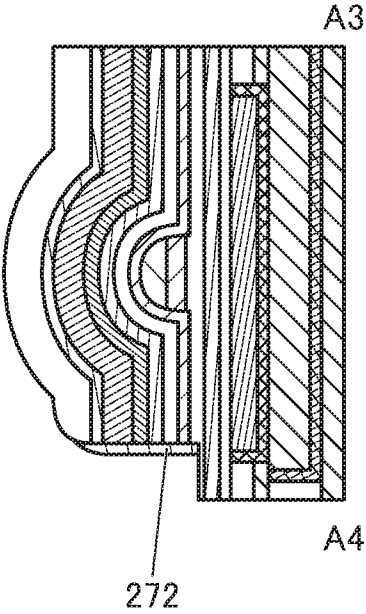
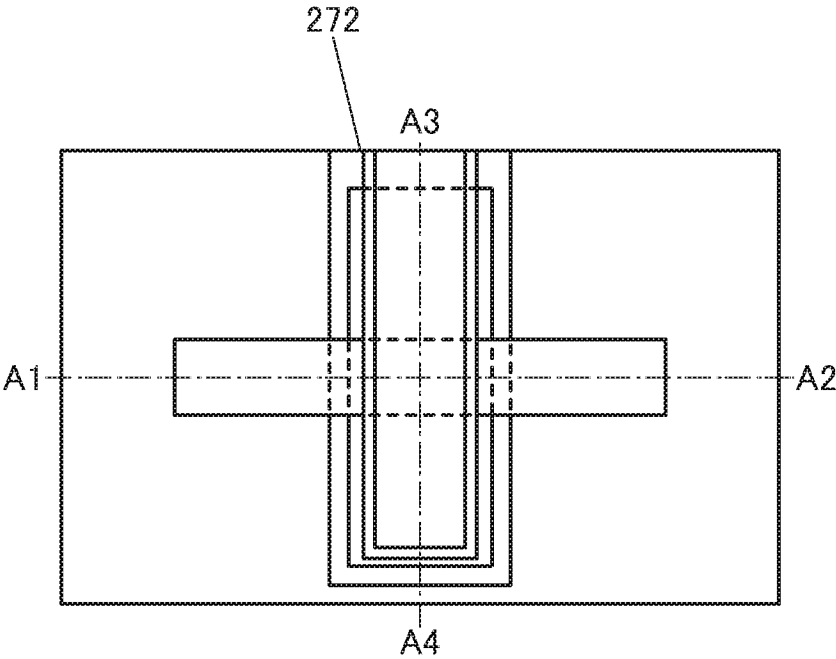


[図09]

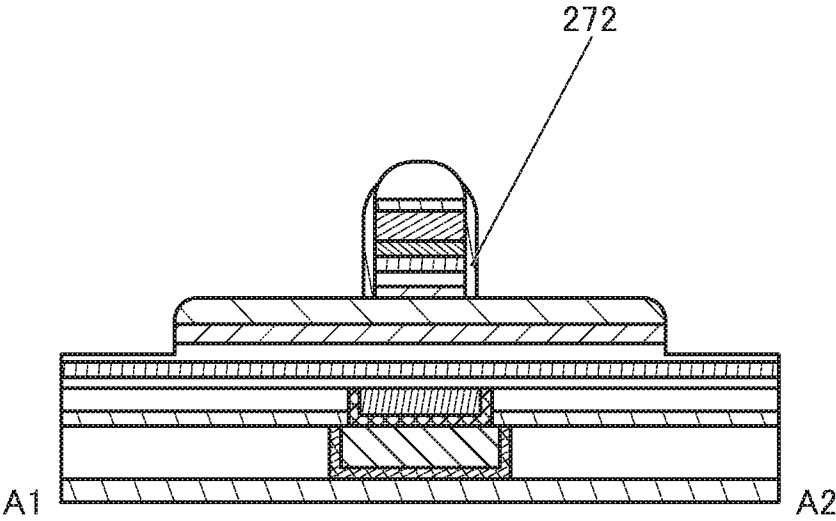
9/40

(A)

(C)



(B)

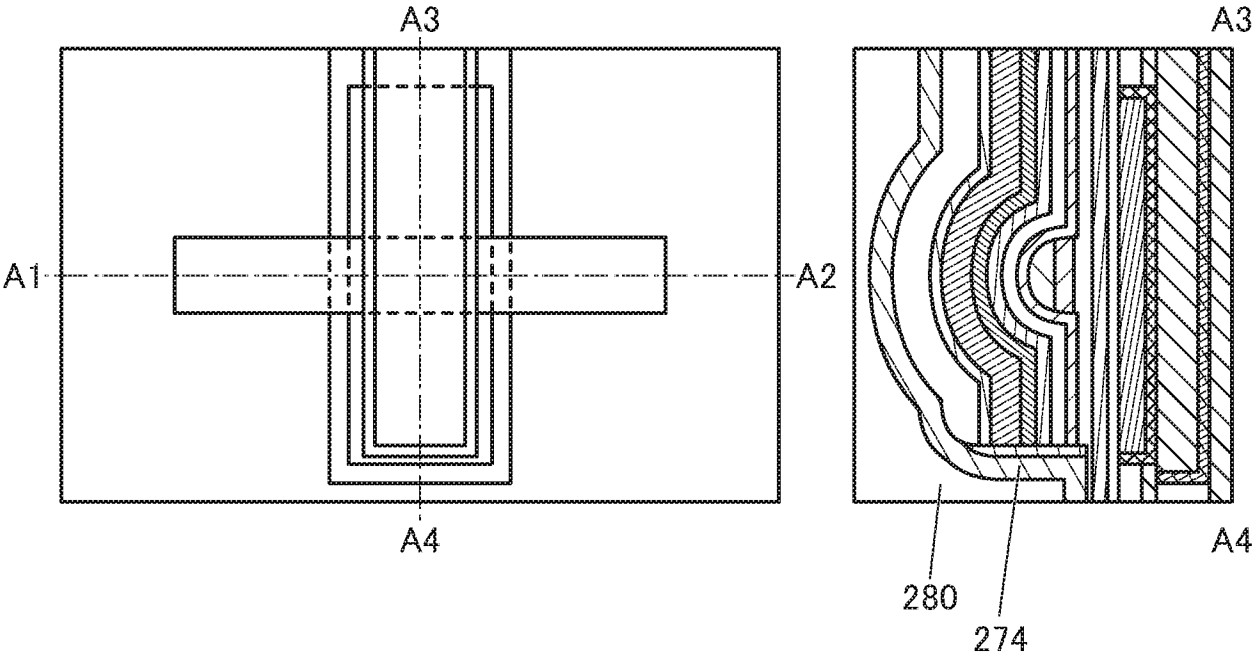


[ 10]

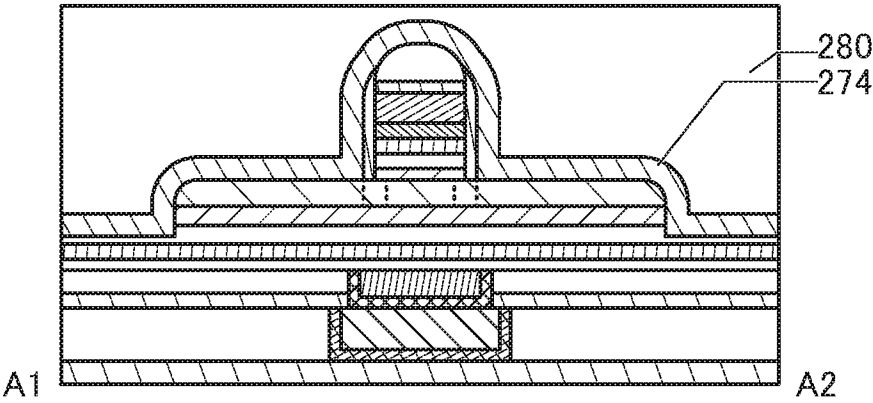
10/40

(A)

(C)



(B)

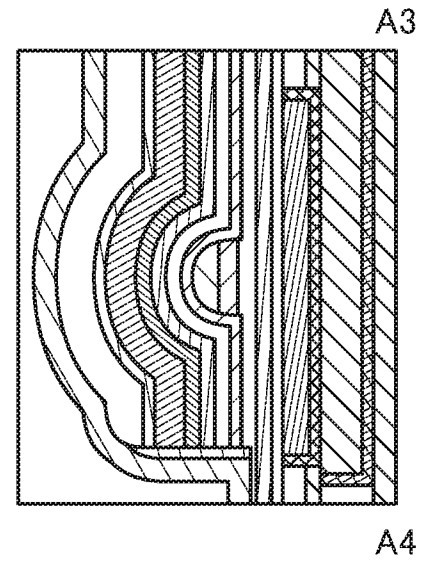
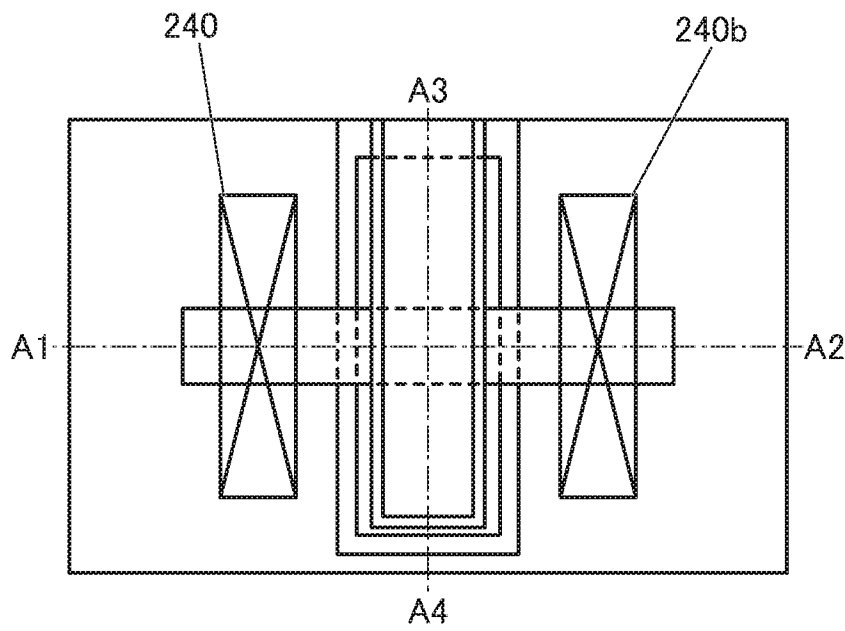


[ 11]

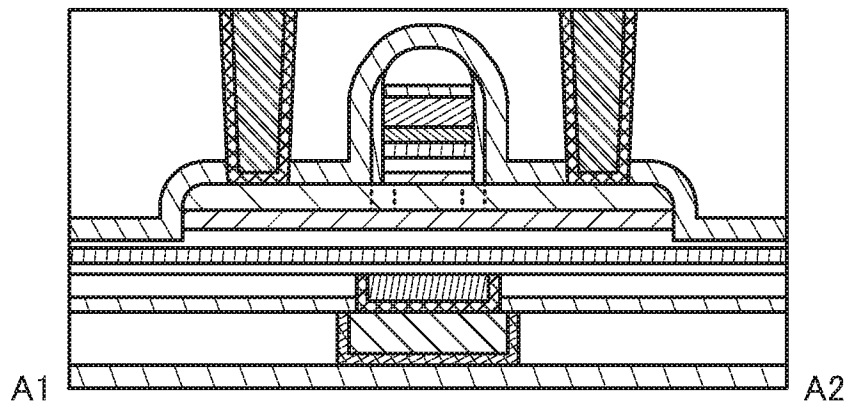
11/40

(A)

(C)

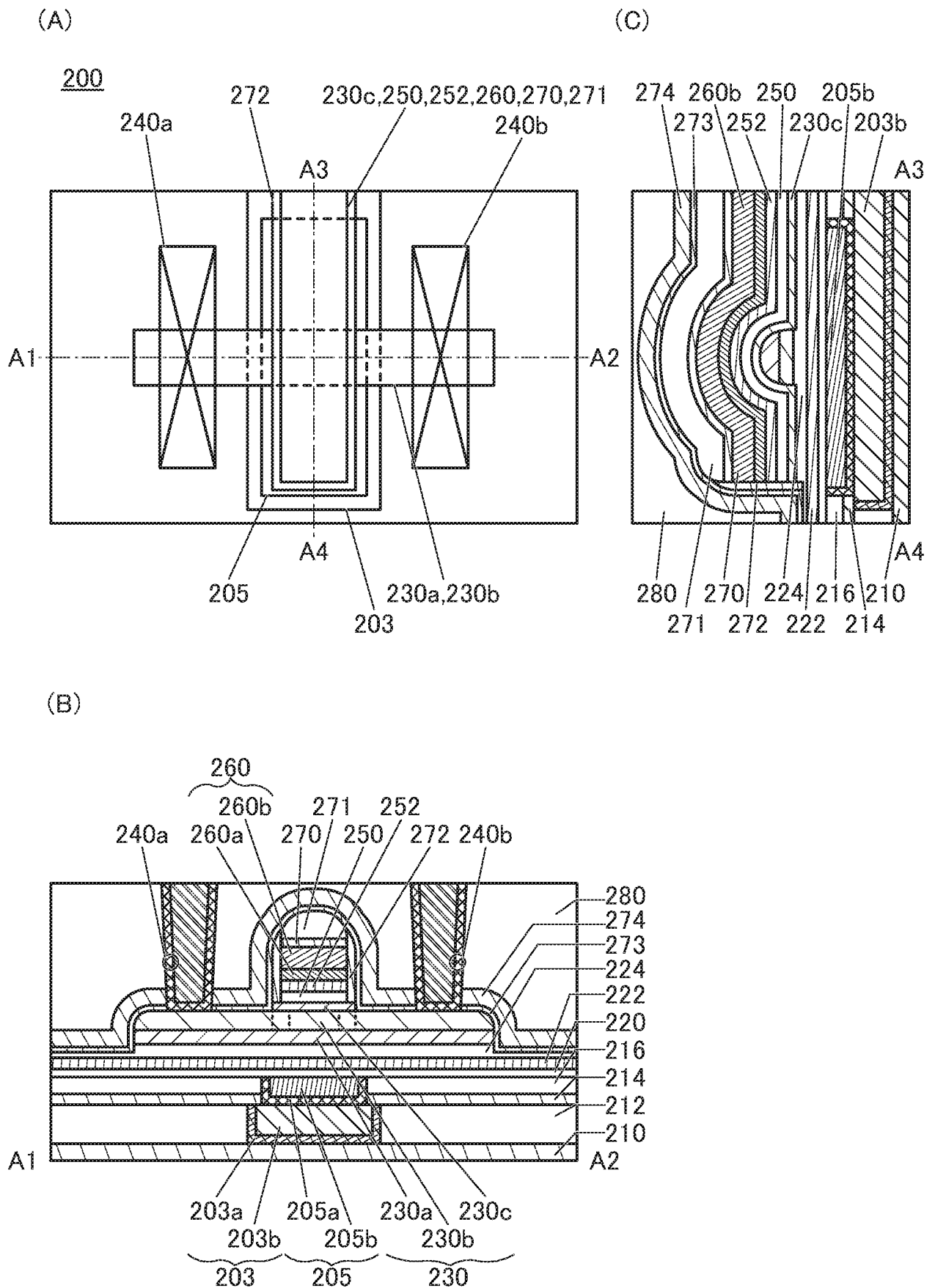


(B)



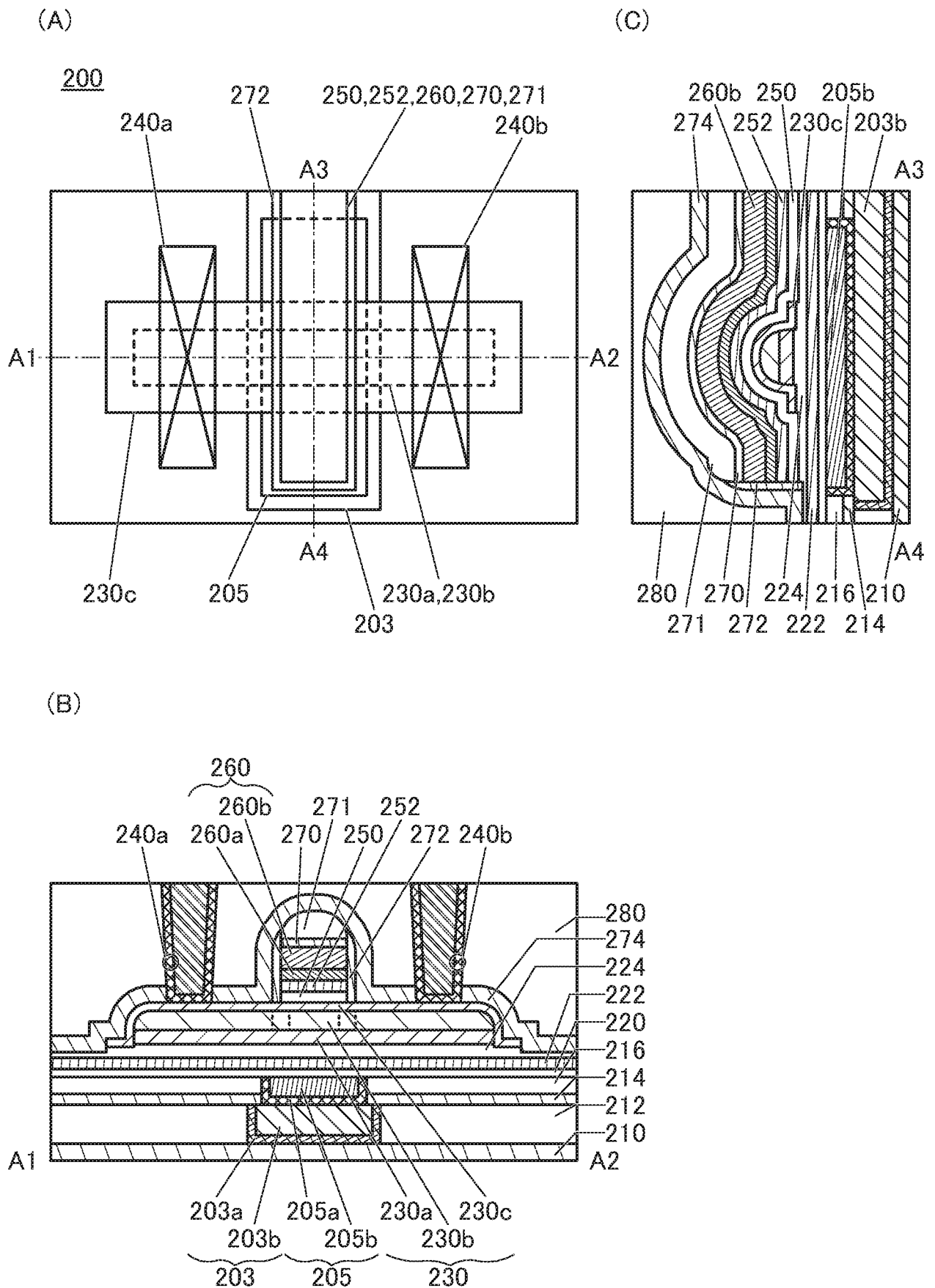
[図12]

12/40

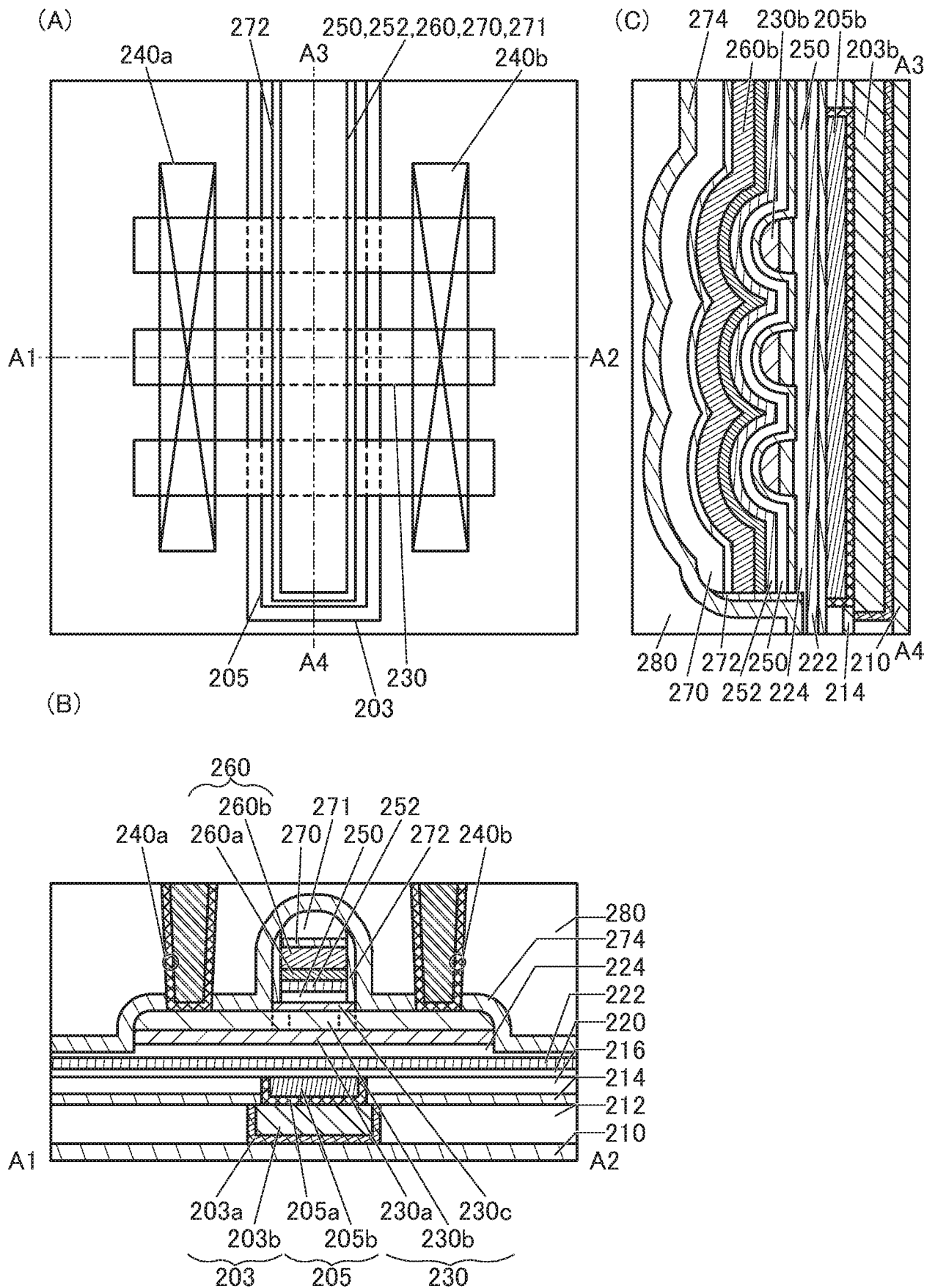


[ 13]

13/40



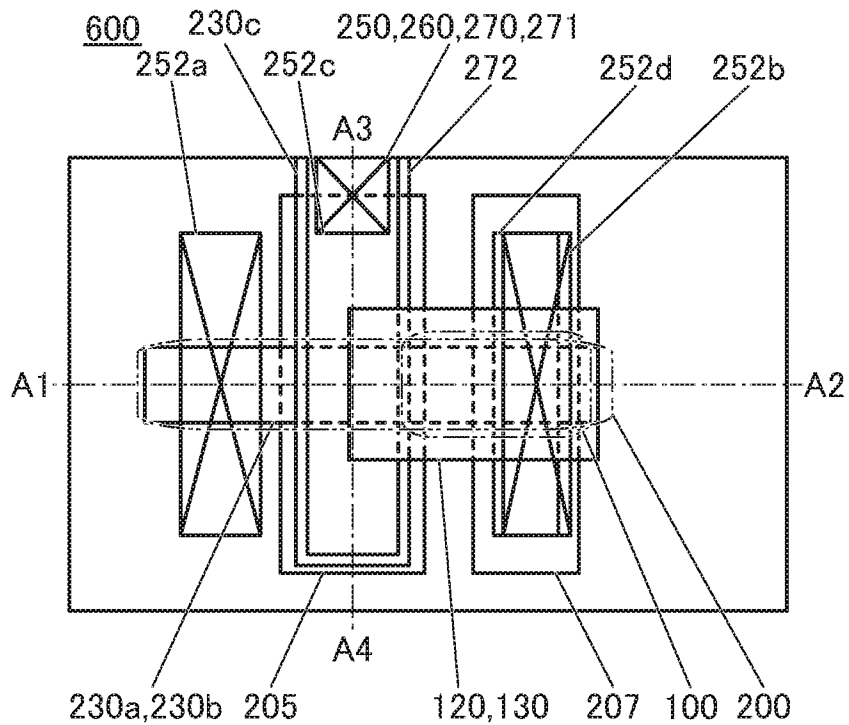
[14]



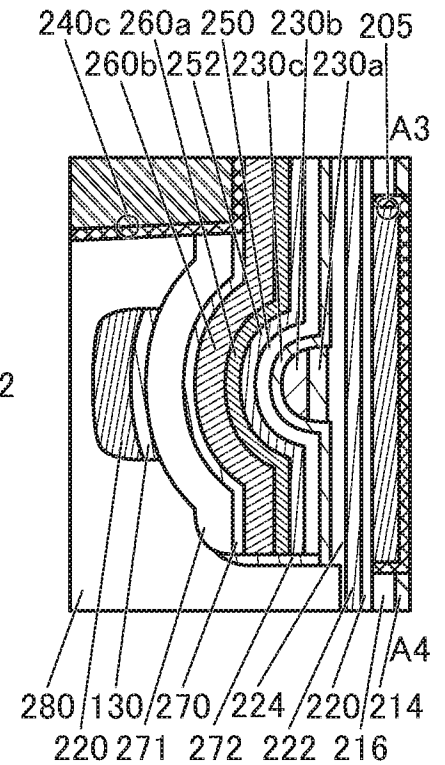
[図15]

15/40

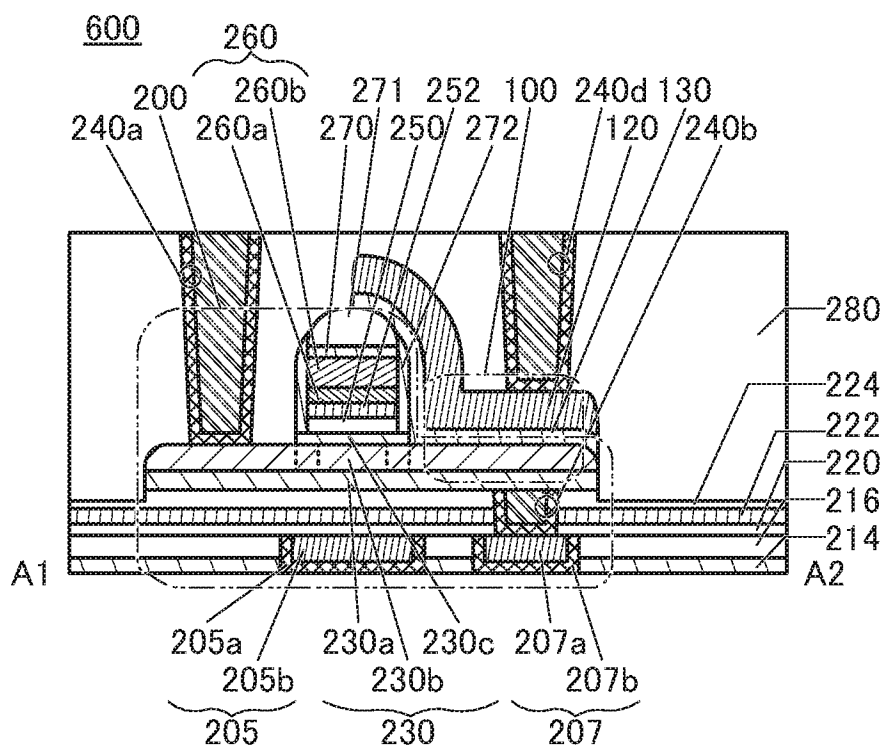
(A)

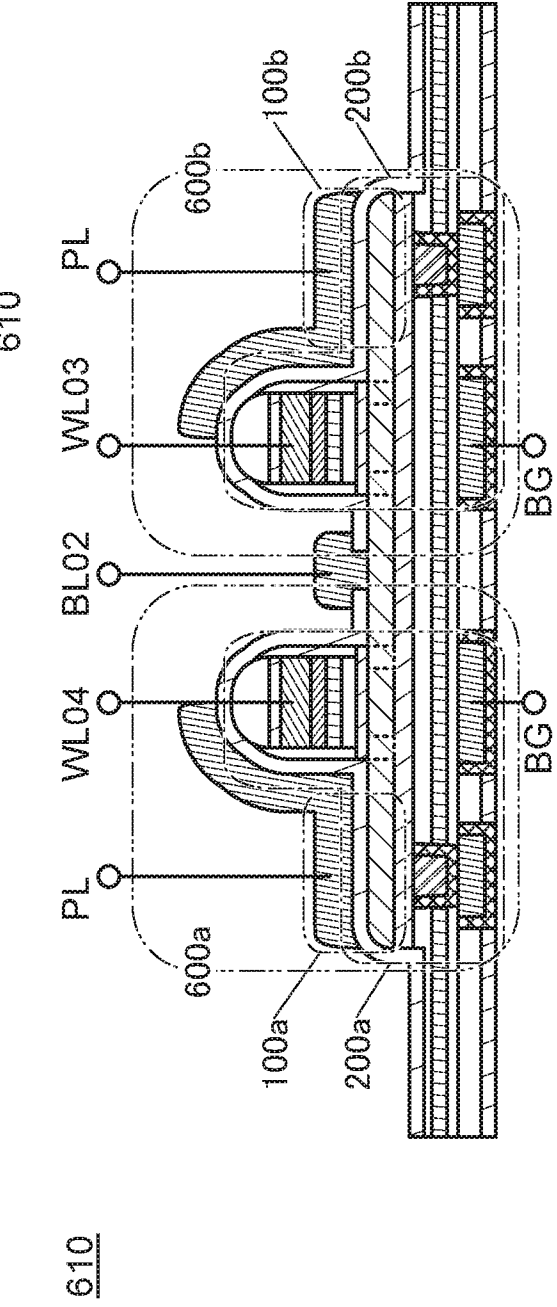
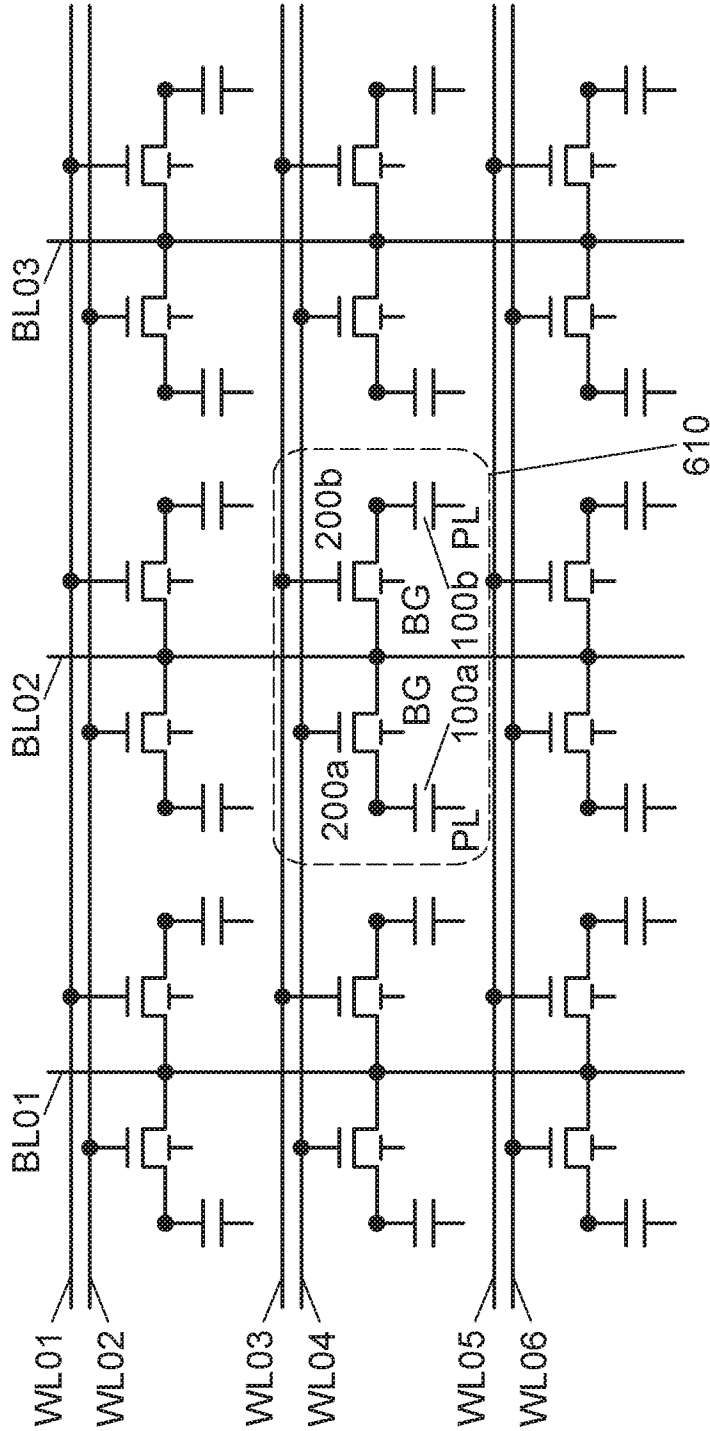


(C)

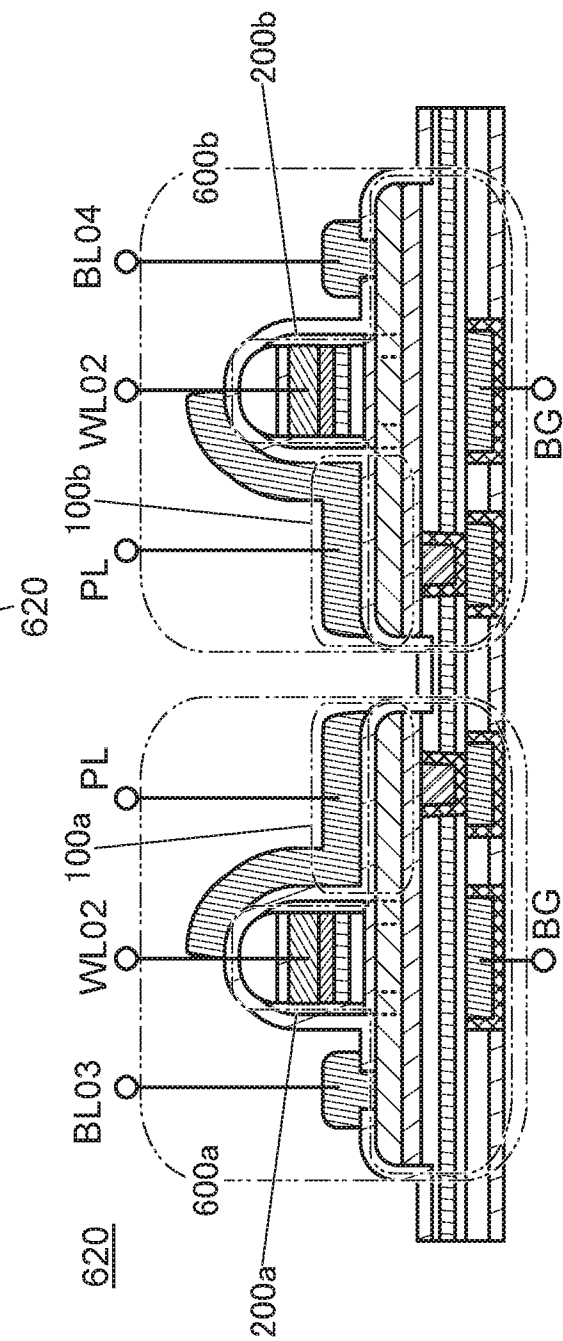
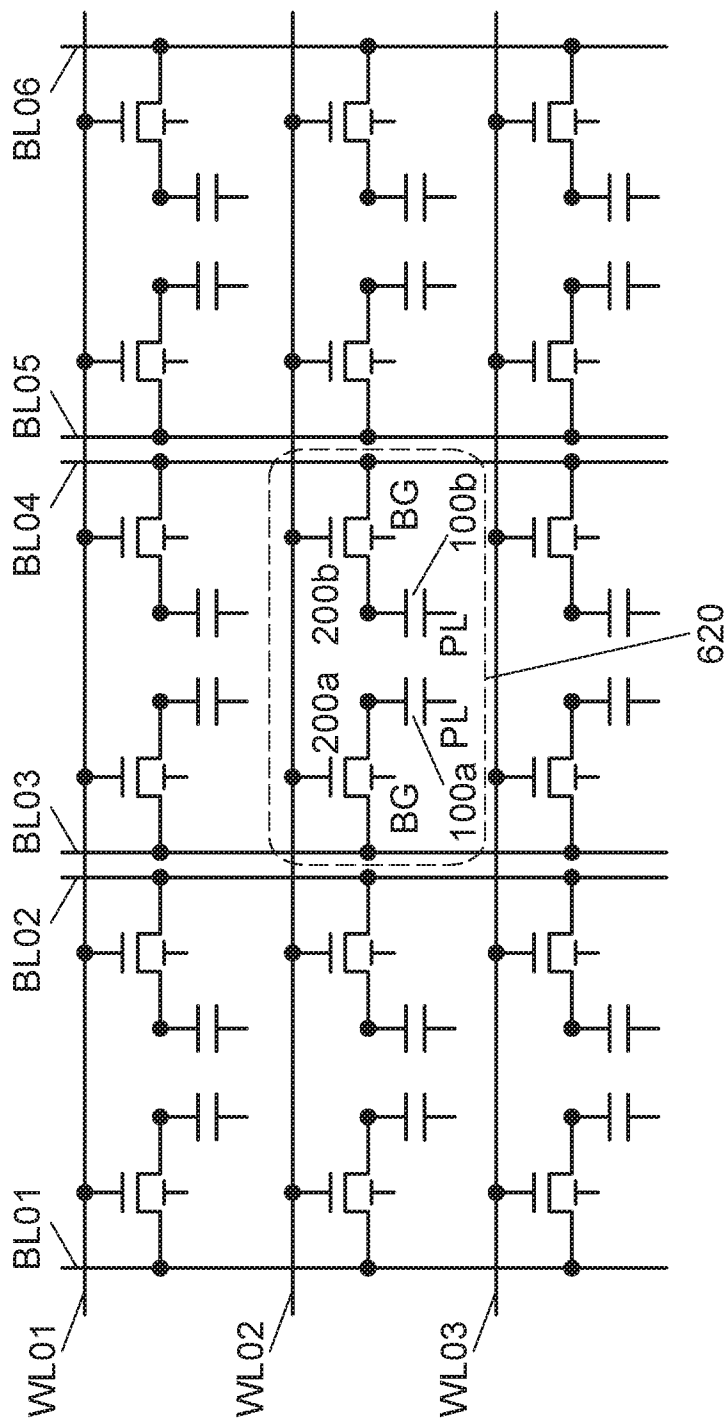


(B)



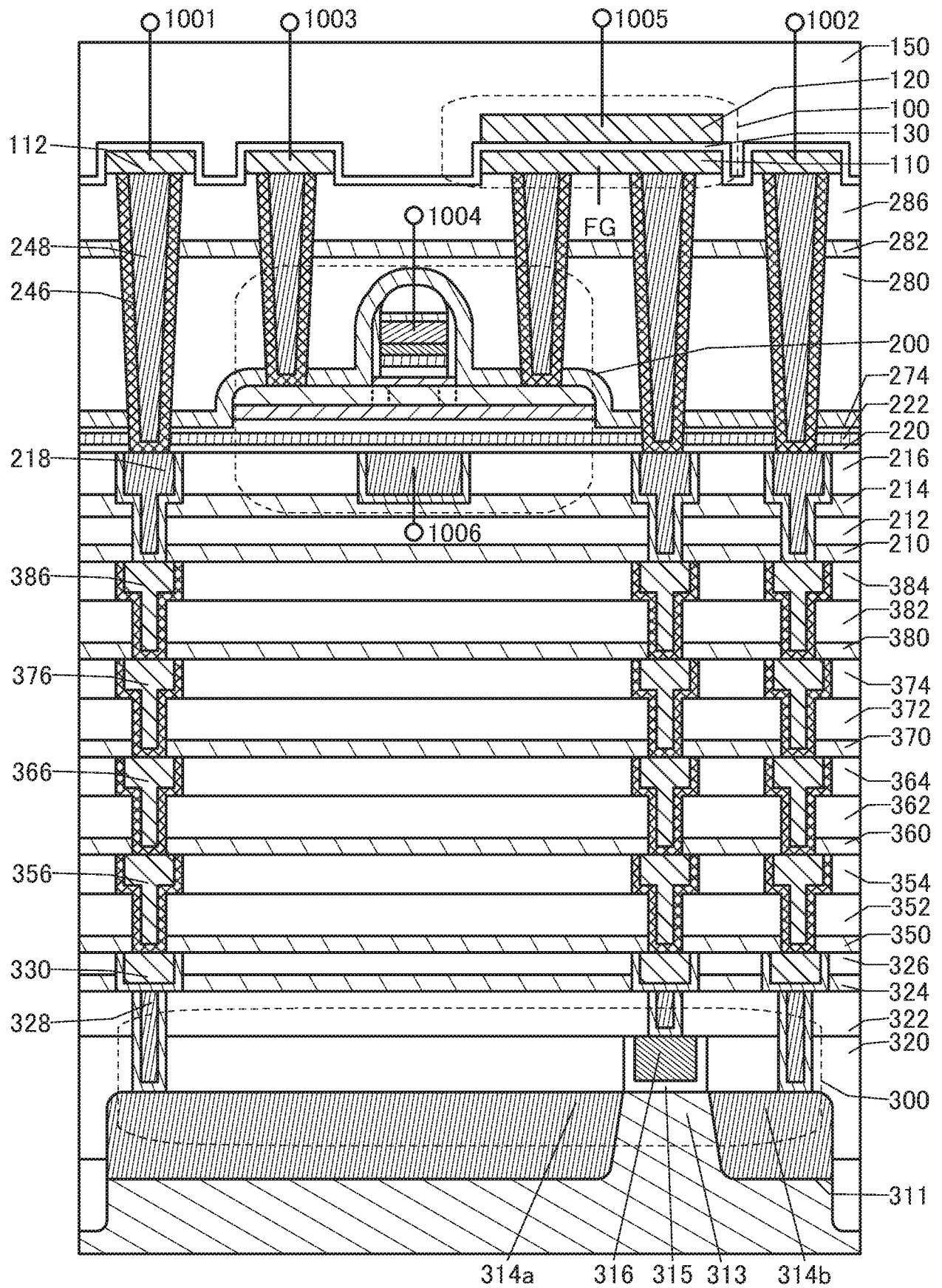


[ 17]



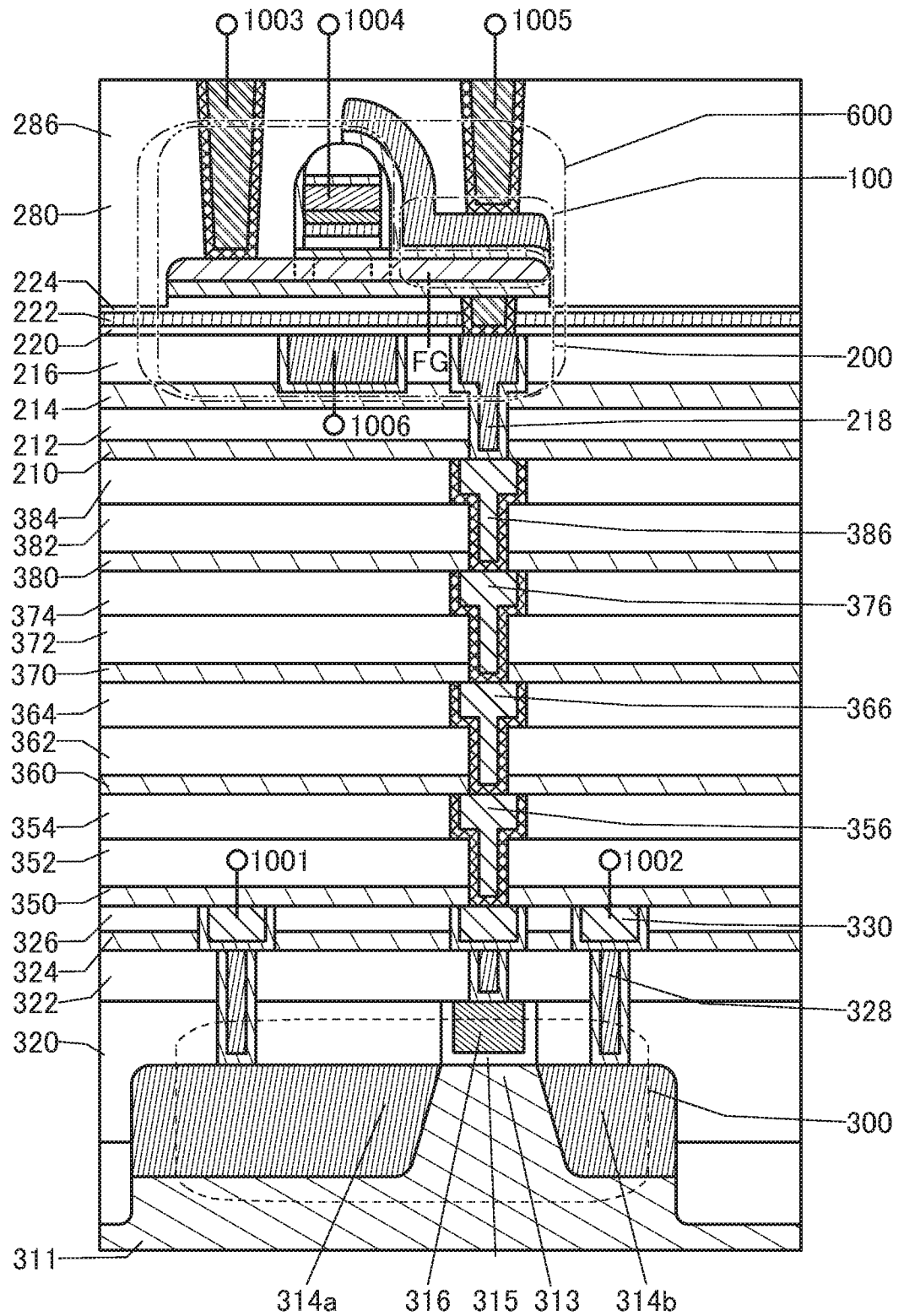
[図18]

18/40



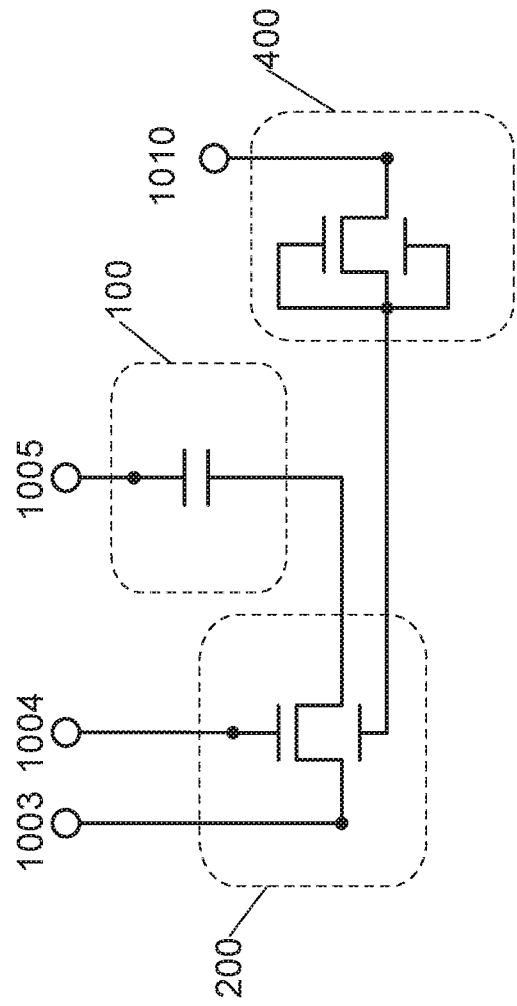
[図19]

19/40

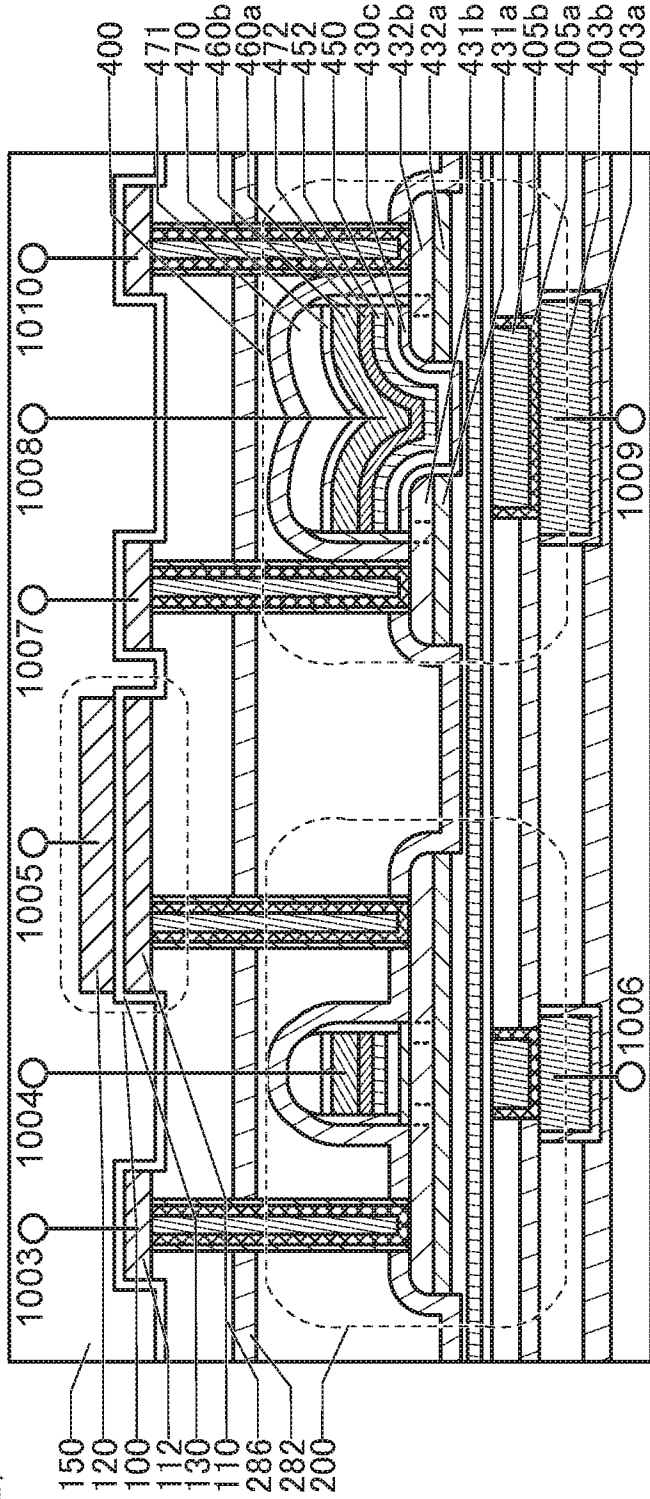


[図20]

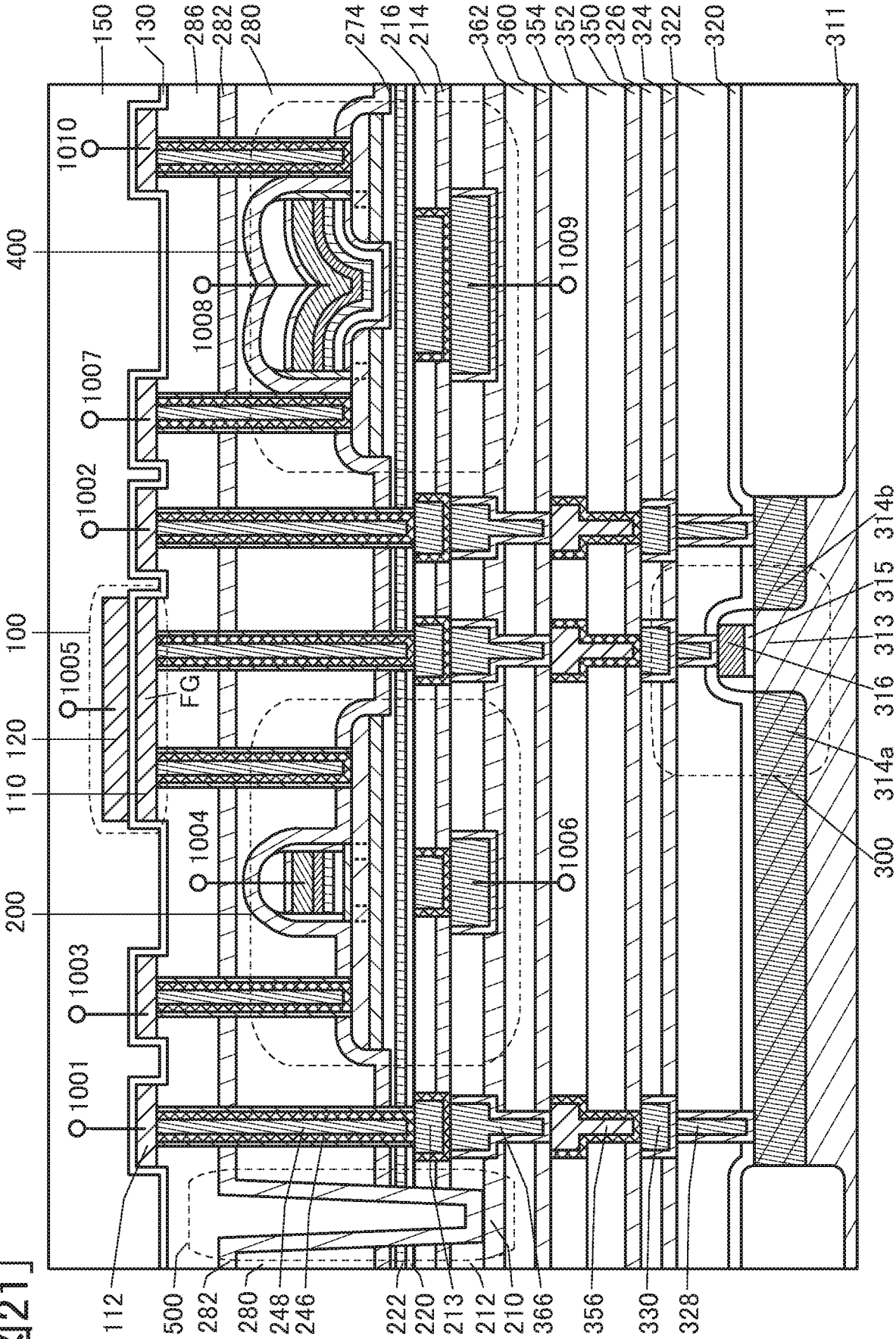
(A)



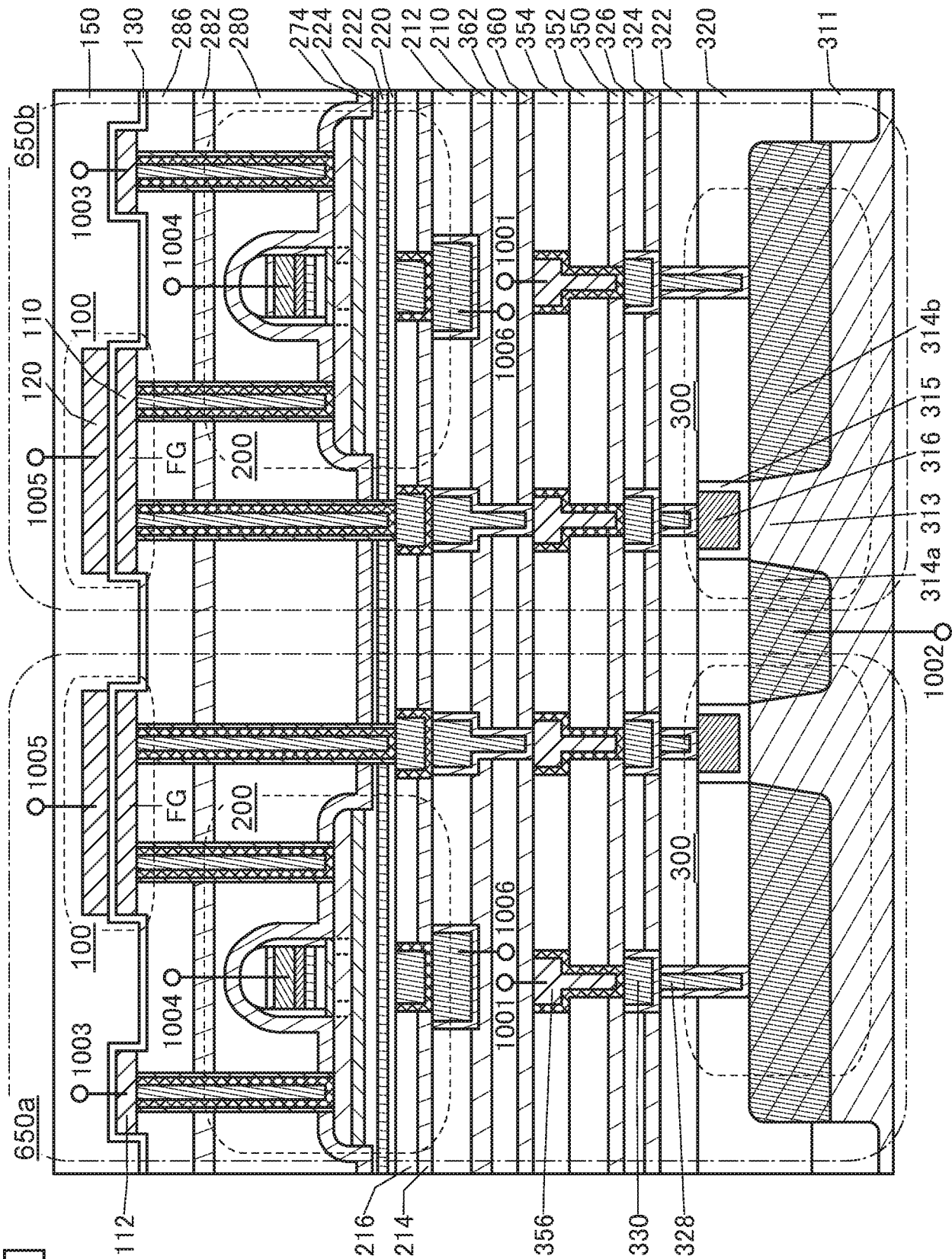
(B)



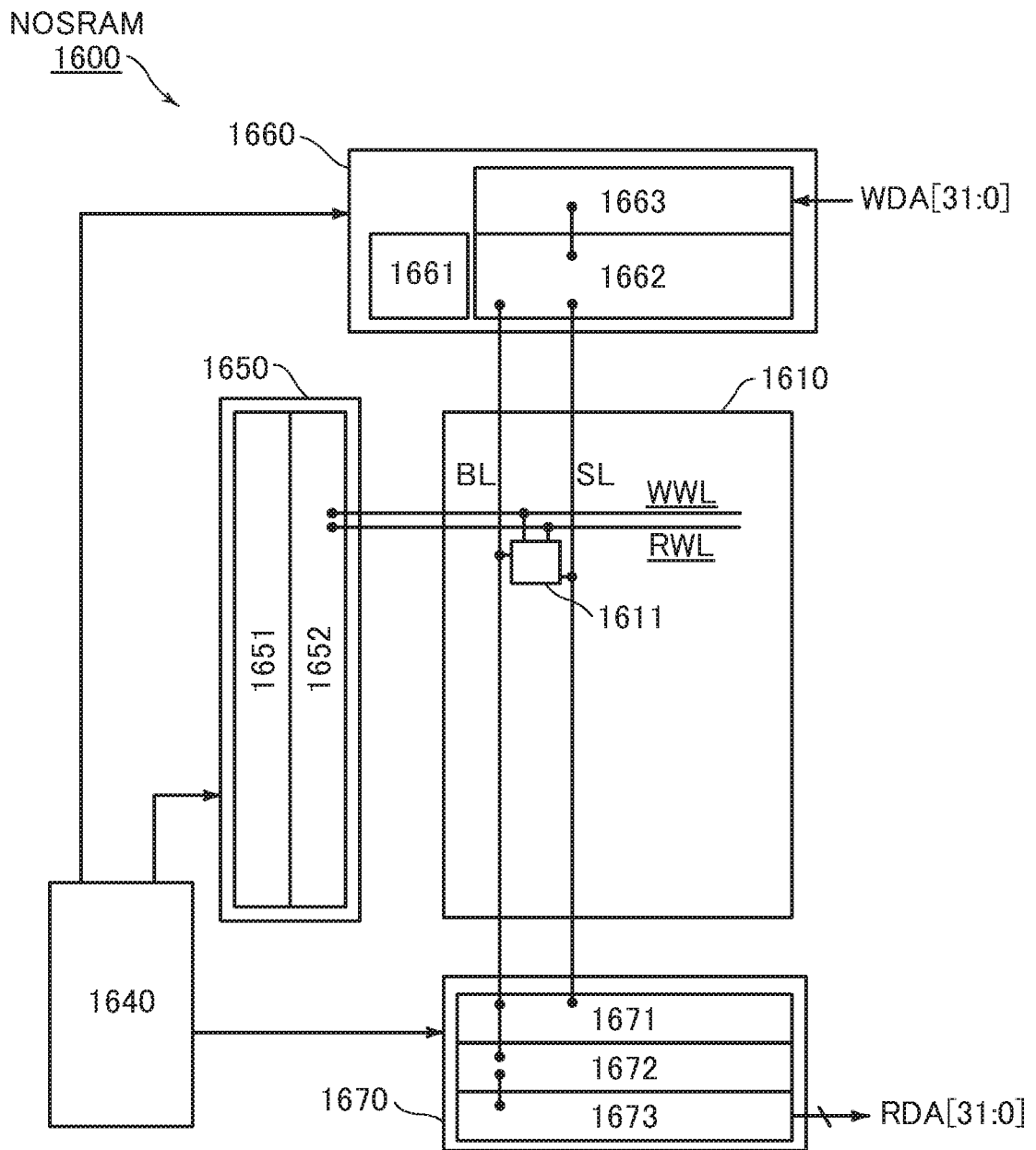
[圖21]



[22]

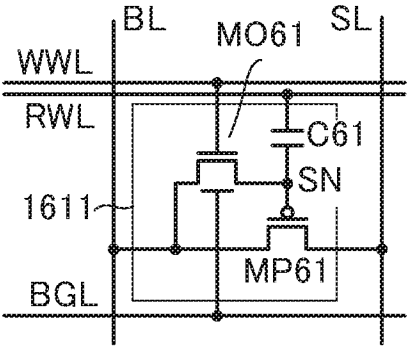


[図23]

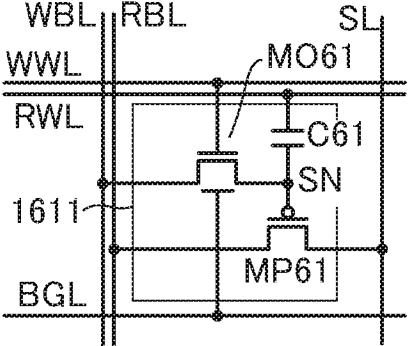


[図24]

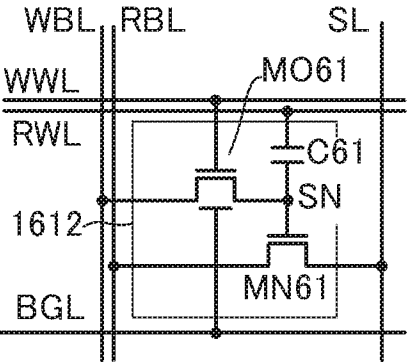
(A)



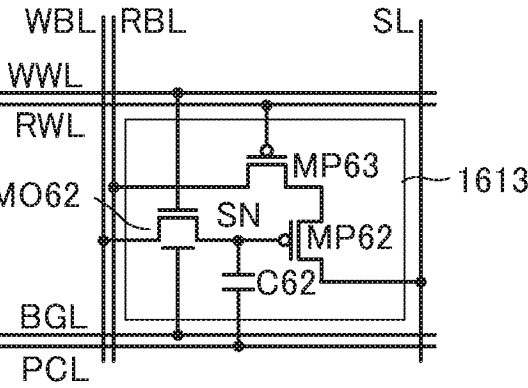
(B)



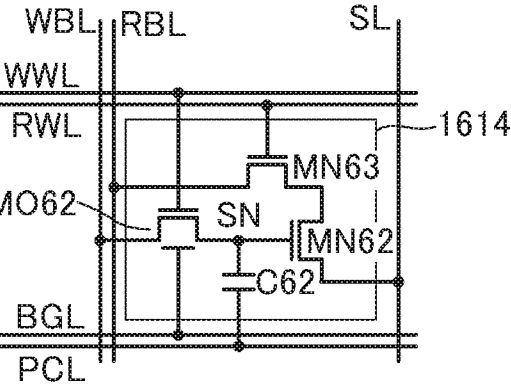
(C)

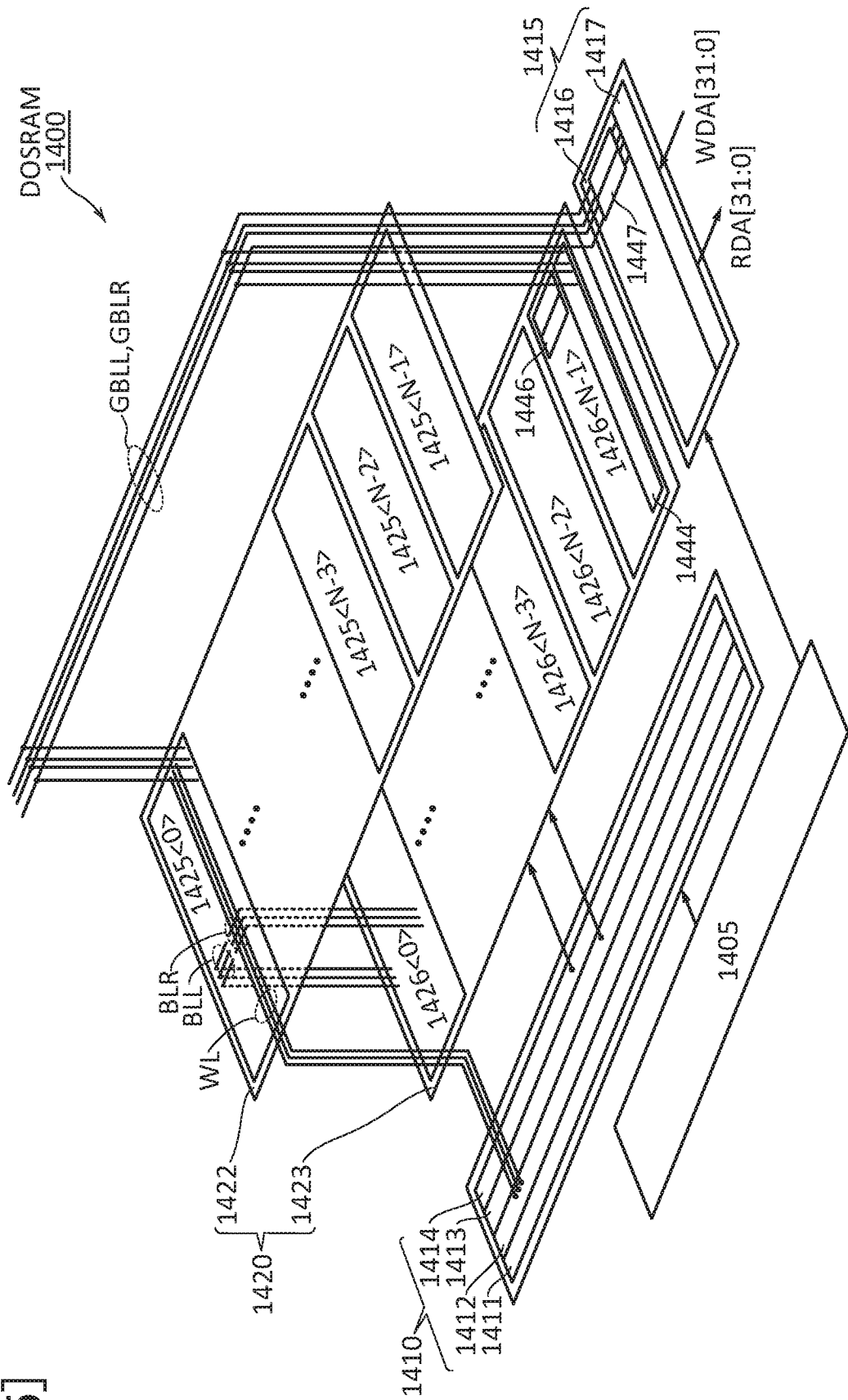


(D)



(E)

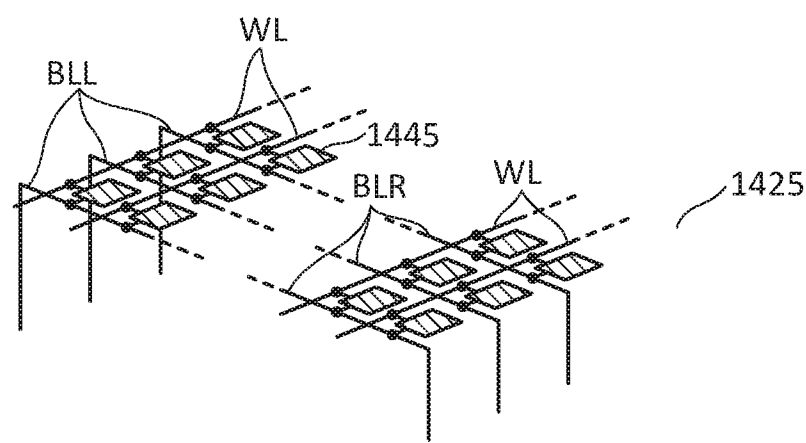




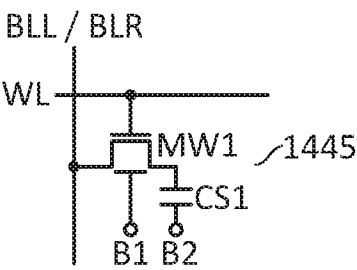
[25]

[図26]

(A)

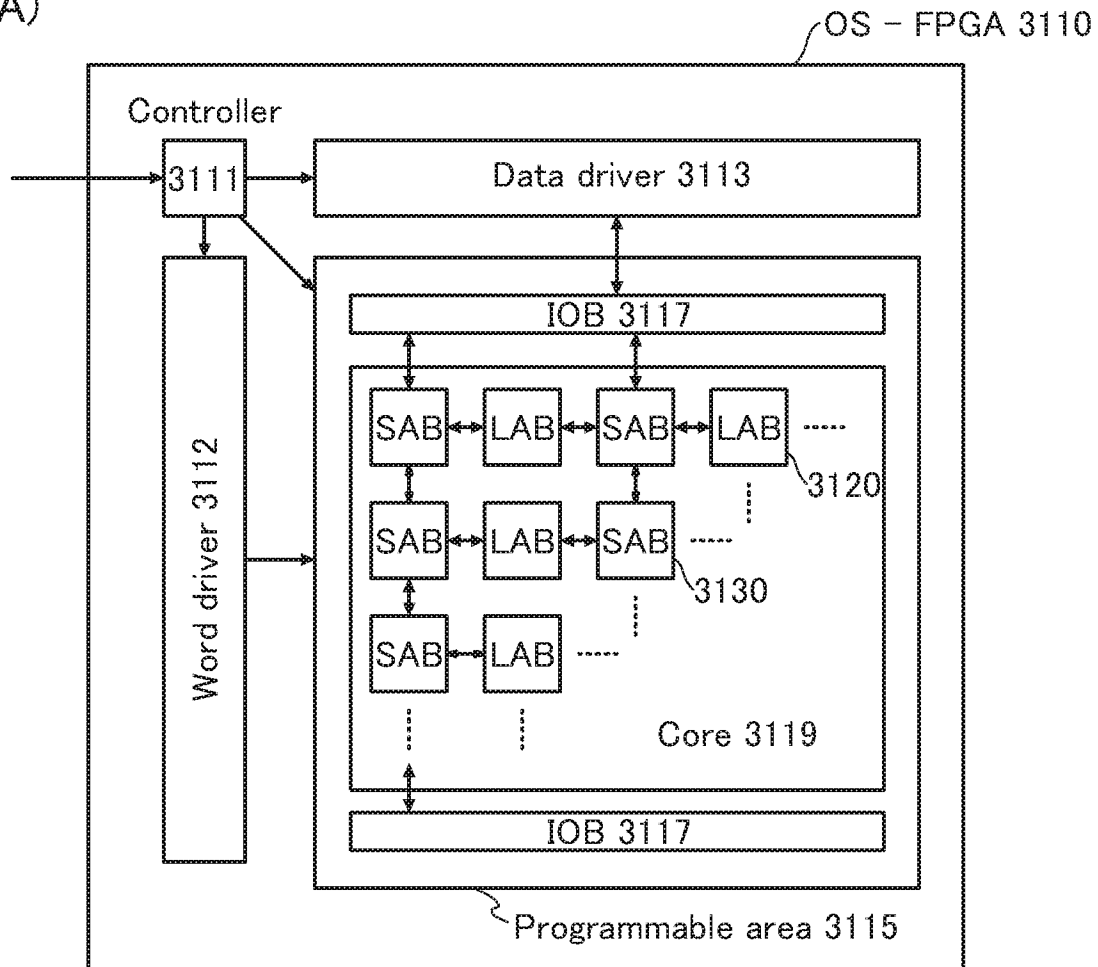


(B)

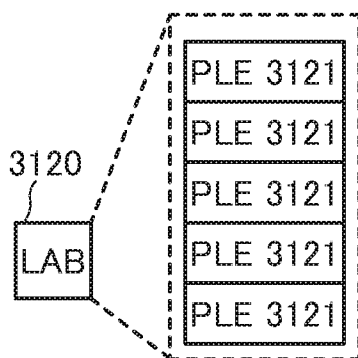


[図27]

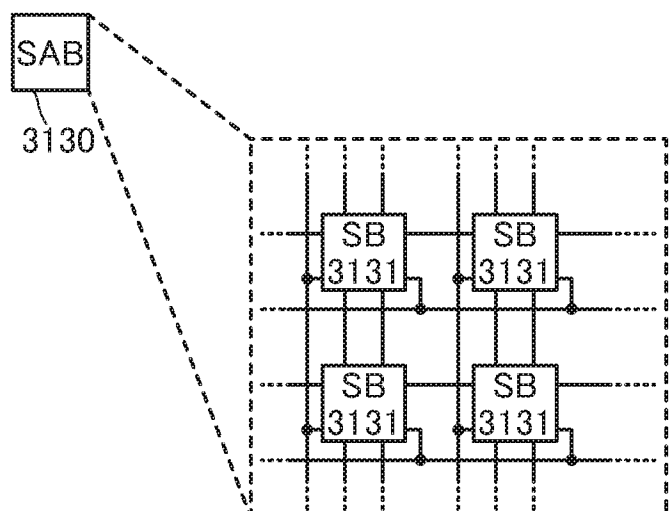
(A)



(B)



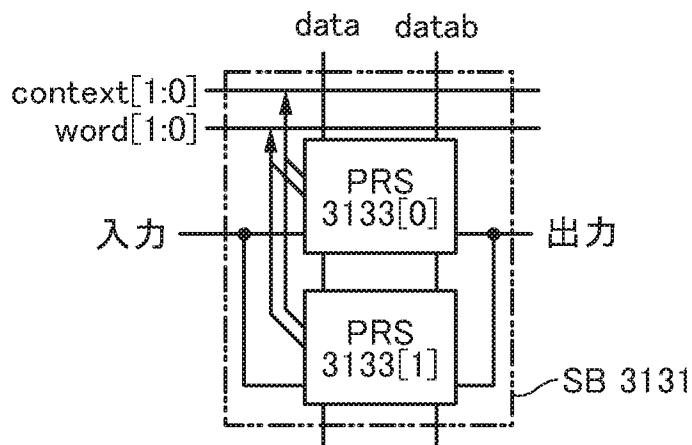
(C)



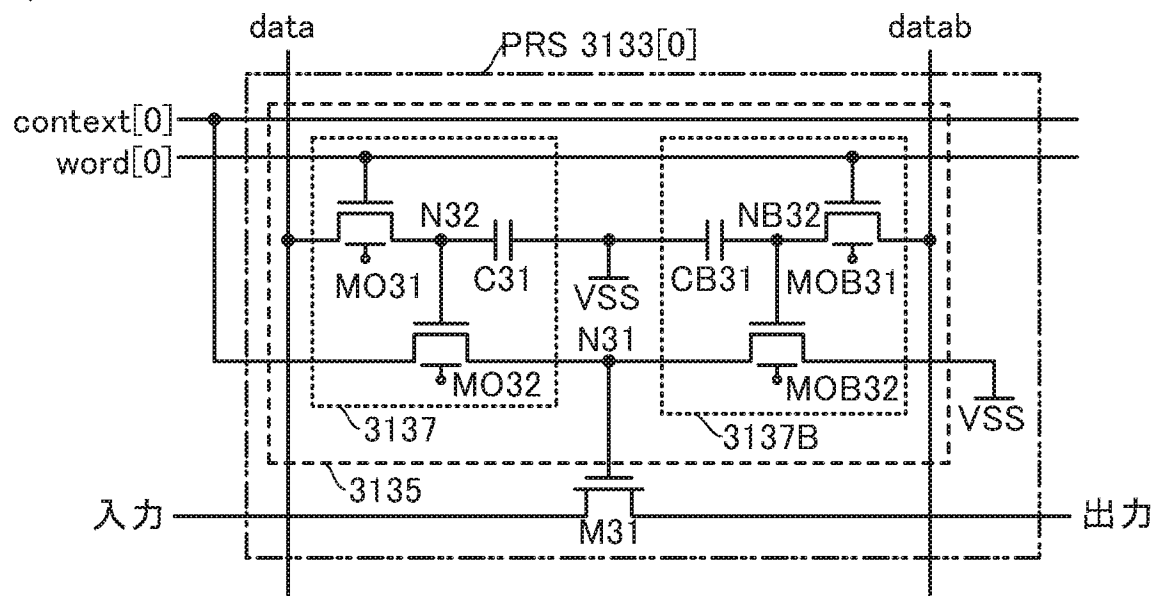
[図28]

28/40

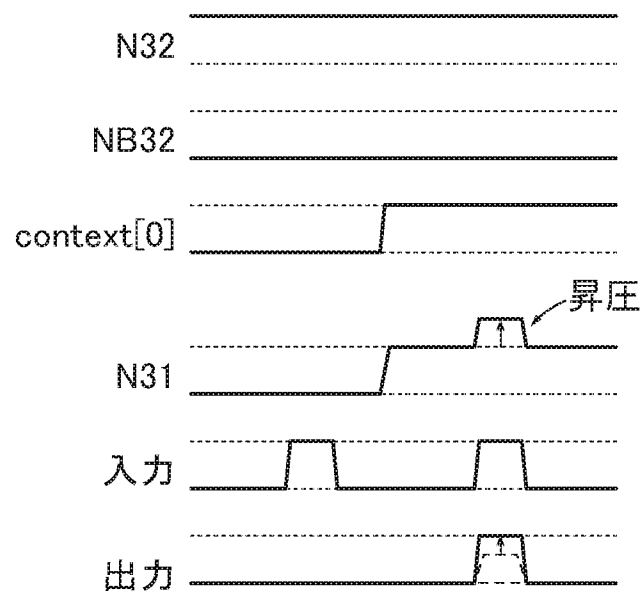
(A)



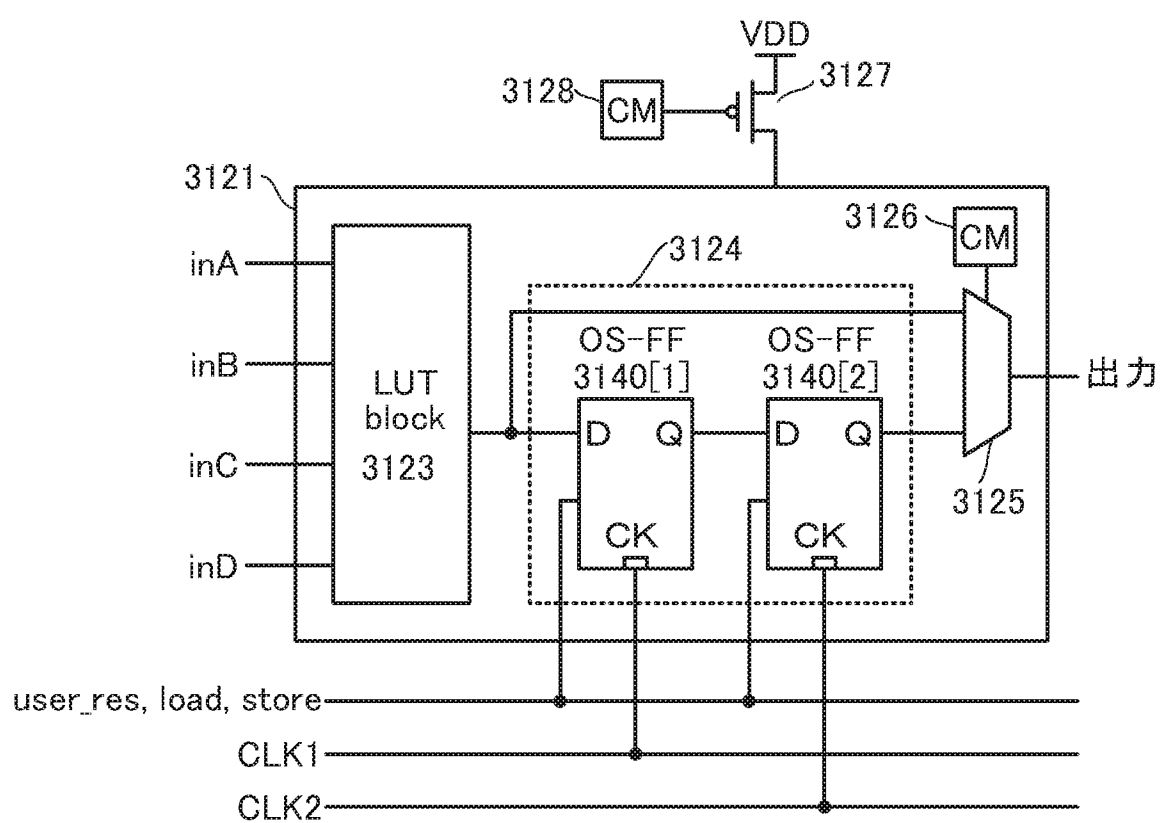
(B)



(C)



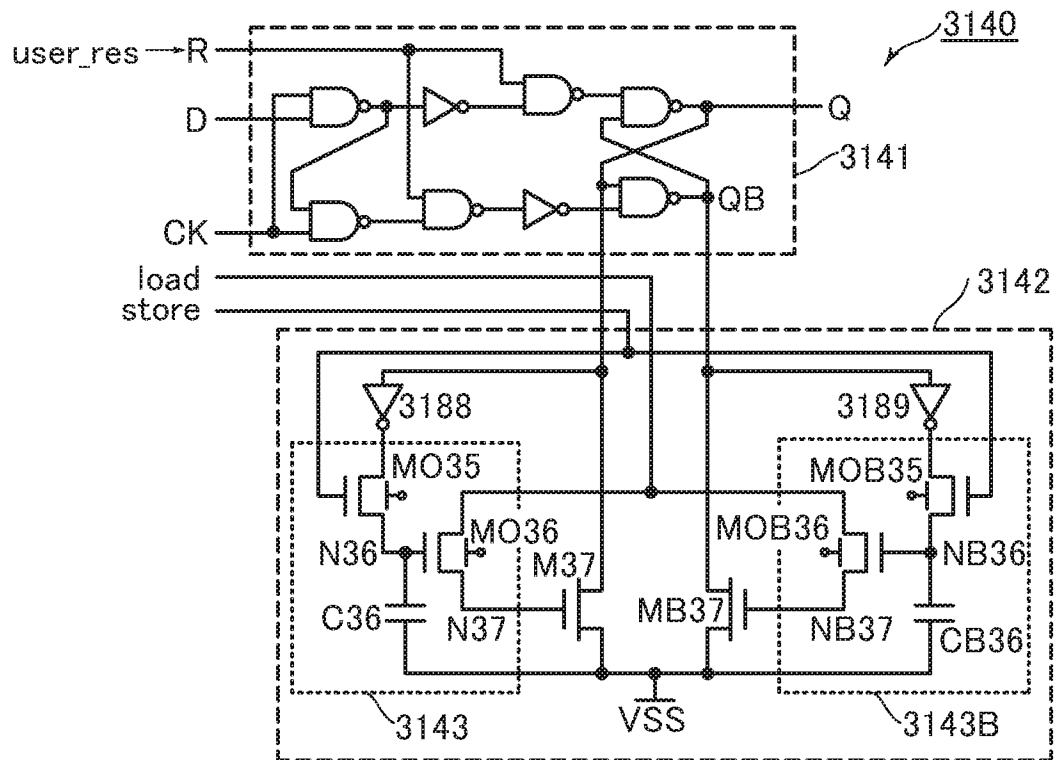
[图 29]



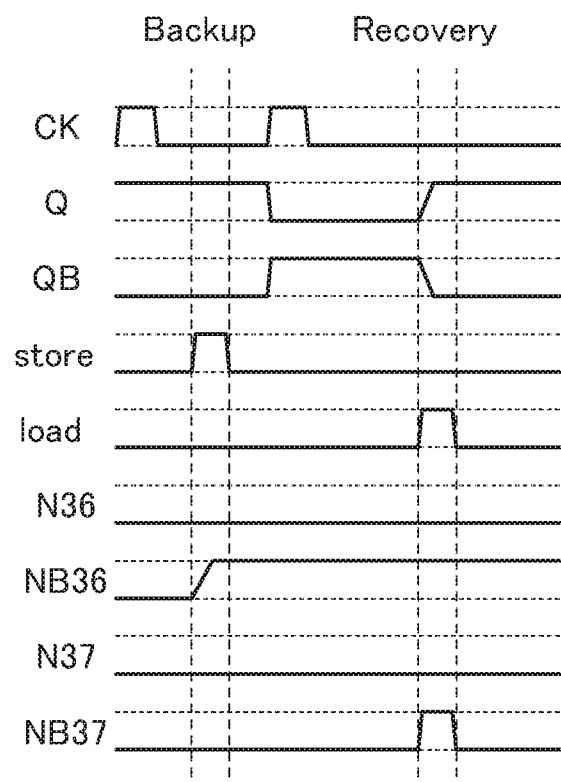
[図 30]

30/40

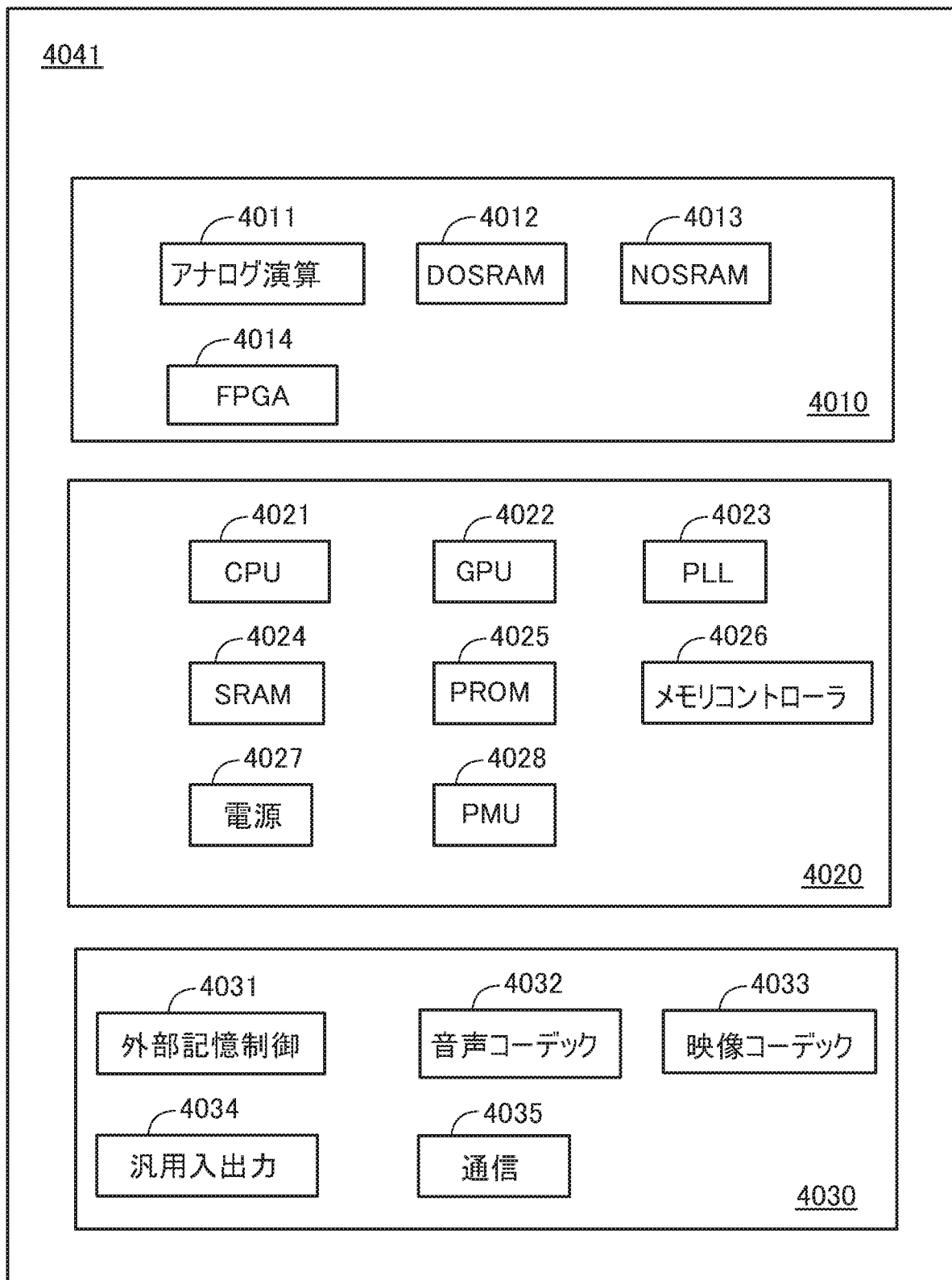
(A)



(B)



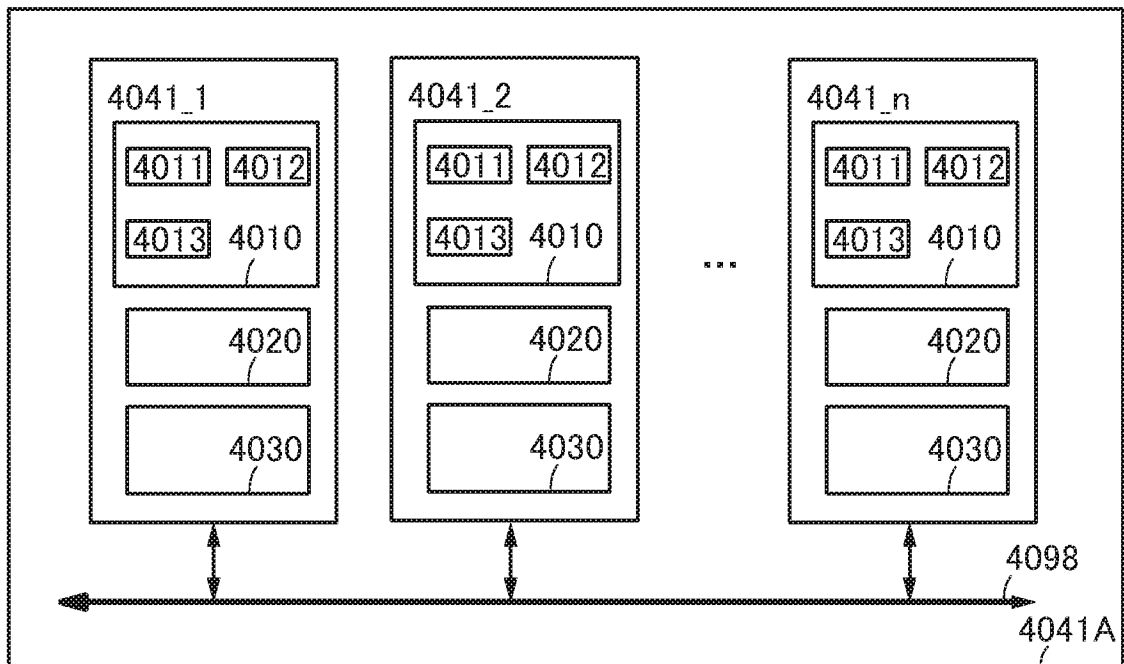
[図31]



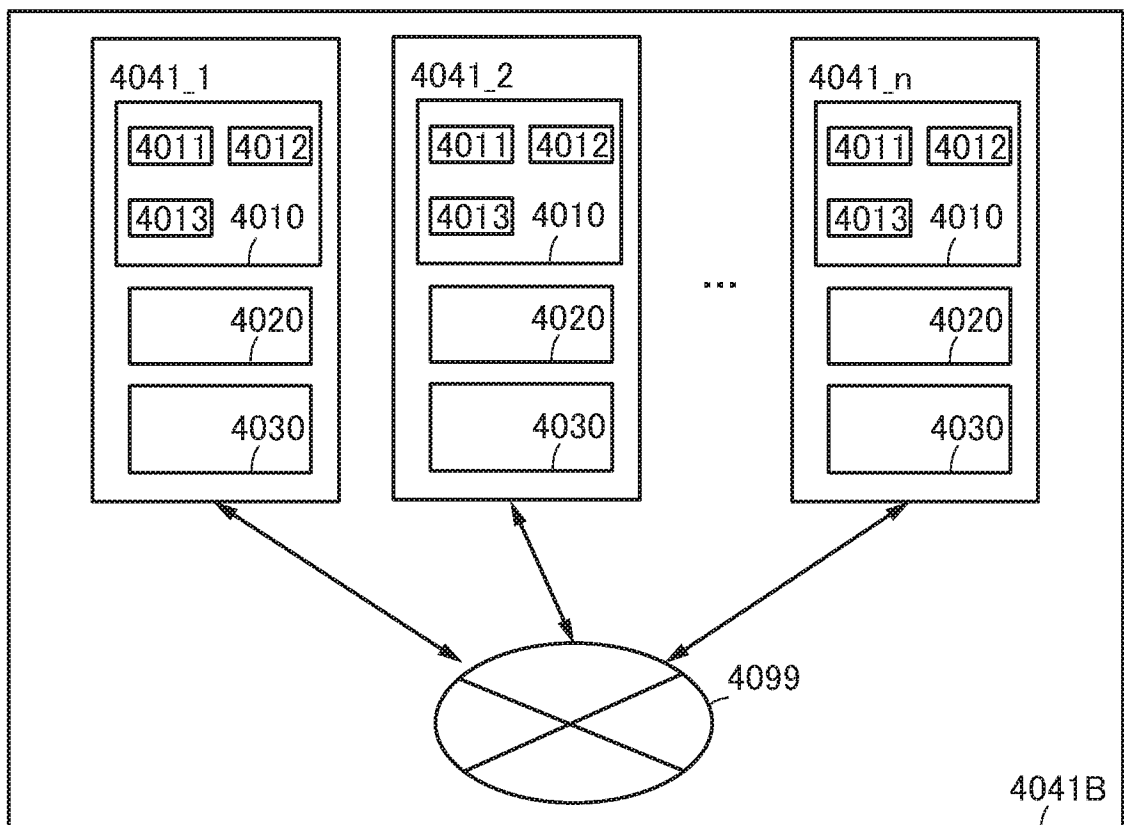
32/40

[図32]

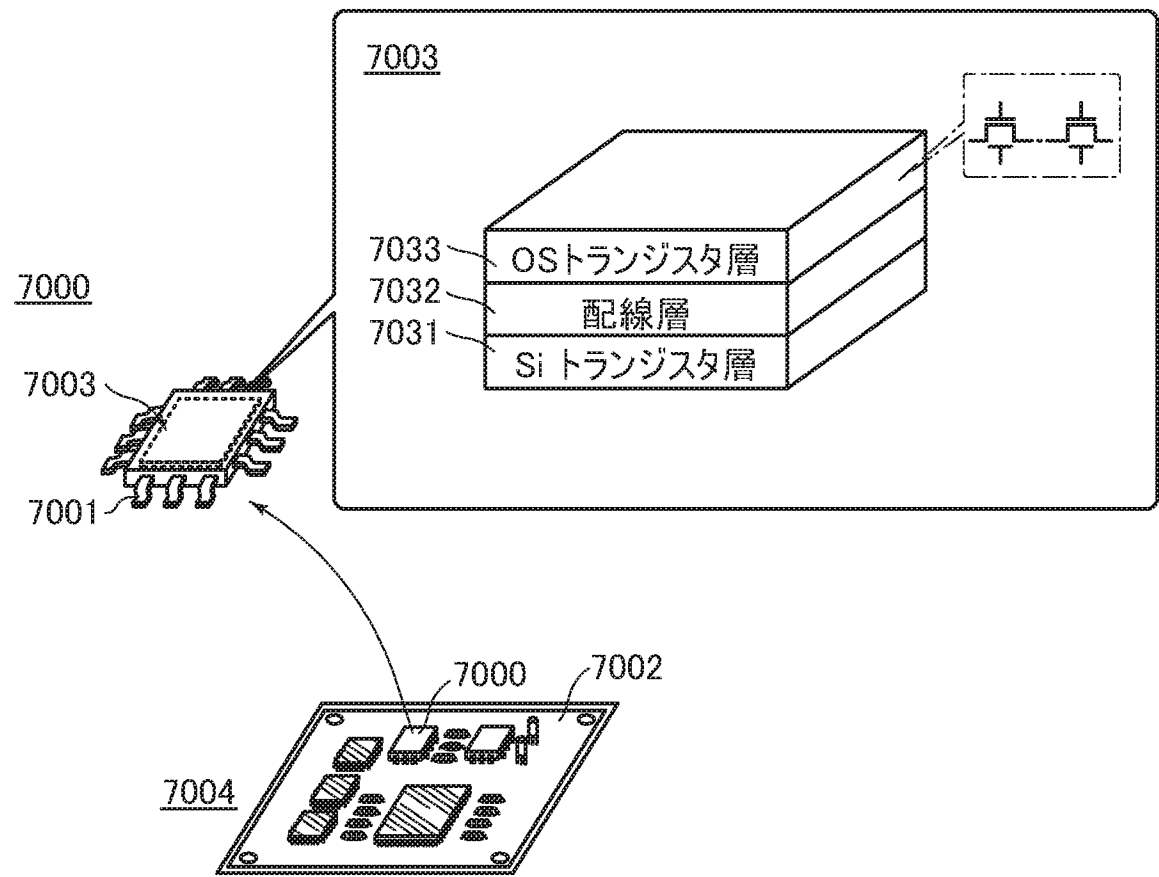
(A)



(B)

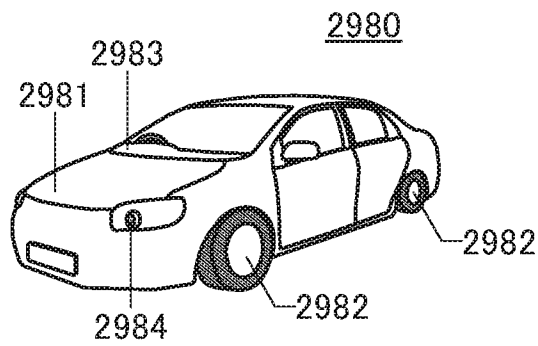


[図33]

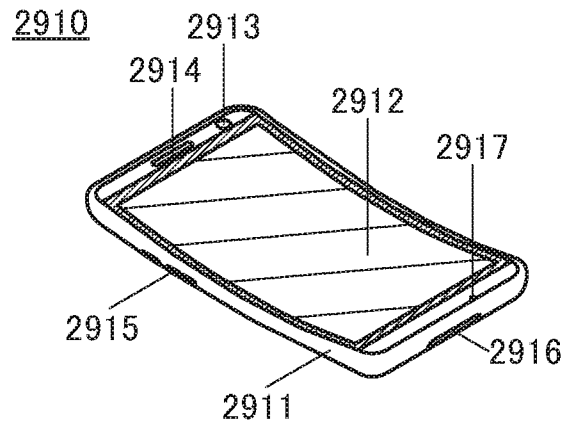


[図34]

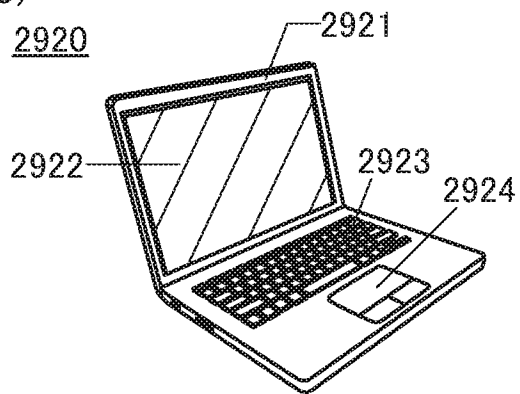
(A)



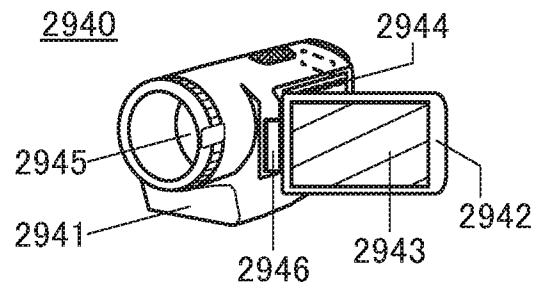
(B)



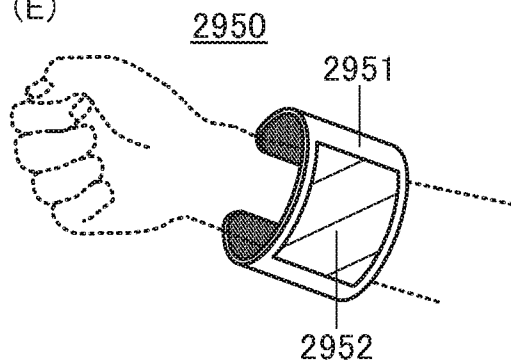
(C)



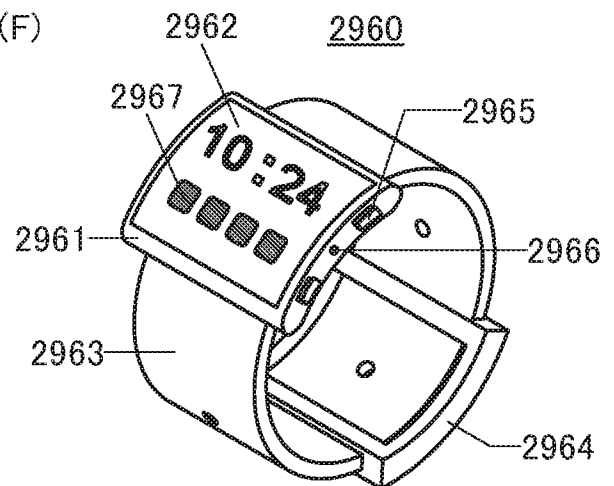
(D)



(E)



(F)

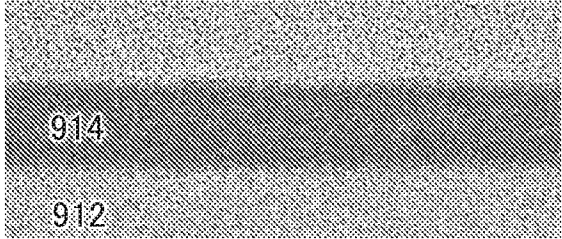
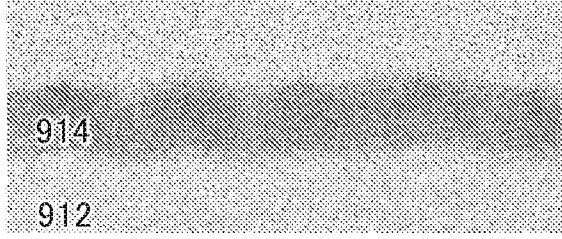
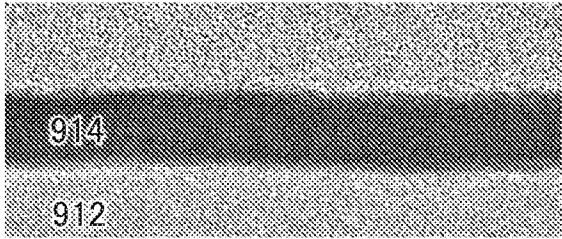
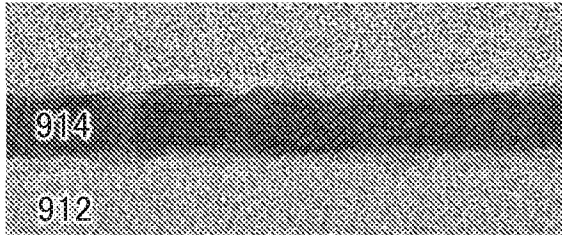
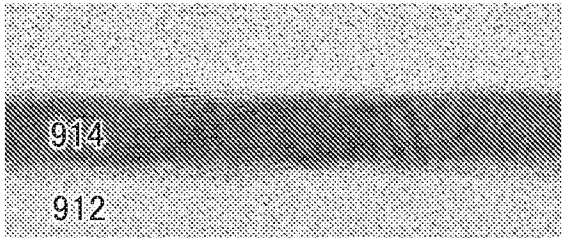
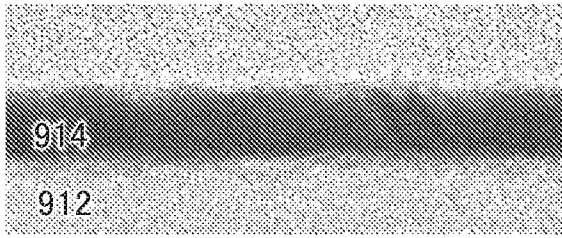
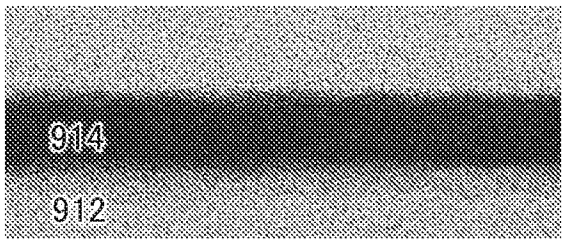
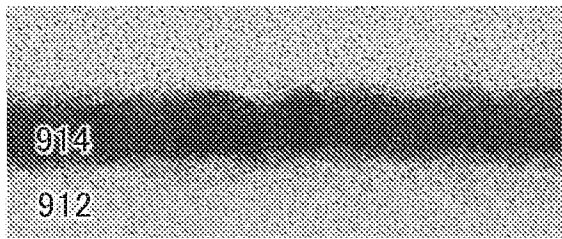


[図35]

35/40

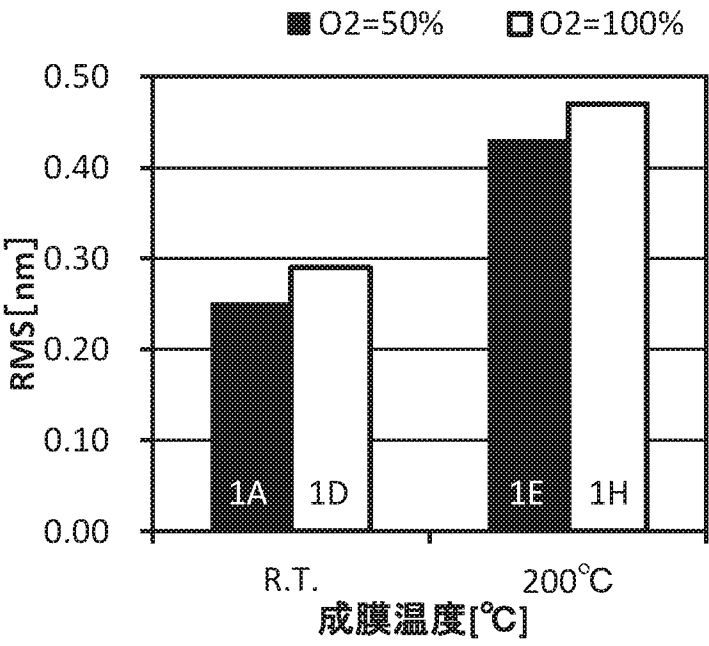
	<u>914</u>
	<u>912</u>
	<u>910</u>

[図36]

		酸素流量比	
		O ₂ =50%	O ₂ =100%
成膜温度	R.T.	試料1A 	試料1E 
	130℃	試料1B 	試料1F 
	150℃	試料1C 	試料1G 
	200℃	試料1D 	試料1H 

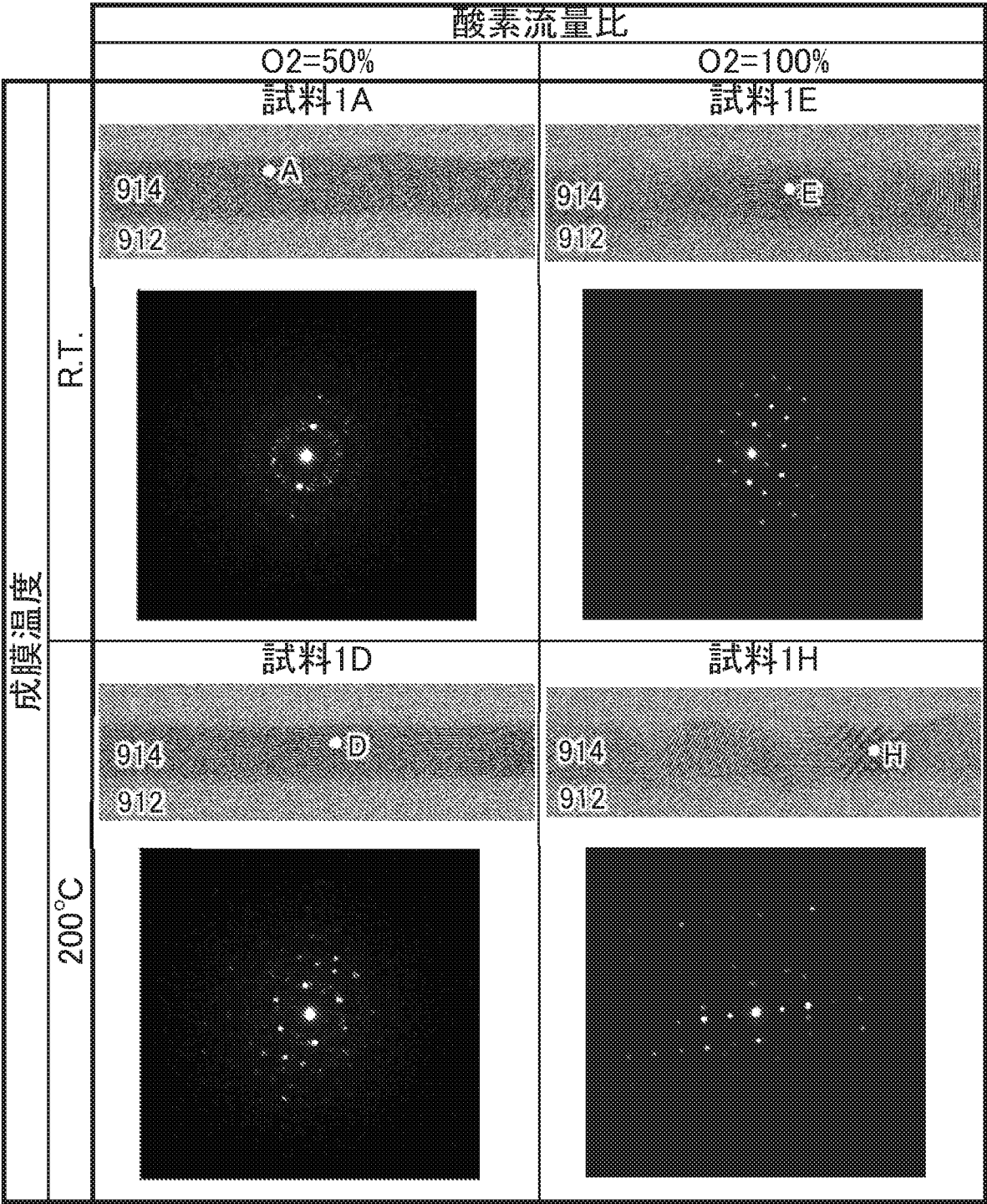
[図37]

37/40



[図38]

38/40

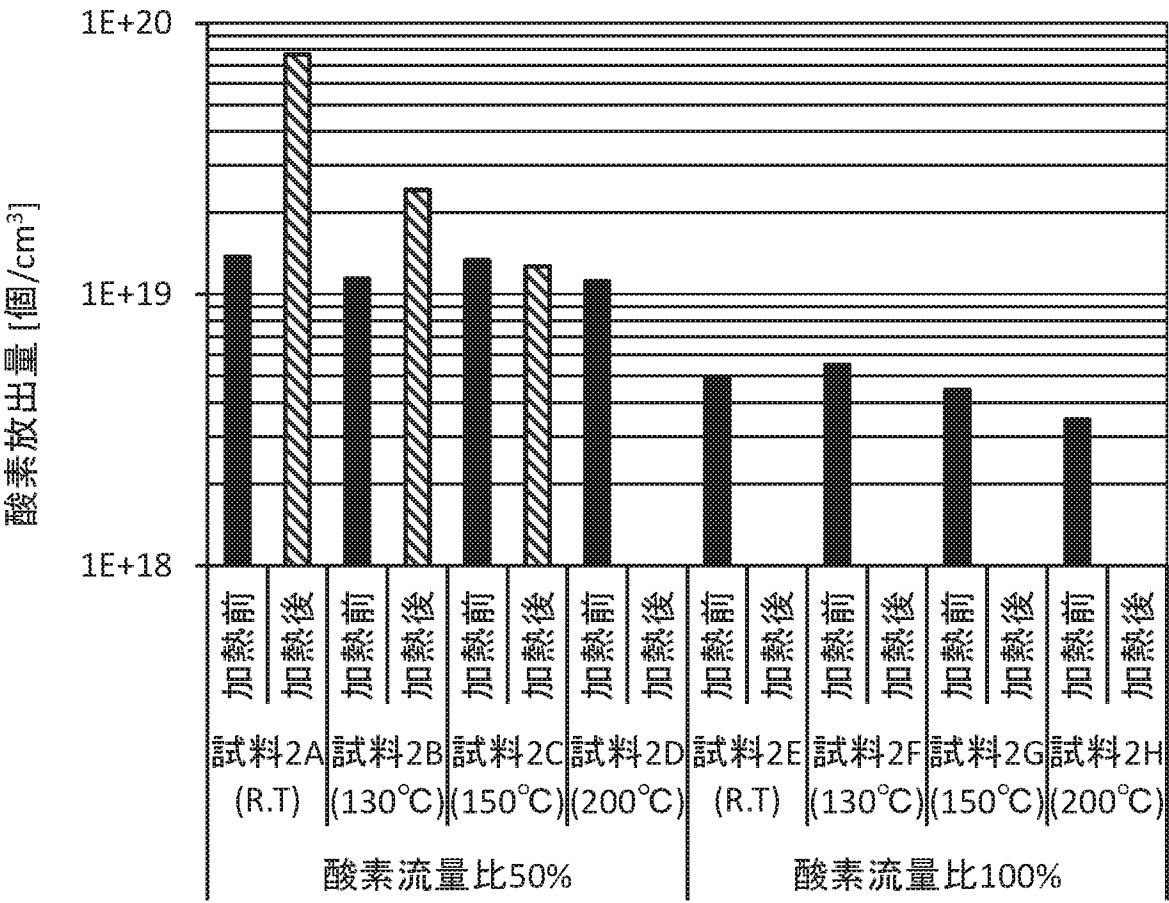


[図 39]

39/40

	<u>924</u>
	<u>922</u>
	<u>920</u>

[図40]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2018/051212

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L29/786 (2006.01) i, H01L21/336 (2006.01) i,
H01L21/8242 (2006.01) i, H01L27/108 (2006.01) i,
H01L27/1156 (2017.01) i, H01L29/788 (2006.01) i, H01L29/792 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L29/786, H01L21/336, H01L21/8242, H01L27/108, H01L27/1156,
H01L29/788, H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2015-032655 A (IDEMITSU KOSAN CO., LTD.) 16	1-2, 4
Y	February 2015, paragraphs [0026], [0034]-[0036], [0043], fig. 1 (Family: none)	3, 5-6
Y	JP 2015-057819 A (SEMICONDUCTOR ENERGY LABORATORY	3
A	CO., LTD.) 26 March 2015, paragraphs [0035]- [0037], fig. 1 & US 2015/0041801 A1, paragraphs [0065]-[0067], fig. 1 & KR 10-2015-0018395 A	1-2, 4-6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 May 2018 (21.05.2018)

Date of mailing of the international search report
29 May 2018 (29.05.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2018/051212

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2013-128106 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 27 June 2013, paragraphs [0046], [0056], [0062]-[0071], fig. 1 & US 2013/0126861 A1, paragraphs [0065], [0075], [0081]-[0090], fig. 1	5-6 1-4
A	JP 2014-179596 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 25 September 2014 & US 2014/0225105 A1 & KR 10-2014-0101681 A & TW 201438243 A	1-6
A	JP 2008-243929 A (IDEMITSU KOSAN CO., LTD.) 09 October 2008 & US 2010/0140599 A1 & TW 200908410 A	1-6

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L29/786(2006.01)i, H01L21/336(2006.01)i, H01L21/8242(2006.01)i, H01L27/108(2006.01)i, H01L27/1156(2017.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L29/786, H01L21/336, H01L21/8242, H01L27/108, H01L27/1156, H01L29/788, H01L29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2015-032655 A（出光興産株式会社）2015.02.16, 段落 0026, 0034-0036, 0043, 図1（ファミリーなし）	1-2, 4 3, 5-6
Y A	JP 2015-057819 A（株式会社半導体エネルギー研究所）2015.03.26, 段落 0035-0037, 図1 & US 2015/0041801 A1, 段落 0065-0067, 図1 & KR 10-2015-0018395 A	3 1-2, 4-6

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

21.05.2018

国際調査報告の発送日

29.05.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/JP）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

棚田 一也

5F

6299

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2013-128106 A (株式会社半導体エネルギー研究所) 2013. 06. 27, 段落 0046, 0056, 0062-0071, 図 1 & US 2013/0126861 A1, 段落 0065, 0075, 0081-0090, 図 1	5-6 1-4
A	JP 2014-179596 A (株式会社半導体エネルギー研究所) 2014. 09. 25, & US 2014/0225105 A1 & KR 10-2014-0101681 A & TW 201438243 A	1-6
A	JP 2008-243929 A (出光興産株式会社) 2008. 10. 09, & US 2010/0140599 A1 & TW 200908410 A	1-6