

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/02 (2006.01)

H01L 29/78 (2006.01)



# [12] 发明专利说明书

专利号 ZL 200480003583.8

[45] 授权公告日 2008 年 4 月 9 日

[11] 授权公告号 CN 100380580C

[22] 申请日 2004.1.29

[21] 申请号 200480003583.8

[30] 优先权

[32] 2003.2.7 [33] JP [31] 030642/2003

[86] 国际申请 PCT/JP2004/000869 2004.1.29

[87] 国际公布 WO2004/070798 日 2004.8.19

[85] 进入国家阶段日期 2005.8.5

[73] 专利权人 信越半导体株式会社

地址 日本国东京都

共同专利权人 大见忠弘

[72] 发明人 大见忠弘 山中秀记 出水清史

寺本章伸 须川成利

[56] 参考文献

EP1174928A1 2002.1.23

JP2001-253797A 2001.9.18

US4768076A 1988.8.30

EP0354449A2 1990.2.14

US5966625A 1999.10.12

JP59-217374A 1984.12.7

JP2000-216378A 2000.8.4

审查员 曹轶乐

[74] 专利代理机构 中科专利商标代理有限责任公  
司

代理人 李香兰

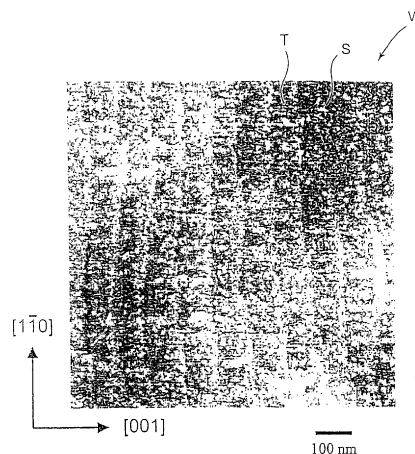
权利要求书 1 页 说明书 14 页 附图 9 页

[54] 发明名称

硅半导体基板及其制造方法

[57] 摘要

本发明是用来制造{110}面的载流子移动度，特别是作为n型FET的载流子的电子的移动度显示出高的值的半导体集成电路元件用的半导体基板，不使用特别的洗净而是使用以往的RCA洗净、或不进行自由基氧化而以原子级使表面平坦化，而提供一减低表面粗糙度的硅半导体基板及其制造方法。本发明是以{110}面或以{110}面倾斜后的面作为主面的硅半导体基板，在其表面具有平均地沿着<110>方向的原子级的阶梯。



1. 一种硅半导体基板，其特征在于：是以{110}面或{110}面倾斜后的面作为主面的硅半导体基板，在其表面具有平均地沿着<110>方向的原子级的阶梯。

2. 如权利要求1所述的硅半导体基板，其特征在于：  
使上述{110}面倾斜后的面是使{110}面朝<100>方向倾斜的面。

3. 如权利要求2所述的硅半导体基板，其特征在于：  
在将上述{110}面朝<100>方向倾斜的面作为主面的硅半导体基板的表面上形成有由外延成长法引起的单结晶薄膜。

4. 如权利要求2所述的硅半导体基板，其特征在于：  
将上述{110}面朝<100>方向倾斜后的面作为主面的硅半导体基板在氢气、氩气、或者氢气和氩气的混合气体气氛中实施热处理。

5. 如权利要求2的硅半导体基板，其特征在于：  
以上述{110}面朝<100>方向倾斜后的面作为主面的硅半导体基板朝<100>方向的倾斜角度为 $0^{\circ}$ 以上、小于 $8^{\circ}$ 。

6. 如权利要求1的硅半导体基板，其特征在于：  
将定向用平面或缺口形成在<110>方向。

7. 一种硅半导体基板，其特征在于：是一种将{110}面朝<100>方向倾斜后的面作为主面的硅半导体基板，对其表面实施镜面研磨，并且以上述{110}面朝<100>方向倾斜后的面作为主面的硅半导体基板朝<100>方向的倾斜角度为 $0^{\circ}$ 以上、小于 $8^{\circ}$ 。

8. 一种硅半导体基板的制造方法，其特征在于：  
制作出以{110}面朝<100>方向倾斜的面作为主面的硅半导体基板，通过由外延成长法让硅单结晶薄膜在其表面上成长而制造出如权利要求2所记载的硅半导体基板。

9. 一种硅半导体基板的制造方法，其特征在于：  
制作出以{110}面朝<100>方向倾斜后的面作为主面的硅半导体基板，通过将该硅半导体基板在氢气、氩气、或者氢气和氩气混合气的气氛中实施热处理而制造出如权利要求2所记载的硅半导体基板。

## 硅半导体基板及其制造方法

### 技术领域

本发明是涉及一种被使用在半导体集成电路元件的制造中的单晶硅半导体基板及其制造方法。

### 背景技术

针对于利用单结晶硅晶片所制造出来的 MIS·FET(Metal-Insulator - Semiconductor Field Effect Transistor)的栅绝缘膜要求具备低漏电流特性、低界面能级密度、对于离子注入的高耐性等的高性能电气特性与高可靠性。而能满足该些要求的栅绝缘膜形成技术的主流则是一利用热氧化法的二氧化硅膜(也包括只称为氧化膜的情形)的形成技术,亦即,所谓的 MOS·FET(Metal-Oxide-Semiconductor Field Effect Transistor),而可以由该热氧化法而得到良好的氧化膜硅界面特性、氧化膜耐压特性、漏电流特性者则是将以{100}作为主面的硅晶片作为基板的情形。而以其他以外的{110}或{111}面作为主面的硅晶片的所以不用作集成电路元件的基板的主要的理由是因为在{110}面以及{111}面所形成的氧化膜的界面能级密度高的原因。当界面能级密度愈高时,则氧化膜的耐压特性以及漏电流特性等的电气特性会愈恶化。

因此,在形成有 MOS·FET 的硅晶片基板中,到目前为止使用{100}面的晶片、或从{100}倾斜 4°左右的晶片。

但是对于{100}面的半导体元件而言,相较于 n 型 FET, p 型 FET 的电流驱动能力,亦即,载流子(carrier)移动度约为 0.3 倍而会有问题。近年来开发出对于硅晶片的表面的面方位不具有关连性的形成品质良好的绝缘膜的方法,亦即,自由基(radical)氧化法、或自由基氮化法(2000 Symposium on VLSI Technology, Honolulu, Hawaii, June13-15, 2000

“Advanced of Radical Oxidation for Improving Reliability of Ultra-Thin Gate Oxide”)。若使用该方法，即使是针对{100}以外的面也能够形成品质良好的绝缘膜。

因此，使用 MOSFET 的沟道(channel)方向的载流子移动度有可能变高的{110}面作为主面的硅半导体基板可以提高半导体集成电路元件的实现性。本发明人等则制作出以{110}面作为主面的半导体元件而进其特性的评估可得到各种的知识。

该 p 型 FET 的电流驱动能力相较于{100}虽然是上升约 2.5 倍，但 n 型 FET 的电流驱动能力大约会降低到 0.6 倍而成为与期待相反的结果。若是将该 n 型 FET 的电子移动度设成与{100}面的电子移动度相等，或更高，则可以使得利用{110}面的半导体集成电路元件实用化而广泛地来使用。

载流子移动度则受到杂质散乱、声子(phonon)散乱(栅格振动散乱)，表面粗糙度散乱的影响。当受到该些散乱的影响大时，则载流子移动度会降低。{100}面的电子移动度则受到硅表面的粗糙度很大的影响，很清楚的粗糙度愈差则电子移动度愈降低。(T.Ohmieta1.: IEEE Trans.Electron Devices, V0l.137, p537: 1992)。之后则提出以下 2 种的方法作为用来减低表面粗糙度的方法。亦即，(1)针对处于含有氧自由基的氛围气下的半导体基板表面形成氧化膜(M.Nagamineetal., IEDM Tech.Dig.p.593, 1998)以及(2) RCA 洗净(W.Kerneta1.: RCA Review, v0l.31, p.187, 1970)以外的基板表面的洗净方法。

(1)在自由基氧化中，由于作为氧化种子的氧自由基附着在硅表面的突出部的概率高，且加上  $O^+$  或  $O_2^+$  的氧离子会被带负电的突起部所拉近的效果显著，可以认为通过使突起部优先地被氧化可以减低表面粗糙度。在以往的干燥氧气的氛围气的氧化虽然会造成 20%左右的表面粗糙度的恶化，但是在自由基氧化中可以减低 40%左右的表面粗糙度。

另外，(2)的洗净方法已经公开在特开平 11-057636 号公报。由于以往所广泛使用的 RCA 洗净的以碱性液所实施的洗净工序会让表面的粗糙度(roughness)恶化，因此公开于特开平 11-057636 号公报中的洗净是一不含有碱性液的洗净工序，且具有与 RCA 洗净同等以上的除去粒子、除了

有机物污染、除去金属杂质的能力。该新的洗净工序由于是由 5 个的工序所构成，因此在本说明书中以下则简称为 5 工序洗净。

在 RCA 洗净的含有碱性液的洗净工序中会让表面粗糙度恶化的理由在于 Si-Si 结合的弱的部分会因为氢氧离子(OH 离子)而优先地被蚀刻。

在用来减低表面粗糙度的上述 2 个方法中，(1)的自由基氧化法是一减低表面粗糙度的方法，(2)的 5 工序洗净与其说它是一种减低表面粗糙度的方法，不如说是一种由 RCA 洗净来抑制变粗的量的方法。实际上以往由 RCA 洗净会恶化 50%左右的情形由 5 工序洗净可以使其停留在 0%到 10%的恶化程度。

由于自由基氧化法可减低表面粗糙度，因此在形成栅氧化膜之前由反覆实施自由基氧化可以减低表面粗糙度，但是如此的反覆实施也有问题。自由基氧化是在 300°C-500°C 左右的低温下进行，在此温度下形成氧施主(donor)而导致基板内部的电阻率发生变化。当在 500°C 以上进行氧化时，则在基板表层会形成氧析出核且会成长，因此成为一造成破坏漏电流及栅氧化膜的绝缘的原因。

减低硅半导体基板的表面粗糙度则是依据原子级(level)使表面平坦化。具有某特定的结晶面而经过镜面研磨且洗净的硅晶片的表面，若是依据原子级来看时则存在有无数的凹凸，而此就是被称为微粗糙度(mircoroughness)的表面粗糙度的主要原因。而此是由与切出面不同的微小平面(microfacet)会因为在研磨或洗净中的药液与硅表面的化学反应而多数出现在表面所形成。

在{111}面所切出的硅晶片，由于{111}面本身为小平面(facet)，因此容易依据原子级而形成平坦的面。Y.J.Chabal 则发表通过以氟化铵水溶液来洗净而以氢原子终结(terminate)表面硅原子的悬吊键(没有共有结合的对象)的结合键而让其稳定化而可依据原子级使其平坦化(Y.J.Chabal et al., J.Vac.Sci.& Technol.,vol.A7, PP.2104, 1989)。

另外，很清楚的让{111}面朝[112]或[112]方向只稍微倾斜数度，通过以氟化铵水溶液加以洗净而根据原子级形成阶梯(step)与台面(terrance)，而能够依据原子级使其平坦化(H.Sakaue et al., Appl.Phys.Lett.vol.78, p.309, 2001)。但是对于最广泛被使用的{100}

面的基板，则没有只通过洗净即能够针对经过镜面研磨的基板实现原子级的平坦化的报告。

对于在稍微倾斜的{100}面作外延(epitaxial)成长的外延的硅半导体基板，则有由形成阶梯与台面来减低表面粗糙度的报告(K.Izunome et al.: Jpn.J.Appl.Phys.vol.31, PPL1277, 1992)。又也在氢气氛围气下由进行高温热处理而在硅半导体基板形成阶梯与台面而减低表面粗糙度的报告(O.Vatel et al.: Jpn.J.Appl.Phys.vol.32,PPL1489, 1993)。但是，针对本发明人等所关注的{110}面却没有原子级的平坦化的报告。

对于在超高真空下由加热处理使{100}面平坦化的情形则有许多的报告。但是对于200mm以上的大直径硅基板，由于其热处理炉大型化而导致生产性降低，因此很难导入到硅基板制作工序。

从制造，供给硅半导体基板的观点来看，由上述自由基氧化来改善表面粗糙度会导致工序增加而使得生产性降低。在现状的硅基板制造工序中，在经过镜面研磨后一般会有实施RCA洗净的工序。以下将经过研磨，洗净处理的硅半导体基板称为镜面研磨硅半导体基板。而包含外延硅半导体基板等在内总称为硅半导体基板。当以均方根粗糙度(root-mean-square roughness: Rms)来表示镜面研磨硅半导体基板的表面粗糙度时则为0.12nm左右。制造半导体集成电路元件的设备制造商而言，则在放入硅半导体基板后实施RCA洗净。如上所述，当实施RCA洗净时，一般而言表面粗糙度会恶化。

因此，在设备制造商处的经RCA洗净的硅半导体基板的一般的Rms为0.18nm左右。为了要在该基板形成栅氧化膜，当在以往的干燥氧氛围气下要形成5nm左右的氧化膜时，位于其界面的Rms会恶化到0.22nm。另一方面，在经上述的自由基牺牲氧化后由自由基氧化而形成5nm左右的氧化膜时的Rms成为0.08nm左右，而能够大幅地减低表面粗糙度。将该自由基牺牲氧化的工序导入硅半导体基板制造商虽然是一种减低表面粗糙度的方法，但如上所述会导致工序增加而使得生产性降低。因此就制造使用在半导体集成电路元件制造上的硅半导体基板的立场而言，则不需要实施自由基氧化等的牺牲氧化或特别的洗净，而需要制造出减低表面粗糙度的硅半导体基板。

## 发明内容

本发明的目的在于提供一种用以制造{110}面的载流子移动度，特别是作为 n 型 FET 的载流子的电子的移动度显示出更高的值的半导体集成电路元件用硅半导体基板的方法，不使用如上述的 5 工序洗净那样的特别的洗净而是使用以往的 RCA 洗净，或不进行自由基氧化而依据原子级 (level) 使得表面平坦化而减低表面粗糙度的硅斗；导体基板及其制造方法。

为了要达到上述的目的，本发明的硅半导体基板的第 1 方式的特征则是以{110}面或让{110}面倾斜的面作为主面的硅半导体基板，在其表面具有平均地沿着<110>方向的原子级的阶梯。让上述{110}面倾斜的面最好是一该{110}面朝<100>方向倾斜的面。

将以{110}面或让{110}面倾斜的面作为主面的硅半导体基板使用在半导体集成电路元件中的最大的优点在于 p 型 FET 的空穴移动度在<110>方向，相较于{100}面的情形大约高了 2.5 倍。因此，在那些硅半导体基板中的 n 型 FET 电子移动度，在已提高到{100}面的电子移动度以上的半导体集成电路元件中，通过将电子与空穴流动的沟道(channel)方向设在<110>方向，更加可实现电路元件的微细化。但是在以在<110>方向不具有原子级的阶梯的{110}面作为主面的硅半导体基板中，表面粗糙度不会成为{100}面的表面粗糙度以下，而其电子移动度较{100}面的电子移动度为小。

为了要减低表面粗糙度，则必须实施原子级的表面平坦化。通过在表面形成阶梯(step)，可以在阶梯之间形成台地 (terrace)，该台地面则成为原子级的平坦的面。若将阶梯的边缘设成<110>方向，则流向<110>方向的载流子会流经平坦的台地面正下方，或是不会受到因为阶梯的阶梯差所造成的散乱而流动，而能够减低因为表面粗糙度所造成的散乱的影响而能够实现高的移动度。此外，阶梯的边缘，以原子级来看并不成为直线而是具有数原子的凹凸，而将该部分称为纽结(kink)部。因此，所谓沿着<1110>方向的阶梯，若是以微测器级数平均来看，则意味着沿着

<110>方向的阶梯。

本发明的硅半导体基板的第1方式,则可以由外延成长法在以让{110}面朝<100>方向倾斜的面作为主面的硅半导体基板的表面形成硅单结晶薄膜。由该外延成长法而在表面形成硅单结晶薄膜的硅半导体基板,换言之,是外延硅半导体基板,以下则将此称为本发明的外延硅半导体基板。

硅半导体基板的外延成长则是根据可一边将硅原子堆积在位于台地上的阶梯的纽结部(kink)而一边让阶梯作2维地成长的模型来说明。主面没有微倾斜且经过研磨·洗净处理的{110}面的镜面研磨硅半导体基板的表面,则在通常的RCA洗净中不形成台地与阶梯而存在有无数的微小平面(micro facet)而此则是造成表面粗糙度恶化的主要原因。当在其表面进行外延成长时,则无数的微小平面(micro facet)会担当纽结(kink)的角色而使得硅原子的堆积得以均匀。因此不能形成朝向<110>方向的阶梯与台地。

但是本发明的外延硅半导体基板,在进行外延成长之前的镜面研磨硅半导体基板的主面,则不管是否是已经稍微倾斜的面的微斜面,虽然未观察到台地与阶梯,但是硅原子在其表面作外延成长时,则在该成长过程中会形成台地与阶梯,因为台地表面是原子级平坦,所以可以改善表面粗糙度。经过稍微倾斜的镜面研磨硅半导体基板则含有潜在地形成台地与阶梯的主要原因。通过将稍微倾斜的方向设成本发明的<100>方向,可平行于作为载流子流动方向的<110>方向出现阶梯,而载流子可在作为阶梯之间的平坦的面的台地地面的正下方流过。因此载流子不会因为阶梯的阶梯差而产生散乱。

本发明的硅半导体基板的第1方式,可以将以让{110}面朝<100>方向倾斜的面作为主面的硅半导体基板在氢气、或氩气、或该些的混合气体氛围气下实施热处理(以下也有将该硅半导体基板称为热处理硅半导体基板)。在氢气或氩氟,或该些的混合气体氛围气下以高温经过热处理的微倾斜{110}面硅基板,通过以高温处理使表面的硅原子作再配列,可以在其表面形成阶梯与台地。通过将微倾斜的方向设为<100>方向,则平行于作为载流子流动的方向的<110>方向会出现阶梯,而能够使载流子在作

为阶梯间的平坦的面的台地面正下方流动。因此，载流子不会因为阶梯的阶梯差而产生散乱。

本发明的硅半导体基板的第 2 方式的特征是一以让{110}面朝<100>方向倾斜的面作为主面的硅半导体基板，而针对其表面实施镜面研磨(以下也有将该硅半导体基板称为镜面研磨硅半导体基板。如上所述，对于让{110}面朝<100>方向稍微倾斜而经实施研磨·洗净处理的硅基板虽然未形成阶梯与台地，但通过针对该基板实施外延成长或是在氢气或氩气氛围气下实施热处理可以形成阶梯与台地，因此在硅基板的表面会内含形成阶梯与台地的主要原因。在用于形成半导体集成电路元件的初期工序的洗净工序及热处理工序中可以形成阶梯与台地。

本发明的硅半导体基板中的微倾斜角度最好是 $0^{\circ}$ 以上、 $8^{\circ}$ 以下。让{110}面朝<100>方向倾斜 $8^{\circ}$ 后的面则成为另外的低指数面{551}面，为了要在该表面形成阶梯与台地，则必须让{551}面稍微地倾斜。因此，最好是在 $8^{\circ}$ 以下。当微倾斜角度变大时，则台地宽度会变小，而阶梯的密度变高。由于{110}面的单原子层阶梯的阶梯差为 $0.192\text{nm}$ ，因此在 $8^{\circ}$ 时的计算上的台地宽度为 $1.36\text{nm}$ ，而由于 2 原子阶梯的阶梯差为 $0.394\text{nm}$ ，因此台地宽度成为 $2.73\text{nm}$ ，而台地宽度与阶梯的阶梯差成为同一数量级(order)。当阶梯的密度变高时，则纽结(kink)密度地会变高，而很难由阶梯作 2 维外延成长，而无法形成朝向特定的方向的阶梯与台地。之所以包含 $0^{\circ}$ 则是导因于装置精度。当从结晶晶棒切断成晶片时，即使是设定为 $0^{\circ}$ ，但由于切断机与方位测量机的精度的问题，一般上实际上具有 10 分左右的误差。因此，即使称为 $0^{\circ}$ 的晶片，也极少完全成为 $0^{\circ}$ 。

本发明的硅半导体基板，最好将定向用平面(orientation flat)或缺口(notch)形成在<110>方向。通过设成如此的构造，对于从结晶晶棒所切出的晶片的表背面，其倾斜方向成为同一方向，由于不需要进行晶片的表背面管理，因此可以排除弄错表背面的危险性。

本发明的另一种硅半导体基板，是一种将{110}面朝<100>方向倾斜后的面作为主面的硅半导体基板，对其表面实施镜面研磨，并且以上述{110}面朝<100>方向倾斜后的面作为主面的硅半导体基板朝<100>方向的倾斜角度为 $0^{\circ}$ 以上、小于 $8^{\circ}$ 。

本发明的硅半导体基板的制造方法的第 1 方式：其特征是：制作出以让{110}面朝<100>方向倾斜的面作为主面的硅半导体基板，通过以外延成长法让硅单结晶薄膜在其表面成长而制造出上述本发明的第 1 方式的硅半导体基板。

本发明的硅半导体基板的制造方法的第 2 方式，其特征在于：制作出以让{110}面朝<100>方向倾斜的面作为主面的硅半导体基板，通过将硅半导体基板在氢气、或氩气或这些混合气体气氛中实施热处理而制造出上述本发明的第 1 方式的硅半导体基板。

## 附图说明

图 1 为表示实施例 1 的外延硅半导体基板，当倾斜角为  $0.1^\circ$  时被形成在表面的阶梯与台地的状态的 AFM 像。

图 2 为图 1 的模式图。

图 3 为表示实施例 1 的外延硅半导体基板，当微倾斜角为  $7.9^\circ$  时被形成在表面的阶梯与台地的状态的 AFM 像。

图 4 为图 3 的模式图。

图 5 为本发明的氢气热处理硅半导体基板，当微倾斜角为  $0.1^\circ$  时被形成在表面的阶梯与台地的状态的 AFM 像。

图 6 为图 5 的模式图。

图 7 为表示本发明的硅半导体基板，通过将定向用平面(orientation flat)附加在<110>方向而成为表背面等效的情形的说明图。

图 8 为表示硅半导体基板，当将定向用平面附加在<100>方向时不成为表背面等效的情形而必须进行表背面管理的说明图。

图 9 为表示实施例 1 的本发明的外延硅半导体基板与镜面研磨硅半导体基板的表面粗糙度(Rms)的微倾斜角度相关性的说明图。

图 10 为表示实施例 2 的本发明的氢气热处理硅半导体基板与镜面研磨硅半导体基板的表面粗糙度(Rms)的微倾斜角度相关性的说明图。

## 具体实施方式

以下虽然是根据所附的图面来说明本发明的实施方式，但图所示的例子只是一个例子而已，当然只要是不脱离本发明的技术思想，当然可以作各种的变更。

首先，请参照图 1~图 6 来说明本发明的硅半导体基板。图 1 表示将{110}面朝<100>方向倾斜  $0.1^\circ$  的本发明的外延硅半导体基板 W 的

AFM(Atomic Force Microscope)像, 图 2 表示其模式图, 图 3 为将{110}面朝<110>方向倾斜 7.9°的本发明的外延硅半导体基板 W 的 AFM 像, 图 4 为其模式图, 图 5 为将{110}面朝<110>方向倾斜 0.1°之氢热处理硅半导体基板 W 的 AFM 像, 图 6 为其模式图。

本发明的硅半导体基板 W 是一以{110}面或让{110}面倾斜的面当作主面, 而在其表面具有沿着<110>方向的原子级(level)的阶梯(stop)S(图 1~图 6 的图示例为一以让{110}面倾斜的面作为主面的情形)。

为了要减低硅半导体基板 W 的表面粗糙度则必须原子级(level)的表面平坦化。通过在硅半导体基板 w 的表面形成阶梯(stop)S 而在阶梯 S 之间形成台地(terrace)T, 而在该台地面, 是原子级平坦的面。若使阶梯 S 的边缘成为<110>方向时, 则通过朝<110>方向流动的载流子沿着平坦的台地面 T 正下方流下或是由阶梯 S 的阶梯差在不受到散乱的影响的情形下而流动, 可以减低受到因为表面粗糙度所造成的散乱的影响而能够实现高的移动度。此外, 阶梯 S 的边缘, 则在原子级来看并不成为直线但是具有相当于数原子的凹凸, 该部分称为纽结(kink)部。因此?所谓的沿着<110>方向的阶梯 S 则意味着以测微器级数(micrometerorder)平均地来看沿着<110>方向的阶梯 S。

为了要提高在{110}面或让{110}面倾斜的面上所形成的半导体集成电路元件的载流子移动度, 则载流子所流动的<110>方向的表面的原子级必须要是平坦的。对于以{110}面或让{110}面倾斜的面作为主面的硅半导体基板而言, 若在其表面平均地在<110>方向形成阶梯(step)时, 则可以沿着<110>方向让载流子流经出现在阶梯之间而为平坦的面的台地面的正下方。本发明的外延硅半导体基板, 由于是沿着<110>方向形成阶梯, 因此是一由外延成长而在以让{110}面朝<100>方向倾斜的面作为主面的镜面研磨硅半导体基板表面上形成硅单结晶薄膜。

接着请参照图 7 来说明在主面为让{110}面朝<100>方向倾斜的面的硅半导体基板中, 将定向用平面(flat)或缺口(notch)形成在<110>方向的情形。图 7 为表示本发明的硅半导体基板中通过将定向用平面(orientation flat)附设在<100>方向而成为表背面等效的情形的说明图。本发明的效果之一则是不需要对硅半导体基板的表背面进行管理。图 7 是表示以硅半

导体基板 W 的{110}面为代表而作为(110)面，而在 $[\bar{1}10]$ 方向形成定向用平面 OF(由于以下的缺口的情形亦相同，因此以定向用平面作代表)的情形。当让与(110)面垂直的[110]轴(箭头 OA)朝[001]方向倾斜的情形，而新的轴在图中成为箭头 OA'，由此，主面则成为一与新的轴 OA'呈垂直的面。当将晶片的表背面翻转而研磨背面侧时，则倾斜方位成为在晶片下面侧所示的箭头 OA''，而倾斜方位相对于定向用平面 OF 成为同一方向。换言之，以定向用平面 OF 作为基准，倾斜方位相对于晶片的表背面翻转成为同一方向。因此，在硅半导体基板的制造工序中，并不必实施表背面的管理，可以提供一以定向用平面 OF 作为基准，而在结晶上具有等价的构造的硅半导体基板。

为了比较，图 8 则表示将硅半导体基板 W 的定向用平面 OF 形成在[001]方向的情形。而与图 7 同样地，当让与(110)面呈垂直的[110]轴(箭头 OA)朝[001]方向倾斜的情形，新的轴在图中成为箭头 OA'，因此，主面成为一与新的轴 OA'垂直的面。当将晶片的表背面翻转而研磨背面侧时，则倾斜方位成为晶片下面侧所示的箭头 OA''，而倾斜方位成为一相对于定向用平面 OF 旋转 180 度的方向。在某一晶片虽然倾斜方位是朝着定向用平面的方向([001])，但在其他的晶片，则成为与定向用平面的方向([001])呈相反侧。因此，在以定向用平面作为基准来排整硅半导体基板的方向而实施各种的处理来制作半导体元件的元件制造工序中，则混合有倾斜方向呈 180 度不同的晶片，而无法制作出显示同一特性的元件。

本发明的硅半导体基板的制造方法的第 1 方式是制作以让{110}面朝<100>方向倾斜的面作为主面的硅半导体基板，通过外延成长法让硅单结晶薄膜在其表面上成长而制造本发明的硅半导体基板的方式。

本发明的硅半导体基板的制造方法的第 2 方式则是制作以让{110}面朝<100>方向倾斜的面作为主面的硅半导体基板，通过将该硅半导体基板在氢气、或氩气、或该些的混合气体气氛中实施热处理而制造出本发明的硅半导体基板的方式。

## 实施例

以下虽然是举出实施例更详细地说明本发明，但该些实施例只是举

例而已，当然并不应加以限制解释。

### (实施例 1)

让朝[110]方向被上拉的硅单结晶朝[001]方向倾斜  $0^\circ$ 、 $0.1^\circ$ 、 $1.0^\circ$ 、 $2.0^\circ$ 、 $4.0^\circ$ 、 $6.0^\circ$ 、 $7.9^\circ$ 、 $10.0^\circ$ 而切断制作出晶片。结晶为添加了硼的 p 型，电阻率为  $10\sim 12\Omega\text{cm}$ ，口径为  $150\text{mm}$ 。被切断的晶片在由通常的化学机械式研磨而成为镜面晶片后则实施 RCA 洗净。由外延成长在让这些的镜面研磨硅半导体基板形成厚度约  $5\mu\text{m}$  的硅单结晶薄膜。原料气体则使用  $\text{SiHCl}_3$ ，而在氢气气氛中由  $1130^\circ\text{C}$  的反应温度而成长。

表面粗糙度的测量则是利用可由 AFM(Atomic Force Microscope)的功能来测量表面的微小的凹凸的，SEIKO INSTRUMENTS 公司的 SPA 360 来进行。而由 Rms 来表示其表面粗糙度的量。图 9 表示外延硅半导体基板的 Rms 的微倾斜角度相关性。为了要比较也表示了具有各倾斜角度的镜面研磨硅半导体基板。当微倾斜角度为  $0^\circ$  时，则镜面研磨硅半导体基板的 Rms 与外延硅半导体基板的 Rms 分别是  $0.118\text{nm}$ 、 $0.112\text{nm}$ 。

此外，没有倾斜的{110}面的镜面研磨硅半导体基板的  $\text{Rms}=0.118\text{nm}$  是大约与没有倾斜的{100}面的镜面研磨硅半导体基板的 Rms 相同的值。即使微倾斜角为  $0.1^\circ$ ，外延硅半导体基板的表面粗糙度会较镜面研磨硅半导体基板减低。其减低效果至少到  $7.9^\circ$  的倾斜角。由于{110}面的单原子层阶梯的阶梯差为  $0.192\text{nm}$ ，因此，当  $7.9^\circ$  时在计算上的台地面的宽度为  $1.38\text{nm}$ ，而由于 2 原子阶梯的阶梯差为  $0.394\text{nm}$ ，因此，台地面的宽度成为  $2.76\text{nm}$ ，因而，台地宽度与阶梯阶梯差成为同一数量级(order)。当阶梯间隔变窄而其密度变高时，则连纽结(kink)密度也会变高，而因为阶梯而导致 2 维外延成长变得困难。而在  $10.0^\circ$  时，其表面粗糙度会变差。

将微倾斜角为  $0.1^\circ$  的外延硅半导体基板的表面粗糙度的 AFM 像表示在图 1，而将其模式图表示在图 2。如图 1 以及图 2 所示可以确认出阶梯 S 与台地 T。阶梯 S 则平均地被形成在  $\langle 110 \rangle$  方向。台地 T 的宽度约为  $100\text{nm}$ 。台地 T 的宽度 L，则在已简化的模型中可根据在阶梯 S 的阶梯差 h 与微倾斜角  $\alpha$  之间所成立的公式： $\tan \alpha = h / L$  来加以预测。当为{110}时，则单原子阶梯的阶梯差为  $0.192\text{nm}$ ，而 2 原子阶梯的阶梯差为

0.384nm。而当微倾斜角为  $0.1^\circ$  时，相对于单原子阶梯，台地宽度成为 110nm，而与预测大致上一致。当微倾斜角度超过  $1^\circ$  时，则所估计的由单原子阶梯所造成的台地宽度成为 10nm 以下。

此时的阶梯与台地很难以 AFM 来进行观察。由于表面粗糙度 Rms 较镜面研磨硅半导体基板减低，因此可以视为已形成阶梯与台面。如此般虽然可以预测微倾斜角度变得愈大则台地宽度变得愈小，但是当微倾斜角度为  $7.9^\circ$  时则可视为例外。此时的 AFM 像则表示在图 3，而其模式图则表示在图 4。由图 3 以及图 4 所示形成一较所预测的台地宽度的 1.38nm 或 2.76nm 更宽的台地 T。另外，阶梯 S 的方向虽然大概是  $\langle 110 \rangle$  方向，但由于是曲线的，因此意味着阶梯 S 的成长是摇晃的。而已形成了相当宽的台地 T 的理由则在于当让  $\{110\}$  面朝  $\langle 100 \rangle$  方向倾斜  $7.9^\circ$  时，由于其主面成为作为低指数面的  $\{551\}$  面倾斜  $0.15^\circ$  后的面，因此，其主面成为从小平面(facet)  $\{551\}$  稍微倾斜的面。这可以让作为小平面的(facet)的  $\{111\}$  面朝  $\langle 112 \rangle$  方向稍微倾斜时形成阶梯与台地而推测出来。

#### (实施例 2)

接着说明热处理硅半导体基板的表面粗糙度，如与外延硅半导体基板的情形同样地，让朝  $[110]$  方向被上拉的硅单结晶朝  $[001]$  方向倾斜  $0^\circ$ 、 $0.1^\circ$ 、 $1.0^\circ$ 、 $2.0^\circ$ 、 $4.0^\circ$ 、 $6.0^\circ$ 、 $7.9^\circ$ 、 $10.0^\circ$  而切断制作出晶片。在由通常的化学机械研磨成为镜面晶片后则实施 RCA 洗净。针对该些的镜面研磨硅半导体基板在氢气气氛中以  $1150^\circ\text{C}$  实施 1 个小时的热处理。图 10 是表示氢气热处理硅半导体基板的 Rms 的微倾斜角度相关性。

为了比较也表示镜面研磨硅半导体基板。当微倾斜角度为  $0^\circ$  时，则镜面研磨硅半导体基板的 Rms 与氢气热处理硅半导体基板的 Rms 分别是 0.118nm、0.111nm。Rms 的微倾斜角度相关性则与外延硅半导体基板的情形相同。亦即，微倾斜角从  $0.1^\circ$  到  $0.9^\circ$  为止，氢气热处理硅半导体基板的表面粗糙度较镜面研磨硅半导体基板减低。

图 5 是表示微倾斜角为  $0.1^\circ$  时的 AFM 像，其模式图则表示在图 6。虽不如外延硅半导体基板明确，但是形成有阶梯与台面。如此般，阶梯与台面虽然相较于外延硅半导体基板可说是难以形成，但由于带有稍微

倾斜的热处理硅半导体基板的表面粗糙度  $R_{ms}$  会较镜面研磨硅半导体基板减低，因此可以减轻由载流子的表面粗糙度所造成的散乱。

### (实施例 3)

以下则说明在本发明的硅半导体基板形成半导体元件而测量载流子移动度的情形。使用主面为让{110}面朝<100>方向倾向的角度为 $0^\circ$ 、 $0.1^\circ$ 、 $7.9^\circ$ 的镜面研磨硅半导体基板与在这些表面形成有厚度 $5\mu\text{m}$ 的硅单结晶薄膜的外延硅半导体基板以及在氢气气氛中实施热处理的热处理硅半导体基板。镜面研磨硅基板的直径、电阻率、氧浓度分别是 $150\text{mm}$ 、P型 $10\sim 12\Omega\text{cm}$ 、 $16\text{ppma}$ (JEIDA 换算)。外延硅层的电阻率是以 $11\Omega\text{cm}$ 作为中心值。氢气热处理为在 $1150^\circ\text{C}$ 下的1个小时的处理。作为参照试料则为没有倾斜的{100}面的镜面研磨硅半导体基板。电阻率、氧浓度则大约与上述的值相同。此外，JEIDA 为日本电子工业振兴协会(现在改称为 JEITA: 日本电子情报技术产业协会)的简称。

为了要证明电子移动度的改善效果形成 n 型场效电晶体。最初为了要进行元件分离，由 STI(Shallow Trench Isolation)法形成用来分离元件的沟(trench)，而以硅氧化膜来将沟埋住。接着则实施 RCA 洗净，在除去有机物、颗粒 (particle)、金属后，则在干燥氧化气氛中形成 $5\text{nm}$ 的栅氧化膜。而为了要控制栅极的阈值电压将硼(B)在基板整面进行离子注入。

接着，则由 CVD(Chemical Vapor Deposition)法来堆积多结晶硅膜，对其实施图案化而在晶体管形成区域的栅氧化膜上形成多结晶硅电极。接着则以低浓度将磷(P)进行离子注入而形成可缓和电场的  $n^-$ 源极与  $n^-$ 漏极区域。电子的流动方向为<110>方向。接着如覆盖栅极那样由 CVD 而让硅氧化膜堆积在基板整面而进行异方性蚀刻，在栅极的侧壁形成侧壁绝缘膜。最后则注入高浓度的砷(As)离子而形成  $n^+$ 源极与  $n^+$ 漏极区域。针对如此所制作的 n 型场效电晶体的电子移动度进行评估。

将在成为基准的{100}面的镜面研磨硅半导体基板中的电子移动度设为1，而将各基板的电子移动度表示在表1。微倾斜外延硅半导体基板的电子移动度则成为目前广泛所使用的{100}面镜面研磨硅半导体基板的电子移动度的1.4倍。即使是经微倾斜的氢气热处理硅半导体基板的

电子移动度也大约成为 1.2 倍, 经微倾斜的镜面研磨硅半导体基板的电子移动度相较于{100}面的情形约为 0.8 倍, 虽然是比较差, 但由于相较于没有倾斜的{110}面的情形仍成为 1.3 倍, 因此可显现出倾斜所产生的效果。在本实施例中, 在半导体元件制造工序中虽然采用以往的 RCA 洗净方法, 但通过改善洗净方法及热处理方法有可能更加改善电子移动度。例如由实施上述的 5 工序洗净以及自由基牺牲氧化处理可以更加改善表面粗糙度, 且能够期待载流子移动度更加变高。

表 1

{110}基板	倾斜角度([110]方向)		
	0°	0.1°	7.9°
镜面研磨	0.62	0.81	0.79
外延	0.76	1.46	1.44
热处理	0.72	1.22	1.15

### 产业之可利用性

如上所述, 本发明的硅半导体基板, 则在原子高度使之平坦化, 相较于以往的硅半导体基板, 其表面粗糙度大约减低 10%, 以及原子级的表面阶梯(step)是沿着载流子的流动方向而形成, 因此可以使得半导体元件的载流子移动度较以往的硅半导体基板的情形最大提高 40%。通过本发明的硅半导体基板使用半导体集成电路元件的基板可以实现元件性能的高性能化。另外, 根据本发明的方法可以有效地制造出本发明的硅半导体基板。

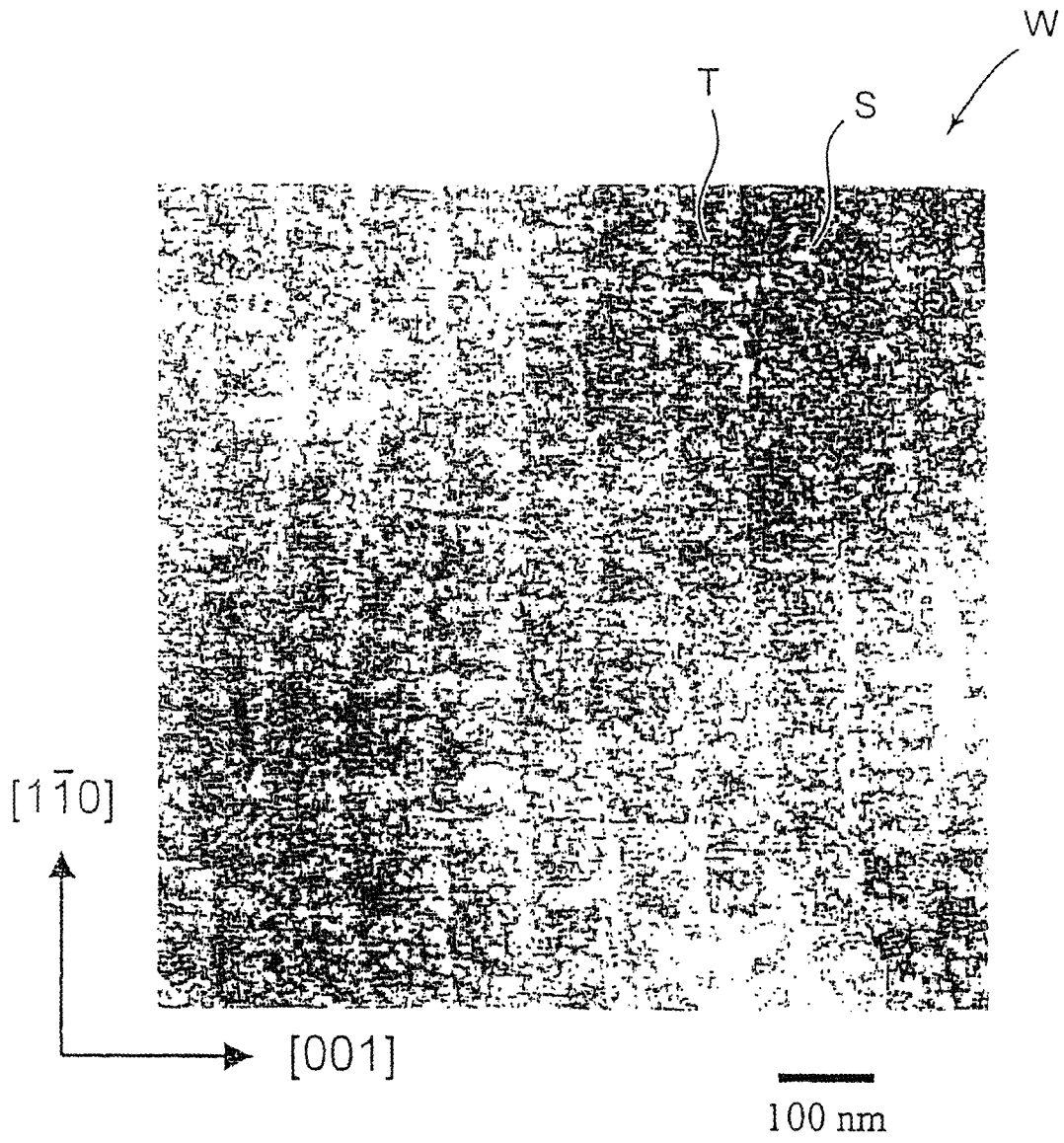


图 1

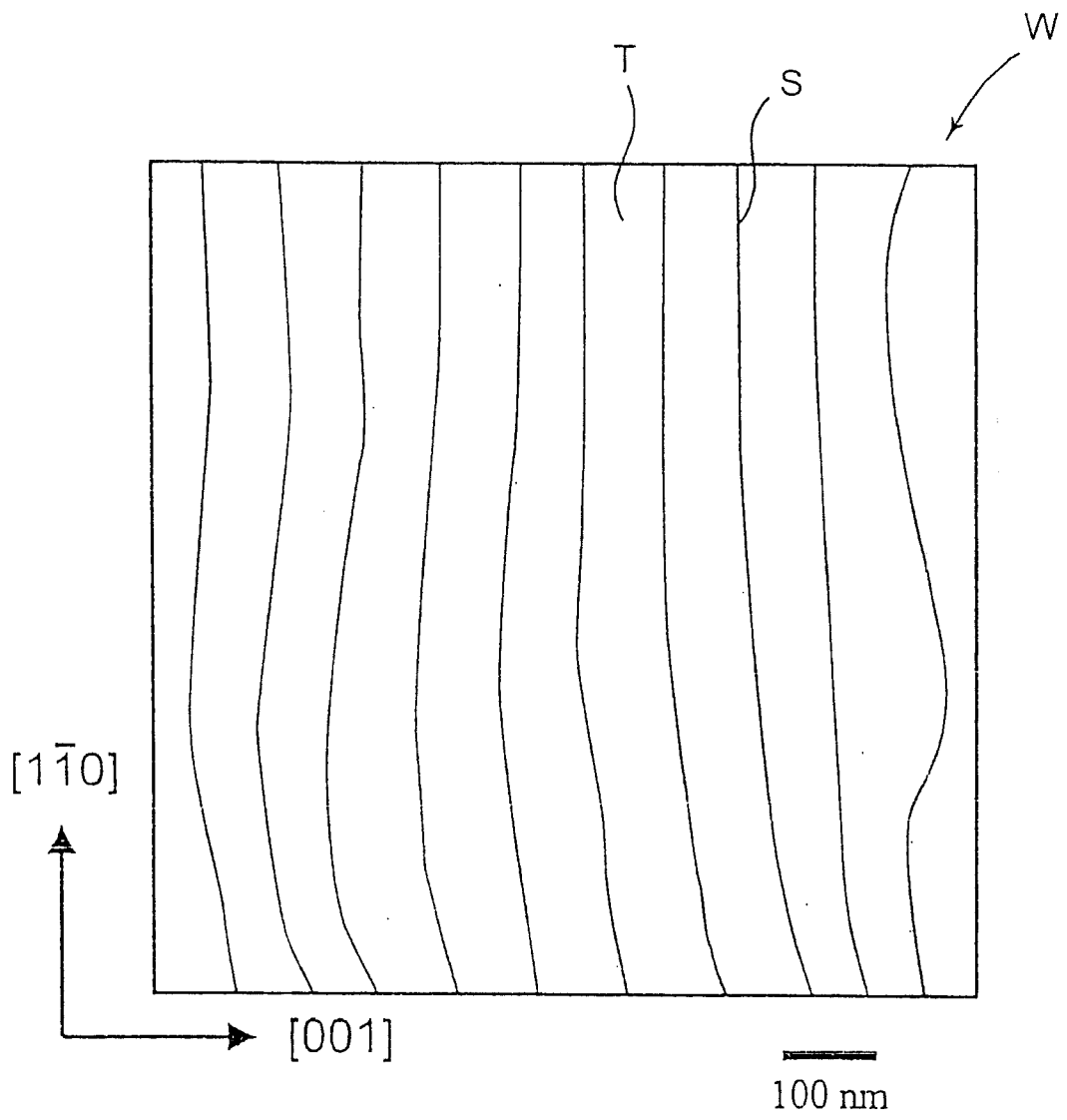


图 2

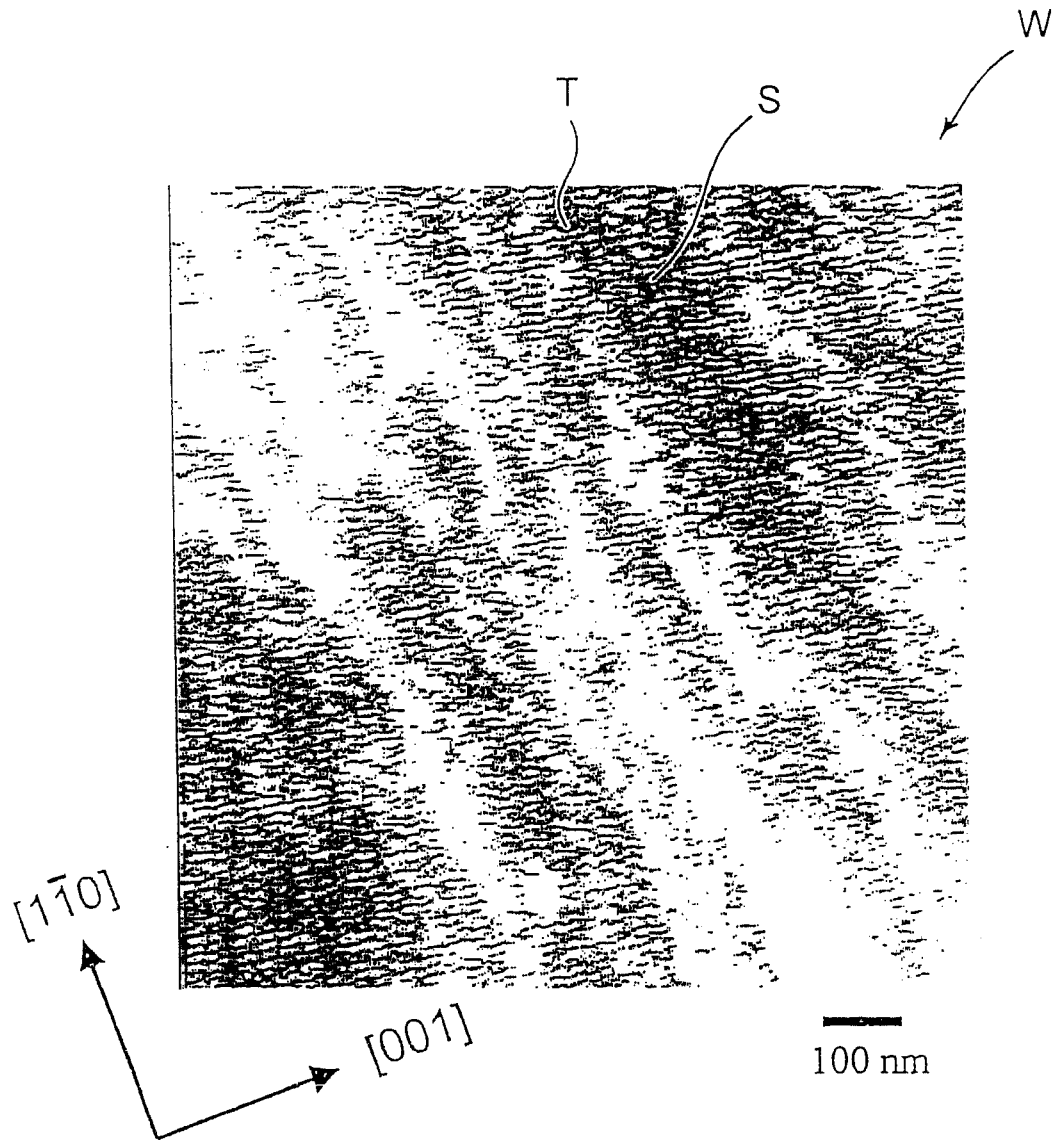


图 3

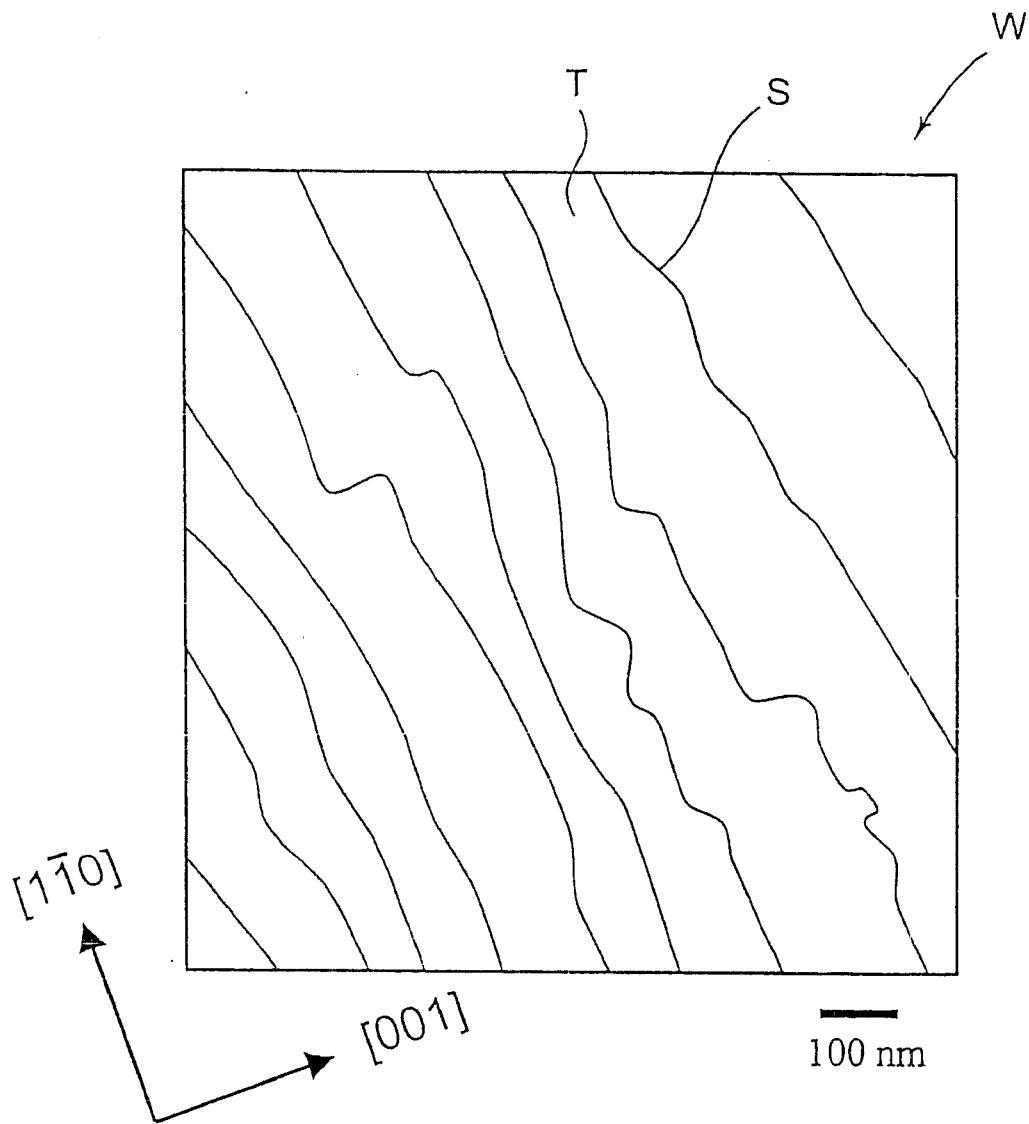


图 4

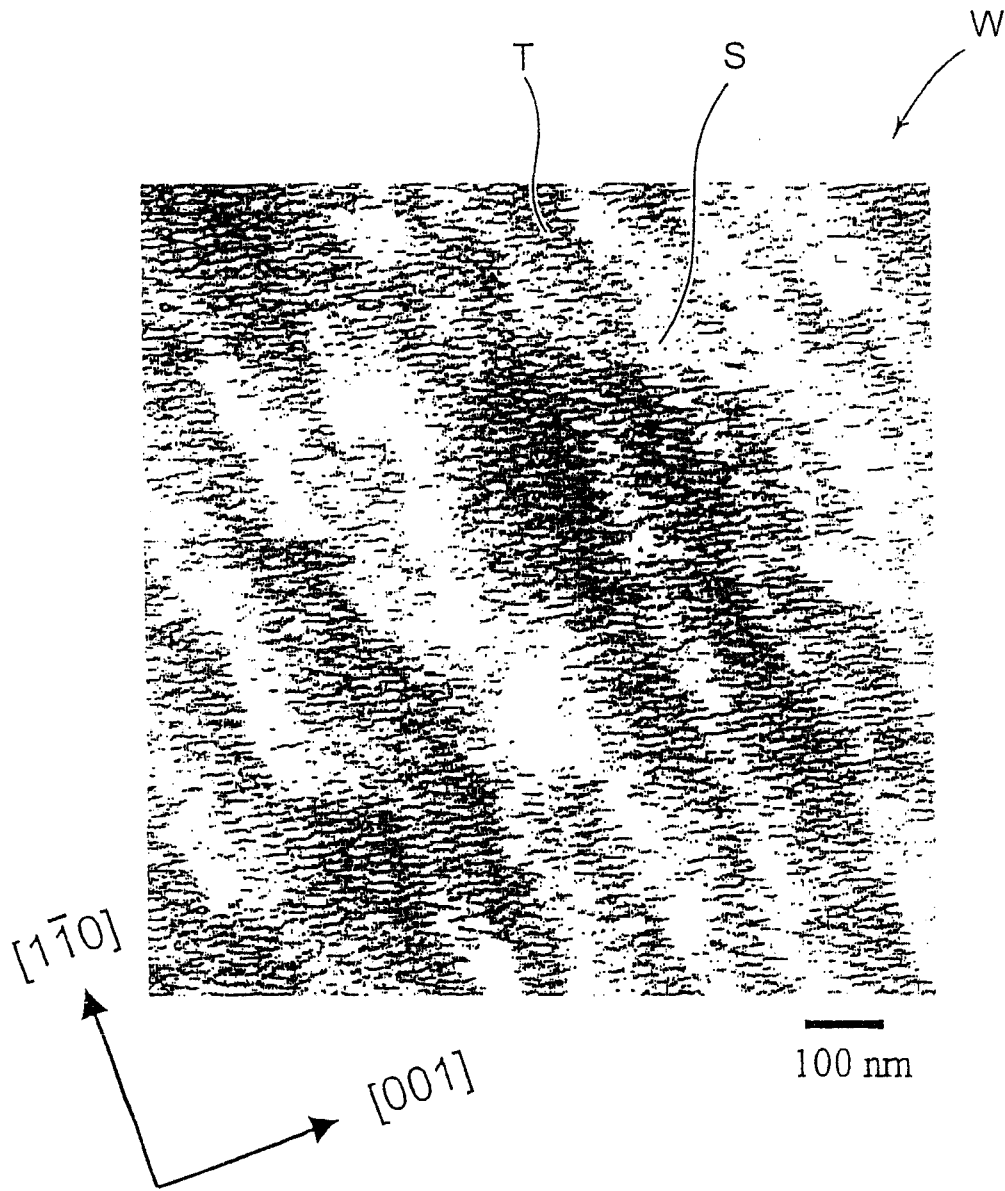


图 5

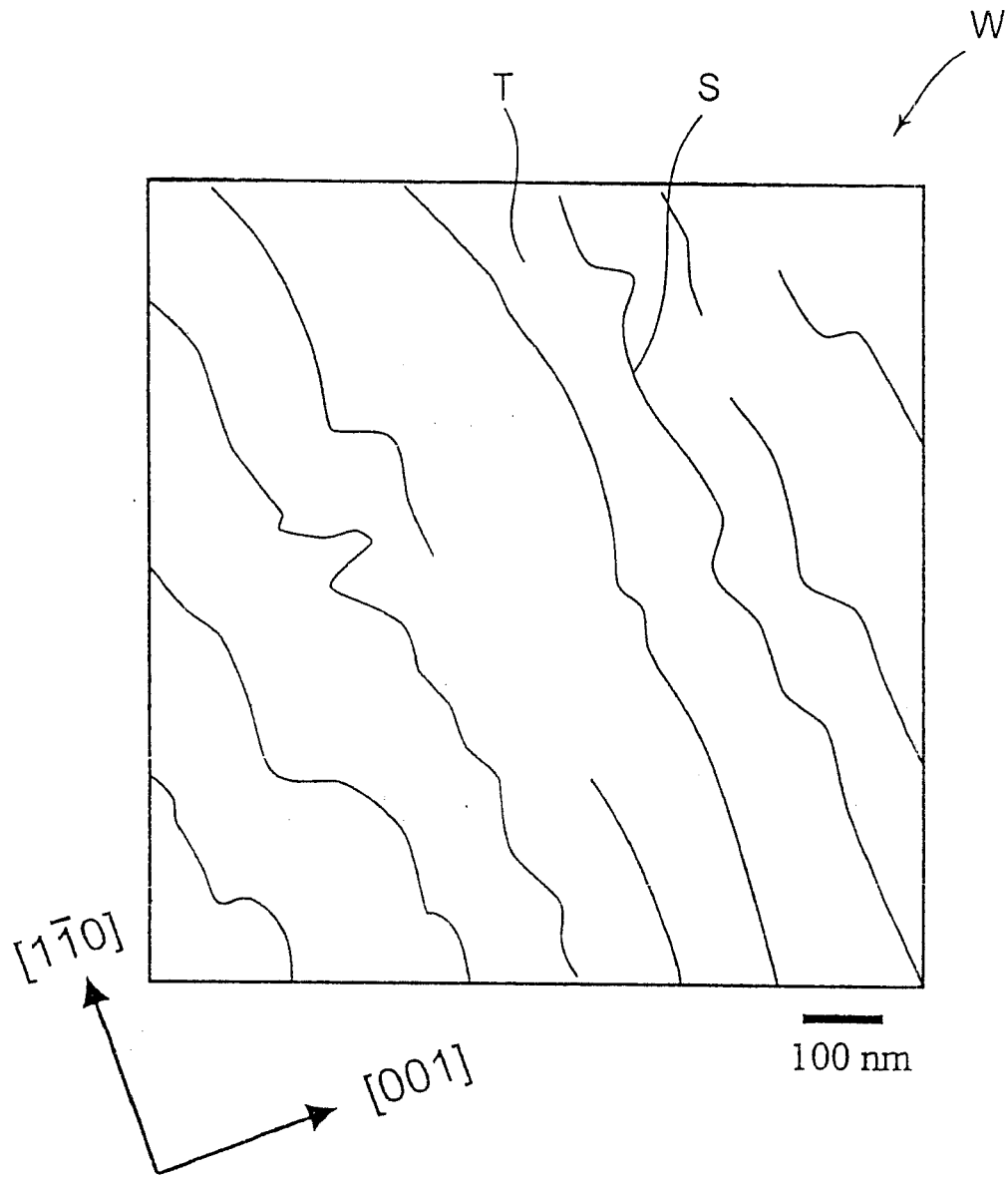


图 6

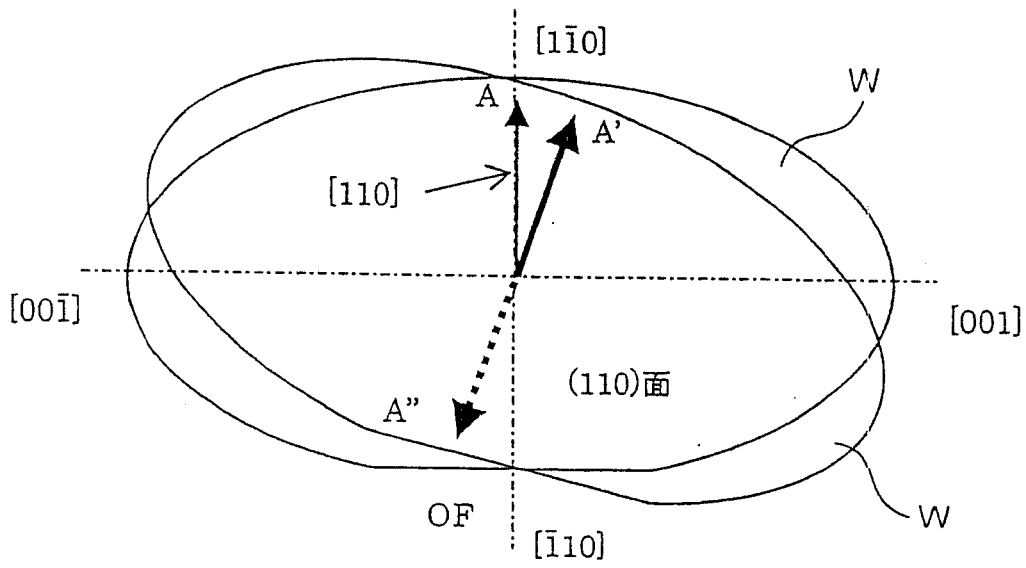


图 7

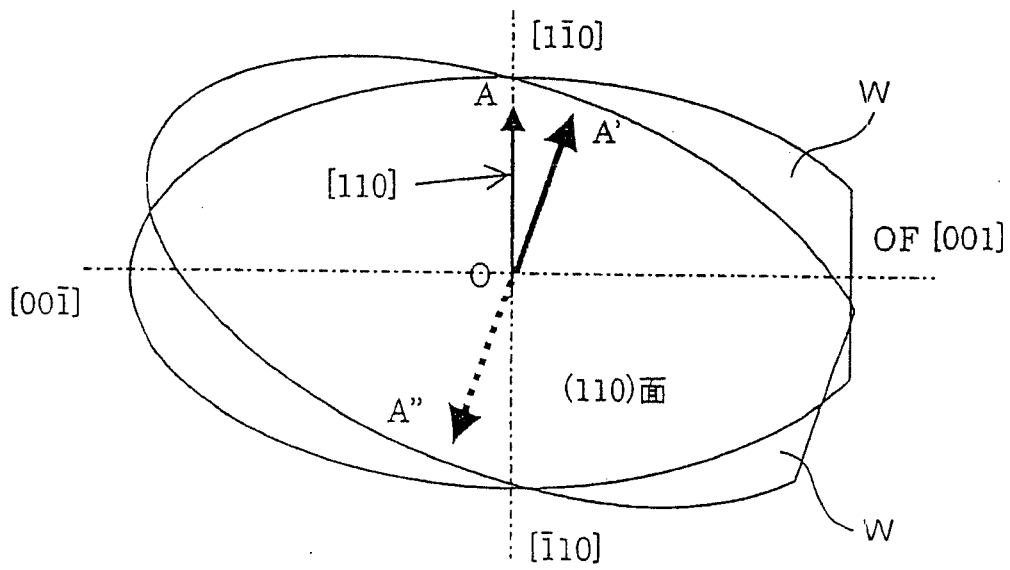


图 8

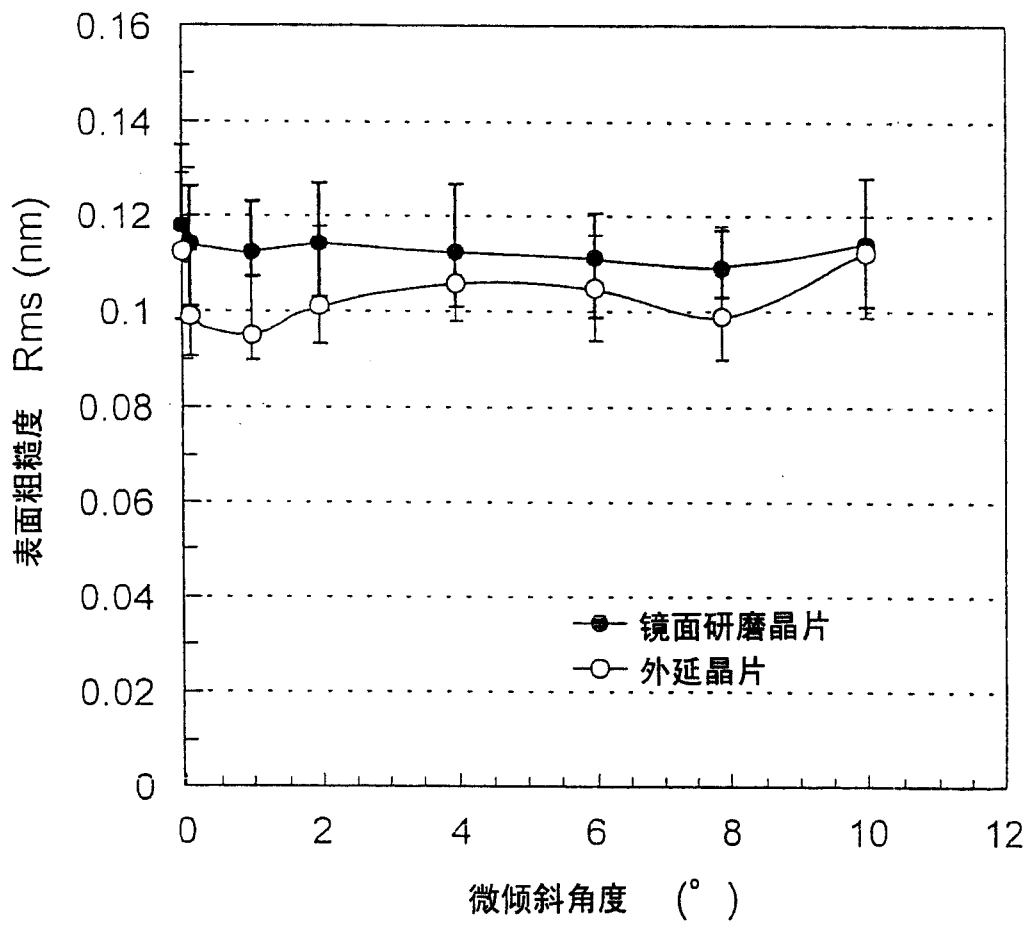


图 9

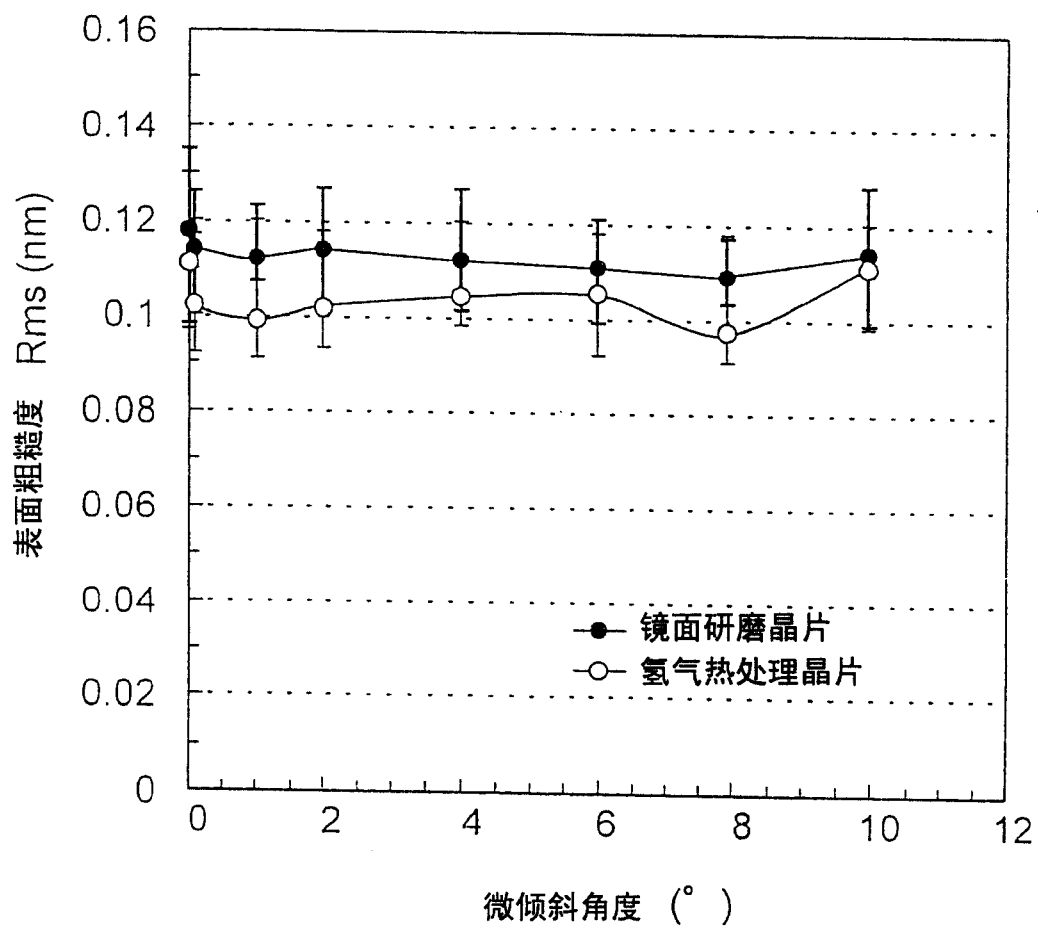


图 10