

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-294814

(P2005-294814A)

(43) 公開日 平成17年10月20日(2005.10.20)

(51) Int.Cl.<sup>7</sup>

F I

テーマコード (参考)

H O 1 L 21/8247

H O 1 L 27/10 4 3 4

5 B O 3 5

G O 6 K 19/07

H O 1 L 27/10 4 6 1

5 F O 8 3

G O 6 K 19/077

H O 1 L 29/78 3 7 1

5 F 1 O 1

H O 1 L 27/10

G O 6 K 19/00 H

H O 1 L 27/115

G O 6 K 19/00 K

審査請求 未請求 請求項の数 16 O L (全 30 頁) 最終頁に続く

(21) 出願番号 特願2005-61959 (P2005-61959)

(22) 出願日 平成17年3月7日(2005.3.7)

(31) 優先権主張番号 特願2004-63901 (P2004-63901)

(32) 優先日 平成16年3月8日(2004.3.8)

(33) 優先権主張国 日本国(JP)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山口 哲司

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 加藤 清

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

Fターム(参考) 5B035 AA04 BA05 BB09 CA01 CA23

最終頁に続く

(54) 【発明の名称】 半導体装置及びその作製方法

(57) 【要約】

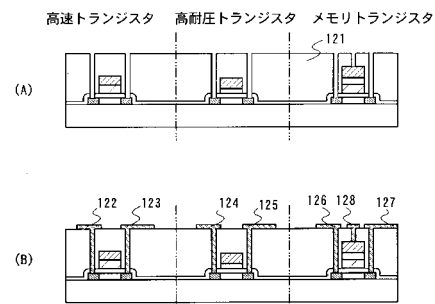
【課題】

同一基板上に、異なる構成及び異なる特性の素子を同時に作製するプロセスを考えた場合、工程数が増えて複雑になることを鑑み、本発明では、工程数を短縮しつつ、同一基板上に構成の異なる素子を作り込んだ半導体装置及びその作製プロセスを提供することを目的とする。

【解決手段】

本発明は、半導体装置を構成する素子の中で、素子形成時の工程数が多いメモリトランジスタに合わせて、その他の高速トランジスタや高耐性トランジスタを効率よく作製することで、工程数の増加を抑え、低コストな半導体装置を作製することができる。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

第 1 の活性層と、前記第 1 の活性層上の第 1 ゲート絶縁膜と、前記第 1 ゲート絶縁膜上の浮遊ゲート電極と、前記浮遊ゲート電極上の第 2 ゲート絶縁膜と、前記第 2 ゲート絶縁膜上の制御ゲート電極とを有する第 1 のトランジスタと、

第 2 の活性層と、前記第 2 の活性層上のゲート絶縁膜と、前記ゲート絶縁膜上のゲート電極を有する第 2 のトランジスタと、  
を同一基板上に有し、

第 2 のトランジスタの前記ゲート絶縁膜は下部ゲート絶縁膜と上部ゲート絶縁膜を有し

10

、  
第 2 のトランジスタの前記下部ゲート絶縁膜は前記第 1 ゲート絶縁膜と同じ層から形成され、前記上部ゲート絶縁膜は前記第 2 ゲート絶縁膜と同じ層から形成されていることを特徴とする半導体装置。

## 【請求項 2】

第 1 の活性層と、前記第 1 の活性層上の第 1 ゲート絶縁膜と、前記第 1 ゲート絶縁膜上の浮遊ゲート電極と、前記浮遊ゲート電極上の第 2 ゲート絶縁膜と、前記第 2 ゲート絶縁膜上の制御ゲート電極とを有する第 1 のトランジスタと、

第 2 の活性層と、前記第 2 の活性層上のゲート絶縁膜と、前記ゲート絶縁膜上のゲート電極とを有する第 2 のトランジスタと、  
を同一基板上に有し、

20

第 2 トランジスタの前記ゲート電極は下部ゲート電極と上部ゲート電極とを有し、

第 2 のトランジスタの前記下部ゲート電極は前記浮遊ゲート電極と同じ層から形成され、前記上部ゲート電極は前記制御ゲート電極と同じ層から形成されていることを特徴とする半導体装置。

## 【請求項 3】

第 1 の活性層と、前記第 1 の活性層上の第 1 ゲート絶縁膜と、前記第 1 ゲート絶縁膜上の浮遊ゲート電極と、前記浮遊ゲート電極上の第 2 ゲート絶縁膜と、前記第 2 ゲート絶縁膜上の制御ゲート電極とを有する第 1 のトランジスタと、

第 2 の活性層と、前記第 2 の活性層上のゲート絶縁膜と、前記ゲート絶縁膜上のゲート電極とを有する第 2 のトランジスタと、

30

第 3 の活性層と、前記第 3 の活性層上のゲート絶縁膜と、前記ゲート絶縁膜上のゲート電極を有する第 3 のトランジスタと、  
を同一基板上に有し、

第 3 のトランジスタの前記ゲート絶縁膜は下部ゲート絶縁膜と上部ゲート絶縁膜を有し

、  
第 3 のトランジスタの前記下部ゲート絶縁膜は前記第 1 ゲート絶縁膜及び第 2 のトランジスタの前記ゲート絶縁膜と同じ層から形成され、前記上部ゲート絶縁膜は前記第 2 ゲート絶縁膜と同じ層から形成されており、

第 2 のトランジスタの前記ゲート電極は下部ゲート電極と上部ゲート電極を有し、

第 2 のトランジスタの前記下部ゲート電極は前記浮遊ゲート電極と同じ層から形成され、前記上部ゲート電極は前記制御ゲート電極及び第 3 のトランジスタの前記ゲート電極と同じ層から形成されていることを特徴とする半導体装置。

40

## 【請求項 4】

請求項 1 または請求項 2 において、前記第 1 の活性層及び前記第 2 の活性層は結晶性半導体膜または微結晶半導体膜であることを特徴とする半導体装置。

## 【請求項 5】

請求項 2 または請求項 3 において、前記制御ゲート電極と同じ層から形成された前記上部ゲート電極を用いて、第 2 のトランジスタの前記ゲート電極の引き回しがされていることを特徴とする半導体装置。

## 【請求項 6】

50

請求項 1 乃至請求項 5 のいずれか一項において、前記基板は半導体基板、石英基板、ガラス基板またはプラスチック基板であることを特徴とする半導体装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一項において、前記半導体装置は携帯情報端末、ビデオカメラ、デジタルカメラ、パーソナルコンピュータ、テレビ受像器または投影型表示装置であることを特徴とする半導体装置。

【請求項 8】

請求項 1 乃至請求項 6 のいずれか一項において、前記半導体装置は I D タグであることを特徴とする半導体装置。

【請求項 9】

第 1 のトランジスタの活性層と第 2 のトランジスタの活性層上に第 1 絶縁膜を形成し、  
前記第 1 絶縁膜上に第 1 導電膜を形成し、  
前記第 1 導電膜を選択的にエッチングすることにより、前記第 2 のトランジスタの活性層上の前記第 1 導電膜を除去して、前記第 2 のトランジスタの活性層上の前記第 1 絶縁膜を露出させ、  
前記エッチングされた第 1 導電膜及び前記露出した第 1 絶縁膜上に第 2 絶縁膜を形成し

、  
前記第 2 絶縁膜上に第 2 導電膜を形成し、  
前記第 2 導電膜をエッチングすることにより、第 2 のトランジスタのゲート電極及び第 1 のトランジスタの制御ゲート電極を形成し、  
前記第 2 導電膜のエッチングの後、前記第 2 絶縁膜をエッチングし、  
前記第 2 絶縁膜のエッチングの後、前記エッチングされた第 1 導電膜をエッチングすることにより、第 2 のトランジスタの浮遊ゲート電極を形成し、  
第 2 のトランジスタのゲート絶縁膜は前記第 1 絶縁膜及び前記第 2 絶縁膜からなり、  
第 1 のトランジスタと第 2 のトランジスタは同一基板上に設けられていることを特徴とする半導体装置の作製方法。

【請求項 10】

第 1 のトランジスタの活性層と第 2 のトランジスタの活性層上に第 1 絶縁膜を形成し、  
前記第 1 絶縁膜上に第 1 導電膜を形成し、  
前記第 1 導電膜上に第 2 絶縁膜を形成し、  
前記第 2 絶縁膜を選択的にエッチングすることにより、前記第 2 のトランジスタの活性層上の前記第 2 絶縁膜を除去して、前記第 2 のトランジスタの活性層上の第 1 導電膜を露出させ、  
前記エッチングされた第 2 絶縁膜及び前記露出された第 1 導電膜上に、第 2 導電膜を形成し、  
前記第 2 導電膜をエッチングすることにより、第 2 のトランジスタの上部ゲート電極と第 1 のトランジスタの制御ゲート電極を形成し、  
前記第 1 導電膜をエッチングすることにより、第 2 のトランジスタの下部ゲート電極と第 1 のトランジスタの浮遊ゲート電極を形成し、  
第 1 のトランジスタと第 2 のトランジスタは同一基板上に設けられていることを特徴とする半導体装置の作製方法。

【請求項 11】

第 1 のトランジスタの活性層、第 2 のトランジスタの活性層及び第 3 のトランジスタの活性層上に第 1 絶縁膜を形成し、  
前記第 1 絶縁膜上に第 1 導電膜を形成し、  
前記第 1 導電膜に選択的に第 1 のエッチングをすることにより、前記第 3 のトランジスタの活性層上の前記第 1 導電膜を除去して、前記第 3 のトランジスタの活性層上の第 1 絶縁膜を露出させ、  
前記第 1 のエッチングをされた第 1 導電膜及び前記露出した第 1 絶縁膜上に、第 2 絶縁膜を形成し、

10

20

30

40

50

前記第 2 絶縁膜に選択的に第 2 のエッチングをすることにより、前記第 2 のトランジスタの活性層上の前記第 2 絶縁膜を除去して、前記第 2 のトランジスタの活性層上の第 1 導電膜を露出させ、

前記第 2 のエッチングをされた第 2 絶縁膜及び前記露出した第 1 導電膜上に、第 2 導電膜を形成し、

前記第 2 導電膜に第 3 のエッチングをすることにより、第 1 のトランジスタの制御ゲート電極、第 2 のトランジスタの上部ゲート電極及び第 3 のトランジスタのゲート電極及びを形成し、

前記第 2 のエッチングをされた第 2 絶縁膜に第 4 のエッチングをし、

前記第 1 のエッチングをされた第 1 導電膜に第 5 のエッチングをすることにより、第 1 のトランジスタの浮遊ゲート電極及び第 2 のトランジスタの下部ゲート電極を形成し、 10

第 3 のトランジスタのゲート絶縁膜は前記第 1 絶縁膜及び前記第 2 絶縁膜からなり、

第 1 のトランジスタ、第 2 のトランジスタ及び第 3 のトランジスタは同一基板上に設けられることを特徴とする半導体装置の作製方法。

#### 【請求項 1 2】

請求項 1 1 において、前記第 1 のエッチングにより、前記第 1 のトランジスタの活性層を覆う前記第 1 導電膜のパターンと、前記第 2 トランジスタの活性層を覆う前記第 1 導電膜のパターンとが形成されることを特徴とする半導体装置の作製方法。

#### 【請求項 1 3】

請求項 1 1 または請求項 1 2 において、前記第 3 乃至第 5 のエッチングは、それぞれのトランジスタにおいて、同一の一つのレジストマスクを用いて行われることを特徴とする半導体装置の作製方法。 20

#### 【請求項 1 4】

請求項 9 乃至請求項 1 3 のいずれか一項において、前記浮遊ゲート電極は窒化タンタル膜またはタンタル膜からなり、前記制御ゲート電極はタングステン膜からなることを特徴とする半導体装置の作製方法。

#### 【請求項 1 5】

請求項 9 乃至請求項 1 4 のいずれか一項において、前記第 1 導電膜の膜厚は 5 ~ 1 0 0 n mであることを特徴とする半導体装置の作製方法。

#### 【請求項 1 6】

請求項 9 乃至請求項 1 5 のいずれか一項において、前記基板は半導体基板、石英基板、ガラス基板またはプラスチック基板であることを特徴とする半導体装置の作製方法。 30

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0 0 0 1】

本発明は、基板上にメモリトランジスタを有する半導体装置及びその作製方法に関するものである。 40

#### 【背景技術】

#### 【0 0 0 2】

近年、データやプログラムを記憶する不揮発性の半導体記憶素子を持つコンピュータ等の半導体記憶装置が増えている。半導体記憶装置は一般的に、データが記憶されるメモリトランジスタ（メモリセルトランジスタとも言う）を複数有するメモリセルアレイと、書込み、消去、または読み出しを行う回路と、アドレス信号によりメモリトランジスタの場所を特定するデコーダとで構成される。これら各回路を構成する素子は、それぞれに求められる特性が異なるため、これに伴いその構成も異なる。

#### 【0 0 0 3】

半導体不揮発性メモリを代表するメモリとして、E E P R O M ( E l e c t r i c E 50

rasable Programmable Read Only Memory)やフラッシュメモリ(flash memory)が知られている。これらのようなメモリのうち、浮遊ゲート電極を有するメモリトランジスタを用いる場合は、メモリトランジスタの半導体層と浮遊ゲート電極との間にあるトンネル酸化膜をできるだけ薄くする必要がある。なぜなら、トンネル酸化膜はトンネル電流が流れる程度の薄さでなければならないからである。また、浮遊ゲート電極やトンネル酸化膜の他に、制御ゲート電極と、制御ゲート電極と浮遊ゲート電極とに挟まれる絶縁膜を有するため、メモリトランジスタは2つのゲート電極と2つの絶縁膜で構成されている。

【0004】

デコーダを構成するトランジスタは、高速動作が必要とされるため、ゲート絶縁膜が薄膜であるのが望ましい。 10

【0005】

一方で、書込みや消去、読み出しを行う回路では、その動作上、回路を構成するトランジスタに、メモリトランジスタにかかる電圧と同程度の高電圧がかかるため、そのような状況でもトランジスタが破壊されないよう、ゲート絶縁膜を厚くする必要がある。

【0006】

以上のように、半導体記憶装置は構成の異なる素子を集積して作製されている。

【0007】

関連技術として、同一基板上に画素部、駆動回路部、メモリ部を一体形成したアクティブマトリクス基板を作製する技術があり、この場合にも、アクティブマトリクス基板上に構成の異なるトランジスタが集積化されて作製されている。具体的には、各機能に応じた構造のトランジスタを作製するため、メモリ部のトランジスタのゲート絶縁膜を、画素部や駆動回路部のゲート絶縁膜の膜厚よりも薄くしている。(以上、特許文献1参照)。 20

【特許文献1】特開2000-356788号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

上述した構成の異なるトランジスタを集積化して半導体記憶装置を同一基板上に作製する場合、ゲート絶縁膜が厚い素子や薄い素子、ゲート電極が1つの素子や2つの素子等が混在するため、自然と工程数が多くなる傾向があった。また、構成の異なる素子を各々作製してから配線で互いに接続すれば工程数は短縮されるが、半導体記憶装置が大型化してしまうという問題があった。 30

【0009】

そこで本発明は、工程数を短縮しつつ、同一基板上に構成の異なる素子を作り込んだ半導体装置及びその作製プロセスを提供することを目的とする。

【課題を解決するための手段】

【0010】

上記課題を解決するために、本発明の半導体装置は、第1の活性層と、第1の活性層上の第1ゲート絶縁膜と、第1ゲート絶縁膜上の浮遊ゲート電極と、浮遊ゲート電極上の第2ゲート絶縁膜と、第2ゲート絶縁膜上の制御ゲート電極とを有する第1のトランジスタとを有し、また、第2の活性層と、第2の活性層上のゲート絶縁膜と、ゲート絶縁膜上のゲート電極を有する第2のトランジスタとを有し、これら第1のトランジスタと第2のトランジスタを同一基板上に設け、第2のトランジスタのゲート絶縁膜は下部ゲート絶縁膜と上部ゲート絶縁膜を有しており、第2のトランジスタの下部ゲート絶縁膜は第1ゲート絶縁膜と同じ層から形成され、上部ゲート絶縁膜は第2ゲート絶縁膜と同じ層から形成されていることを特徴とするものである。 40

【0011】

また、本発明の半導体装置は、第1の活性層と、第1の活性層上の第1ゲート絶縁膜と、第1ゲート絶縁膜上の浮遊ゲート電極と、浮遊ゲート電極上の第2ゲート絶縁膜と、第2ゲート絶縁膜上の制御ゲート電極とを有する第1のトランジスタと、第2の活性層と、 50

第2の活性層上のゲート絶縁膜と、ゲート絶縁膜上のゲート電極とを有する第2のトランジスタとを有し、これら第1のトランジスタと第2のトランジスタを同一基板上に設け、第2トランジスタのゲート電極は下部ゲート電極と上部ゲート電極とを有しており、第2のトランジスタの下部ゲート電極は浮遊ゲート電極と同じ層から形成され、上部ゲート電極は制御ゲート電極と同じ層から形成されていることを特徴とするものである。

【0012】

また、第1の活性層と、第1の活性層上の第1ゲート絶縁膜と、第1ゲート絶縁膜上の浮遊ゲート電極と、浮遊ゲート電極上の第2ゲート絶縁膜と、第2ゲート絶縁膜上の制御ゲート電極とを有する第1のトランジスタと、第2の活性層と、第2の活性層上のゲート絶縁膜と、ゲート絶縁膜上のゲート電極とを有する第2のトランジスタと、第3の活性層と、第3の活性層上のゲート絶縁膜と、ゲート絶縁膜上のゲート電極を有する第3のトランジスタとを有しており、これら第1乃至第3のトランジスタを同一基板上に設け、第3のトランジスタのゲート絶縁膜は下部ゲート絶縁膜と上部ゲート絶縁膜を有し、第3のトランジスタの下部ゲート絶縁膜は第1ゲート絶縁膜及び第2のトランジスタのゲート絶縁膜と同じ層から形成され、上部ゲート絶縁膜は第2ゲート絶縁膜と同じ層から形成されており、第2のトランジスタのゲート電極は下部ゲート電極と上部ゲート電極を有し、第2のトランジスタの下部ゲート電極は浮遊ゲート電極と同じ層から形成され、上部ゲート電極は制御ゲート電極及び第3のトランジスタのゲート電極と同じ層から形成されていることを特徴とするものである。

10

【0013】

第1のトランジスタの制御ゲート電極と同じ層から形成された上部ゲート電極を用いて、第2のトランジスタのゲート電極の引き回しがされていることを特徴とするものである。

20

【0014】

活性層は結晶性半導体膜または微結晶半導体膜であることを特徴とするものである。

【0015】

本発明の半導体装置は、第1のトランジスタの活性層と第2のトランジスタの活性層上に第1絶縁膜を形成し、第1絶縁膜上に第1導電膜を形成し、第1導電膜を選択的にエッチングすることにより、第2のトランジスタの活性層上の第1導電膜を除去して、第2のトランジスタの活性層上の第1絶縁膜を露出させ、エッチングされた第1導電膜及び露出した第1絶縁膜上に第2絶縁膜を形成し、第2絶縁膜上に第2導電膜を形成し、第2導電膜をエッチングすることにより、第2のトランジスタのゲート電極及び第1のトランジスタの制御ゲート電極を形成し、第2導電膜のエッチングの後、第2絶縁膜をエッチングし、第2絶縁膜のエッチングの後、エッチングされた第1導電膜をエッチングすることにより、第2のトランジスタの浮遊ゲート電極を形成し、第2のトランジスタのゲート絶縁膜は第1絶縁膜及び第2絶縁膜からなり、第1のトランジスタと第2のトランジスタは同一基板上に設けられていることを特徴とするものである。

30

【0016】

本発明の半導体装置は、第1のトランジスタの活性層と第2のトランジスタの活性層上に第1絶縁膜を形成し、第1絶縁膜上に第1導電膜を形成し、第1導電膜上に第2絶縁膜を形成し、第2絶縁膜を選択的にエッチングすることにより、第2のトランジスタの活性層上の第2絶縁膜を除去して、第2のトランジスタの活性層上の第1導電膜を露出させ、エッチングされた第2絶縁膜及び露出された第1導電膜上に、第2導電膜を形成し、第2導電膜をエッチングすることにより、第2のトランジスタの上部ゲート電極と第1のトランジスタの制御ゲート電極を形成し、第1導電膜をエッチングすることにより、第2のトランジスタの下部ゲート電極と第1のトランジスタの浮遊ゲート電極を形成し、第1のトランジスタと第2のトランジスタは同一基板上に設けられていることを特徴とするものである。

40

【0017】

本発明の半導体装置は、第1のトランジスタの活性層、第2のトランジスタの活性層及

50

び第3のトランジスタの活性層上に第1絶縁膜を形成し、第1絶縁膜上に第1導電膜を形成し、第1導電膜に選択的に第1のエッチングをすることにより、第3のトランジスタの活性層上の第1導電膜を除去して、第3のトランジスタの活性層上の第1絶縁膜を露出させ、第1のエッチングをされた第1導電膜及び露出した第1絶縁膜上に、第2絶縁膜を形成し、第2絶縁膜に選択的に第2のエッチングをすることにより、第2のトランジスタの活性層上の第2絶縁膜を除去して、第2のトランジスタの活性層上の第1導電膜を露出させ、第2のエッチングをされた第2絶縁膜及び露出した第1導電膜上に、第2導電膜を形成し、第2導電膜に第3のエッチングをすることにより、第1のトランジスタの制御ゲート電極、第2のトランジスタの上部ゲート電極及び第3のトランジスタのゲート電極を形成し、第2のエッチングをされた第2絶縁膜に第4のエッチングをし、第1のエッチングをされた第1導電膜に第5のエッチングをすることにより、第1のトランジスタの浮遊ゲート電極及び第2のトランジスタの下部ゲート電極を形成し、第3のトランジスタのゲート絶縁膜は第1絶縁膜及び第2絶縁膜からなり、第1のトランジスタ、第2のトランジスタ及び第3のトランジスタは同一基板上に設けられることを特徴とするものである。

10

#### 【0018】

第1のエッチングにより、第1のトランジスタの活性層を覆う第1導電膜のパターンと、第2トランジスタの活性層を覆う第1導電膜のパターンとが形成されることを特徴とするものである。

#### 【0019】

浮遊ゲート電極は窒化タンタル膜またはタンタル膜からなり、制御ゲート電極はタンゲステン膜からなることを特徴とするものである。

20

#### 【0020】

本明細書において、浮遊ゲート電極を有するメモリ素子をメモリトランジスタ、ゲート絶縁膜が2層からなるトランジスタを高耐圧トランジスタ、メモリトランジスタの第1ゲート絶縁膜（浮遊ゲート電極と活性層との間に挟持されたゲート絶縁膜）と同じ程度の膜厚を持ったゲート絶縁膜を有するトランジスタを高速トランジスタと呼ぶ。メモリトランジスタは、情報を書き込んだり読み出したりでき、書き込んだ情報の消去ができる場合もある。高耐圧トランジスタは、メモリトランジスタにかかる電圧と同程度の高電圧がかかるトランジスタであって、高電圧がかかっても破壊されない程度の膜厚の厚いゲート絶縁膜を有する。高速トランジスタは、高速動作を行うトランジスタであって、デコーダ等の周辺回路を構成するトランジスタである。

30

#### 【0021】

なお、本明細書において、半導体記憶装置とは少なくともメモリトランジスタを有するものを言う。また、本明細書において、半導体装置とは少なくとも半導体記憶装置を有するものを言う。

#### 【発明の効果】

#### 【0022】

本発明は、半導体装置を構成するトランジスタの中で、素子形成時の工程数が多いメモリトランジスタに合わせて、その他の高速トランジスタや高耐圧トランジスタを効率よく作製することで、工程数の増加を抑え、低コストな半導体装置を同一基板上に作製することができる。また、以下のような作用効果も発揮し得る。

40

#### 【0023】

メモリトランジスタの第1及び第2ゲート絶縁膜のそれぞれに相当する第1及び第2絶縁膜を積層させて、膜厚の厚い高耐圧トランジスタのゲート絶縁膜とする。これにより、工程数を増加させることなく高耐圧トランジスタのゲート絶縁膜を形成することができる。また、高耐圧トランジスタのゲート絶縁膜を異なる材料の層で積層させて形成できるので、所望の容量を有し且つ高耐圧性を持つトランジスタが形成できる。

#### 【0024】

また、メモリトランジスタの浮遊ゲート電極及び制御ゲート電極のそれぞれが形成される第1及び第2導電膜を積層させて、高速トランジスタのゲート電極を形成する。これによ

50

り、工程数を増加させることなく高速トランジスタのゲート電極を形成することができる。さらに、高速トランジスタのゲート電極を様々な形状に加工ができるため、低濃度ドレイン(LDD: Lightly Doped Drain)構造というチャネル領域の外側に低濃度の不純物領域を設けた構成をとることができる。この低濃度の不純物領域のことをLDD領域と呼ぶが、特にLDD領域がゲート絶縁膜を介してゲート電極と重なる構造(GOLD(Gate-drain Overlapped LDD)構造)を形成することができる。このような構成をとることにより、トランジスタの耐圧性を向上させたり、信頼性を向上させたりできる。

#### 【0025】

さらに、高速トランジスタのゲート電極が2層であるため、ゲート電極として最適な仕事関数を有するゲート電極材料と、引き回しするための低抵抗なゲート電極材料を組み合わせ、ゲート電極を作ることができる。従って、低抵抗で所望のしきい値を持つ高速トランジスタが得られると共に、ゲート電極として用いる材料の幅も広がる。

#### 【0026】

また、本発明は、第2導電膜を成膜した後に行われる導電膜や絶縁膜のエッチングを、各トランジスタにつき同一の一つのレジストマスクを用いてエッチングできる。つまり、エッチングする毎に新たにレジストマスクを形成する必要がないので、レジストマスクの形成が一度で済み工程の短縮化につながる。具体的に、メモリトランジスタにおいては、制御ゲート電極及び浮遊ゲート電極形成のためのエッチング、第2絶縁膜のエッチングを一つのレジストマスクにより行うことができる。高耐圧トランジスタにおいては、ゲート電極形成のためのエッチングと第2絶縁膜のエッチングを一つのレジストマスクにより行うことができる。高速トランジスタにおいては、上部及び下部ゲート電極形成のためのエッチングを一つのレジストマスクにより行うことができる。

#### 【0027】

さらに、第1導電膜をエッチングして、高耐圧トランジスタの活性層上の第1絶縁膜を露出させると共に、高速トランジスタの活性層及びメモリトランジスタの活性層上部に、第1導電膜のパターン(下部ゲート電極となる膜、浮遊ゲート電極となる膜)をそれぞれ形成する。そのときに、下部ゲート電極となる膜及び浮遊ゲート電極となる膜を、高速トランジスタの活性層及びメモリトランジスタの活性層より一回り大きい形状にするため、以降の工程で生じるプラズマダメージから、第1絶縁膜でなる薄膜のゲート絶縁膜を防ぐことができる。

#### 【発明を実施するための最良の形態】

#### 【0028】

以下、発明を実施するための最良の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は本実施の形態の記載内容に限定して解釈されるものではない。また、各図面において共通の部分は同じ符号を付して詳しい説明を省略する。

#### 【0029】

##### (実施形態1)

図1～図3は本発明に係る半導体記憶装置の作製工程を示す図である。

#### 【0030】

図1(A)の基板101として、例えば石英基板、セラミックス基板、プラスチック基板、ステンレス基板、合成樹脂基板、可撓性基板等がある。これらの基板を用いる際に、基板に接する下地膜(図示せず)を要する場合は適宜用いれば良く、本明細書では下地膜が成膜された基板も含めて基板と呼ぶ。

#### 【0031】

基板101に接して半導体膜を形成する。形成される半導体膜は、減圧熱CVD法、プラズマCVD法またはスパッタ法などの成膜法で形成される非晶質半導体膜を、レーザー結晶化法で結晶化した結晶性半導体を用いることが望ましい。また、前記成膜法で形成さ

10

20

30

40

50



れる非晶質半導体膜を熱処理による固相成長法で結晶化した結晶性半導体膜を用いたり、加熱処理した後にレーザー照射をして結晶化した結晶性半導体膜を用いたりしても良い。また、シラン ( $\text{SiH}_4$ ) を原料として形成される微結晶半導体膜をレーザー結晶化した結晶性半導体膜でも良い。なお微結晶半導体膜を用いても良い。ここで適用される半導体材料は、シリコン ( $\text{Si}$ )、ゲルマニウム ( $\text{Ge}$ )、またシリコンゲルマニウム合金、炭化シリコンがあり、その他にガリウム砒素などの化合物半導体材料を用いることもできる。本形態では結晶性珪素膜を半導体膜として成膜する。また、SOI (Silicon on Insulator) 基板を用いて半導体膜を形成しても良い。

#### 【0032】

その後、しきい値を制御するためにチャネルドーピングを行う。本形態では、加速電圧 25 kV、材料ガスとして  $\text{B}_2\text{H}_6$  を用いて行う。

#### 【0033】

次に、半導体膜をパターニングし、活性層 102 ~ 104 を形成する。活性層 102 は高速トランジスタを構成する半導体層、活性層 103 は高耐圧トランジスタを構成する半導体層、活性層 104 はメモリトランジスタを構成する半導体層である。これら活性層上に第 1 絶縁膜 105 として酸化珪素膜を成膜する。酸化珪素膜をゲート絶縁膜とすると、ゲート絶縁膜と活性層の珪素膜との界面準位が低くなる利点がある。また、第 1 絶縁膜 105 は、高速トランジスタではゲート絶縁膜、メモリトランジスタではトンネル酸化膜である第 1 ゲート絶縁膜として機能するため、膜厚が薄いほど高速動作が可能となり、トンネル電流も流れやすくなる。従って、第 1 絶縁膜 105 は薄く成膜できれば如何なる方法を用いても良いが、石英基板等の耐熱性基板ならば、均一に薄く形成できる熱酸化膜が適当である。第 1 絶縁膜 105 の膜厚は 1 ~ 100 nm、好ましくは 1 ~ 10 nm とする。

#### 【0034】

続いて第 1 絶縁膜 105 上に第 1 導電膜 106 を成膜する (図 1 (A))。第 1 導電膜 106 として、例えば金属膜や不純物がドーピングされた半導体膜を用いることができ、導電性を有する膜であれば良い。半導体膜を用いる場合は結晶性半導体膜や微結晶半導体膜があり、その半導体材料、成膜法は活性層 102 ~ 104 が形成される上記半導体膜と同様なものが考えられる。本形態では第 1 導電膜 106 として、窒化タンタル ( $\text{TaN}$ ) 膜またはタンタル ( $\text{Ta}$ ) 膜を用いる。その後、第 1 導電膜 106 はエッチングされ、高速トランジスタの下部ゲート電極となる膜 107 と、後に浮遊ゲート電極となる膜 108 が形成される。同時に、高耐圧トランジスタの活性層 103 上の第 1 導電膜は除去され、その下の第 1 絶縁膜が露出する (図 1 (B))。

#### 【0035】

なお、このときに第 1 導電膜 106 の材料として第 1 絶縁膜 105 とエッチング選択比が十分大きなものを用いることが望ましい。例えば第 1 導電膜 106 を窒化タンタル膜もしくはタンタル膜とし、第 1 絶縁膜 105 を酸化珪素膜とした場合、エッチングガスとして  $\text{Cl}_2$  を用いることで、第 1 導電膜 106 の第 1 絶縁膜に対するエッチング選択比を 10 以上とすることができ、露出される第 1 絶縁膜 105 のオーバーエッチングを防ぐことができる。

#### 【0036】

加えて、第 1 導電膜 106 の膜厚を薄くすれば、第 1 導電膜のエッチング時間が少なくなるので、活性層 103 上の第 1 絶縁膜 105 のオーバーエッチングを抑えることができる。さらに第 1 導電膜の膜厚が薄いと、次に成膜する第 2 絶縁膜の膜被覆性 (カバレッジ) も良くなり、第 2 絶縁膜上部に形成される制御ゲート電極のエッチングにおいて下地段差の影響が低減される。以上より、第 1 導電膜 106 の膜厚は 5 ~ 100 nm、好ましくは 5 ~ 20 nm が良い。

#### 【0037】

図 1 (C) は、図 1 (B) の各活性層 102 ~ 104 とその上にある下部ゲート電極となる膜 107 及び浮遊ゲート電極となる膜 108 の位置関係を示す上面図である。下部ゲート電極となる膜 107 は活性層 102 の形状よりも縦横とも一回り大きい形状にエッ

10

20

30

40

50

チングされる。これにより、高速トランジスタの活性層 102 及び高速トランジスタの第 1 絶縁膜部分（高速トランジスタのゲート絶縁膜）を下部ゲート電極となる膜 107 で覆うようになっている。これは、後に行われるプラズマ工程のプラズマダメージから高速トランジスタの第 1 絶縁膜部分（高速トランジスタのゲート絶縁膜として機能する部分）を防ぐためである。また、高速トランジスタのゲート絶縁膜は非常に薄く、少しのダメージでも膜に欠陥が生じやすいので、プラズマダメージを防ぐのは非常に有益である。

【0038】

下部ゲート電極となる膜 107 と同様に、浮遊ゲート電極となる膜 108 も活性層 104 の形状よりも縦横ともに一回り大きい形状にエッチングされ、メモリトランジスタの活性層 104 及びメモリトランジスタの第 1 絶縁膜部分（メモリトランジスタの第 1 ゲート絶縁膜として機能する部分）を浮遊ゲート電極となる膜 108 で覆うようになっている。これにより、プラズマダメージから第 1 絶縁膜 105 を防ぐことができ、第 1 ゲート絶縁膜内に発生する欠陥を抑えることができる。第 1 ゲート絶縁膜に一箇所でも欠陥があると、浮遊ゲート電極に蓄積された電荷は全てその欠陥からリークしてしまうため、メモリトランジスタの電荷保持特性に大きく影響するが、本発明はその心配がいない。

【0039】

さらに、膜 108 のチャネル幅方向（図 1（C）における縦方向）の長さは、後に行われる浮遊ゲート電極を形成するためのエッチングを経ても、そのまま長さは保持される。従って、大きな浮遊ゲート電極の面積を保持できるため、膜 108 のチャネル幅方向を長くすることは、メモリトランジスタ動作時の電荷の注入・消去効率の最適化には有効である。

【0040】

次に、下部ゲート電極となる膜 107、浮遊ゲート電極となる膜 108、及び露出した第 1 絶縁膜（下部ゲート絶縁膜）上に第 2 絶縁膜 109 を形成する（図 1（D））。その後、高速トランジスタにのみ不必要な第 2 絶縁膜を除去するため、膜 107 上の第 2 絶縁膜をエッチング除去して、膜 107 を露出させる（図 1（E））。第 2 絶縁膜として、第 1 絶縁膜と同じ材料でなくても良いが、本形態では酸化珪素膜を用いる。この第 2 絶縁膜のエッチング方法として、 $\text{CHF}_3$  ガスを用いたプラズマエッチングをすることにより、第 1 導電膜の窒化タンタルまたはタンタルと第 2 絶縁膜の酸化珪素膜との選択比を 10 以上にすることができる。また、フッ酸を用いたウェットエッチングであっても、窒化タンタルまたはタンタルとの選択比を十分に大きくとることができる。ここで、高速トランジスタのゲート絶縁膜は下部ゲート電極となる膜 107 によって覆われているので、第 2 絶縁膜除去に伴うプラズマダメージを受けることはない。

【0041】

本形態では第 2 絶縁膜に第 1 絶縁膜と同じ酸化珪素膜を用いたが、酸化珪素膜よりも誘電率が大きい窒化珪素膜や、窒化珪素膜を含む膜（ $\text{SiO}_2/\text{SiN}/\text{SiO}_2$ ）を用いても良い。なぜなら、酸化珪素膜よりも誘電率の大きい窒化珪素膜を、第 2 絶縁膜として成膜すると、所望の容量を持ち且つ所望の膜厚のゲート絶縁膜を有する高耐圧トランジスタを作製できるからである。

【0042】

例えば、第 1 及び第 2 絶縁膜を酸化珪素膜で形成して、高耐圧トランジスタのゲート絶縁膜である酸化珪素膜の膜厚を厚くしたとする。すると、トランジスタは一般的に所望の容量を持つように設計されているが、 $C = \epsilon \times S / d$ （ $C$ ：容量、 $\epsilon$ ：誘電率、 $S$ ：電極面積、 $d$ ：膜厚）より、誘電率  $\epsilon$  と電極面積  $S$  が一定のときは、容量  $C$  が小さくなってしまふ。しかし、積層される第 2 導電膜が第 1 導電膜の酸化珪素膜よりも誘電率  $\epsilon$  が大きい膜であれば、トランジスタとしての容量は変化させずに、膜厚を厚くすることができるので、容量、ゲート絶縁膜の厚さ共に所望の値である高耐圧トランジスタを作製することができる。つまり、積層構造のゲート絶縁膜を有することで、所望の容量及び高耐圧性を有するトランジスタとすることができる。

【0043】

その後、図2(A)に図示するとおり、第2導電膜110を下部ゲート電極となる膜107及び第2絶縁膜109上に形成する。第2導電膜110は、第1導電膜同様、導電性を有する膜であれば良く、本形態ではタングステン(W)膜を用いる。

#### 【0044】

次に、第2導電膜110上にレジストを形成し、レジストマスク111~113を形成する。第2導電膜110はレジストマスク111~113を用いてエッチングされ、高速トランジスタの上部ゲート電極114、高耐圧トランジスタのゲート電極115、メモリトランジスタの制御ゲート電極116が形成される。タングステン膜のエッチングは、 $\text{CF}_4$ 、 $\text{Cl}_2$ 、 $\text{O}_2$ または $\text{SF}_6$ 、 $\text{Cl}_2$ 、 $\text{O}_2$ の混合ガスを用いて行うことができ、第1導電膜の窒化タンタル膜またはタンタル膜との選択比を5以上にすることができる(図2(B))。

10

#### 【0045】

この際に第2導電膜を用いて配線の引き回しも行う。ここで、第1導電膜を用いて引き回しを行うとすると、上述したように、第1導電膜は薄く成膜しなければならないため、配線抵抗を小さくできない。従って、膜厚に特に制限のない第2導電膜を用いて配線の引き回しを行うのが望ましい。特に、第2導電膜材料であるタングstenは、第1導電膜材料である窒化タンタルまたはタンタルと比較すると、抵抗値が10分の1程度低いため、配線の引き回しには最適である。

#### 【0046】

また、第1及び第2導電膜を同一材料から形成しても良いが、異なる材料で形成すると以下のような作用がある。一般的に、最適な仕事関数を有するゲート電極材料を用いてゲート電極を形成することで、トランジスタのしきい値をコントロールしている。しかし、中には仕事関数は最適だが高抵抗なゲート電極材料もあり、その場合は配線の引き回しには適さないため、ゲート電極材料としては用いにくい。このような場合にゲート電極が2層であると、下部ゲート電極には仕事関数が最適な材料を用い、上部ゲート電極では低抵抗な材料を用いることができるため、ゲート電極材料として用いることができる材料の幅が広がり、全体として、低抵抗で所望のしきい値の高速トランジスタを得ることができる。

20

#### 【0047】

次に、レジストマスク112及び113を用いて第2絶縁膜をエッチングする(図2(C))。このとき、 $\text{CHF}_3$ を用いたドライエッチングをすることにより、浮遊ゲート電極となる膜108の窒化タンタルまたはタンタルに対して、第2絶縁膜である酸化珪素膜のエッチングレートを10倍以上にすることができる。また、フッ酸を用いたウェットエッチングでも、同様のエッチングレートは得られる。このため、当該エッチングにおける、下部ゲート電極となる膜107と浮遊ゲート電極となる膜108の膜厚差はほとんどできないので、次工程である膜107と108のエッチングを同一の時間内で終えることができ、第1絶縁膜のオーバーエッチングを防ぐことに繋がる。当該エッチングにより、第2絶縁膜からなるパターン117及び118を形成する。パターン117は高耐圧トランジスタの上部ゲート絶縁膜として機能し、パターン118はメモリトランジスタの第2ゲート絶縁膜として機能する。第2絶縁膜である酸化珪素膜は、浮遊ゲート電極材料であり窒化タンタルまたはタンタルと十分なエッチング選択比が取れるため、無用に浮遊ゲート電極となる膜108、さらにはその下の第1絶縁膜105をエッチングすることなく、エッチング後の第1絶縁膜残膜が高速トランジスタおよびメモリトランジスタで揃えることができる。

30

40

#### 【0048】

次に、下部ゲート電極となる膜107及び浮遊ゲート電極となる膜108を、レジストマスク111及び113を用いてエッチングを行い、高速トランジスタの下部ゲート電極119及び浮遊ゲート電極120を形成する(図2(D))。これら窒化タンタルまたはタンタルからなる膜107及び108のエッチングは、エッチングガスとして $\text{Cl}_2$ を用いれば、第1絶縁膜の酸化珪素膜との選択比を10以上にすることができる。このため、

50

例えば下部ゲート電極となる膜 107 と浮遊ゲート電極となる膜 108 に膜厚差があり、どちらか一方の第 1 絶縁膜がオーバーエッチングされたとしても、その絶対量は大きくないので実質的に問題にはならない。

【0049】

レジストマスク 111 ~ 113 を除去した後、不純物元素を活性層 102 ~ 104 にドーピングして、各活性層にソース領域及びドレイン領域を形成する(図 2 (E))。高耐圧トランジスタの第 1 ゲート絶縁膜は、図 1 (B) における第 1 導電膜のエッチングの際に、幾分エッチングされるかもしれないが、その膜厚はほとんどメモリトランジスタの第 1 ゲート絶縁膜の膜厚と変わらない。従って、ドーピングは、同じ膜厚の第 1 絶縁膜を介して全てのトランジスタを一括で行うことが可能となり、ドーピング工程の増加を抑えたトランジスタの作り分けができる。

10

【0050】

以上のように、不純物領域の形成が完成したら、各トランジスタの第 2 導電膜からなる上部ゲート電極 114、ゲート電極 115、制御ゲート電極 116 を覆うように 50 nm の酸化珪素膜からなるキャップ膜を形成し、加熱処理、レーザーアニール、又はランプアニール等により、不純物元素の活性化を行う。次に、膜中に水素を含む窒化珪素膜を 100 nm 成膜して、水素化のための熱処理を行う。この熱処理により、窒化珪素膜から放出された水素が、第 1 及び第 2 絶縁膜や各活性層中に存在するダングリングボンドといった欠陥を終端したり、膜の界面における界面準位を低減させたりする。

【0051】

20

次に、窒化珪素膜上に再び酸化珪素膜を形成して、酸化珪素膜、窒化珪素膜、酸化珪素膜からなる層間絶縁膜 121 を完成させる。図 3 (A) では表面が平坦な層間絶縁膜 121 が図示されているが、平坦でなくとも良い。また、層間絶縁膜としては、窒化珪素膜、酸化珪素膜、窒化酸化珪素膜、有機性樹脂膜の単層、またはそれらを組み合わせた積層膜で形成しても良い。層間絶縁膜の上に何層も配線を設ける場合は、表面を平坦化させた平坦化膜を層間絶縁膜として用いるのが望ましい。その後、層間絶縁膜 121 に活性層 102 ~ 104 に達するコンタクトホールと、制御ゲート電極 116 に達するコンタクトホールを形成する(図 3 A)。

【0052】

次に、アルミニウム膜や銅等の金属の導電膜を形成・パターンニングし、活性層 102 ~ 104 のソース領域及びドレイン領域と接続する配線 122 ~ 127、制御ゲート電極 116 と接続する配線 128 を形成する(図 3 (B))。以上の工程により、半導体記憶装置は完成となる。

30

【0053】

以上のような工程により、浮遊ゲート電極を有するメモリトランジスタ、ゲート絶縁膜が積層されている高耐圧トランジスタ、メモリトランジスタのトンネル酸化膜と同じ膜厚のゲート絶縁膜を有する高速トランジスタを、同一基板上に効率良く、工程数を抑えた作製方法で作製できる。

【0054】

なお、この工程で作製した高耐圧トランジスタのゲート絶縁膜は、おおよそメモリトランジスタの第 1 ゲート絶縁膜と第 2 ゲート絶縁膜とを足した程度の膜厚を有する。高耐圧トランジスタのゲート絶縁膜は、メモリトランジスタにかかる電圧で破壊されない程度であればいいので、メモリトランジスタの第 1 ゲート絶縁膜の膜厚以上、好ましくは第 1 ゲート絶縁膜の膜厚と第 2 ゲート絶縁膜の膜厚を足した程度の膜厚を有するのが良い。

40

【0055】

また、メモリトランジスタは浮遊ゲート電極サイズを最適化することで、メモリトランジスタ動作時の電荷の注入・消去効率が最適化される。

【0056】

本作製プロセスは、メモリトランジスタ及び高速トランジスタ共に、最も特性の高さが要求される高速トランジスタのゲート絶縁膜及びメモリトランジスタの第 1 ゲート絶縁膜

50

を、同一の第1絶縁膜から形成でき、その膜質、膜厚を共用できるという利点がある。

【0057】

本形態では、同一基板上に高速トランジスタ、高耐圧トランジスタ、メモリトランジスタを同時に形成する作製プロセスを紹介したが、これに限らず、メモリトランジスタと高速トランジスタ、メモリトランジスタと高耐圧トランジスタといった2種類のトランジスタを組み合わせで同一基板上に同時に形成しても良い。

【0058】

(実施形態2)

図4は本発明に係る半導体記憶装置の作製工程を示す図である。図4において、図1～図3と対応する部分については同じ符号を用い、その詳細な説明として実施形態1の説明を参照する。 10

【0059】

図4の基板401としては、単結晶のシリコンからなる半導体基板を用いるが、SOI (Silicon on Insulator) 基板を用いて半導体膜を形成しても良い。次に、しきい値を制御するためにチャネルドーピングを行う。本形態では、加速電圧25kVで材料ガスとしてB<sub>2</sub>H<sub>6</sub>を用いて行う。

【0060】

次に、LOCOS法(選択酸化法)やSTI法(Shallow Trench Isolation)等の公知のアイソレーション技術により素子分離を行い、半導体基板表面に活性層402～404を形成する。活性層402は高速トランジスタを構成する半導体層であり、活性層403は高耐圧トランジスタを構成する半導体層であり、活性層404はメモリトランジスタを構成する半導体層である。次に熱酸化を行い、半導体基板上に接して熱酸化膜を形成し、第1絶縁膜405とする。熱酸化膜は薄く均一に形成できるので第1絶縁膜としては最適である(図4(A))。しかし、熱酸化膜に限らず、その他の成膜法を用いて第1絶縁膜を形成しても良い。 20

【0061】

続いて第1絶縁膜上に第1導電膜106として窒化タンタル(TaN)膜またはタンタル膜(Ta)を成膜する。その後、エッチングして、下部ゲート電極となる膜107、浮遊ゲート電極となる膜108を形成し、活性層403上の第1絶縁膜を露出させる(図4(B))。次に、下部ゲート電極となる膜107、浮遊ゲート電極となる膜108、露出した第1絶縁膜上に、第2絶縁膜109として酸化珪素膜を形成する。第2絶縁膜109を形成後、下部ゲート電極となる膜107上にある第2絶縁膜のみをエッチング除去する(図4(C))。 30

【0062】

その後、図4(D)に図示するとおり、タングステン(W)膜である第2導電膜110を下部ゲート電極となる膜107及び第2絶縁膜109上に形成する。

【0063】

次に第2導電膜110上にレジストを形成した後に、レジストマスク111～113を形成する。第2導電膜110、第2絶縁膜109、下部ゲート電極となる膜107、浮遊ゲート電極となる膜108はレジストマスク111～113を用いて順にエッチングされ、各トランジスタのゲート電極を形成する(図4(E))。 40

【0064】

次に、レジストマスク111～113を除去した後、不純物元素を活性層にドーピングしてソース領域及びドレイン領域を形成する(図4(F))。その後は、加熱処理、レーザアニール、ランプアニール等により、不純物元素の活性化を行う。

【0065】

これ以降の工程は図3と同様、層間絶縁膜を形成して、コンタクトホールを形成し、各半導体層及び制御ゲート電極に接続する配線を形成して完成となる。

【0066】

以上のような工程により、浮遊ゲート電極を有するメモリトランジスタ、ゲート絶縁膜 50

が積層されている高耐圧トランジスタ、メモリトランジスタのトンネル酸化膜と同じ膜厚のゲート絶縁膜を有する高速トランジスタを、同一基板上に効率良く、工程数を抑えた作製方法で作製できる。

#### 【0067】

本形態では、同一基板上に高速トランジスタ、高耐圧トランジスタ、メモリトランジスタを同時に形成する作製プロセスを紹介したが、これに限らず、メモリトランジスタと高速トランジスタ、メモリトランジスタと高耐圧トランジスタといった2種類のトランジスタを組み合わせて同一基板上に同時に形成しても良い。

#### 【実施例1】

#### 【0068】

メモリトランジスタをNチャネル型トランジスタ、高速トランジスタをPチャネル型及びNチャネル型トランジスタ、高耐圧トランジスタをPチャネル型及びNチャネル型トランジスタで構成する半導体記憶装置の作製方法について説明する。また、下記実施例1~4において様々な本発明の例を図面を用いて示すが、各図面において上記実施形態と共通の部分は同じ符号を付し、その詳細な説明として実施形態1の説明を参照する。

#### 【0069】

本実施例は、各素子のゲート電極等を形成するまでは前述した図1(A)~図2(D)と同様な作製工程なので、図2(D)以降の工程について図5を用いて以下に説明する。

#### 【0070】

図5(A)は、高速トランジスタ、高耐圧トランジスタ、メモリトランジスタの各ゲート電極上から図2(D)で示すレジストマスクを除去した状態を示している。ここに新たにレジストマスク501a、501bを形成する。そして、n型を付与する不純物元素を添加して、n型を呈する不純物領域502a、502b、503a、503b、504a、504bを形成する。なお、n型不純物元素としては、代表的には15族に属する元素、典型的にはリンまたは砒素を用いることができる(図5(B))。

#### 【0071】

この不純物領域502a、502b、503a、503b、504a、504bはそれぞれ、Nチャネル型の高速トランジスタのソース領域及びドレイン領域、Nチャネル型の高耐圧トランジスタのソース領域及びドレイン領域、Nチャネル型のメモリトランジスタのソース領域及びドレイン領域である。なお、ここで形成された不純物領域にはn型不純物元素が $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ (代表的には $2 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ )の濃度で含まれている。本明細書では、n型不純物元素を含む不純物領域をn型不純物領域と定義する。

#### 【0072】

上記n型不純物領域を形成後、レジストマスク501a、501bをウェットエッチングにより剥離して、新たにレジストマスク505a~cを形成する。そして、p型不純物元素(本実施例ではボロン)を添加して高濃度にボロンを含む不純物領域506a、506b、507a、507bを形成する(図5(C))。本実施例ではジボラン( $\text{B}_2\text{H}_6$ )を用いたイオンドープ法により、 $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ (代表的には $2 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ )の濃度でボロンを含む不純物領域を形成する。これら不純物領域は、Pチャネル型の高速トランジスタのソース領域及びドレイン領域、Pチャネル型の高耐圧トランジスタのソース領域及びドレイン領域である。なお、本明細書では、p型不純物元素を含む不純物領域をp型不純物領域と定義する。

#### 【0073】

以上の工程により各トランジスタの活性層に不純物領域を形成した後、レジストマスク505a~cをウェットエッチングにより剥離する。その後、不純物領域の活性化をし、層間絶縁膜121を形成する。次に、層間絶縁膜121をエッチングしてコンタクトホールを形成し、各トランジスタのn型不純物領域又はp型不純物領域である502a、502b、503a、503b、506a、506b、507a、507b、メモリトランジスタの制御ゲート電極に接続する配線508~516を形成する(図5(D))。配線材

10

20

30

40

50

料としては、実施形態 1 で述べた配線材料と同様のものが用いられる。以上の工程により、半導体記憶装置を完成させる。なお、本実施例は図 4 で示す半導体基板を用いた半導体記憶装置の作製方法にも応用が可能である。

【実施例 2】

【0074】

高耐圧トランジスタ及び高速トランジスタが、低濃度不純物領域の LDD 領域を有する LDD 構造の半導体記憶装置の作製方法について説明する。本実施例は、各トランジスタのゲート電極を形成するまでは前述した図 1 (A) ~ 図 2 (D) と同様な作製工程なので、図 2 (D) 以降の工程について図 6 及び図 7 を用いて以下に説明する。

【0075】

10

高速トランジスタ、高耐圧トランジスタ、メモリトランジスタの各ゲート電極上から図 2 (D) で示すレジストマスクを除去して、新たにレジストマスク 601a ~ d を形成する。そして、n 型を付与する不純物元素を添加して、メモリトランジスタの活性層に n 型不純物領域 602a、602b を形成する (図 6 (A))。なお、n 型不純物元素としては、代表的には 15 族に属する元素、典型的にはリンまたは砒素を用いることができる。

【0076】

n 型不純物領域 602a、602b はそれぞれ、N チャネル型のメモリトランジスタのソース領域及びドレイン領域である。なお、ここで形成された n 型不純物領域には n 型不純物元素が  $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$  (代表的には  $2 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ ) の濃度で含まれている。

20

【0077】

n 型不純物領域 602a、602b を形成後、レジストマスク 601a ~ d をウェットエッチングにより剥離して、次に P チャネル型の高速トランジスタ、P チャネル型の高耐圧トランジスタ、メモリトランジスタを覆うように、レジストマスク 603a ~ c を形成する。そして、n 型不純物元素を添加して低濃度に n 型不純物元素 (リン) を含む n 型不純物領域 604a、604b、605a、605b を形成する (図 6 (B))。こうして形成された n 型不純物領域 604a、604b、605a、605b には、代表的には  $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$  (典型的には  $3 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^3$ ) で n 型不純物元素が添加されるように調節する。

【0078】

30

次に、レジストマスク 603a ~ c をウェットエッチングにより剥離してから、レジストマスク 606a ~ c を形成し、p 型を付与する不純物元素を添加して、低濃度にボロンを含む p 型不純物領域 607a、607b、608a、608b を形成する (図 6 (C))。これら p 型不純物領域が、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$  程度の濃度で p 型を付与する不純物元素を含むようにボロン (B) を添加する。

【0079】

そして、レジストマスク 606a ~ c をウェットエッチングにより剥離して、酸化珪素膜 701 を全面に形成する (図 7 (A))。その後、酸化珪素膜 701 をエッチバックして、各ゲート電極の側面にサイドウォール 702a ~ e を形成する (図 7 (B))。このとき、第 1 絶縁膜 105 は酸化珪素膜 701 と一緒にドライエッチングにさらされるが、実

40

【0080】

次に、高濃度のリンを添加するため、P チャネル型の高速トランジスタ及び高耐圧トランジスタ、メモリトランジスタをレジストマスク 703a ~ c で覆う。そして、リンを添加し、 $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$  (代表的には  $2 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ ) の濃度で n 型不純物元素を含むような n 型不純物領域を形成する。この不純物元素の添加により、N チャネル型の高速トランジスタのソース領域 704a 及びドレイン領域 704b、低濃度不純物領域である LDD 領域 704c 及び 704d、チャネル形成領域 704e が形成される。また、N チャネル型の高耐圧トランジスタのソー

50

ス領域 705a 及びドレイン領域 705b、LDD 領域 705c 及び 705d、チャネル形成領域 705e が形成される (図 7 (C))。

#### 【0081】

次に、レジストマスク 703a ~ c をウェットエッチングにより剥離して、レジストマスク 706a ~ c を形成する。そして、p 型不純物元素を添加して、 $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$  の濃度でボロンを含むように p 型不純物領域を形成する。これにより、P チャネル型の高速トランジスタのソース領域 707a 及びドレイン領域 707b、LDD 領域 707c 及び 707d、チャネル形成領域 707e が形成される。また、P チャネル型の高耐圧トランジスタのソース領域 708a 及びドレイン領域 708b、LDD 領域 708c 及び 708d、チャネル形成領域 708e が形成される (図 7 (D))。

10

#### 【0082】

以上のような工程により、メモリトランジスタ以外の高速トランジスタ、高耐圧トランジスタを LDD 構造にできる。図 7 (D) 以降は、レジストマスク 706a ~ c を除去し、図 5 (D) と同様な工程を経て完成となる。本実施例の構成は、LDD 構造をとることによってトランジスタの耐圧を良くすることができ、また、微細化が進み単チャネル効果が生じたときに、単チャネル効果を抑制することができる。なお、本実施例は図 4 で示す半導体基板を用いた半導体記憶装置の作製方法にも応用が可能である。

#### 【実施例 3】

#### 【0083】

本実施例は、実施例 2 とは別の方法で、LDD 構造又は GOLD 構造を有する半導体記憶装置の作製方法について説明する。本実施例は、第 2 導電膜を形成するまでは前述した図 1 (A) ~ 図 2 (A) と同様な作製工程なので、図 2 (A) 以降の工程について図 8 及び図 9 を用いて以下に説明する。なお本明細書において、LDD 領域がゲート絶縁膜を介してゲート電極と重なる領域を Lov 領域 (第 1 の LDD 領域) と呼び、LDD 領域がゲート絶縁膜を介してゲート電極と重ならない領域を Loff 領域 (第 2 の LDD 領域) と呼ぶ。

20

#### 【0084】

第 2 導電膜 110 を形成した後に、第 2 導電膜上に酸化珪素膜 801 を形成する。そして、酸化珪素膜 801 上にレジストを堆積しパターンニングして、レジストマスク 802a ~ e を形成する (図 8 (A))。このレジストマスク 802a ~ e を用いてその下層の酸化珪素膜 801 をエッチングして酸化珪素膜 803a ~ e を形成し、次に第 2 導電膜 110 をエッチングして上部ゲート電極 804a、804b、高耐圧トランジスタのゲート電極 804c、804d、制御ゲート電極 804e を形成する。さらに、レジストマスク 802c ~ e を用いて第 2 絶縁膜 109 をエッチングして、高耐圧トランジスタの上部ゲート絶縁膜 805a、805b、メモリトランジスタの第 2 ゲート絶縁膜 805c を形成する。次に、レジストマスク 802a、802b、802e を用いて、下部ゲート電極となる膜 107a、107b、浮遊ゲート電極となる膜 108 をエッチングして、下部ゲート電極 806a、806b、浮遊ゲート電極 806c を形成する (図 8 (B))。

30

#### 【0085】

図 8 (A) で示すレジストマスク 802a ~ e を形成してから、図 8 (B) の状態になるまで、各膜のエッチングは全てレジストマスク 802a ~ e のいずれかを用いて行われる。

40

#### 【0086】

レジストマスク 802a ~ e を除去後、新たにレジストマスク 807a、807b を形成し、P 型チャネルの高速トランジスタ及び高耐圧トランジスタを覆う。次に、n 型を付与する不純物元素を添加して n 型不純物領域 808a ~ f を形成する。n 型不純物領域 808a ~ f の n 型不純物領域の濃度が  $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$  (代表的には  $2 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ ) になるように形成する。なお、n 型不純物元素としては、代表的には 15 族に属する元素、典型的にはリンまたは砒素を用いることができる (図 8 (C))。

50



## 【 0 0 8 7 】

次に、レジストマスクを 8 0 7 a ~ b をウェットエッチングにより剥離して、レジストマスク 9 0 1 a ~ c を形成する。この状態で、p 型を付与する不純物元素を高濃度で添加して、p 型不純物領域 9 0 2 a ~ d を形成する。p 型不純物領域 9 0 2 a ~ d が、 $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$  の濃度で p 型不純物元素を含むように、不純物元素を添加する。p 型不純物元素としてはボロンを用いることができる（図 9（A））。

## 【 0 0 8 8 】

その後、レジストマスク 9 0 1 a ~ c をウェットエッチングにより剥離する。次に酸化珪素膜 8 0 3 a ~ e をマスクとして、上部ゲート電極 8 0 4 a、8 0 4 b、高耐圧トランジスタのゲート電極 8 0 4 c、8 0 4 d、制御ゲート電極 8 0 4 e の等方性エッチングを行い、その側面を目減りさせ、横幅の小くなった上部ゲート電極 9 0 3 a、9 0 3 b、高耐圧トランジスタのゲート電極 9 0 3 c、9 0 3 d、制御ゲート電極 9 0 3 e を形成する（図 9（B））。次に酸化珪素膜 8 0 3 a ~ e を除去し、P 型チャネルの高速トランジスタ及び高耐圧トランジスタを覆うレジストマスク 9 0 4 a、9 0 4 b を形成する。そして、n 型を付与する不純物元素を添加し、N チャネル型の高速トランジスタのソース領域 9 0 5 a 及びドレイン領域 9 0 5 b、L o v 領域 9 0 5 c 及び 9 0 5 d、チャネル形成領域 9 0 5 e を形成する。また、N チャネル型の高耐圧トランジスタのソース領域 9 0 6 a 及びドレイン領域 9 0 6 b、L o f f 領域 9 0 6 c 及び 9 0 6 d、チャネル形成領域 9 0 6 e を形成する。L o v 領域 9 0 5 c 及び 9 0 5 d、L o f f 領域 9 0 6 c 及び 9 0 6 d は、代表的には  $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ （典型的には  $3 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^3$ ）の n 型不純物元素が添加されるようにする（図 9（C））。

## 【 0 0 8 9 】

次に、レジストマスク 9 0 4 a、9 0 4 b をウェットエッチングにより剥離して、レジストマスク 9 0 7 a ~ c を形成する。そして、p 型不純物元素を低濃度で添加して p 型不純物領域を形成する。低濃度 p 型不純物領域が、 $1 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$  程度の濃度で不純物元素を含むようにボロン（B）を添加する。これにより、P チャネル型の高速トランジスタのソース領域 9 0 8 a 及びドレイン領域 9 0 8 b、L o v 領域 9 0 8 c 及び 9 0 8 d、チャネル形成領域 9 0 8 e が形成された。また、P チャネル型の高耐圧トランジスタのソース領域 9 0 9 a 及びドレイン領域 9 0 9 b、L o f f 領域 9 0 9 c 及び 9 0 9 d、チャネル形成領域 9 0 9 e が形成された。

## 【 0 0 9 0 】

以上のような工程により、高速トランジスタは G O L D 構造、高耐圧トランジスタは L D D 構造となる。その後、レジストマスク 9 0 7 a ~ c をウェットエッチングにより剥離した後に図 5（D）と同様な工程を経て完成する。また、上部ゲート電極 9 0 3 a、9 0 3 b をマスクとして、高速トランジスタの下部ゲート電極 8 0 6 a、8 0 6 b を上部ゲート電極と同じゲート電極長になるようエッチングすれば、高速トランジスタは L o f f 領域を有する L D D 構造となる。

## 【 0 0 9 1 】

L D D 構造は耐圧性が良いトランジスタが得られ、G O L D 構造は信頼性が良いトランジスタが得られるため、状況により適した構造を用いれば良い。なお、本実施例は図 4 で示す半導体基板を用いた半導体記憶装置の作製方法にも応用が可能である。

## 【実施例 4】

## 【 0 0 9 2 】

本実施例は、高速トランジスタ及び高耐圧トランジスタが低濃度不純物領域を有する半導体記憶装置の作製方法について説明する。本実施例は、第 2 導電膜を形成するまでは前述した図 1（A）～図 2（A）と同様な作製工程なので、図 2（A）以降の工程について図 10 及び図 11 を用いて以下に説明する。

## 【 0 0 9 3 】

第 2 導電膜上にレジストを堆積した後に、レジストマスク 1 0 0 1 a ~ e を形成する。

そして電極を形成するための第1のエッチング処理を行う。エッチングにはICP (Inductive Coupled Plasma: 誘導結合型プラズマ) エッチング装置を用いる。第1のエッチング処理には、エッチングガスとして $CF_4$ 、 $Cl_2$ 、 $O_2$ を添加する。エッチング圧力は1.3 Paとし、800 Wのプラズマ生成用の電力、300 Wの基板バイアス用の電力を供給する。このエッチングにより、第2導電膜はテーパ状のパターン1002a~eとなる(図10(A))。

【0094】

次に、第2絶縁膜109の酸化珪素膜を、 $CHF_3$ ガスを用いたテーパエッチングにより第2のエッチング処理を行う。これにより第2絶縁膜はテーパ状の上部ゲート絶縁膜1003a、1003b、テーパ状の第2ゲート絶縁膜1003cに加工される(図10(B))。 10

【0095】

次に、第3のエッチング処理として、エッチングガスを $CF_4$ 、 $Cl_2$ に切り替えて第1導電層である窒化タンタルまたはタンタルのエッチングを行う。この時のエッチング条件は、エッチング圧力1.3 Pa、500 Wのプラズマ生成用の電力、10 Wの基板バイアス用の電力を供給する。以上のようにして、テーパ状の下部ゲート電極1004a、1004b、浮遊ゲート電極1004cを形成することができる(図10(C))。

【0096】

次は、エッチングガスに $SF_6$ 、 $Cl_2$ 、 $O_2$ を用いてテーパ状のパターン1002a~eの異方性エッチングを行う。エッチング圧力は1.9 Paとし、500 Wのプラズマ生成用の電力、3 Wの基板バイアス用の電力を供給する。この異方性エッチングにより、テーパ状のパターン1002a~eの端部は下部ゲート電極1004a、1004b、浮遊ゲート電極1004cやテーパ状の上部ゲート絶縁膜1003a、1003b、テーパ状の第2ゲート絶縁膜1003cよりも内側に後退する(図11(A))。 20

【0097】

レジストマスク1001a~eを除去した後に、Pチャネル型のトランジスタ上にレジストマスクを1101a、1101bを形成して、 $1 \times 10^{19} \sim 5 \times 10^{21} / cm^3$ のリン濃度でイオン注入する。これにより、Nチャネル型の高速トランジスタでは、ソース領域1102a及びドレイン領域1102b、Lov領域1102c及び1102d、チャネル形成領域1102eが一度に形成される。Nチャネル型の高耐圧トランジスタでは、ソース領域1103a及びドレイン領域1103b、Loff領域1103c及び1103d、チャネル形成領域1103eが一度に形成される。メモリトランジスタでは、ソース領域1104a及びドレイン領域1104b、Lov領域1104c及び1104d、チャネル形成領域1104eが一度に形成される(図11(B))。 30

【0098】

次に、レジストマスク1101a、1101bをウェットエッチングにより剥離する。次に、Nチャネル型のトランジスタ及びメモリトランジスタを覆うように、レジストマスク1105a~cを形成し、 $1 \times 10^{19} \sim 5 \times 10^{21} / cm^3$ の不純物濃度(ボロン)でイオン注入する。これにより、Pチャネル型の高速トランジスタでは、ソース領域1106a及びドレイン領域1106b、Lov領域1106c及び1106d、チャネル形成領域1106eが形成される。Pチャネル型の高耐圧トランジスタでは、ソース領域1107a及びドレイン領域1107b、Loff領域1107c及び1107d、チャネル形成領域1107eが形成される(図11(C))。 40

【0099】

以後は、レジストマスク1105a~cをウェットエッチングにより剥離した後、図5(D)と同様な工程を経て完成となる。また、上部ゲート電極をマスクとして、高速トランジスタの下部ゲート電極のテーパ部分をエッチングすれば、Loff領域を有するLDD構造にもできる。本実施例は、一度の不純物元素の注入により、ソース及びドレイン領域と共にLoff領域、Lov領域を形成できる。また、本実施例の構成は、微細化が進み単チャネル効果が生じたときに、単チャネル効果を抑制することができる。なお、本 50

実施例は図４で示す半導体基板を用いた半導体記憶装置の作製方法にも応用が可能である。

【実施例５】

【０１００】

本発明の半導体記憶装置を用いた半導体装置として、ＣＰＵ（Ｃｅｎｔｒａｌ　Ｐｒｏ  
ｃｅｓｓｉｎｇ　Ｕｎｉｔ）を内蔵する非接触型のＩＣカードあるいはＩＤタグの典型的  
なブロック図を図１２に示す。同図において、半導体装置１２０１は、集積回路１２１１  
を内蔵し、集積回路１２１１は、電源回路１２０３、クロック発生回路１２０４、データ  
復調変調回路１２０５、ＣＰＵ１２０７、インターフェース（ＩＦと表記）１２０８、不  
揮発性メモリ（ＮＶＭと表記）１２０９、ＳＲＡＭ１２１０によって構成されている。な  
お、ＳＲＡＭ１２１０の代わりに、ＤＲＡＭなどの揮発性メモリを用いても構わない。 10

【０１０１】

本実施例においては、不揮発性メモリ１２０９として本発明の半導体記憶装置を構成す  
るメモリトランジスタを用いる。また、クロック発生回路１２０４、データ復調変調回路  
１２０５、ＣＰＵ１２０７、インターフェース１２０８、ＳＲＡＭ１２１０を構成するト  
ランジスタとして、高速動作のトランジスタが必要な場合は、本発明の半導体記憶装置を  
構成する高速トランジスタの作製プロセスで、本発明の半導体記憶装置と同時に作製する  
ことができる。電源回路１２０３を構成するトランジスタとして高耐圧性のトランジスタ  
が必要な場合は、本発明の半導体記憶装置を構成する高耐圧トランジスタの作製プロセス  
で、本発明の半導体記憶装置と同時に作製することができる。以上より、同一基板上に集 20  
積回路を効率よく作製できる。

【０１０２】

さらに、作製工程が簡略化され、低価格に作製できる本発明の半導体記憶装置を不揮発  
性メモリ１２０９に適用できるため、コストの低減及び小型化を実現した半導体装置１２  
０１を提供することが可能となる。

【０１０３】

集積回路１２１１はガラス基板上、もしくはフレキシブル基板上、半導体基板上に形成  
されている。アンテナ１２０２は、半導体装置内の集積回路１２１１と同一基板上に形成  
されていても良いし、集積回路上下の保護層に形成されていても良い。このように、集積  
回路１２１１と同一基板上にアンテナを形成する場合、ナノ粒子を使った組成物を印刷法 30  
（液滴出法やスクリーン印刷法）により形成する方法を用いることもできる。

【０１０４】

また、半導体装置は、アンテナとの接続端子だけを設けた集積回路１２１１と、銅やアル  
ミニウムなどで作成したアンテナ１２０２とを、異方性導電膜等を用いて電氣的に接続  
しても良い。

【０１０５】

また、集積回路１２１１のサイズは５ミリ角以下で、好ましくは０．３ミリ～４ミリ角  
の面積を有し、集積回路１２１１上下の保護層は半導体装置のサイズよりも大きい。

【０１０６】

本実施例は、実施形態１～２、実施例１～４と組み合わせて用いることが可能である。 40

【実施例６】

【０１０７】

本発明の半導体記憶装置を有する非接触型のＲＦＩＤ（Ｒａｄｉｏ　Ｆｒｅｑｕｅｎｃ  
ｙ　Ｉｄｅｎｔｉｆｉｃａｔｉｏｎ）タグの典型的なブロック図を図１３に示す。図１３  
には、認証データ等の固定データを読み出す簡単な機能を有する構成を示した。同図にお  
いて、ＲＦＩＤタグ１３０１は、アンテナ１３０２、高周波回路１３０３、電源回路１３  
０４、リセット回路１３０５、クロック発生回路１３０６、データ復調回路１３０７、デ  
ータ変調回路１３０８、制御回路１３０９、不揮発性メモリ（ＮＶＭと表記）１３１０、  
ＲＯＭ１３１１によって構成されている。

【０１０８】

本実施例においては、不揮発性メモリ 1310 として本発明の半導体記憶装置を構成するメモリトランジスタを用いる。また、高周波回路 1303、リセット回路 1305、クロック発生回路 1306、データ復調回路 1307、データ変調回路 1308、制御回路 1309、ROM 1311 を構成するトランジスタとして、高速動作をするトランジスタが必要な場合は、本発明の半導体記憶装置を構成する高速トランジスタの作製プロセスで同時に作製することができる。電源回路 1304 を構成するトランジスタとして高耐圧性のトランジスタが必要な場合は、本発明の半導体記憶装置を構成する高耐圧トランジスタの作製プロセスにより、本発明の半導体記憶装置と同時に作製することができる。以上より、同一基板上に RFID タグを効率よく作製することが可能となる。

#### 【0109】

さらに、作製工程が簡略化され、低価格に作製できる本発明の半導体記憶装置を不揮発性メモリ 1310 に適用できるため、RFID タグ 1301 としてもコストの低減及び小型化を実現することが可能となる。

#### 【0110】

また、図 13 に示した回路は全てガラス基板上、もしくはフレキシブル基板上、半導体基板上に形成されている。アンテナ 1302 は前記ガラス基板上、もしくはフレキシブル基板上、半導体基板上に形成されていてもよいし、基板の外部にあり、基板内部の半導体集積回路と接続されるものであってもよい。

#### 【0111】

高周波回路 1303 はアンテナ 1302 よりアナログ信号を受信し、またデータ変調回路 1308 より受け取ったアナログ信号をアンテナ 1302 から出力する回路である。電源回路 1304 は受信信号から定電源を生成する回路、リセット回路 1305 はリセット信号を生成する回路、クロック発生回路 1306 はクロック信号を発生する回路、データ復調回路 1307 は受信した信号からデータを抽出する回路、データ変調回路 1308 は制御回路から受け取ったデジタル信号をもとにアンテナへ出力するアナログ信号を生成、あるいは、アンテナ特性を変化させる回路であり、以上の回路からアナログ部が構成される。

#### 【0112】

一方、制御回路 1309 は受信した信号から抽出したデータを受け取って、データ読み出しを行う。具体的には、不揮発性メモリ 1310 や ROM 1311 のアドレス信号を生成して、データの読み出しを行ない、読み出したデータをデータ変調回路に送る。以上の回路からデジタル部が構成されている。

#### 【0113】

本実施例は、実施形態 1 ~ 2、実施例 1 ~ 4 と組み合わせて用いることが可能である。

#### 【実施例 7】

#### 【0114】

実施例 5 及び 6 で説明した ID タグの利用形態について説明する。なお、本実施例では、実施例 5 及び 6 の ID タグを搭載したカード（以下、IDF カードと表記する）を用いて説明する。

#### 【0115】

図 14 (A) には、絶縁基板 1401 上に、識別情報を有する IDF チップ 1402、アンテナ 1403 が設けられている。

#### 【0116】

そして図 14 (B) に示すように、第 1 のフィルム 1404 及び第 2 のフィルム 1405 を貼り合わせ、IDF カード 1406 を完成させる。このとき IDF チップは、実装するカードに対して中心部に配置し、IDF チップの周囲は物品の基材、本実施の形態においては第 1 及び第 2 のフィルムで覆われるように形成するとよい。その結果、IDF チップの機械的強度を高めることができる。具体的には、IDF チップを挟み込む位置（IDF チップの中心）：X は、カードの厚みを D とすると、 $(1/2) \times D - 30 \mu m < X < (1/2) \times D + 30 \mu m$  を満たすように配置するとするとよい。

10

20

30

40

50

## 【 0 1 1 7 】

また本実施の形態では、基板上にアンテナが形成された I D F チップを用いる場合で説明したが、アンテナが実装された I D F チップを用いた場合であってもよく、I D F チップは上記位置を満たすと好ましい。

## 【 実施例 8 】

## 【 0 1 1 8 】

本発明の半導体記憶装置をチップ化し、特定の用途を想定した装置の内部に組み込まれる場合について図 1 5 を用いて説明する。本実施例では B G A ( b a l l g r i d a r r a y ) 技術によりパッケージされ実装化される例を説明する。

## 【 0 1 1 9 】

図 1 5 ( A ) に示すように、本発明の半導体記憶装置が複数作製された基板から切り分けられた半導体記憶装置 1 5 0 1 は、樹脂基板等の基板 1 5 0 2 に貼り付けられる。また、半導体記憶装置 1 5 0 1 は、金線からなるワイヤ 1 5 0 3 によりリードフレーム 1 5 0 4 にワイヤボンディングされ、樹脂 1 5 0 5 で封止されている。半導体記憶装置 1 5 0 1 が貼り付けられている樹脂基板の反対側には、はんだボール端子 1 5 0 6 が形成される。このようにパッケージされたチップは、はんだボール端子 1 5 0 6 を介して特定の装置に実装される。

## 【 0 1 2 0 】

本発明の半導体記憶装置は同一基板上に作製できるため、本実施例のように半導体記憶装置を複数作製した後に切り離し、一度に大量のメモリチップを作製できる。

## 【 実施例 9 】

## 【 0 1 2 1 】

本発明の半導体記憶装置の一例である不揮発性メモリを、ワンチップ上に集積化されたシステム L S I に適用する場合について説明する。

## 【 0 1 2 2 】

なお、システム L S I とは、特定の用途を想定した装置の内部に組み込まれ、装置の制御やデータ処理を行うシステムを構成する L S I である。用途は多岐にわたり、例えば、携帯電話、P D A、D S C、テレビ、プリンタ、F A X、ゲーム機、カーナビゲーション、D V D プレーヤ、などを挙げることができる。

## 【 0 1 2 3 】

図 1 6 に示すのは、システム L S I の一例である。システム L S I は典型的には C P U コア 1 6 0 1、フラッシュメモリ 1 6 0 4、クロックコントローラ 1 6 0 3、メインメモリ 1 6 0 2、メモリコントローラ 1 6 0 5、割り込みコントローラ 1 6 0 6、I / O ポート 1 6 0 7 等から構成される。もちろん、図 1 6 に示すシステム L S I は簡略化した一例であり、実際のシステム L S I はその用途によって多種多様な回路設計が行われる。

## 【 0 1 2 4 】

フラッシュメモリ 1 6 0 4 に本発明の半導体記憶装置を構成するメモリトランジスタを用いることができる。メインメモリ 1 6 0 2 としては、例えば S R A M や D R A M を用いることができる。本発明の半導体記憶装置をシステム L S I のフラッシュメモリとすることにより、システム L S I のコストの低減及び小型化を実現できる。

## 【 0 1 2 5 】

また、C P U コア 1 6 0 1、クロックコントローラ 1 6 0 3、メインメモリ 1 6 0 2、メモリコントローラ 1 6 0 5、割り込みコントローラ 1 6 0 6、I / O ポート 1 6 0 7 を構成するトランジスタとして、高速動作をするトランジスタが必要な場合は、本発明の半導体記憶装置を構成する高速トランジスタの作製と同様に作製することができる。これより、同一基板上に半導体装置とともにその他の回路も効率よく作製することが可能となる。

## 【 0 1 2 6 】

本実施例は、実施形態 1 ~ 2、実施例 1 ~ 4 と組み合わせて用いることが可能である。また、実施例 8 では半導体記憶装置をチップ化した例であったが、本実施例でも同様にシ

10

20

30

40

50

ステム L S I をパッケージングして、実装化しても良い。

【実施例 10】

【0127】

本実施例は、パネルと同一基板上に本発明の半導体記憶装置を貼り付ける、又は作製する例を図 17 及び図 18 を用いて説明する。

【0128】

図 17 (A) は、画素部 1701 と同一基板上に、本発明の半導体記憶装置が設けられた例である。基板 1702 はどのような基板でもよくガラス基板でも良い。1703 はメモリ部、1704 はゲート側駆動回路、1705 はソース側駆動回路、1706 は外部入力端子である。図 17 (A) の A - A' で切った断面図を図 17 (B) に示す。基板 1702 上には画素部 1701、ゲート側駆動回路 1704 が形成されており、画素部 1701 は電流制御用薄膜トランジスタ 1710 とそのドレインに電氣的に接続された画素電極 1711 を含む複数の画素により形成される。また、ゲート側駆動回路 1704 は n チャネル型薄膜トランジスタと p チャネル型 FET とを相補的に組み合わせた CMOS 回路 1712 を用いて形成される。

10

【0129】

画素電極 1711 は EL 素子の陰極として機能する。また、画素電極 1711 上には発光層、正孔注入層が形成される。また、その上には EL 素子の陽極、パッシベーション膜等が形成される。メモリ部 1703 は、高速トランジスタ 1721、高耐圧トランジスタ 1722、メモリトランジスタ 1723 で形成される。

20

【0130】

メモリ部 1703 と駆動回路又は画素部とは、接続配線 1714 を経由し、さらに異方性導電性フィルム 1716、電極パッド 1717 を介して、電氣的に接続されている。より具体的には、半導体記憶装置の高速トランジスタの配線部分が、駆動回路又は画素部と電氣的に接続している。

【0131】

1718 はカバー材、1719 は第 1 シール材、1720 は第 2 シール材であり、第 1 シール材 1719 で囲まれた内側のカバー材 1718 と基板 1702 との間には充填材 (図示せず) が設けられる。

【0132】

図 17 (B) は、半導体記憶装置を逆さまにして基板 1702 に貼り付けた例だが、逆さまにせず、基板 1702 と半導体記憶装置が形成されている基板とを接着しても良い。また、本実施例では EL 表示装置について説明したが、液晶パネルと同一基板上に半導体記憶装置を設けて、液晶表示装置にも適用できることは言うまでもない。

30

【0133】

以上より、画素部のメモリとして本発明の半導体記憶装置を設けることができ、低コストで小型のメモリを備える表示装置を提供できる。

【0134】

図 18 は、画素部と駆動回路が設けられている同一基板上にメモリ部を設けた場合の例である。図 18 において、図 17 と共通の部分は同じ符号を付して詳しい説明を省略する。図 18 において、図示されていないが、メモリ部の高速トランジスタの配線と周辺駆動回路は、各トランジスタのソース領域及びドレイン領域に直接接続している配線同士により、電氣的に接続している。従って、図 17 の場合よりも、より簡単に駆動回路部とメモリ部とを接続できる。図 18 の構成では、全てが同一基板上に同時に作製できるため、図 17 で説明した構成よりもさらに小型で低コストの表示装置が得られ、作製工程も簡略化できる。

40

【実施例 11】

【0135】

本発明を用いて様々な半導体装置を完成させることができる。その一例は、携帯情報端末 (電子手帳、モバイルコンピュータ、携帯電話など)、ビデオカメラ、デジタルカメラ

50

、パーソナルコンピュータ、テレビ受像器、投影型表示装置などが挙げられる。それらの一例を図に示す。なお、本発明の半導体記憶装置が図 19 に示す装置へ実装される又は配置される方法は、実施例 8 ~ 10 を参照する。

【0136】

図 19 (A) は本発明を適用してテレビ受像器を完成させる一例であり、筐体 2401、支持台 2402、表示部 2403 などにより構成されている。本発明の半導体記憶装置を備えることで低コストなテレビ受像器を提供できる。

【0137】

図 19 (B) は本発明を適用してビデオカメラを完成させた一例であり、本体 2411、表示部 2412、音声入力部 2413、操作スイッチ 2414、バッテリー 2415、受像部 2416 などにより構成されている。本発明の半導体記憶装置を備えることで低コストなビデオカメラを提供できる。

【0138】

図 19 (C) は本発明を適用してノート型のパーソナルコンピュータを完成させた一例であり、本体 2421、筐体 2422、表示部 2423、キーボード 2424 などにより構成されている。本発明の半導体記憶装置を備えることで低コストなパーソナルコンピュータを提供できる。

【0139】

図 19 (D) は本発明を適用して PDA (Personal Digital Assistant) を完成させた一例であり、本体 2431、スタイラス 2432、表示部 2433、操作ボタン 2434、外部インターフェース 2435 などにより構成されている。本発明の半導体記憶装置を備えることで低コストな PDA を提供できる。

【0140】

図 19 (E) は本発明を適用して音響再生装置を完成させた一例であり、具体的には車載用のオーディオ装置であり、本体 2441、表示部 2442、操作スイッチ 2443、2444 などにより構成されている。本発明の半導体記憶装置を備えることで低コストな音響再生装置を提供できる。

【0141】

図 19 (F) は本発明を適用してデジタルカメラを完成させた一例であり、本体 2451、表示部 (A) 2452、接眼部 2453、操作スイッチ 2454、表示部 (B) 2455、バッテリー 2456 などにより構成されている。本発明の半導体記憶装置を備えることで低コストなデジタルカメラを提供できる。

【0142】

図 19 (G) は本発明を適用して携帯電話を完成させた一例であり、本体 2461、音声出力部 2462、音声入力部 2463、表示部 2464、操作スイッチ 2465、アンテナ 2466 などにより構成されている。本発明の半導体記憶装置を備えることで低コストな携帯電話を提供できる。

【0143】

なお、ここで示す装置はごく一例であり、これらの用途に限定するものではない。

【0144】

本実施例は、実施形態 1 ~ 2、実施例 1 ~ 4、8 ~ 10 と組み合わせて用いることが可能である。

【図面の簡単な説明】

【0145】

【図 1】本発明の半導体記憶装置の作製工程を説明する図である。

【図 2】本発明の半導体記憶装置の作製工程を説明する図である。

【図 3】本発明の半導体記憶装置の作製工程を説明する図である。

【図 4】本発明の半導体記憶装置の作製工程を説明する図である。。

【図 5】本発明の半導体記憶装置の作製工程を説明する図である。

【図 6】本発明の半導体記憶装置の作製工程を説明する図である。

10

20

30

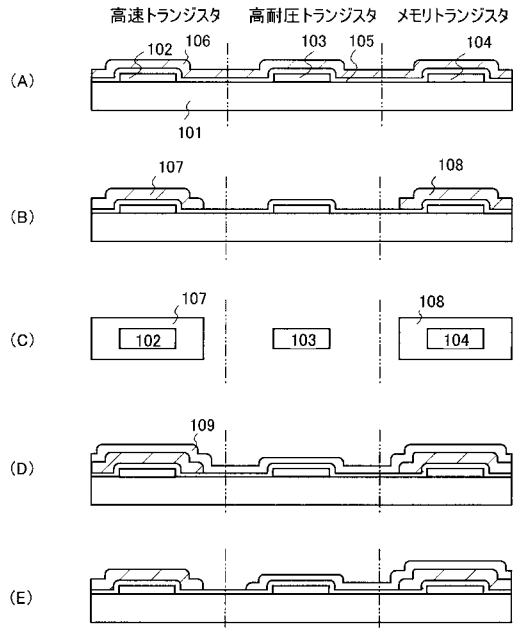
40

50

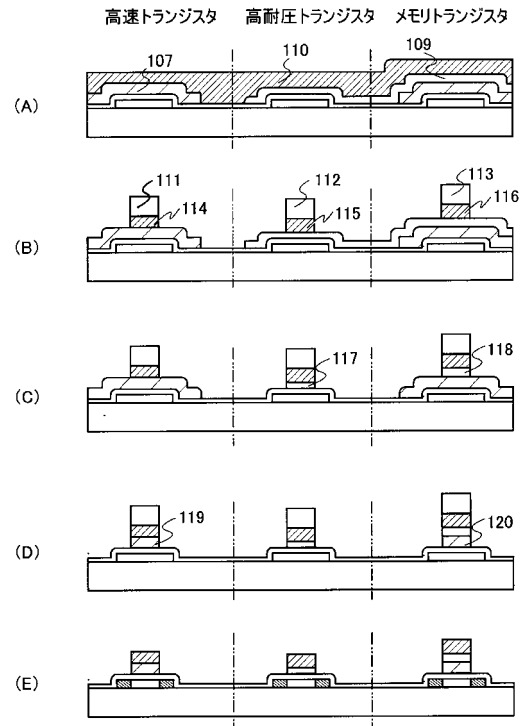
- 【図 7】本発明の半導体記憶装置の作製工程を説明する図である。
- 【図 8】本発明の半導体記憶装置の作製工程を説明する図である。
- 【図 9】本発明の半導体記憶装置の作製工程を説明する図である。
- 【図 10】本発明の半導体記憶装置の作製工程を説明する図である。
- 【図 11】本発明の半導体記憶装置の作製工程を説明する図である。
- 【図 12】本発明の半導体記憶装置を用いた半導体装置の典型的なブロック図である。
- 【図 13】本発明の半導体記憶装置を有する非接触型の R F I D タグの典型的なブロック図である。
- 【図 14】I D F チップを搭載したカードの図である。
- 【図 15】本発明の半導体記憶装置がパッケージングされた図である。 10
- 【図 16】発明の半導体記憶装置を用いて集積化されたシステム L S I を作製した図である。
- 【図 17】本発明の半導体記憶装置を画素部と同一基板上に設けた図である。
- 【図 18】本発明の半導体記憶装置を画素部と同一基板上に設けた図である。
- 【図 19】本発明の半導体記憶装置を用いた半導体装置の例を示した図である。
- 【符号の説明】
- 【 0 1 4 6 】
- 1 0 1 基板
- 1 0 2 活性層
- 1 0 3 活性層
- 1 0 4 活性層 20
- 1 0 5 第 1 絶縁膜
- 1 0 6 第 1 導電膜
- 1 0 7 膜
- 1 0 7 a 膜
- 1 0 8 膜
- 1 0 9 第 2 絶縁膜
- 1 1 0 第 2 導電膜
- 1 1 1 レジストマスク
- 1 1 2 レジストマスク 30
- 1 1 4 上部ゲート電極
- 1 1 5 ゲート電極
- 1 1 6 制御ゲート電極
- 1 1 7 パターン
- 1 1 8 パターン
- 1 1 9 下部ゲート電極
- 1 2 0 浮遊ゲート電極
- 1 2 1 層間絶縁膜
- 1 2 2 配線
- 1 2 8 配線 40



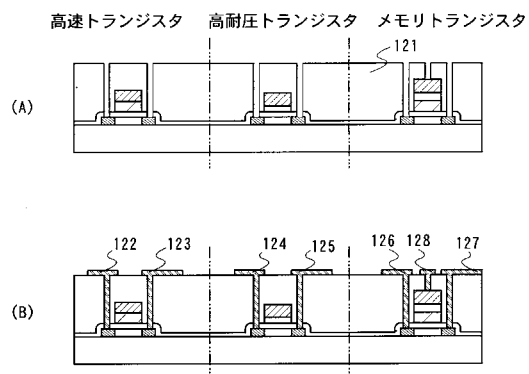
【図 1】



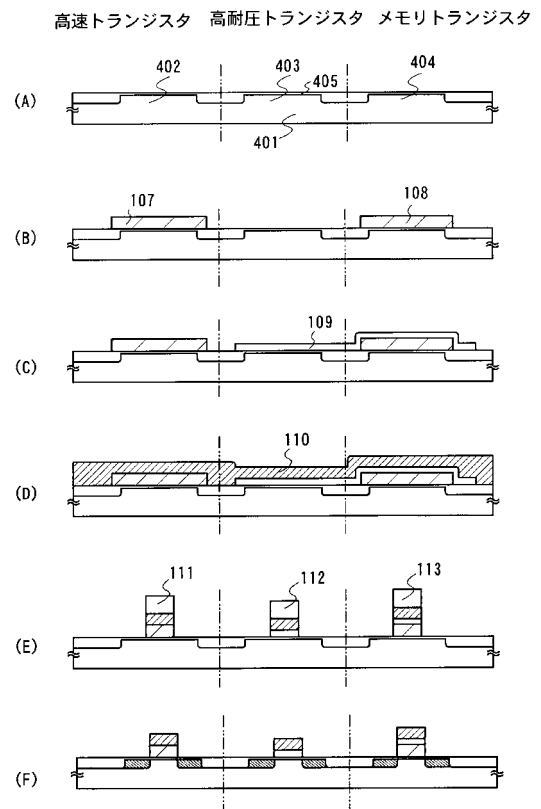
【図 2】



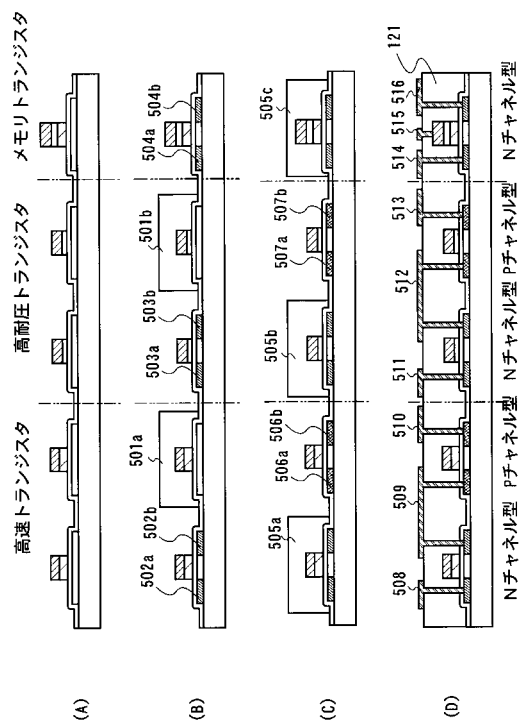
【図 3】



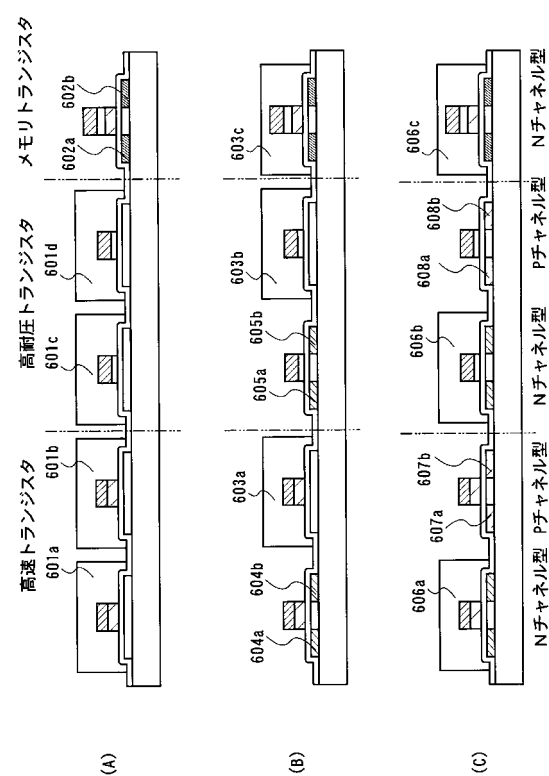
【図 4】



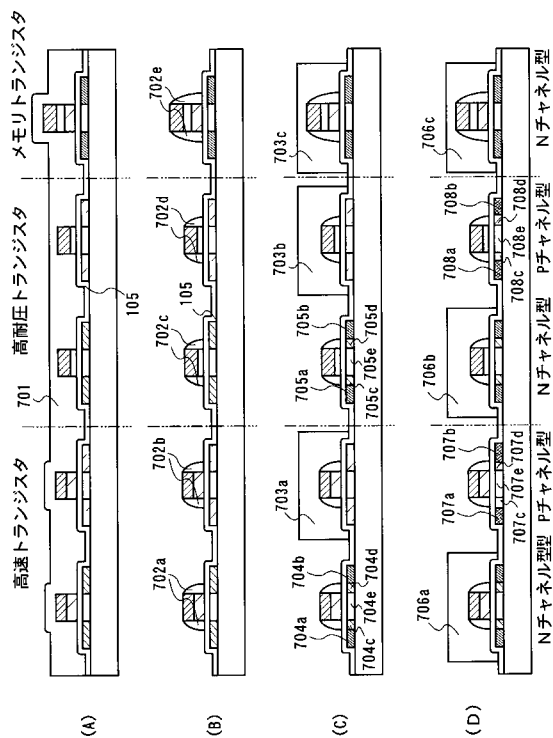
【 図 5 】



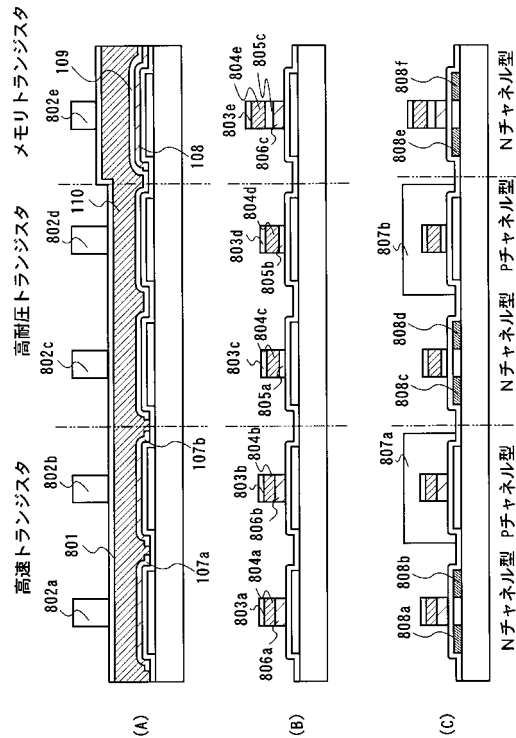
【 図 6 】



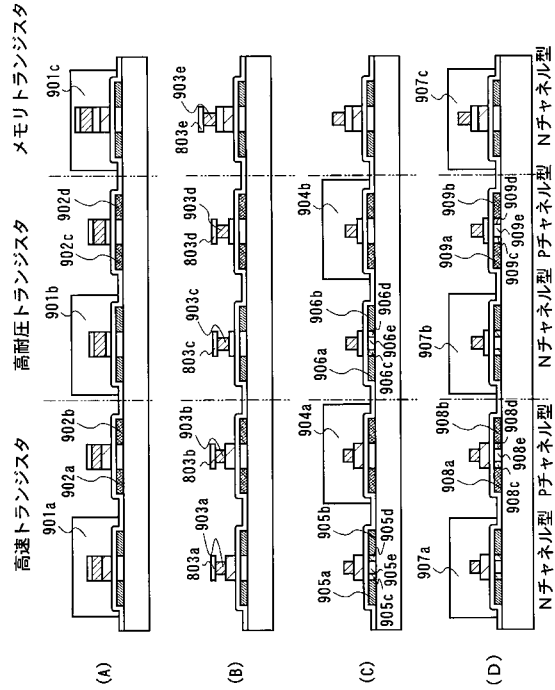
【 図 7 】



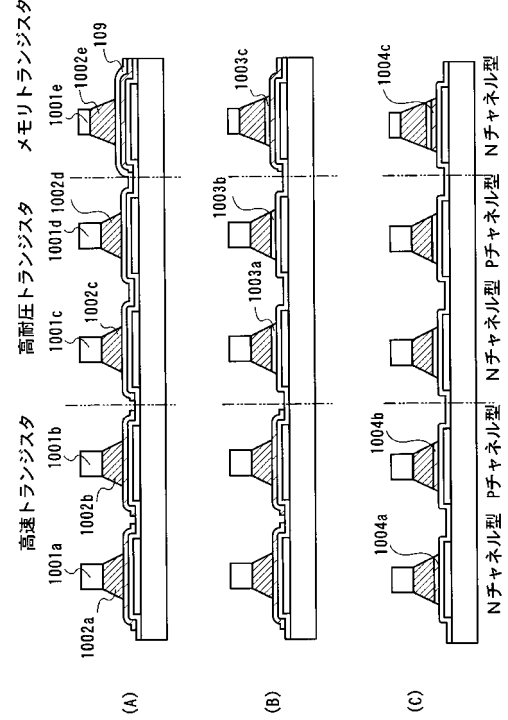
【 図 8 】



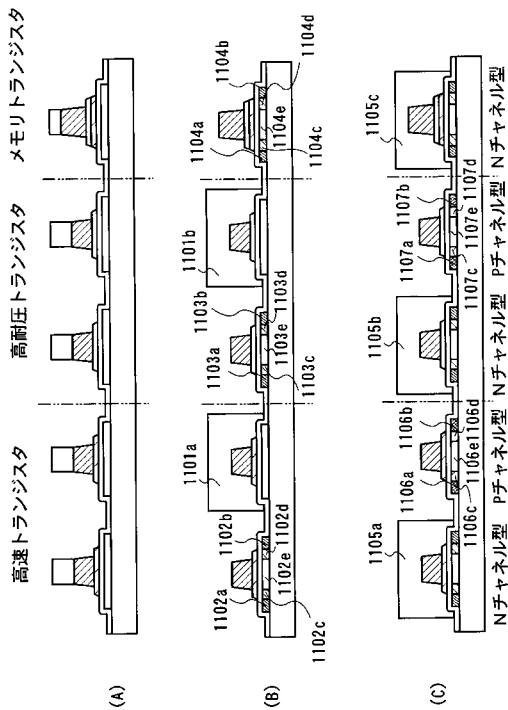
【図 9】



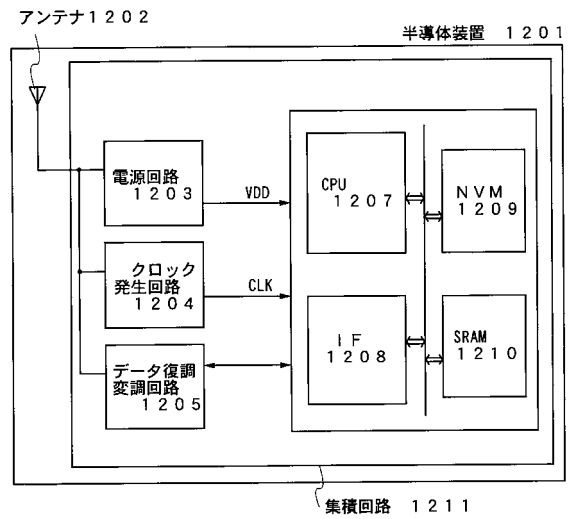
【図 10】



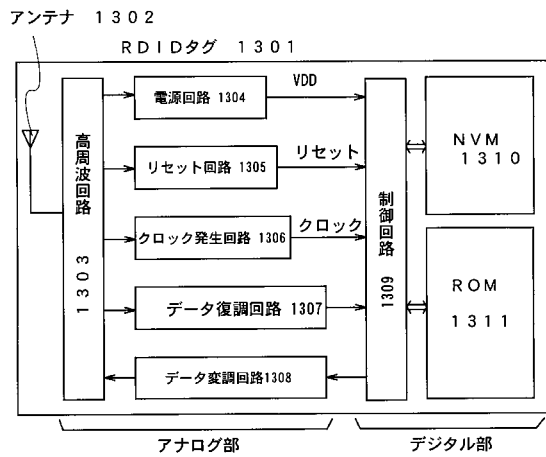
【図 11】



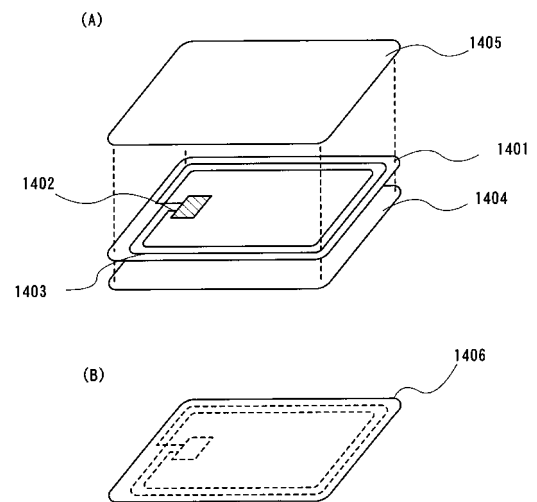
【図 12】



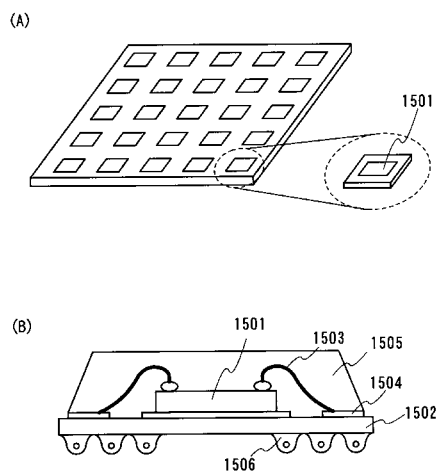
【図 13】



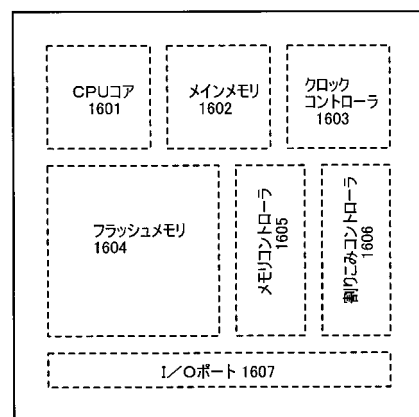
【図 14】



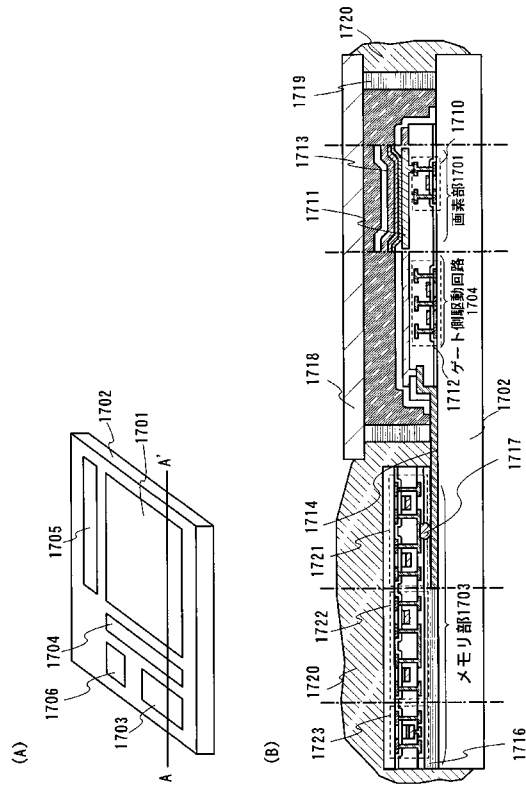
【図 15】



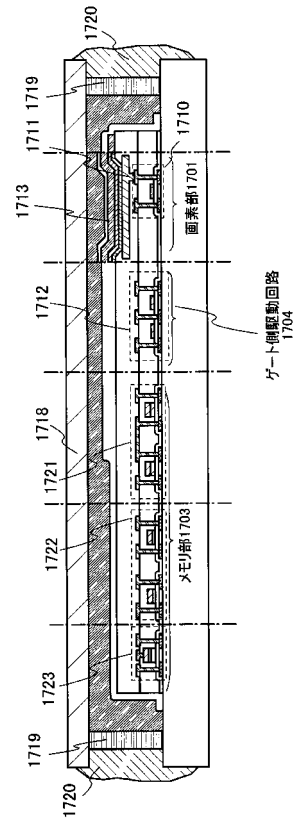
【図 16】



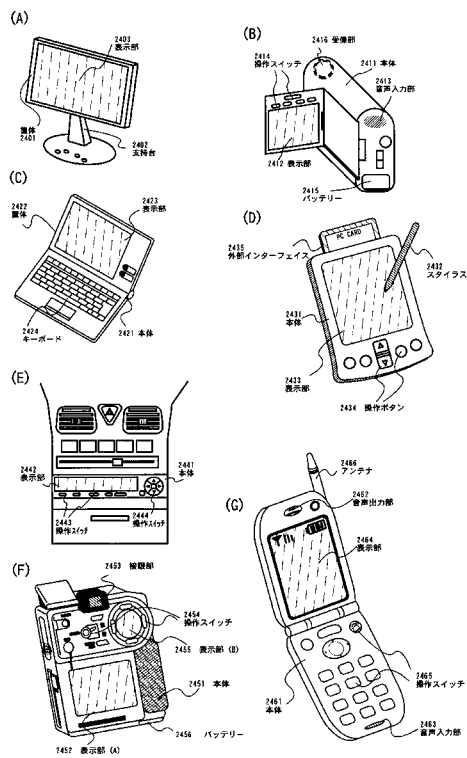
【図 17】



【図 18】



【図 19】



## フロントページの続き

(51)Int.Cl.<sup>7</sup>

F I

テーマコード(参考)

H 0 1 L 29/788

H 0 1 L 29/792

F ターム(参考) 5F083 EP02 EP23 EP55 EP63 EP68 HA02 HA10 JA04 JA19 JA36  
JA37 JA39 JA40 JA56 JA58 MA06 MA19 NA01 PR03 PR05  
PR36 PR43 PR44 PR45 PR53 PR54 PR55 ZA12 ZA23  
5F101 BA01 BA29 BA36 BB05 BD02 BD07 BD27 BD30 BH09 BH14  
BH15 BH21