(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2020 年 3 月 26 日 (26.03.2020)

WIPO | PCT

(10) 国际公布号
WO 2020/056923 A1

(51) 国际专利分类号:
H01L 45/00 (2006.01) *H01L 27/24* (2006.01)

(21) 国际申请号: PCT/CN2018/118146

(22) 国际申请日: 2018 年 11 月 29 日 (29.11.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201811084770.3 2018年9月18日 (18.09.2018) CN

(71) 申请人: 华中科技大学(HUAZHONG UNIVERSITY OF SCIENCE AND TECHNOLOGY) [CN/CN]; 中国湖北省武汉洪山珞喻路1037号, Hubei 430074 (CN)。

(72) 发明人: 缪向水(MIAO, Xiangshui); 中国湖北省武汉洪山珞喻路1037号, Hubei 430074 (CN)。 童浩(TONG, Hao); 中国湖北省武汉洪山珞喻路1037号, Hubei 430074 (CN)。 沈裕山(SHEN, Yushan); 中国湖北省武汉洪山珞喻路1037号, Hubei 430074 (CN)。 蔡旺(CAI, Wang); 中国湖北省武汉洪山珞喻路1037号, Hubei 430074 (CN)。

(74) 代理人: 华中科技大学专利中心 (HUAZHONG UNIVERSITY OF SCIENCE AND TECHNOLOGY PATENT AGENCY CENTER); 中国湖北省武汉洪山区珞瑜路1037号华中科技大学东一楼340室, Hubei 430074 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,

(54) **Title:** THREE-DIMENSIONAL STACKED PHASE CHANGE MEMORY AND PREPARATION METHOD THEREFOR

(54) 发明名称: 一种三维堆叠相变存储器及其制备方法

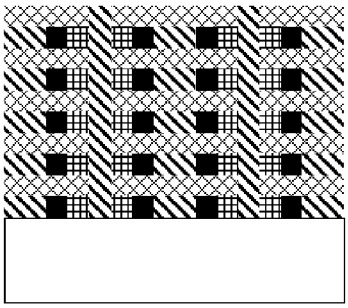


图 3

(57) **Abstract:** A three-dimensional stacked phase change memory and preparation method therefor. The preparation method specifically comprises: preparing, on a substrate, first horizontal electrodes having spaces therebetween; preparing, in the spaces between the first horizontal electrodes, first strip-shaped phase change layers having gaps at the middles thereof; preparing first gating transistors in the gaps of the first strip-shaped phase change layers; preparing a first insulating layer; preparing second horizontal electrodes at the same vertical positions on the first insulating layer; then preparing second strip-shaped phase change layers; then preparing second gating transistors; then preparing horizontal insulating holes in the spaces of the horizontal electrodes; and preparing vertical electrodes between adjacent insulating holes to form a vertically-structured multi-layer stacked phase change memory. By improving the technological design of the overall process of the key preparation method, the shape configurations of detailed structures, etc., the present invention can effectively resolve the problems of complexity of multi-layer stack steps, difficulty in technological implementation, and the miniaturization of unit sizes during the technological preparation of the three-dimensional stacked phase change memory.

(57) 摘要: 一种三维堆叠相变存储器及其制备方法，其中制备方法具体是在衬底上制备彼此具有间距的第一水平电极；在第一水平电极间距间制备中央具有间隙的第一条状相变层；在第一条状相变层的间隙间制备第一选通管；制备第一绝缘层；在第一绝缘层上的相同垂直位置制备第二水平电极；然后制备第二条状相变层；接着制备第二选通管；然后，在水平电极间距间制备水平方向的绝缘孔；在相邻绝缘孔间制备垂直电极后形成垂直结构的多层堆叠的相变存储器。本发明通过对其关键制备方法的整体流程工艺设计，各个细节结构的形状设置等进行改进，能够有效解决三维堆叠相变存储器件在工艺制备中存在的多层堆叠步骤复杂，工艺实现难度大及单元尺寸微缩等问题。

WO 2020/056923 A1

[见续页]

BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

一种三维堆叠相变存储器及其制备方法

【技术领域】

本发明属于微电子器件及存储器技术领域，更具体地，涉及一种三维堆叠相变存储器及其制备方法。

【背景技术】

作为最可能发展成为未来主流存储器之一的新型存储器，相变存储器为了适应大数据时代对高容量存储的需求，逐渐向三维发展，形成多层堆叠的三维相变存储器。

目前三维堆叠的相变存储器都是基于水平电极交叉点阵列结构进行简单的垂直向上堆叠，虽然结构简单，但随着堆叠层数的增加，工艺步骤繁琐，且表面不平坦现象加剧，带来了可靠性问题；另外，存储单元的特征尺寸大小受限于先进的光刻工艺，成本高昂。综合来说，不利于进一步的多层堆叠与高密度集成。

【发明内容】

针对现有技术的以上缺陷或改进需求，本发明的目的在于提供一种三维堆叠相变存储器及其制备方法，其中通过对其关键制备方法的整体流程工艺设计，各个细节结构的形状设置等进行改进，与现有技术相比能够有效解决三维堆叠相变存储器件在工艺制备中存在的多层堆叠步骤复杂，工艺实现难度大以及单元尺寸微缩等的问题，本发明采用垂直电极结构建立三维相变存储阵列，相变单元特征尺寸的大小由薄膜厚度决定（例如，相变层的厚度可低至 2nm，突破光刻工艺限制），形成的三维堆叠相变存储器其中的相变单元位于水平电极与垂直电极的空间交叠区域，制备工艺可有效简化。

为实现上述目的，按照本发明的一个方面，提供了一种三维堆叠相变

存储器的制备方法，其特征在于，包括下述步骤：

（1）在衬底上制备 N 条平行于某一方向的、且彼此具有间距的第一水平电极；其中，N 为预先设定的、且大于等于 2 的正整数；

（2）在所述第一水平电极的各相邻两电极的间距对应区域中填充中央具有一定间隙的第一条状相变层；

（3）在所述第一条状相变层的中央间隙中填充选通管材料，形成第一选通管；

（4）在所述衬底上继续制备由绝缘材料构成的第一绝缘层，使该第一绝缘层覆盖所述第一水平电极、所述第一条状相变层及所述第一选通管；所述第一水平电极有部分区域不被覆盖，这部分裸露出的区域用于形成第一水平电极引脚；

（5）在所述第一绝缘层上制备第二水平电极，所述第二水平电极具有与所述第一水平电极完全相同的间距分布，并且，所述第二水平电极在所述第一绝缘层上的投影完全被所述第一水平电极在所述第一绝缘层上的投影所覆盖；

（6）在所述第二水平电极的各相邻两电极的间距对应区域中填充中央具有一定间隙的第二条状相变层，所述第二条状相变层具有与所述第一条状相变层完全相同的中央间隙分布，并且，所述第二条状相变层在所述第一绝缘层上的投影完全被所述第一条状相变层在所述第一绝缘层上的投影所覆盖；

（7）在所述第二条状相变层的中央间隙中填充选通管材料，形成第二选通管；

（8）在所述衬底上继续制备由绝缘材料构成的第二绝缘层，使该第二绝缘层覆盖所述第二水平电极、所述第二条状相变层及所述第二选通管；所述第二水平电极有部分区域不被覆盖，这部分裸露出的区域用于形成第二水平电极引脚；

（9）对于位于顶层的顶层绝缘层，在该顶层绝缘层上、且投影与最上层水平电极各相邻两电极的间距对应区域相对应的位置制备出(N-1)×M 个绝缘层阵列通孔，该绝缘层阵列通孔中的任意一个通孔其宽度大于与之对应的相邻两电极的间距，并且这些绝缘层阵列通孔的底面直达衬底；其中，M 为预先设定的、且大于等于 2 的正整数；

（10）在所述绝缘层阵列通孔中填充绝缘材料，用于水平方向上的电热隔离；

（11）对于投影与同一最上层水平电极相邻两电极的间距对应区域相对应的绝缘层阵列通孔，在这些绝缘层阵列通孔的两相邻绝缘层阵列通孔之间制备垂直电极阵列通孔，这些垂直电极阵列通孔的底面直达衬底；

（12）在所述垂直电极阵列通孔中填充电极材料制备垂直电极，从而形成多层堆叠的相变存储器。

作为本发明的进一步优选，在所述步骤（8）完成后、所述步骤（9）开始前，还包括依次重复所述步骤（4）至所述步骤（8）若干次以形成多层水平电极、条状相变层、选通管及绝缘层的步骤。

作为本发明的进一步优选，所述步骤（11）中，所述垂直电极阵列通孔的总个数为(N-1)×(M-1)个。

作为本发明的进一步优选，所述步骤（2）中，对于所述第一水平电极的任意相邻两电极，所述中央具有一定间隙的第一条状相变层的宽度大于该第一水平电极中相邻两电极的间距 0~4um。

作为本发明的进一步优选，所述步骤（3）中，对应于所述第一水平电极的任意相邻两电极，所述第一选通管的宽度大于所述第一条状相变层的中央间隙宽度 0~4um。

作为本发明的进一步优选，所述步骤（1）中，所述第一水平电极的线宽为 2μm~30μm，间距为 8μm~60μm。

作为本发明的进一步优选，所述步骤（2）中，对于所述第一水平电极

的任意相邻两电极，所述中央具有一定间隙的第一条状相变层的宽度大于该第一水平电极中相邻两电极的间距 0~2um，优选的，该第一条状相变层的外边缘位于第一水平电极上。

作为本发明的进一步优选，所述步骤（3）中，对应于所述第一水平电极的任意相邻两电极，所述第一选通管的宽度大于所述第一条状相变层的中央间隙宽度 0~2um，优选的，该第一选通管的边缘位于所述第一条状相变层上。

作为本发明的进一步优选，所述步骤（1）中，所述彼此具有间距的第一水平电极为具有同等间距的第一水平电极；

所述步骤（2）中，对于填充得到的中央具有一定间隙的第一条状相变层，任意两个相邻两电极间距对应区域中填充的具有一定间隙的第一条状相变层它们的线宽相同、且中央间隙的宽度也相同。

按照本发明的另一方面，本发明提供了利用上述制备方法制备得到的三维堆叠相变存储器。

通过本发明所构思的以上技术方案，与现有技术相比，现有的3D XPoint存储器主要采用平面三维堆叠方式，下电极（字线）、绝缘层、选通层、相变存储层、上电极（位线）等逐层沉积，再重复上述步骤实现多层堆叠，该方法可沿用原有平面相变存储器的制备方法，选通管与相变存储材料可通过简单连续沉积实现集成，但是其光刻的次数与三维堆叠的层数成正比，多层堆叠时因光刻制程的增加带来成本的急剧提升，并且每一层电极的制备均引起一定的表面不平整度，多层堆叠时将带来严重的器件可靠性问题。尽管在部分资料（例如本课题组的硕士学位论文《3D XPoint 存储器制备工艺研究》）中虽提及“基于垂直电极的 3D XPoint 存储器”，但仅提供了一个简单的电极结构示意图，没有 3D XPoint 存储器具体各层的结构设计以及工艺实现方案，更没有考虑实际 3D XPoint 器件所必须的选通管，而本发明涉及的各层尺寸的设计、套刻的实现以及选通管和存储单元的有效集

成正是垂直三维堆叠相比于水平堆叠方式的难点所在。本发明中的三维堆叠相变存储器单元结构及其制备方法，相较于现有的 3D Xpoint 结构都是基于水平电极的结构，本发明采用了垂直电极结构，所有位线通过刻蚀后的通孔沉积一次形成，大大减小了多层堆叠时的光刻次数，有效降低成本；制备工艺上，各功能材料面内几乎等高，多余材料可通过刻蚀去除，有效缓解多层堆叠带来的表面不平整问题；此外，本发明提出的存储单元的特征尺寸由薄膜厚度决定，而非工艺线宽，这一方面利于提高存储密度，建立大容量的三维存储阵列，另一方面，可减小相变区域尺寸（可低至 2nm），有利于减小操作电流，降低功耗。

综上，本发明采用水平电极与垂直电极的交叉结构，能够实现垂直方向上的多层堆叠，相变单元的特征尺寸小，表面较为平坦，有利于更多层的堆叠；有利于减小单元相变的操作电流，降低功耗。

【附图说明】

图 1（a1）至图 1（a17）为本发明三维堆叠相变存储器实施例中三层堆叠的制备工艺流程在与水平电极方向垂直的剖面示意图；

其中，图 1（a1）为所选衬底的示意图；

图 1（a2）为在衬底表面上制备第一水平电极的示意图；

图 1（a3）为在第一水平电极间距间制备中央具有间隙的第一条状相变层的示意图；

图 1（a4）为在第一条状相变层间隙中填充选通材料形成第一选通管的示意图；

图 1（a5）为在下层结构上制备第一绝缘层的示意图；

图 1（a6）为在第一绝缘层上方制备第二水平电极的示意图；

图 1（a7）为在第二水平电极间距间制备中央具有相同间隙的第二条状相变层的示意图；

图 1（a8）为在第二条状相变层间隙中填充选通材料形成第二选通管的

示意图；

图 1（a9）为在下层结构上制备第二绝缘层的示意图；

图 1（a10）为在第二绝缘层上方制备第三水平电极的示意图；

图 1（a11）为在第三水平电极间距间制备中央具有相同间隙的第三条状相变层的示意图；

图 1（a12）为在第三条状相变层间隙中填充选通材料形成第三选通管的示意图；

图 1（a13）为在下层结构上制备第三绝缘层的示意图；

图 1（a14）为在上述结构上，制备水平方向绝缘层阵列通孔的示意图；

图 1（a15）为在绝缘层阵列通孔中填充绝缘材料形成垂直隔离层的示意图；

图 1（a16）为在上述结构上，制备垂直电极阵列通孔的示意图；

图 1（a17）为在垂直电极阵列通孔中填充电极材料形成垂直电极的示意图。

图 2（b1）至图 2（b17）为本发明三维堆叠相变存储器实施例中三层堆叠的制备工艺流程俯视图示意图；

其中，图 2（b1）~图 2（b17）示意图所示过程与图 1（a1）~图 1（a17）所示相对应。

图 3 为本发明多层三维堆叠相变存储器的剖面示意图。

【具体实施方式】

为了使本发明的目的、技术方案及优点更加清楚明白，以下结合附图及实施例，对本发明进行进一步详细说明。应当理解，此处所描述的具体实施例仅仅用以解释本发明，并不用于限定本发明。此外，下面所描述的本发明各个实施方式中所涉及到的技术特征只要彼此之间未构成冲突就可以相互组合。

概括来讲，在衬底上制备 N 条沿某一方向的具有相同间距的第一水平

电极；在第一水平电极间距间制备中央具有间隙的第一条状相变层；在第一条状相变层的间隙间制备第一选通管；在上述结构上，制备第一绝缘层；在第一绝缘层上的相同垂直位置制备 N 条方向与间距相同的第二水平电极；在第二水平电极间距间制备中央具有间隙的第二条状相变层；在第二条状相变层的间隙间制备第二选通管；在上述结构上，制备第二绝缘层；同样的方法堆叠第三层、第四层、……；然后，在水平电极间距间制备水平方向的绝缘孔；在相邻绝缘孔间制备垂直电极后形成垂直结构的多层堆叠的相变存储器。

如图 1（a1）至图 1（a17）所示，本发明中三维堆叠相变存储器的制备方法，具体可以包括以下步骤：

（1）在衬底上制备 N 条沿某一向方向的具有同等间距的第一水平电极；

其中，N 小于衬底沿该方向所能容纳第一水平电极数目的最大值；为了尽可能的提高存储器的存储密度，N 可以在取值范围内尽可能取大的值。

（2）在第一水平电极的各相邻两条电极间隙中填充相同的中央具有一定间隙的第一条状相变层；

其中，第一条状相变层具有间隙的每条相变层宽度大于第一水平电极间隙 0~4um。

（3）在各两条邻近相变材料的中央间隙中填充选通管材料；

（4）在上述结构上制备第一绝缘层，绝缘材料完全覆盖下层结构，并裸露出第一水平电极引脚；

（5）在第一绝缘层上的与第一水平电极相同的位置，制备除长度稍短外，其他与第一水平平极相同的第二水平电极；

（6）在第二水平电极的各相邻两条电极间隙中，在与第一条状相变层相同的位置上填充除长度稍短外，其他与第一条状相变层相同的第二条状相变层；

（7）在各两条邻近相变材料的中央间隙中填充选通管材料；

（8）在上述结构上制备第二绝缘层，绝缘材料完全覆盖下层结构，并裸露出第二水平电极引脚；

（9）更多层的堆叠则重复上述步骤；

（10）在水平电极的间隙位置制备出 N-1*M 个宽度稍大于电极间距的绝缘层阵列通孔，通孔底部为衬底表面；

其中，M 小于沿水平电极方向所能容纳绝缘层通孔数目的最大值；为了尽可能的提高存储器的存储密度，M 可以在取值范围内尽可能取大的值。

（11）在绝缘层阵列通孔中填充绝缘材料，用于水平方向上的电热隔离；

（12）在绝缘层阵列通孔的相邻通孔间制备出 N-1*M-1 个垂直电极阵列通孔，通孔底部为衬底表面；

（13）在阵列通孔中填充电极材料得到垂直电极。

相变单元位于水平电极与垂直电极的空间交叠区域。各层水平电极，除长度随层数增加而递减外，其数目、方向与线宽均相同。

以步骤（2）形成第一条状相变层为例，每条相变层宽度大于第一水平电极间隙 0~4um，能够保证相变层在套刻误差下能与电极接触；第二条状相变层也可以相似进行设置。步骤（10）中，绝缘层阵列通孔是用于填充绝缘材料，从而将相变和选通材料在水平电极方向上分成不同区域，稍大于电极间距是为了保证能隔断。另外本发明中，每层水平电极的长度依次递减，可形成楼梯型的结构，暴露下层电极。

另外，上述的第一水平电极除了同等间距设置外，还可以采用非同等间距的方式来进行设置（当然第二水平电极、第三水平电极等也相类似）；具有一定间隙的第一条状相变层除了采用线宽相同、中央间隙的宽度也相同的设置方式外，线宽可以不相同，中央间隙的宽度也可以不相同（当然第二条状相变层、第三条状相变层等也相类似）；只要不同垂直高度上的水

平电极它们的长度梯度变化即可（如第二水平电极是在沿电极方向上比第一水平电极要短），保证各层水平电极的引脚能够裸露出来即可。其次，中央间隙的用以填充选通管材料，其宽度大于垂直电极边长即可。

以下为具体实施例：

实施例 1

本实施例以两层堆叠存储器为例提出了一种三维堆叠相变存储器及其制备方法具体实施方案，包括以下步骤：

步骤一：在单晶硅衬底上，通过光刻工艺得到若干沿某一方向的线宽为 10μm 的间距为 15μm 第一水平电极图形，在光刻后的衬底上沉淀 100nm TiW 合金电极材料，经过剥离工艺后，得到对应光刻图形的第一水平电极，如图 1（a1）~图 1（a2）和图 2（b1）~图 2（b2）所示。

步骤二：在步骤一的基础上，光刻中央具有间隙的第一条状相变层图形，线宽为 17μm，间隙为 10μm，间距为 8μm，该图形覆盖第一水平电极的间距，边缘的 1μm 在水平电极上，然后沉淀相变材料 100nm GST。经过剥离工艺后，得到对应光刻图形的覆盖第一条状电极的具有阵列通孔的第一相变层，如图 1（a3）和图 2（b3）所示。

步骤三：在步骤二的基础上，在各两条邻近相变材料的中央间隙中光刻并填充选通管材料，线宽为 12μm，边缘的 1μm 在第一相变层上，形成第一选通管，如图 1（a4）和图 2（b4）所示。

步骤四：在步骤三的基础上，光刻并沉积 100nmSiO_2 绝缘材料，完全覆盖下层结构，并裸露出第一水平电极引脚，得到第一绝缘层，如图 1（a5）和图 2（b5）所示。

步骤五：在第一绝缘层上，制备除长度稍短外，其他与第一水平平极相同的第二水平电极，如图 1（a6）和图 2（b6）所示。

步骤六：在步骤五的基础上，光刻中央具有间隙的第二条状相变层图形，线宽为 17μm，间隙为 10μm，间距为 8μm，该图形覆盖第二水平电极

的间距，边缘的 1μm 在水平电极上，然后沉淀相变材料 100nm GST。经过剥离工艺后，得到对应光刻图形的覆盖第二条状电极的具有阵列通孔的第二相变层，如图 1（a3）和图 2（b3）所示，如图 1（a7）和图 2（b7）所示。

步骤七：在步骤六的基础上，在各两条邻近相变材料的中央间隙中光刻并填充选通管材料，线宽为 12μm，边缘的 1μm 在第二相变层上，形成第二选通管，如图 1（a8）和图 2（b8）所示。

步骤八：在步骤七的基础上，光刻并沉积 100nmSiO_2 绝缘材料，完全覆盖下层结构，并裸露出第二水平电极引脚，得到第二绝缘层，如图 1（a9）和图 2（b9）所示。

步骤九：更多层的堆叠则重复上述步骤，如图 1（a10）-图 1（a13）和图 2（b10）-图 2（b13）所示.

步骤十：在水平电极的间隙位置制备出 N-1*M 个宽度稍大于电极间距的绝缘层阵列通孔，通孔底部为衬底表面，宽度为 17μm，间隔 6μm；并填充绝缘材料用于水平电热隔离，如图 1（a14）-图 1（a15）和图 2（b14）-图 2（b15）所示。

步骤十一：在水平电极的间隙位置制备出 N-1*M-1 个垂直电极阵列方形通孔，通孔底部为衬底表面，边长为 8μm；并填充电极材料，制备得到垂直电极，如图 1（a16）-图 1（a17）和图 2（b16）-图 2（b17）所示。

本发明中的 N、M 均可为预先设置的、大于等于 2 的正整数，各个结构的线宽、间隔、中央间隙等的具体大小均可根据需要灵活调整。

本发明中的选通管材料，可以采用 GeSe 等现有技术已知材料。

本领域的技术人员容易理解，以上所述仅为本发明的较佳实施例而已，并不用以限制本发明，凡在本发明的精神和原则之内所作的任何修改、等同替换和改进等，均应包含在本发明的保护范围之内。

权 利 要 求

1、一种三维堆叠相变存储器的制备方法，其特征在于，包括下述步骤：

（1）在衬底上制备 N 条平行于某一方向的、且彼此具有间距的第一水平电极；其中，N 为预先设定的、且大于等于 2 的正整数；

（2）在所述第一水平电极的各相邻两电极的间距对应区域中填充中央具有一定间隙的第一条状相变层；

（3）在所述第一条状相变层的中央间隙中填充选通管材料，形成第一选通管；

（4）在所述衬底上继续制备由绝缘材料构成的第一绝缘层，使该第一绝缘层覆盖所述第一水平电极、所述第一条状相变层及所述第一选通管；所述第一水平电极有部分区域不被覆盖，这部分裸露出的区域用于形成第一水平电极引脚；

（5）在所述第一绝缘层上制备第二水平电极，所述第二水平电极具有与所述第一水平电极完全相同的间距分布，并且，所述第二水平电极在所述第一绝缘层上的投影完全被所述第一水平电极在所述第一绝缘层上的投影所覆盖；

（6）在所述第二水平电极的各相邻两电极的间距对应区域中填充中央具有一定间隙的第二条状相变层，所述第二条状相变层具有与所述第一条状相变层完全相同的中央间隙分布，并且，所述第二条状相变层在所述第一绝缘层上的投影完全被所述第一条状相变层在所述第一绝缘层上的投影所覆盖；

（7）在所述第二条状相变层的中央间隙中填充选通管材料，形成第二选通管；

（8）在所述衬底上继续制备由绝缘材料构成的第二绝缘层，使该第二绝缘层覆盖所述第二水平电极、所述第二条状相变层及所述第二选通管；

所述第二水平电极有部分区域不被覆盖，这部分裸露出的区域用于形成第二水平电极引脚；

（9）对于位于顶层的顶层绝缘层，在该顶层绝缘层上、且投影与最上层水平电极各相邻两电极的间距对应区域相对应的位置制备出(N-1)×M 个绝缘层阵列通孔，该绝缘层阵列通孔中的任意一个通孔其宽度大于与之对应的相邻两电极的间距，并且这些绝缘层阵列通孔的底面直达衬底；其中，M 为预先设定的、且大于等于 2 的正整数；

（10）在所述绝缘层阵列通孔中填充绝缘材料，用于水平方向上的电热隔离；

（11）对于投影与同一最上层水平电极相邻两电极的间距对应区域相对应的绝缘层阵列通孔，在这些绝缘层阵列通孔的两相邻绝缘层阵列通孔之间制备垂直电极阵列通孔，这些垂直电极阵列通孔的底面直达衬底；

（12）在所述垂直电极阵列通孔中填充电极材料制备垂直电极，从而形成多层堆叠的相变存储器。

2、如权利要求 1 所述三维堆叠相变存储器的制备方法，其特征在于，在所述步骤（8）完成后、所述步骤（9）开始前，还包括依次重复所述步骤（4）至所述步骤（8）若干次以形成多层水平电极、条状相变层、选通管及绝缘层的步骤。

3、如权利要求 1 所述三维堆叠相变存储器的制备方法，其特征在于，所述步骤（11）中，所述垂直电极阵列通孔的总个数为(N-1)×(M-1)个。

4、如权利要求 1 所述三维堆叠相变存储器的制备方法，其特征在于，所述步骤（2）中，对于所述第一水平电极的任意相邻两电极，所述中央具有一定间隙的第一条状相变层的宽度大于该第一水平电极中相邻两电极的间距 0~4um。

5、如权利要求 1 所述三维堆叠相变存储器的制备方法，其特征在于，所述步骤（3）中，对应于所述第一水平电极的任意相邻两电极，所述第一

选通管的宽度大于所述第一条状相变层的中央间隙宽度 0~4um。

6、如权利要求 1 所述三维堆叠相变存储器的制备方法，其特征在于，所述步骤（1）中，所述第一水平电极的线宽为 2μm~30μm，间距为 8μm~60μm。

7、如权利要求 4 所述三维堆叠相变存储器的制备方法，其特征在于，所述步骤（2）中，对于所述第一水平电极的任意相邻两电极，所述中央具有一定间隙的第一条状相变层的宽度大于该第一水平电极中相邻两电极的间距 0~2um，优选的，该第一条状相变层的外边缘位于第一水平电极上。

8、如权利要求 5 所述三维堆叠相变存储器的制备方法，其特征在于，所述步骤（3）中，对应于所述第一水平电极的任意相邻两电极，所述第一选通管的宽度大于所述第一条状相变层的中央间隙宽度 0~2um，优选的，该第一选通管的边缘位于所述第一条状相变层上。

9、如权利要求 1 所述三维堆叠相变存储器的制备方法，其特征在于，所述步骤（1）中，所述彼此具有间距的第一水平电极为具有同等间距的第一水平电极；

所述步骤（2）中，对于填充得到的中央具有一定间隙的第一条状相变层，任意两个相邻两电极间距对应区域中填充的具有一定间隙的第一条状相变层它们的线宽相同、且中央间隙的宽度也相同。

10、利用如权利要求 1—9 任意一项所述制备方法制备得到的三维堆叠相变存储器。



图 1(a1)

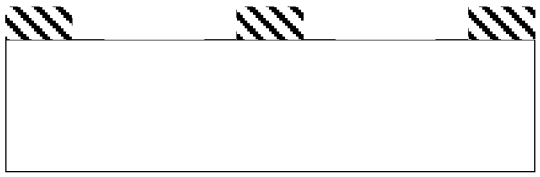


图 1(a2)



图 1(a3)

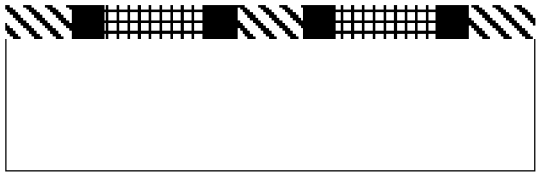


图 1(a4)

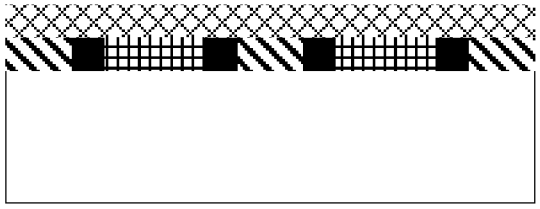


图 1(a5)

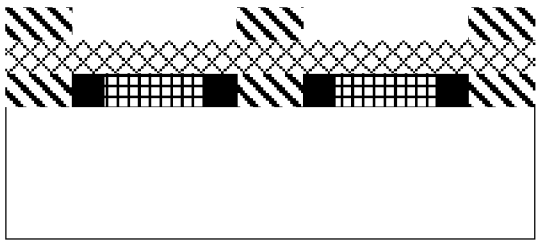


图 1(a6)

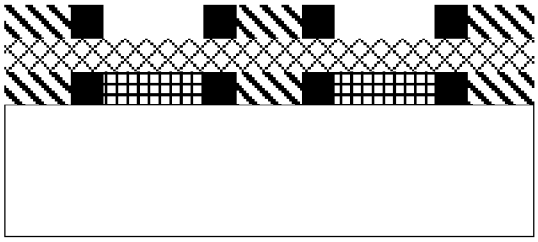


图 1(a7)

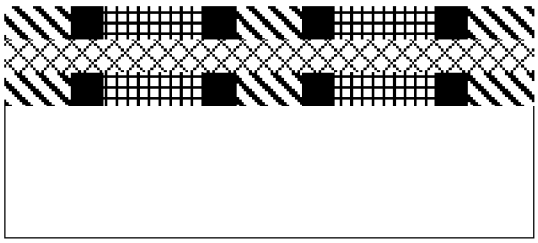


图 1(a8)

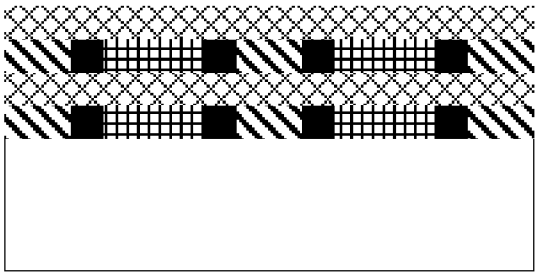


图 1(a9)

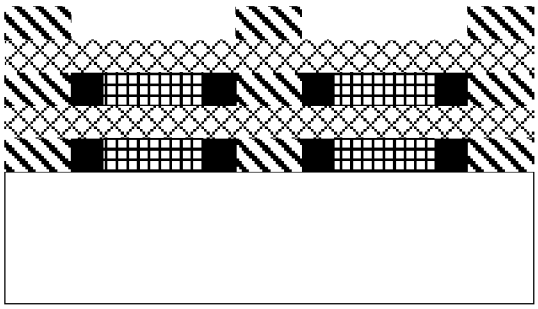


图 1(a10)

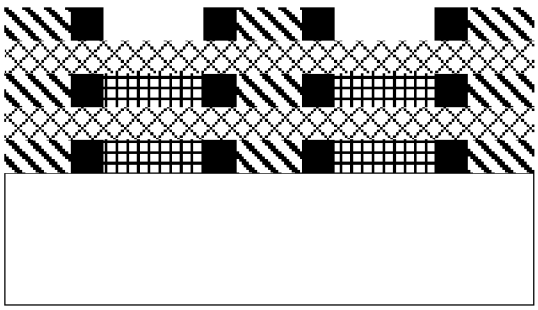


图 1(a11)

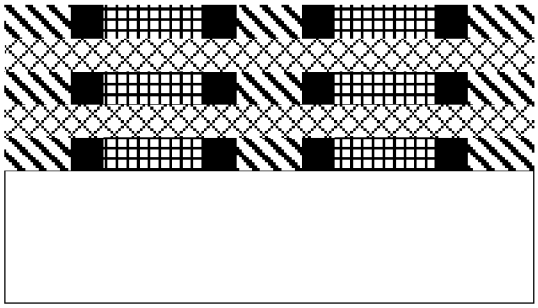


图 1(a12)

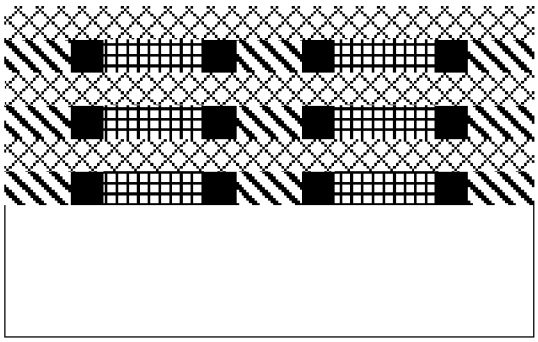


图 1(a13)

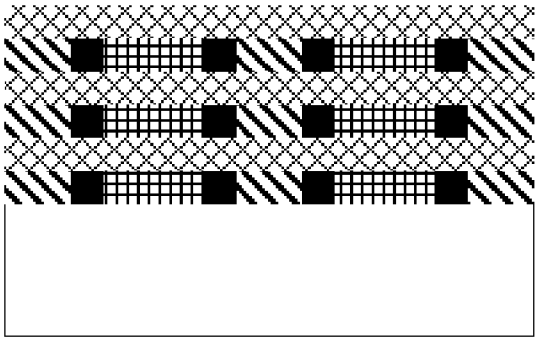


图 1(a14)

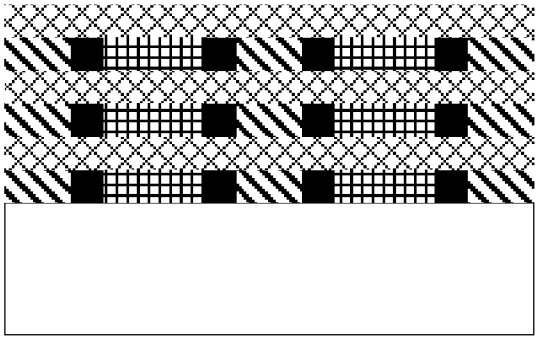


图 1(a15)

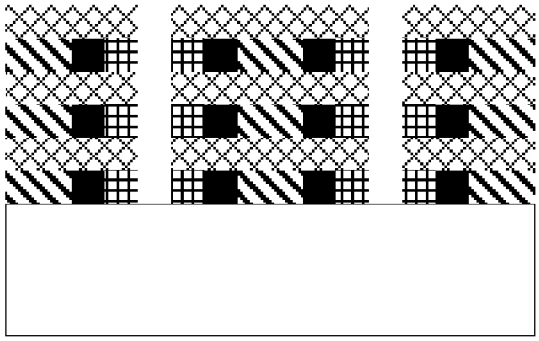


图 1(a16)

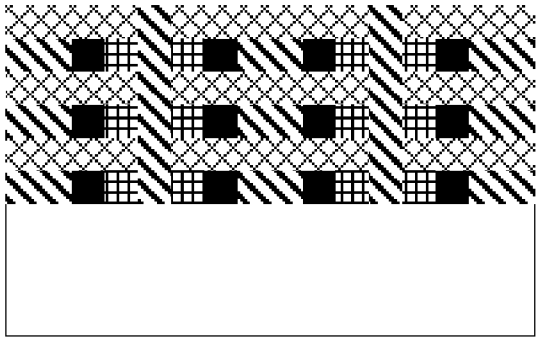


图 1(a17)

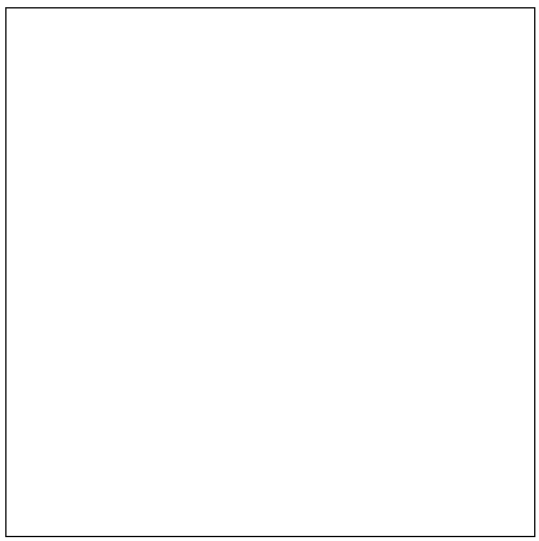


图 2(b1)

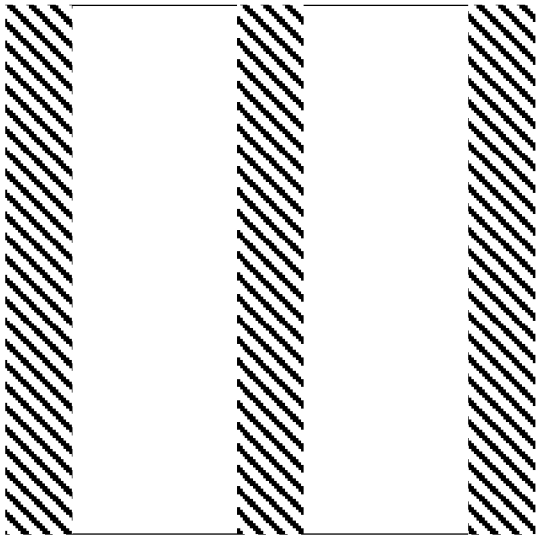


图 2(b2)

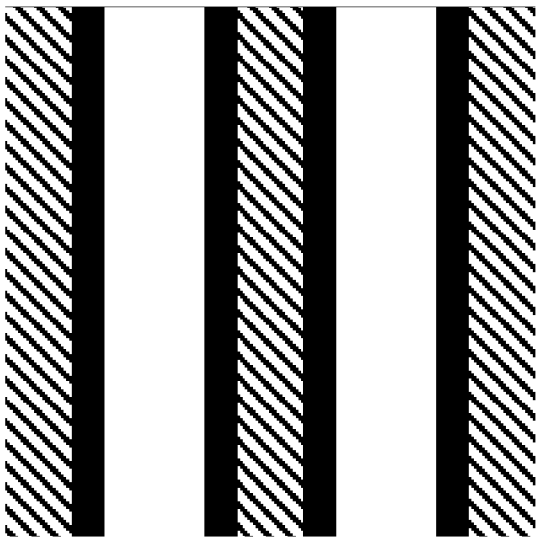


图 2(b3)

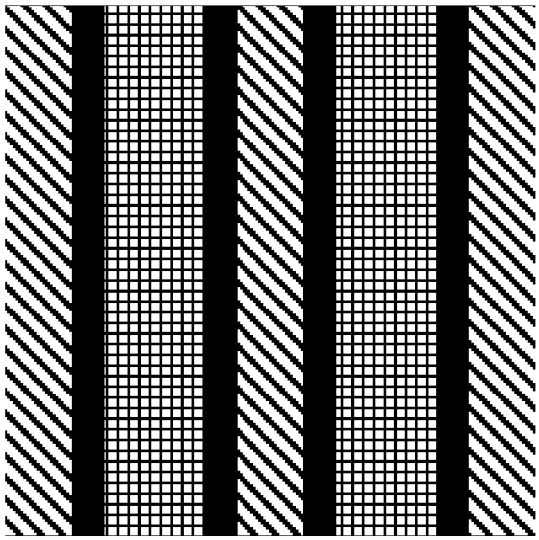


图 2(b4)

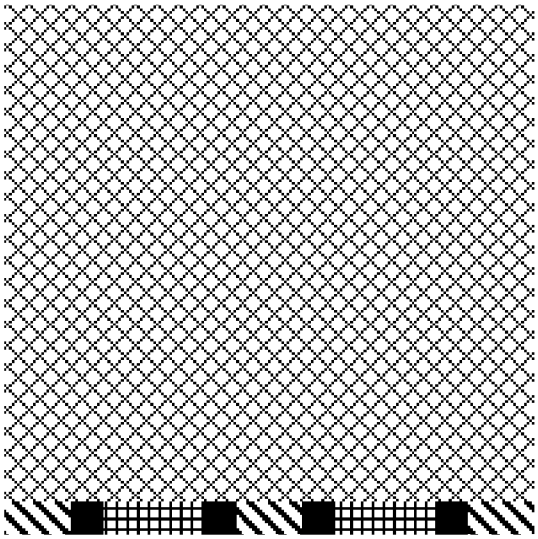


图 2(b5)

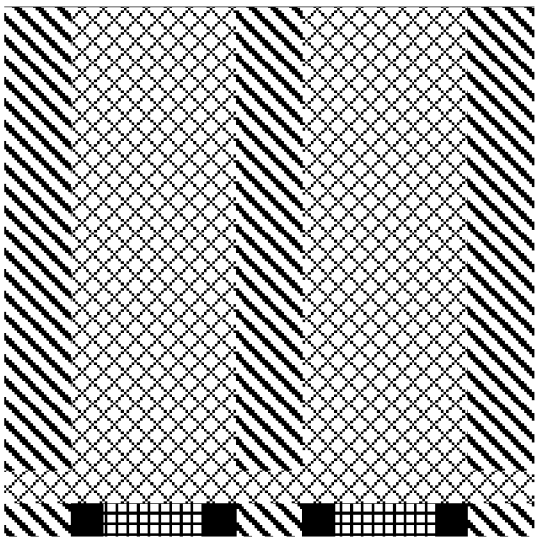


图 2(b6)

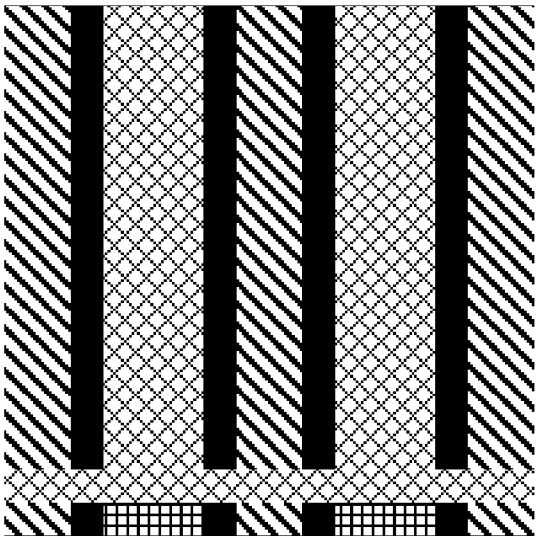


图 2(b7)

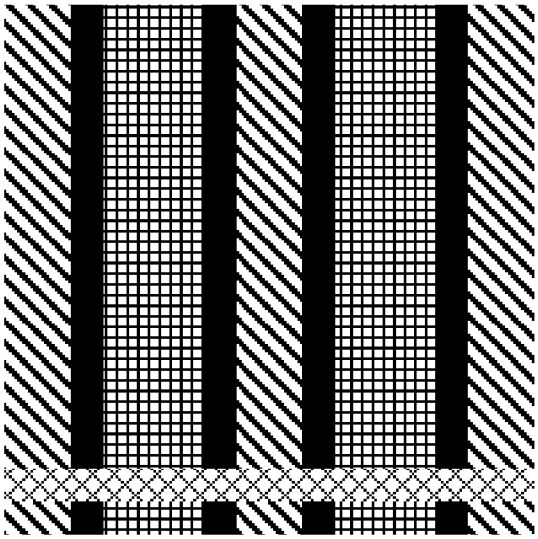


图 2(b8)

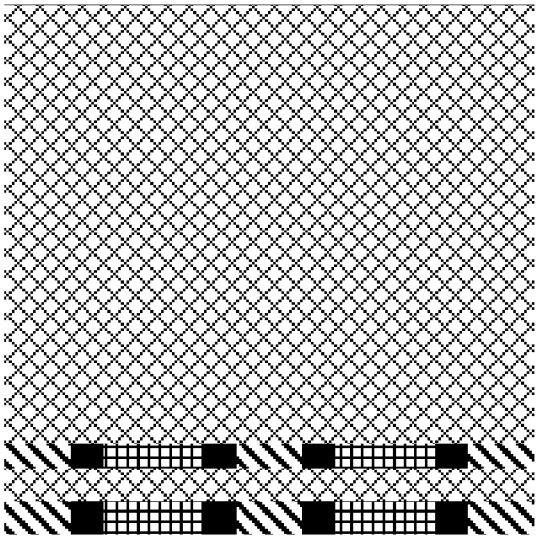


图 2(b9)

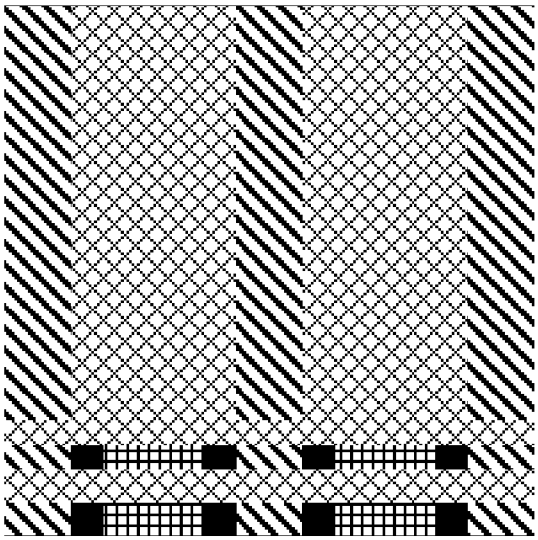


图 2(b10)

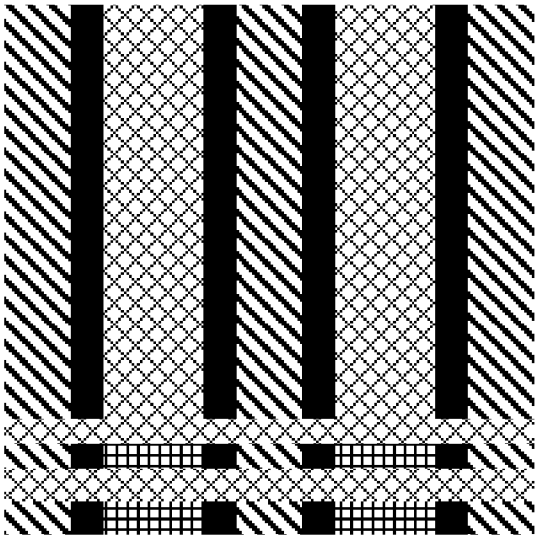


图 2(b11)

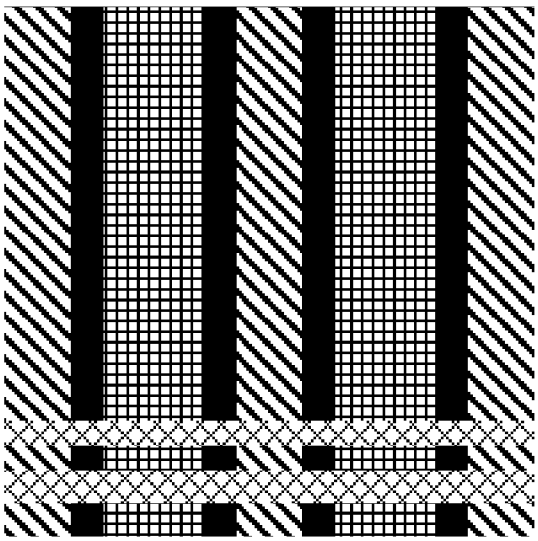


图 2(b12)

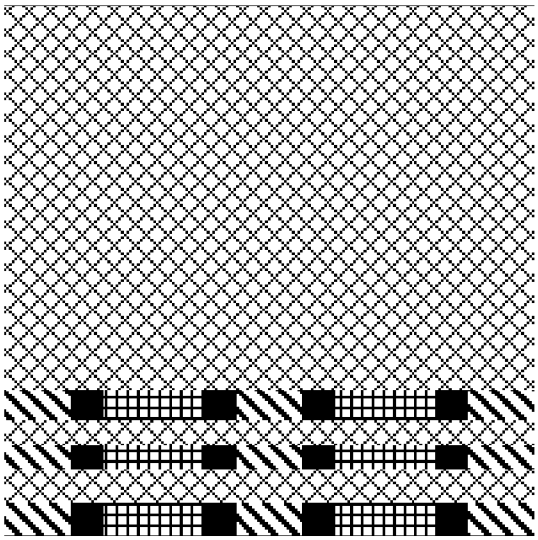


图 2(b13)

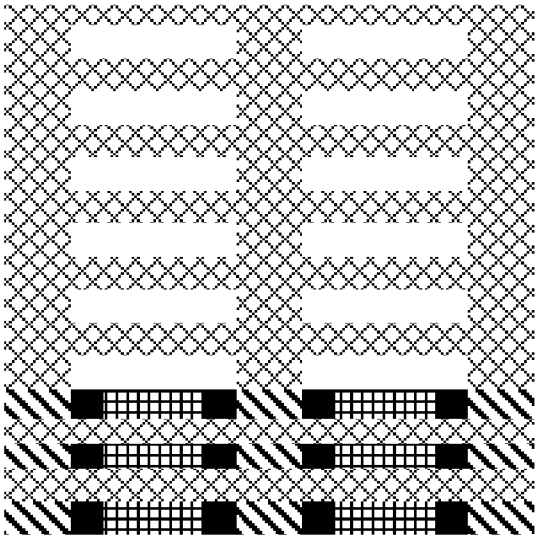


图 2(b14)

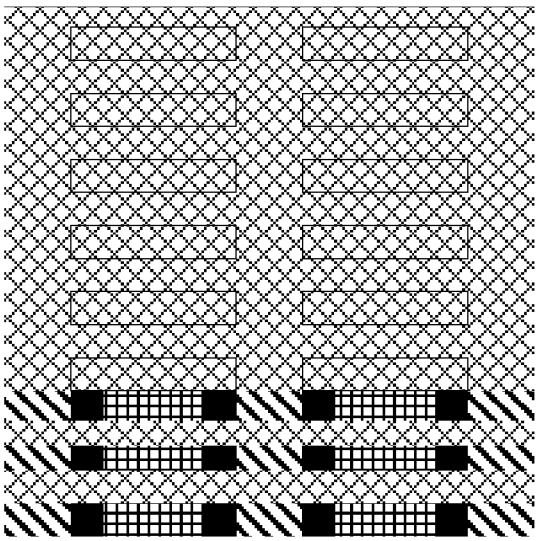


图 2(b15)

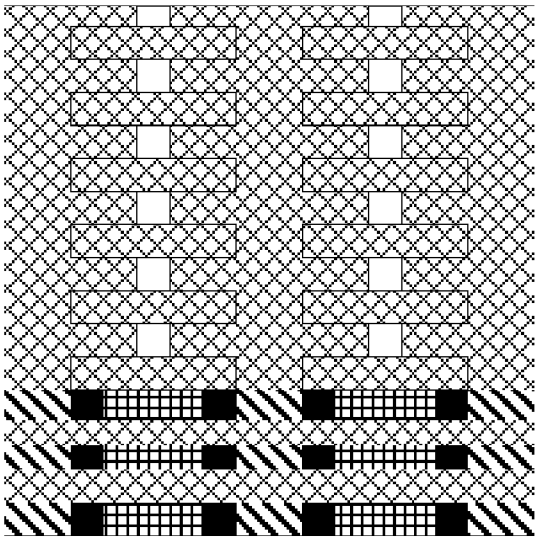


图 2(b16)

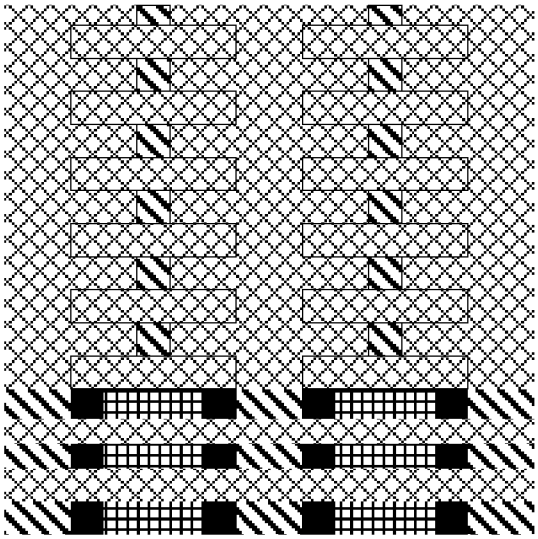


图 2(b17)

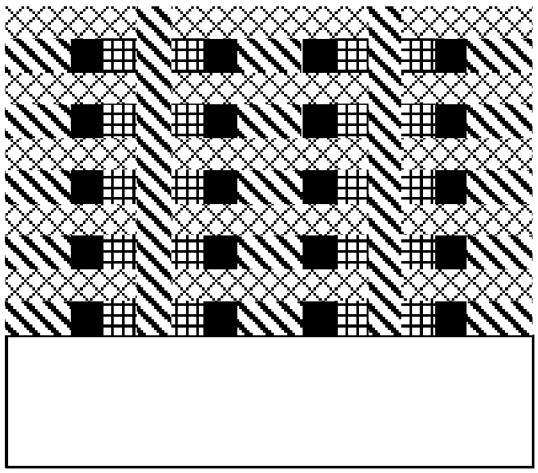


图 3

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2018/118146

A. CLASSIFICATION OF SUBJECT MATTER

H01L 45/00(2006.01)i; H01L 27/24(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI: 堆叠, 绝缘, 相变, 电极, 导电, 水平, 垂直, 覆盖, 层, 选通管, 二极管, 晶体管, 孔, 洞, 衬底, stack, insulat+, phase change, electrode, conduct, vertical, horizontal, cover, layer, switch, diode, transistor, via, hole, substrate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2014291603 A1 (INTELLECTUAL DISCOVERY CO., LTD.) 02 October 2014 (2014-10-02) description, paragraphs [0081]-[0139], and figures 1-18	1-10
A	US 2014246643 A1 (SAMSUNG ELECTRONICS CO., LTD.) 04 September 2014 (2014-09-04) entire document	1-10
A	CN 106910743 A (SHANGHAI INSTITUTE OF MICROSYSTEM AND INFORMATION TECHNOLOGY, CHINESE ACADEMY OF SCIENCES) 30 June 2017 (2017-06-30) entire document	1-10
A	CN 104934531 A (SK HYNIX INC.) 23 September 2015 (2015-09-23) entire document	1-10
A	US 2013005113 A1 (ELPIDA MEMORY, INC.) 03 January 2013 (2013-01-03) entire document	1-10

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
29 May 2019	**17 June 2019**

Name and mailing address of the ISA/CN	Authorized officer
China National Intellectual Property Administration (ISA/CN) **No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088** **China**	
Facsimile No. **(86-10)62019451**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2018/118146

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2014291603	A1	02 October 2014	US	9099637	B2	04 August 2015
				KR	20140118187	A	08 October 2014
				KR	20140118188	A	08 October 2014
				KR	20140118189	A	08 October 2014
US	2014246643	A1	04 September 2014	US	9257485	B2	09 February 2016
				KR	20140109564	A	16 September 2014
CN	106910743	A	30 June 2017	None			
CN	104934531	A	23 September 2015	US	9419221	B2	16 August 2016
				US	2015263283	A1	17 September 2015
				KR	20150108176	A	25 September 2015
US	2013005113	A1	03 January 2013	JP	2013012620	A	17 January 2013
				US	8574996	B2	05 November 2013

国际检索报告

国际申请号
PCT/CN2018/118146

A. 主题的分类

H01L 45/00(2006.01)i; H01L 27/24(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNPAT, WPI, EPODOC, CNKI: 堆叠，绝缘，相变，电极，导电，水平，垂直，覆盖，层，选通管，二极管，晶体管，孔，洞，衬底，stack, insulat+, phase change, electrode, conduct, vertical, horizontal, cover, layer, switch, diode, transistor, via, hole, substrate

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	US 2014291603 A1 (INTELLECTUAL DISCOVERY CO., LTD.) 2014年 10月 2日 (2014-10-02) 说明书第81-139段，附图1-18	1-10
A	US 2014246643 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2014年 9月 4日 (2014-09-04) 全文	1-10
A	CN 106910743 A (中国科学院上海微系统与信息技术研究所) 2017年 6月 30日 (2017-06-30) 全文	1-10
A	CN 104934531 A (爱思开海力士有限公司) 2015年 9月 23日 (2015-09-23) 全文	1-10
A	US 2013005113 A1 (ELPIDA MEMORY, INC.) 2013年 1月 3日 (2013-01-03) 全文	1-10

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2019年 5月 29日	2019年 6月 17日

ISA/CN的名称和邮寄地址	受权官员
中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	武晓冬
传真号 (86-10)62019451	电话号码 86-(10)-53961385

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2018/118146

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2014291603	A1	2014年 10月 2日	US	9099637	B2	2015年 8月 4日
				KR	20140118187	A	2014年 10月 8日
				KR	20140118188	A	2014年 10月 8日
				KR	20140118189	A	2014年 10月 8日
US	2014246643	A1	2014年 9月 4日	US	9257485	B2	2016年 2月 9日
				KR	20140109564	A	2014年 9月 16日
CN	106910743	A	2017年 6月 30日		无		
CN	104934531	A	2015年 9月 23日	US	9419221	B2	2016年 8月 16日
				US	2015263283	A1	2015年 9月 17日
				KR	20150108176	A	2015年 9月 25日
US	2013005113	A1	2013年 1月 3日	JP	2013012620	A	2013年 1月 17日
				US	8574996	B2	2013年 11月 5日