

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(10) 国際公開番号

WO 2010/052942 A1

(43) 国際公開日

2010 年 5 月 14 日(14.05.2010)

PCT

(51) 国際特許分類:

H05K 3/46 (2006.01)

(21) 国際出願番号:

PCT/JP2009/054585

(22) 国際出願日:

2009 年 3 月 10 日(10.03.2009)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

61/112,035 2008 年 11 月 6 日(06.11.2008) US

(71) 出願人: イビデン株式会社 (IBIDEN CO., LTD.)
[JP/JP]; 〒5038604 岐阜県大垣市神田町 2 丁目 1
番地 Gifu (JP).

(72) 発明者: 古谷 俊樹 (FURUTANI, Toshiki); 〒
5038559 岐阜県大垣市河間町 3 丁目 2 0 0 番地
イビデン株式会社内 Gifu (JP). 古澤 剛士 (FURU-
SAWA, Takeshi); 〒5038559 岐阜県大垣市河間町
3 丁目 2 0 0 番地 イビデン株式会社内 Gifu
(JP).

(74) 代理人: 木村 満 (KIMURA, Mitsuru); 〒1010054 東
京都千代田区神田錦町二丁目 7 番地 協販ビル 2
階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR,
CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP,
KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT,
RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY,
TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VC, VN, ZA,
ZM, ZW.

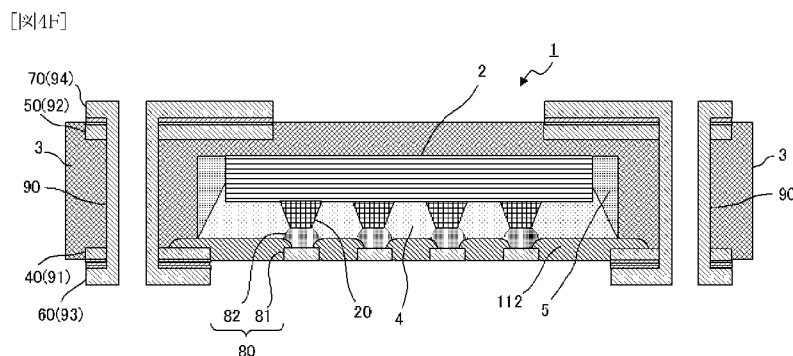
(84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ,
NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,
GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,
NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD,
TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: WIRING BOARD WITH BUILT-IN ELECTRONIC COMPONENT AND METHOD FOR MANUFACTURING THE WIRING BOARD

(54) 発明の名称: 電子部品内蔵配線板及びその製造方法



(57) Abstract: A wiring board (1) with a built-in electronic component is provided with a conductor pattern layer (40); a connecting terminal (80), which is arranged on the conductor pattern layer (40) and is electrically connected to a flip-chip mounted electronic component (2); and a solder resist layer (112) formed on the conductor pattern layer (40). The solder resist layer (112) is formed at the periphery of the connecting terminal (80) on the conductor pattern layer (40), and is not formed at least on some other regions on the conductor pattern layer (40). Thus, the connecting terminal (80) is protected, and insulation between the conductors is ensured. Furthermore, since the solder resist layer (112) is not formed entirely on the conductor pattern layer (40), warpage of the substrate can be reduced.

(57) 要約: この電子部品内蔵配線板 (1) は、導体パターン層 (40) と、導体パターン層 (40) に設けられ、フリップチップ実装する電子部品 (2) と電気的に接合する接続端子 (80) と、導体パターン層 (40) 上に形成されたソルダーレジスト層 (112) と、を備える。そして、このソルダーレジスト層 (112) は、導体パターン層 (40) 上における接続端子 (80) の周囲に形成され、導体パターン層 (40) 上におけるその他の少なくとも一部の領域には形成されていない。このため、接続端子 (80) が保護され、導体間の絶縁性が確保される。さらに、ソルダーレジスト層 (112) が導体パターン層 (40) 上の全面に形成されていないため、基板の反りを低減させることが可能となる。

WO 2010/052942 A1

明 細 書

電子部品内蔵配線板及びその製造方法

技術分野

[0001] 本発明は、半導体素子等の電子部品を内部に収容した電子部品内蔵配線板に関する。

背景技術

[0002] 近年、電子機器の高性能化、小型化が進展し、それと共に、電子機器の内部に実装される配線板の高機能化、高集積化の要請は益々高くなってきている。

[0003] これに対し、ICチップ等の電子部品を配線板内に収容する(内蔵する)技術が種々提案されている(例えば、特許文献1で開示される多層配線基板など)。

[0004] 特許文献1で開示されるように、電子部品を配線板に内蔵することにより、多層配線板の高機能化と高密度化とが可能となる。つまり、電子部品を内部に収納することで、表層の実装領域に他の電子部品等を実装することが可能となり、高機能化が可能となる。

[0005] また、電子部品を内蔵することにより、多層配線板自体を小さくすることも可能となり、従来の多層配線板と比較して、回路を高密度化することができる。さらに、配線長を減少させ得るため、性能向上も期待できる。

特許文献1:特開2004-7006号公報

発明の開示

発明が解決しようとする課題

[0006] ところで、配線板の製造プロセスにおいて、半田の付着防止、導体間の絶縁性の維持、導体の保護などの目的から、形成した導体パターン上にソルダーレジストをコーティングすることは周知である。特に、ファインピッチ化のため、内蔵される電子部品と電氣的に接続させるための接続端子を含む導体パターン層は、ソルダーレジストで保護されるのが望ましい。

[0007] 一方、ソルダーレジストを構成する材料(絶縁性樹脂)の熱膨張率は、導体パターンを構成する金属の熱膨張率より高い。したがって、上記の接続端子が形成された

導体パターン層において、全面に溶剤レジストが形成されると、両者の熱膨張率の違いから配線板に反りが発生してしまうおそれがある。

- [0008] 本発明は、上記従来の問題に鑑みてなされたものであり、ファインピッチ化が図れ
ると共に、反りの発生を防止でき、接続信頼性等の品質に優れる電子部品内蔵配線
板及びその製造方法を提供することを目的とする。

課題を解決するための手段

- [0009] 本発明に係る電子部品内蔵配線板は、
電子部品をフリップチップ実装にて内蔵した電子部品内蔵配線板であって、
導体パターン層と、
該導体パターン層に設けられ、前記電子部品と電氣的に接合する接続端子と、
前記導体パターン層上に形成された溶剤レジスト層と、を備え、
前記溶剤レジスト層は、前記導体パターン層上における前記接続端子の周囲
に形成され、前記導体パターン層上におけるその他の少なくとも一部の領域には、
形成されていない、ことを特徴とする。
- [0010] 好ましくは、前記接続端子は、前記導体パターン層と異なる金属で前記導体パター
ン層上に形成される接合層を含む。
- [0011] 前記接合層は半田で構成されていてもよい。
- [0012] 好ましくは、前記溶剤レジスト層は、前記導体パターン層における前記接続端
子の形成領域の少なくとも一部分を覆っている。
- [0013] 好ましくは、前記電子部品は絶縁材で覆われており、該絶縁材にはスルーホール
導体が形成されている。
- [0014] この場合、前記導体パターン層は、前記絶縁材の表面から突出しない状態で形成
されていてもよい。
- [0015] 前記導体パターン層の表面が粗化されていてもよい。
- [0016] また、本発明に係る電子部品内蔵配線板の製造方法は、
支持体上に金属箔が配置された積層基材における前記金属箔上に、導体パター
ン層を形成する工程と、
前記導体パターン層上の一部の領域に、所定の開口部を設けた溶剤レジスト

層を形成する工程と、

前記ソルダーレジスト層の開口部に対応する前記導体パターン層上に接合層を設けることで、接続端子を形成する工程と、

前記積層基材上に、前記電子部品を該電子部品の回路形成面と前記接続端子の形成面とが向かい合うように配置し、前記電子部品と前記接続端子とを電氣的に接続する工程と、

前記実装後の電子部品を絶縁材で被覆する工程と、

前記支持体を除去する工程と、

露出している前記金属箔を除去する工程と、を有する、ことを特徴とする。

[0017] 前記接合層は前記導体パターン層と異なる金属からなるのが好ましい。

[0018] この場合、前記接合層を半田で形成してもよい。

[0019] 前記電子部品を前記絶縁材で被覆した後、前記絶縁材に貫通孔を設け、スルーホール導体を形成する工程をさらに有してもよい。

[0020] 前記導体パターン層を電解めっきで形成してもよい。

[0021] 前記導体パターン層の形成後、前記ソルダーレジスト層を形成する前に、前記導体パターン層の表面を粗化する工程をさらに有してもよい。

[0022] 前記電子部品の実装後、前記接続端子の周りに絶縁性樹脂を充填する工程をさらに有してもよい。

[0023] また、上記両発明において、前記電子部品には、前記接続端子と接合させるためのバンプが形成されていることが望ましい。その場合、前記バンプは、回路形成面に格子状に配置(いわゆる、エリアアレイ型)されていてもよいし、回路形成面の端部に配置(いわゆる、ペリフェラル型)されていてもよい。

発明の効果

[0024] 本発明によれば、ファインピッチ化が図れると共に、反りの発生を防止でき、接続信頼性等の品質に優れる電子部品内蔵配線板を提供できる。

図面の簡単な説明

[0025] [図1A]支持基材の構成を示す断面図である。

[図1B]支持基材に第1の下地層及び第2の下地層が形成された様子を示す断面図

である。

[図1C]図1Bの基板に感光性レジストがラミネートされた様子を示す断面図である。

[図1D]図1Bの基板にめっきレジスト層が形成された様子を示す断面図である。

[図1E]図1Dの基板に銅めっき層が形成された様子を示す断面図である。

[図1F]図1Eの基板からめっきレジスト層が剥離された後の様子を示す断面図である。

[図1G]図1Fの基板に溶剤レジスト層が形成された様子を示す断面図である。

[図1H]図1Gの基板に接合層が形成された様子を示す断面図である。

[図2A]電子部品の実装工程を示す断面図である。

[図2B]アンダーフィル材充填後の様子を示す断面図である。

[図3A]積層工程を示す断面図(その1)である。

[図3B]積層工程を示す断面図(その2)である。

[図3C]積層工程を示す断面図(その3)である。

[図4A]図3Cの基板からキャリアを剥離した後の様子を示す断面図である。

[図4B]図4Aの基板に貫通孔が形成された様子を示す断面図である。

[図4C]図4Bの基板に無電解銅めっきを施した後の様子を示す断面図である。

[図4D]図4Cの基板にめっきレジスト層が形成された様子を示す断面図である。

[図4E]図4Dの基板に銅めっき膜及びスルーホール導体が形成された様子を示す断面図である。

[図4F]本発明の一実施形態に係る電子部品内蔵配線板の構成を示す断面図である。

[図5A]図4Fの電子部品内蔵配線板から多層配線板を製造する工程を示す断面図である(その1)。

[図5B]図4Fの電子部品内蔵配線板から多層配線板を製造する工程を示す断面図である(その2)。

[図5C]図4Fの電子部品内蔵配線板から多層配線板を製造する工程を示す断面図である(その3)。

[図5D]図4Fの電子部品内蔵配線板から多層配線板を製造する工程を示す断面図である(その4)。

[図5E]図4Fの電子部品内蔵配線板から多層配線板を製造する工程を示す断面図である(その5)。

[図5F]図4Fの電子部品内蔵配線板を使用した多層配線板の構成を示す断面図である。

[図6]本実施形態における溶剤レジスト層の形成態様を説明するための平面図である。

[図7]他の実施形態における溶剤レジスト層の形成態様を説明するための平面図(その1)である。

[図8]他の実施形態における溶剤レジスト層の形成態様を説明するための平面図である(その2)。

[図9]他の実施形態における溶剤レジスト層の形成態様を説明するための平面図である(その3)。

符号の説明

- [0026]
- 1 電子部品内蔵配線板
 - 2 電子部品
 - 3 絶縁材
 - 4 アンダーフィル材
 - 5 充填樹脂
 - 20 バンプ
 - 40、50、60、70 導体パターン
 - 80 接続端子
 - 81 パッド
 - 82 接合層
 - 90 スルーホール導体
 - 91 第1の内層のスルーホールランド
 - 92 第2の内層のスルーホールランド
 - 93 第1の外層のスルーホールランド
 - 94 第2の外層のスルーホールランド

112 ソルダーレジスト層

発明を実施するための最良の形態

[0027] 以下、本発明の実施形態に係る電子部品内蔵配線板及びその製造方法について、図面を参照して説明する。

[0028] 図4Fは、本実施形態に係る電子部品内蔵配線板1の概略断面図である。この電子部品内蔵配線板1は、例えば、多層プリント配線板のコア基板等として使用される。

[0029] 電子部品内蔵配線板1は、電子部品2と、絶縁材3と、アンダーフィル材4と、充填樹脂5と、内層の導体パターン40、50と、ソルダーレジスト層112と、外層の導体パターン60、70と、接続端子80と、スルーホール導体90と、からなる。

[0030] 電子部品2は、フリップチップであり、エリアアレイ型に配列した複数のバンプ20を有している。バンプ20は、例えば、厚さ約 $30\mu\text{m}$ の金スタッドバンプである。

[0031] 絶縁材3は、ガラス繊維、アラミド繊維等の補強材にエポキシ樹脂、ポリエステル樹脂、ポリイミド樹脂、ビスマレイミド-トリアジン樹脂(BT樹脂)、フェノール樹脂等の樹脂を含浸させてなる板材であり、本実施形態では、プリプレグで構成される。

アンダーフィル材4は、例えば、シリカやアルミナ等の無機フィラーを含む絶縁性樹脂であり、電子部品2の固定強度を確保すると共に、電子部品2と絶縁材(例えば、絶縁材3や充填樹脂5)との熱膨張率のギャップによって発生する歪みを吸収する役割を担う。アンダーフィル材4は、熱硬化性樹脂と40～90wt%の無機フィラーからなることが好ましい。また、フィラーのサイズ(平均粒径)は $0.1\sim 3.0\mu\text{m}$ であることが好ましい。

充填樹脂5は、熱硬化性樹脂と無機フィラーとからなることが好ましい。無機フィラーには、たとえば、 Al_2O_3 、 MgO 、 BN 、 AlN または SiO_2 などを用いることができる。熱硬化性樹脂には、たとえば、耐熱性が高いエポキシ樹脂、フェノール樹脂またはシアネート樹脂が好ましく、この中でも、耐熱性が優れるエポキシ樹脂が特に好ましい。

ソルダーレジスト層112は、例えば、アクリル-エポキシ系樹脂を用いた感光性樹脂、エポキシ樹脂を主体とした熱硬化性樹脂、紫外線硬化型の樹脂等を材料として、スクリーン印刷、スプレーコーティング、ロールコーティング等で形成することができる。あるいは、アクリル-エポキシ系樹脂を用いた感光性ドライフィルムを真空ラミネ

ート等することで形成してもよい。

[0032] 銅等からなる導体パターン40は、電子部品内蔵配線板1の第1面側(電子部品2の回路形成面と対向する側)の内部(以下、第1の内層という。)に形成されている。導体パターン40の厚みは約 $15\mu\text{m}$ である。導体パターン40の一部は、接続端子80を構成するパッド81やスルーホール導体90に接続している第1の内層のスルーホールランド91として使用される。

[0033] 銅等からなる導体パターン50は、電子部品内蔵配線板1の第2面(第1面と反対側の主面)の内側(以下、第2の内層という。)に形成され、その一部が、スルーホール導体90に接続している第2の内層のスルーホールランド92となる。導体パターン50の厚さは、約 $15\mu\text{m}$ である。第1の内層のスルーホールランド91と第2の内層のスルーホールランド92は、スルーホール導体90を介して電氣的に接続している。

[0034] 銅等からなる導体パターン60は、電子部品内蔵配線板1の第1面上(以下、第1の外層という。)に形成されていて、その一部が、スルーホール導体90に接続している第1の外層のスルーホールランド93となる。導体パターン60の厚さは、約 $20\mu\text{m}$ である。

[0035] 銅等からなる導体パターン70は、電子部品内蔵配線板1の第2面上(以下、第2の外層という。)に形成されていて、その一部が、スルーホール導体90に接続している第2の外層のスルーホールランド94となる。導体パターン70の厚さは、約 $20\mu\text{m}$ である。

[0036] 接続端子80は、電子部品2のバンプ20と電氣的に接続するための端子であり、パッド81と、接合層82とから構成される。パッド81の厚さは約 $15\mu\text{m}$ であり、接合層82の厚さは約 $15\mu\text{m}$ である。

接合層82は、パッド81上(即ち、導体パターン40上)にパッド81とは異なる金属で形成される。例えば、半田、錫、ニッケル、金などの金属、あるいは、それらの合金などを用いた電解めっき等により接合層82を形成してもよいし、半田ペーストを印刷し、リフローを行うことで形成してもよい。あるいは、これらを組み合わせることで、接合層82を複数の層で構成してもよい。但し、接合層82の最表層部は半田からなることが好ましい。

[0037] 以上のように構成される電子部品内蔵配線板1は、ソルダーレジスト層112が導体パターン層の全面ではなく部分的に形成されている点に特徴を有する。以下、図1A～図4Eを参照して、電子部品内蔵配線板1の製造方法を説明する。

[0038] (1) 接続端子80の形成工程(図1A～図1H)

まず、図1Aに示す支持基材100を準備する。支持基材100は、銅箔101と、銅からなるキャリア102とを接着剤(剥離層)を使って剥離(分離)可能に接着した、いわゆるキャリア付き銅箔である。ここで、銅箔101の厚さは、約 $5\mu\text{m}$ であり、キャリア102の厚さは、約 $70\mu\text{m}$ である。なお、キャリア102として、銅に限らず、絶縁材なども採用できる。

[0039] 次に、支持基材100の銅箔101上に、電子部品2を実装するための接続端子80をアディティブ法を用いて形成する。

なお、接続端子80をアディティブ法で形成する前に、図1Bに示すように、第1の下地層110として、ニッケル等の金属を、無電解めっき、電解めっき、スパッタリング等の方法で支持基材100の銅箔101上の全面に厚さが約 $1\mu\text{m}$ となるように形成する。

これによって、エッチングによる侵食を防止でき、ファインパターンを形成することができる。

[0040] また、本実施形態のように、ソルダーレジスト層112を形成する場合には、図1Bに示すように、第2の下地層111として、チタン等の金属を、無電解めっき、スパッタリング等の方法で第1の下地層110上の全面に厚さが約 $0.1\mu\text{m}$ となるように形成する。これによってソルダーレジスト層112との密着性が向上するという効果が得られる。

ここで、アディティブ法とは、めっきレジストパターンの非形成部分にめっきを成長させた後、めっきレジストを除去することにより導体パターンを形成する手法をいう。

以下、このアディティブ法を用いた接続端子80の形成について、具体的に説明する。

[0041] 図1Bの基板の第2の下地層111上にドライフィルム状の感光性レジスト103をラミネートする(図1C参照)。そして、ラミネートした感光性レジスト103にマスクフィルムを密着させ、紫外線で露光し、アルカリ水溶液で現像する。その結果、導体パターン40に相当する部分のみが開口しためっきレジスト層104が形成される(図1D参照)。

[0042] 続いて、図1Dの基板を水洗し、乾燥させた後、電解銅めっきを行い、厚さ約15 μ mの銅めっき層105を形成する(図1E参照)。

そして、めっきレジスト層104を剥離することで、導体パターン40及びパッド81が形成された基板(図1F参照)が得られる。

それから、図1Fの基板表面に、液状又はドライフィルム状の感光性レジスト(ソルダーレジスト)を塗布又はラミネートして、厚さ約20 μ mのソルダーレジスト層を形成する。そして、所定のパターンが形成されたマスクフィルムをソルダーレジスト層の表面に密着させ、紫外線で露光し、アルカリ水溶液で現像する。

[0043] その結果、図1Fの基板表面にソルダーレジスト層112が形成される(図1G参照)。図6は、図1Gの基板の一部分を示す平面図である。図6に示すように、ソルダーレジスト層112は、図1Gの基板表面における電子部品2の回路形成面に対応する領域に形成される。そして、ソルダーレジスト層112には、各パッド81の表面を露出させるための開口部61が複数設けられている。より厳密には、ソルダーレジスト層112の開口部61によって各パッド81の表面全域は露出されず、各パッド81上の少なくとも一部は、ソルダーレジスト層112で覆われている。

[0044] 続いて、パッド81上に接合層82を形成する(図1H参照)。本実施形態では、接合層82は、半田ペーストを印刷し、リフローを行うことで形成される。

この際、上述したように、ソルダーレジスト層112がパッド81の周りに形成されているため、パッド81以外の部分への半田の流出を防止でき、パッド81上に均一で嵩高い接合層82を形成することが容易となる。

以上のようにして、電子部品2のバンプ20と接合させるための接続端子80が得られる。

[0045] (2)電子部品2の実装工程(図2A、図2B)

続いて、図1Hの基板上に電子部品2をフェースダウン方式にて載置し、電子部品2のバンプ20と接続端子80とを接合して、実装する(図2A参照)。

上述したように、接合層82は、均一かつ嵩高く形成されているため、電子部品2のバンプ20と接続端子80との接続信頼性が確保できる。

電子部品2の実装後、電子部品2と基板との間に生じる空隙に、アンダーフィル材4

を充填する(図2B参照)。

アンダーフィル材4は、上述したように、例えば、シリカやアルミナ等の無機フィラーを含む絶縁性樹脂である。

[0046] (3) 積層工程(図3A～図3C)

続いて、絶縁材30aと、絶縁材30bとを図2Bの基板における電子部品2の実装面上に載置する(図3A参照)。絶縁材30a、30bは、ガラス布等の補強材に樹脂を含浸させてなる板材(本実施形態では、プリプレグ)である。絶縁材30aは、電子部品2の形状に合わせてくり貫き加工が施されており、電子部品2をその実装面に対して平行な方向で囲むような態様で載置される。くり貫き加工には、打ち抜き加工法(パンチング)が好適である。尚、メカニカルドリルやレーザ等を用いてもよい。

一方、絶縁材30bは、くり貫き加工が施されておらずシート状であり、絶縁材30a上及び電子部品2の bumps 20 形成面と反対面上に載置される。

[0047] 絶縁材30a、30bの載置後、絶縁材30b上に、導体パターン50が形成された基板500を、導体パターン50の形成面を絶縁材30b側に向けて積層する(図3B、図3C参照)。この積層方式として、例えば、オートクレーブ方式やハイドロプレス方式等を用いることができる。

[0048] 基板500の製造方法について簡単に説明する。まず、支持基材100と同様の構成の支持基材(厚さ約 $5\mu\text{m}$ の銅箔501と、厚さ約 $70\mu\text{m}$ のキャリア502とから構成される。)を準備する。そして、かかる支持基材上にドライフィルム状の感光性レジストをラミネートする。それから、ラミネートした感光性レジストに所定のパターンが形成されたマスクフィルムを密着させ、露光・現像することで、導体パターン50に相当する部分のみが開口しためっきレジスト層が形成される。

そして、めっきレジスト層形成後の基板を水洗乾燥した後、電解ニッケルめっき等を行って、厚さ約 $1\mu\text{m}$ の下地層503を形成する。それから、さらに電解銅めっきを行い、下地層503上に、厚さ約 $15\mu\text{m}$ の銅めっき層を形成する。そして、めっきレジスト層を除去し、水洗乾燥すると、導体パターン50が形成された基板500が得られる。

[0049] 上記積層の際、加圧されることで、絶縁材30aと、絶縁材30bとが融合し、図3Cに示すように、絶縁材3が形成される。また、その際、絶縁材30a、30bから樹脂成分が

流出し、電子部品2と、絶縁材30a、30bとの間に生じる空隙部が、充填樹脂5で充填される。

[0050] (4) 後工程 (図4A～図4E)

続いて、図3Cの基板からキャリア102と、キャリア502とを剥離(分離)し、図4Aの基板を得る。そして、メカニカルドリル等を用いた既知の穴あけ工法により、図4Aの基板に貫通孔106をあける(図4B参照)。貫通孔106の形成後、図4Bの基板に無電解銅めっきを施し、両主面上および貫通孔106の内壁に銅めっき層113を形成する(図4C参照)。

そして、図4Cの基板の両主面上に、ドライフィルム状の感光性レジストをラミネートし、該感光性レジストにマスクフィルムを密着させ、露光・現像を行う。そうすると、導体パターン60に相当する部分のみが開口しためっきレジスト層107と、導体パターン70に相当する部分のみが開口しためっきレジスト層108が形成される(図4D参照)。

[0051] 次に、図4Dの基板を水洗し、乾燥させた後、電解銅めっきを行い、めっきレジスト層107及び108を除去する。すると、図4Eに示すように、銅めっき膜109と、スルーホール導体90が形成される。そして、図4Eの基板の両主面上の不要な銅めっき層113、銅箔101及び銅箔501を銅を選択的にエッチングできるエッチング液を用いて除去する。続いて、ニッケル、チタン等の銅とは異なる金属を選択的にエッチングできるエッチング液を用いて、第1の下地層110及び第2の下地層111を除去する。

これにより、導体パターン60(第1の外層のスルーホールランド93)と、導体パターン70(第2の外層のスルーホールランド94)とが形成された図4Fに示す電子部品内蔵配線板1が得られる。

第1の下地層110及び第2の下地層111のエッチング除去の際、銅とは異なる金属を選択的にエッチングできるエッチング液を用いるため、導体パターン40はエッチングの影響を受けず保護される。

さらに、パッド81は、溶剤レジスト層112に埋設され、その表面から突出していないので、エッチング時のパターン細りが起きにくく、ファインパターンが維持できる。

[0052] 以上のようにして製造された電子部品内蔵配線板1は、以下のような優れた特徴を有する。

- [0053] (1)電子部品2を收容(内蔵)しているため、表層の実装領域に他の電子部品等を実装することが可能となり、高機能化が可能となる。また、内蔵する電子部品をフリップチップ実装することで、薄型化(小型化)が図れる。
- [0054] (2)また、(a) 予め、支持基材100上に電子部品実装用の接続端子80を形成しておくこと、(b) 支持基材100の厚みが大きい(約 $75\mu\text{m}$)こと、(c) 導体パターン40及び接続端子80をアディティブ法にて形成すること、等により、導体パターン40及び接続端子80をファインピッチ(例えば、 $50\mu\text{m}$)で形成することが可能となる。また、支持基材100のキャリア102は、剥離により容易に除去されるため、不要の金属層を除去する際、接続端子80に加わるおそれのあるダメージを極力低減できる。さらに、形成した接続端子80及び導体パターン40は、後工程においてエッチング等されないため、形成時のパターン形状が保持される。したがって、パターン精度の向上が図れる。
- [0055] (3)また、收容される電子部品2は、アンダーフィル材4、絶縁材3により、被覆され、封止されているため、固定強度が高い。このため、電子部品内蔵配線板1をコア基板としたビルトアップ等の多層化工程において、ハンドリングが容易となり、また、エッチング等が行われても、電子部品2に与える影響を極力防止できる。
- [0056] (4)また、電子部品内蔵配線板1は、絶縁材料(アンダーフィル材4及び絶縁材3)が、電子部品2をその実装面における下方向及び上方向で挟み込んだ態様の構造(対称構造)を有している。かかる対称構造にすると、ストレス(熱、振動衝撃、落下衝撃等)による応力が緩和でき、反りに対する耐性が確保できる。
- さらに、電子部品内蔵配線板1の第1面上及び第2面上に、それぞれ、導体パターン60及び導体パターン70が形成されているため、反りに対する耐性はより一層高いものとなる。
- [0057] (5)また、導体パターン40の形成層において、接続端子80の周りをソルダーレジスト層112でコーティングしているため、不必要な部分に半田が付かず、接続端子80が保護され、導体間の絶縁性が確保される。さらに、導体パターン40の形成層において、ソルダーレジスト層112が全面に形成されておらず、非形成部が設けられている。つまり、熱膨張率の高いソルダーレジストの形成領域を必要不可欠な領域のみに

制限している。このため、基板の反りを低減させることが可能となる。

[0058] 図5Fは、図4Fの電子部品内蔵配線板1をコア基板として使用した多層配線板600の概略断面図である。この多層配線板600の製造方法について、図5A～図5Eを参照して簡単に説明する。

[0059] 先ず、図4Fの電子部品内蔵配線板1の両主面上(第1面及び第2面上)に、ガラス布等の補強材に樹脂を含浸させてなるシート状の板材(本実施形態では、プリプレグ)を載置し、さらに、その上に圧延銅箔あるいは電解銅箔を載置し、加熱圧着する。その結果、厚さ約 $40\mu\text{m}$ の絶縁層601、602と、厚さ約 $12\mu\text{m}$ の銅箔610、611が形成される(図5A参照)。

その際、第1の外層のスルーホールランド93及び第2の外層のスルーホールランド94によって押し退けられる樹脂量と、スルーホール導体90の内部(空洞)に入り込む樹脂量とが相殺される。したがって、絶縁層601及び602の表面は平坦化される。

[0060] 続いて、炭酸ガス(CO_2)レーザやUV-YAGレーザ等により、図5Aの基板の両主面の所定箇所にレーザバイア(ブラインドホール)612、613を形成する(図5B参照)。

そして、図5Bの基板において、全面に無電解銅めっきを行って、両主面上並びにレーザバイア612及び613の内面に銅めっき層620を形成する(図5C参照)。

それから、めっきレジスト層621、622を形成した後(図5D参照)、電解銅めっきを行い、バイア603、604と、銅めっき層614、615を形成する(図5E参照)。

そして、図5Eの基板において、めっきレジスト層621、622を除去し、両主面上の不要な銅箔610、611と、銅めっき層620をエッチングして除去すると、導体パターン605、606が形成された多層配線板600が得られる(図5F参照)。

[0061] 尚、本発明は、上記実施形態に限定されるものではなく、本発明の要旨を逸脱しない範囲で種々の変更が可能である。

[0062] 例えば、溶剤レジスト層112の形成態様は、図6に示すものに限られない。例えば、電子部品2のバンプ20が、ペリフェラル型に配列されている場合では、図7に示すように、溶剤レジスト層112の開口部61を矩形枠状にしてもよい。

[0063] この場合、図8に示すように、各パッド81間の領域を溶剤レジスト層112で覆っ

てもよいし、図9に示すように、電子部品2の回路形成面に対応する領域の中央部に非形成領域を設けてもよい。

[0064] また、溶剤レジスト層と導体パターン層との密着性を向上させるために、溶剤レジスト層の形成前に、導体パターン層の表面を黒化处理、化学エッチング処理（CZ処理）等の表面粗化法によって、粗化してもよい。

[0065] また、上記実施形態の多層配線板600は、電子部品内蔵配線板1の両主面に、絶縁層601、602と導体パターン605、606からなる層をそれぞれ1層ずつ積層しているが、かかる構成に限定されない。即ち、2層以上積層しても構わないし、両主面において、積層数が異なってもよい。さらには、片側の主面のみに積層してもよい。

[0066] 本出願は、2008年11月6日にされた、米国仮特許出願61/112035に基づく。本明細書中に、その明細書、特許請求の範囲、図面全体を参照して取り込むものとする。

産業上の利用可能性

[0067] 本発明に係る技術は、電子部品を内部に収容する配線板に広く適用可能である。

請求の範囲

- [1] 電子部品をフリップチップ実装にて内蔵した電子部品内蔵配線板であって、
導体パターン層と、
該導体パターン層に設けられ、前記電子部品と電氣的に接合する接続端子と、
前記導体パターン層上に形成された溶剤レジスト層と、を備え、
前記溶剤レジスト層は、前記導体パターン層上における前記接続端子の周囲
に形成され、前記導体パターン層上におけるその他の少なくとも一部の領域には、
形成されていない、
ことを特徴とする電子部品内蔵配線板。
- [2] 前記接続端子は、前記導体パターン層と異なる金属で前記導体パターン層上に形
成される接合層を含む、
ことを特徴とする請求項1に記載の電子部品内蔵配線板。
- [3] 前記接合層は半田からなる、
ことを特徴とする請求項2に記載の電子部品内蔵配線板。
- [4] 前記溶剤レジスト層は、前記導体パターン層における前記接続端子の形成領
域の少なくとも一部分を覆っている、
ことを特徴とする請求項1に記載の電子部品内蔵配線板。
- [5] 前記電子部品は絶縁材で覆われており、該絶縁材にはスルーホール導体が形成
されている、
ことを特徴とする請求項1に記載の電子部品内蔵配線板。
- [6] 前記導体パターン層は、前記絶縁材の表面から突出していない、
ことを特徴とする請求項5に記載の電子部品内蔵配線板。
- [7] 前記電子部品には、前記接続端子と接合させるためのバンプが形成されている、
ことを特徴とする請求項1に記載の電子部品内蔵配線板。
- [8] 前記導体パターン層の表面が粗化されている、
ことを特徴とする請求項1に記載の電子部品内蔵配線板。
- [9] 前記電子部品のバンプは、回路形成面の端部に配置されている、
ことを特徴とする請求項7に記載の電子部品内蔵配線板。

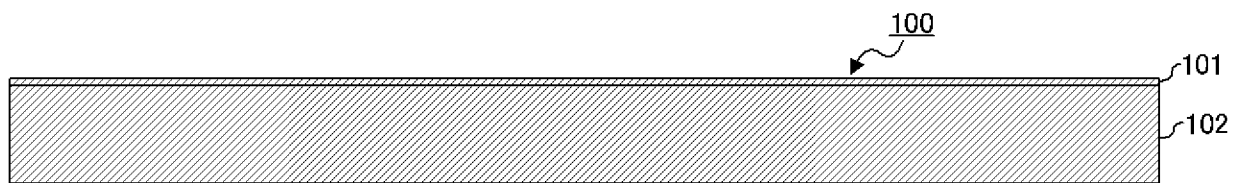
- [10] 支持体上に金属箔が配置された積層基材における前記金属箔上に、導体パターン層を形成する工程と、
前記導体パターン層上の一部の領域に、所定の開口部を設けた溶剤レジスト層を形成する工程と、
前記溶剤レジスト層の開口部に対応する前記導体パターン層上に接合層を設けることで、接続端子を形成する工程と、
前記積層基材上に、前記電子部品を該電子部品の回路形成面と前記接続端子の形成面とが向かい合うように配置し、前記電子部品と前記接続端子とを電氣的に接続する工程と、
前記実装後の電子部品を絶縁材で被覆する工程と、
前記支持体を除去する工程と、
露出している前記金属箔を除去する工程と、を有する、
ことを特徴とする電子部品内蔵配線板の製造方法。
- [11] 前記接合層は前記導体パターン層と異なる金属からなる、
ことを特徴とする請求項10に記載の電子部品内蔵配線板の製造方法。
- [12] 前記接合層は半田からなる、
ことを特徴とする請求項11に記載の電子部品内蔵配線板の製造方法。
- [13] 前記電子部品を前記絶縁材で被覆した後、前記絶縁材に貫通孔を設け、スルーホール導体を形成する工程をさらに有する、
ことを特徴とする請求項10に記載の電子部品内蔵配線板の製造方法。
- [14] 前記導体パターン層は、電解めっきにより形成される、
ことを特徴とする請求項10に記載の電子部品内蔵配線板の製造方法。
- [15] 前記電子部品には、前記接続端子と接合させるためのバンプが形成されている、
ことを特徴とする請求項10に記載の電子部品内蔵配線板の製造方法。
- [16] 前記導体パターン層の形成後、前記溶剤レジスト層を形成する前に、前記導体パターン層の表面を粗化する工程をさらに有する、
ことを特徴とする請求項10に記載の電子部品内蔵配線板の製造方法。
- [17] 前記電子部品の実装後、前記接続端子の周りに絶縁性樹脂を充填する工程をさら

に有する、

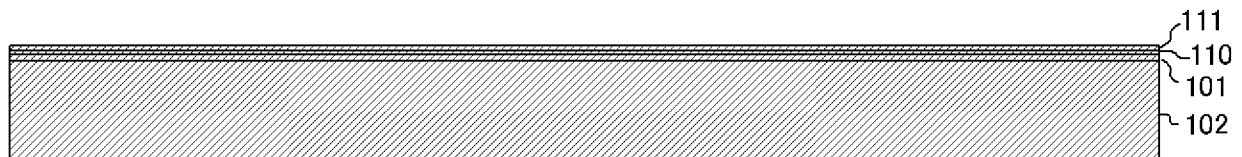
ことを特徴とする請求項10に記載の電子部品内蔵配線板の製造方法。

- [18] 前記電子部品のバンプは、回路形成面の端部に配置されている、
ことを特徴とする請求項15に記載の電子部品内蔵配線板の製造方法。

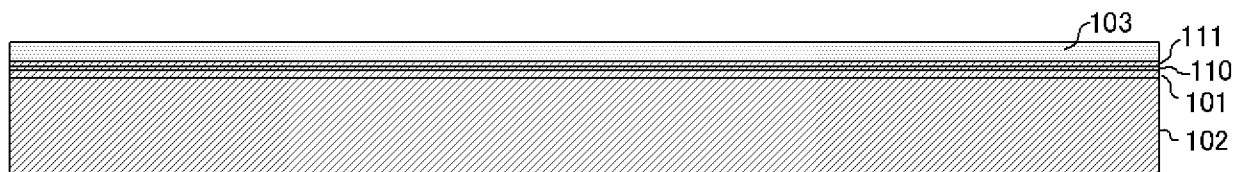
[図1A]



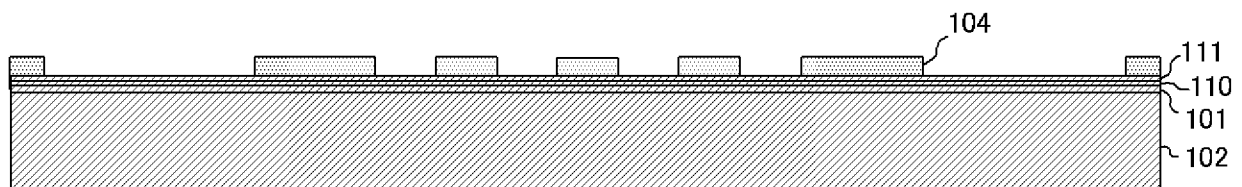
[図1B]



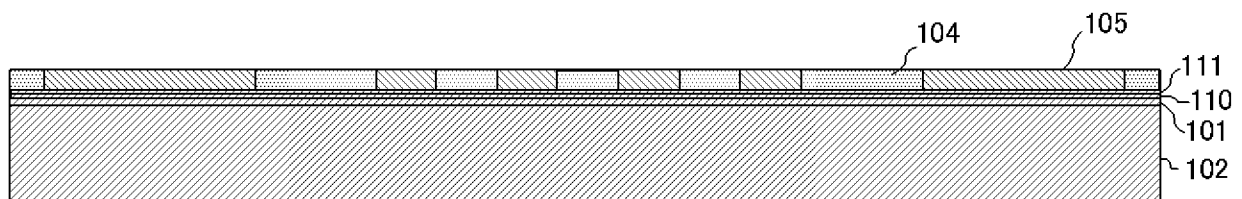
[図1C]



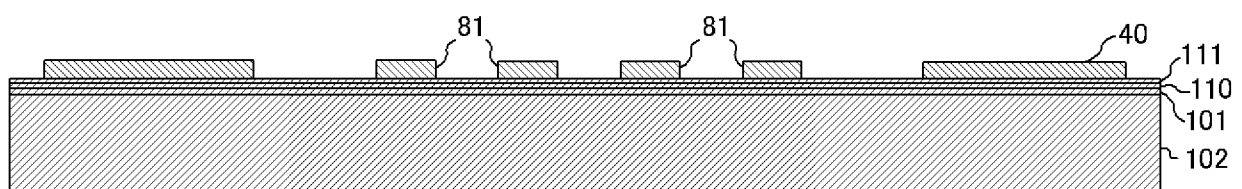
[図1D]



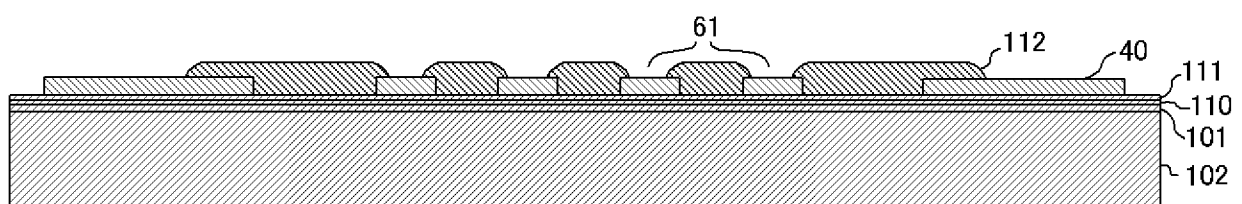
[図1E]



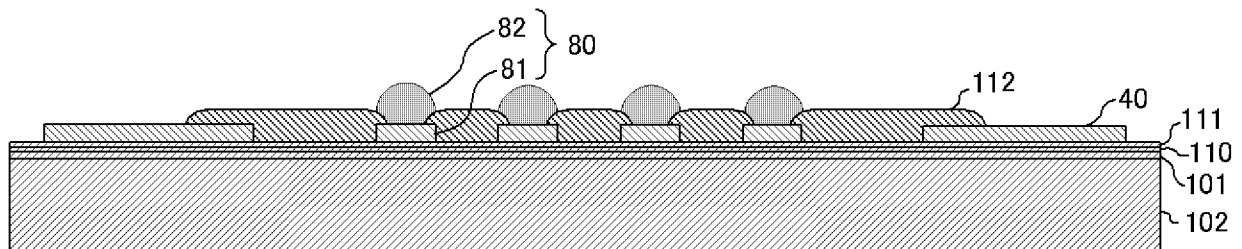
[図1F]



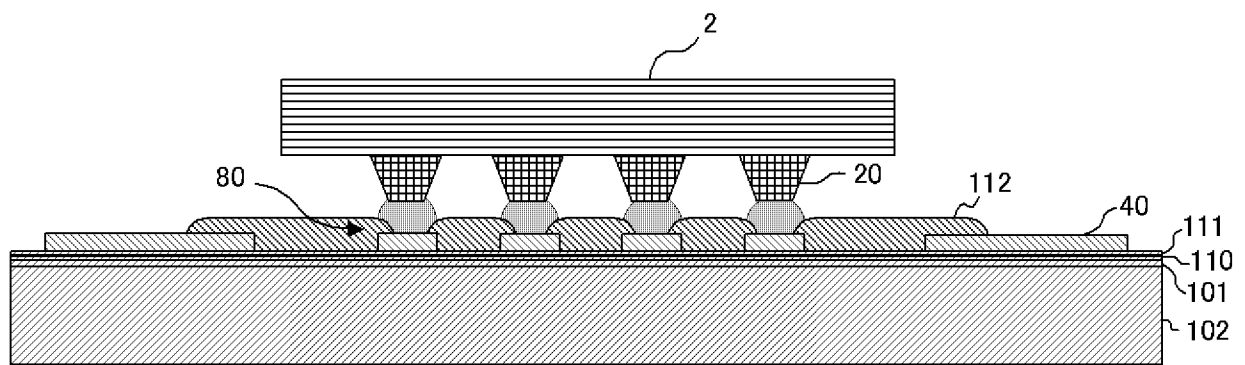
[図1G]



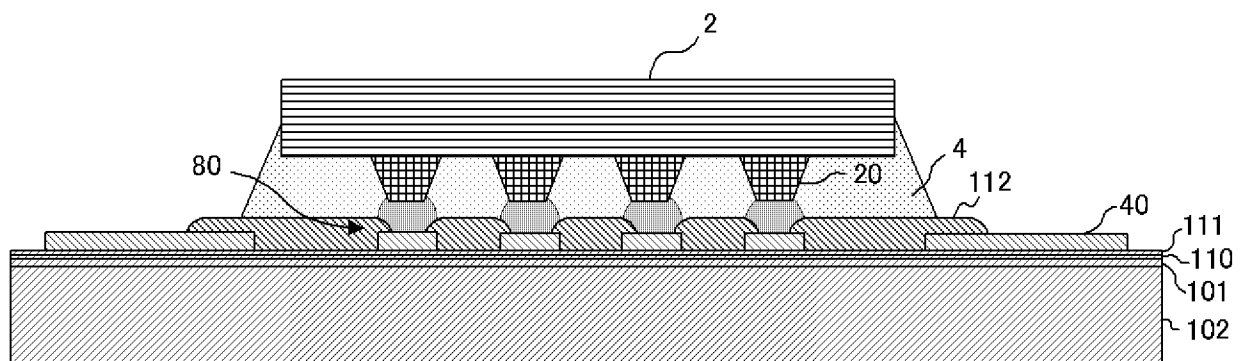
[図1H]



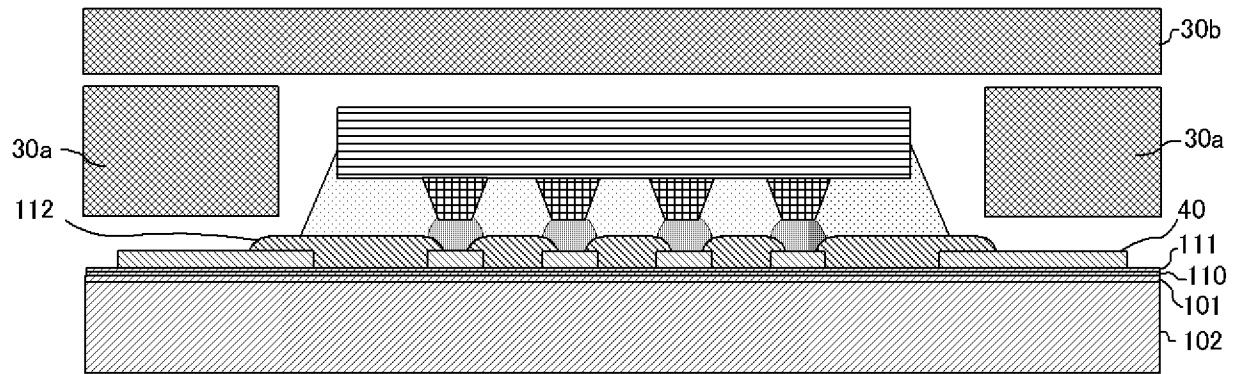
[図2A]



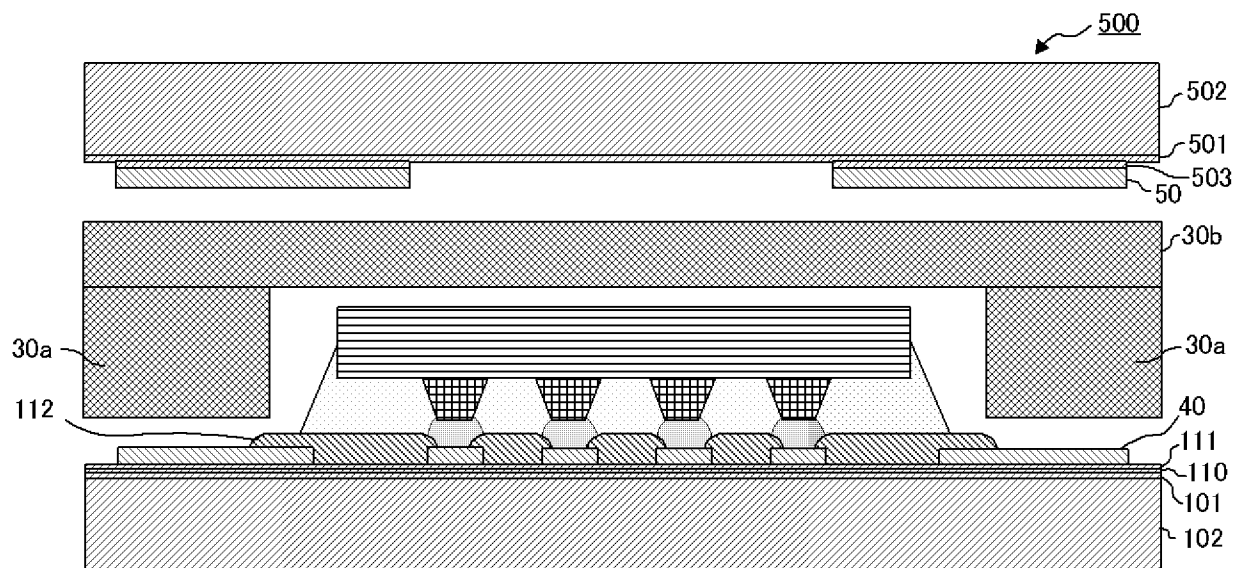
[図2B]



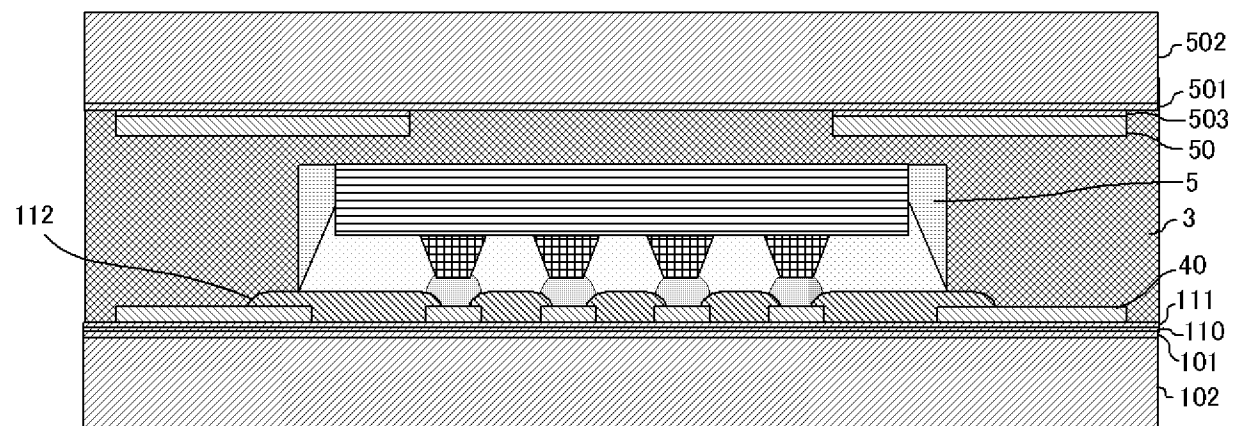
[図3A]



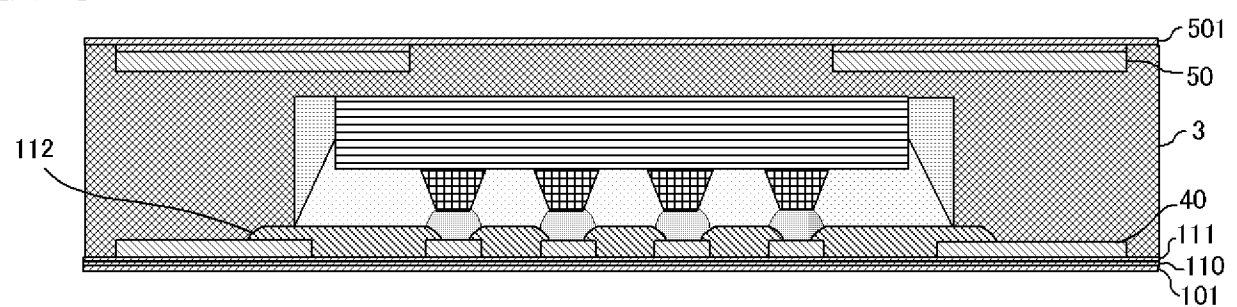
[図3B]



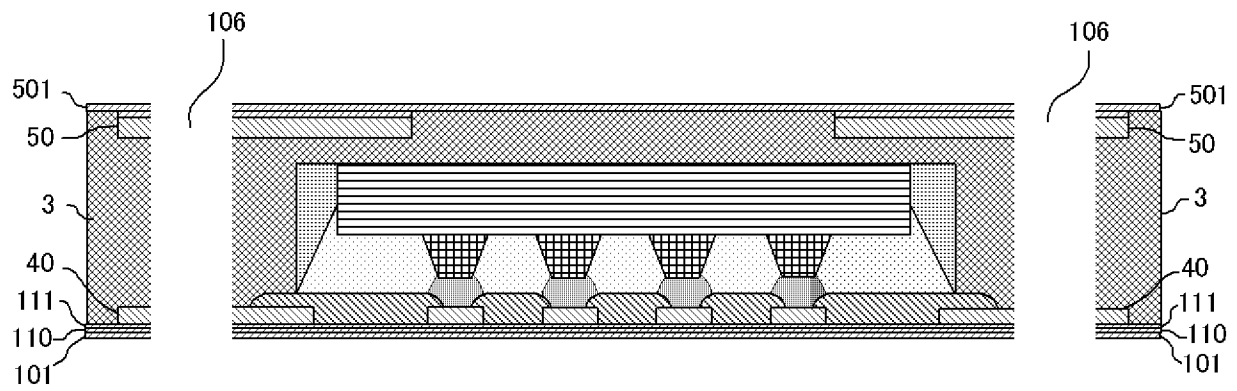
[図3C]



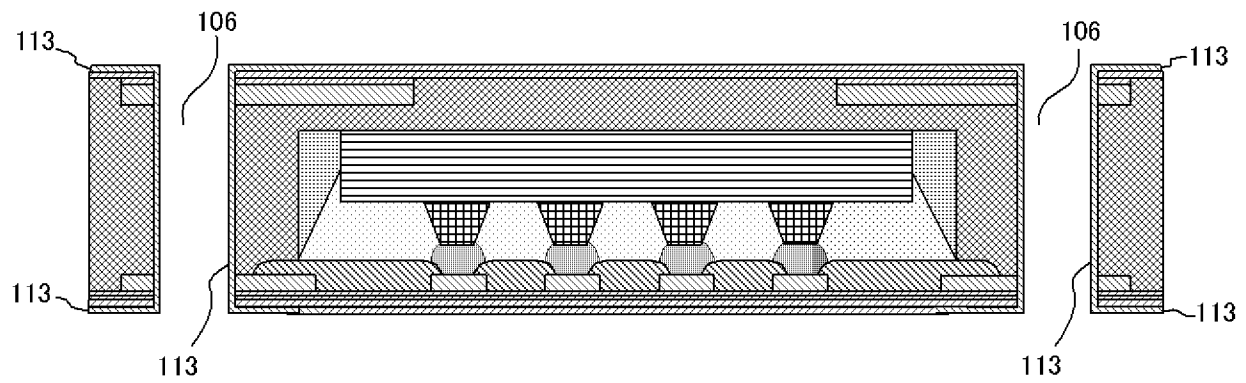
[図4A]



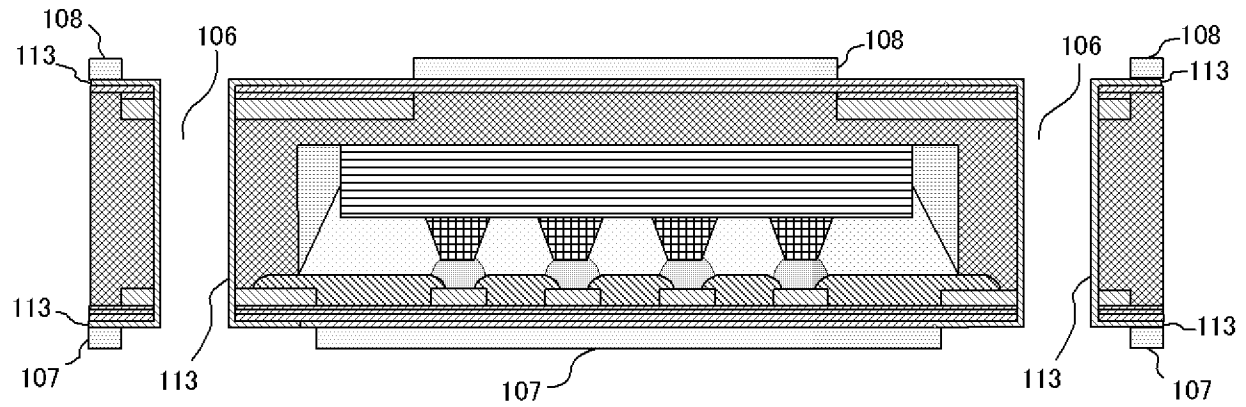
[図4B]



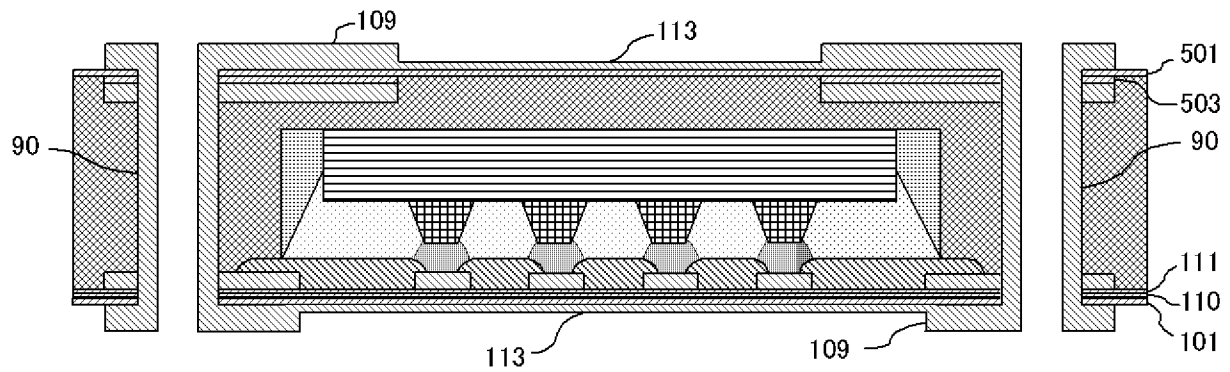
[図4C]



[図4D]



[図4E]

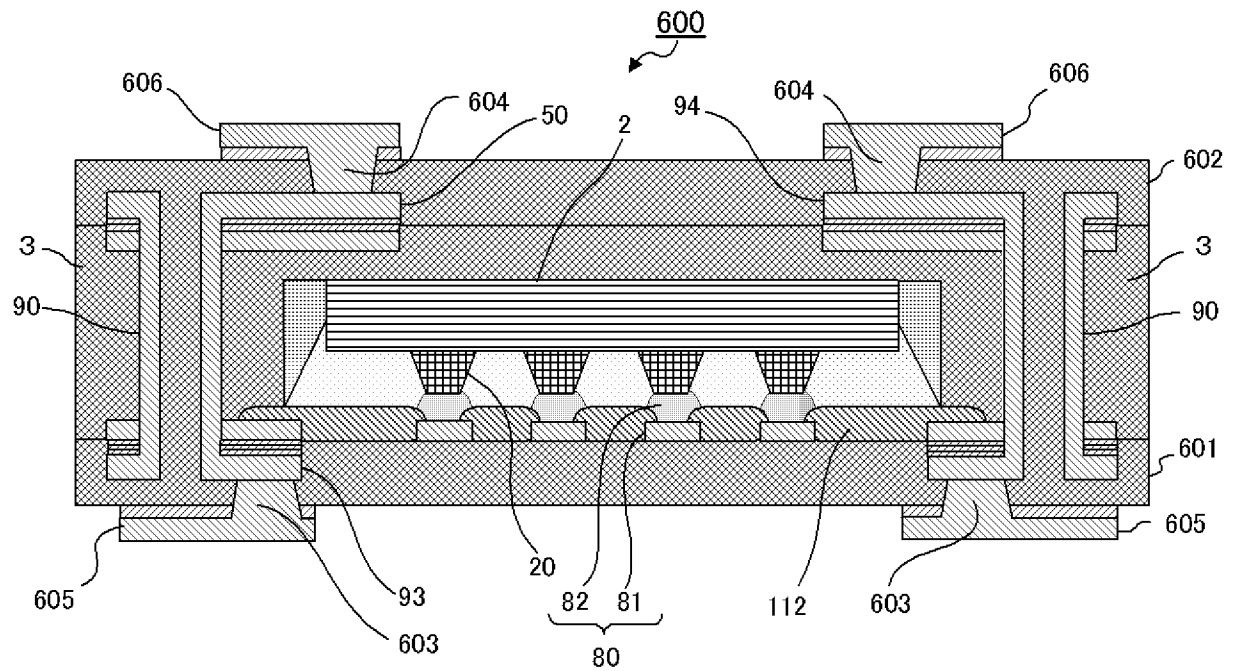


A cross-sectional view of a semiconductor device 90. The device features a central horizontal layer with a striped pattern, supported by a series of vertical pillars. The pillars are connected to a base layer with a cross-hatched pattern. The entire structure is enclosed within a rectangular frame with a cross-hatched border. Labels 611, 602, 94, 90, 93, 601, and 610 point to various components of the device.

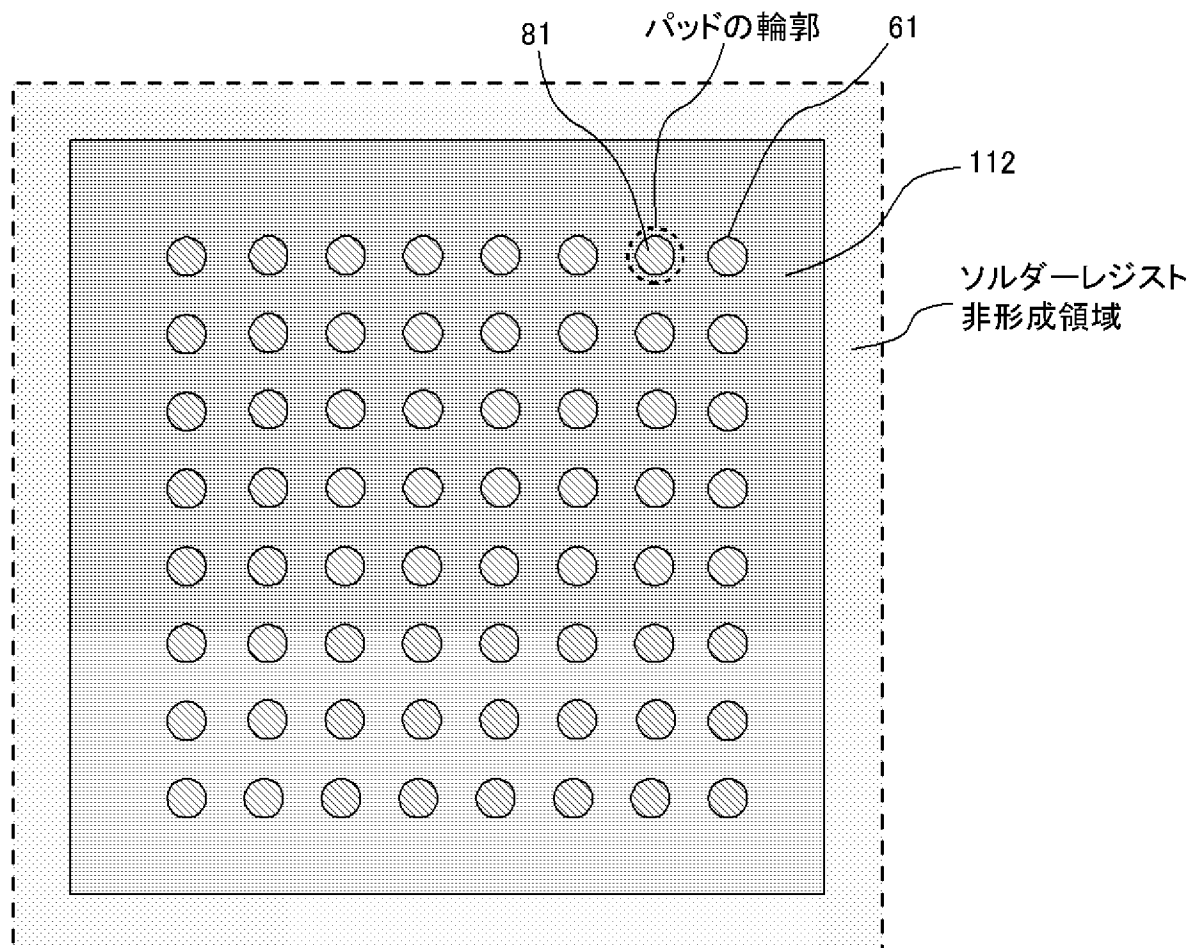
A cross-sectional view of a semiconductor device assembly 90. The assembly includes a central core 610 with a top layer 601 and a bottom layer 602. A central channel 612 is formed in the core, containing a series of vertical pillars 613. The pillars are connected to a top electrode 611 and a bottom electrode 612. The assembly is surrounded by a protective layer 90, which is further enclosed by a housing 93. The housing 93 is connected to a power source 94. The assembly is mounted on a substrate 600.

A detailed cross-sectional view of a semiconductor device 90. The device features a central core with a horizontal layer of alternating light and dark horizontal stripes. Below this core, four conical structures with a grid-like pattern are positioned on a base layer. The entire assembly is enclosed within a rectangular frame. Various layers and components are labeled with reference numerals: 615 at the top left; 604 at the top center and top right; 622, 620, and 611 on the far right; 90 on the left and right sides; 610, 620, and 621 at the bottom right; 603 at the bottom center and bottom right; and 614 at the bottom left.

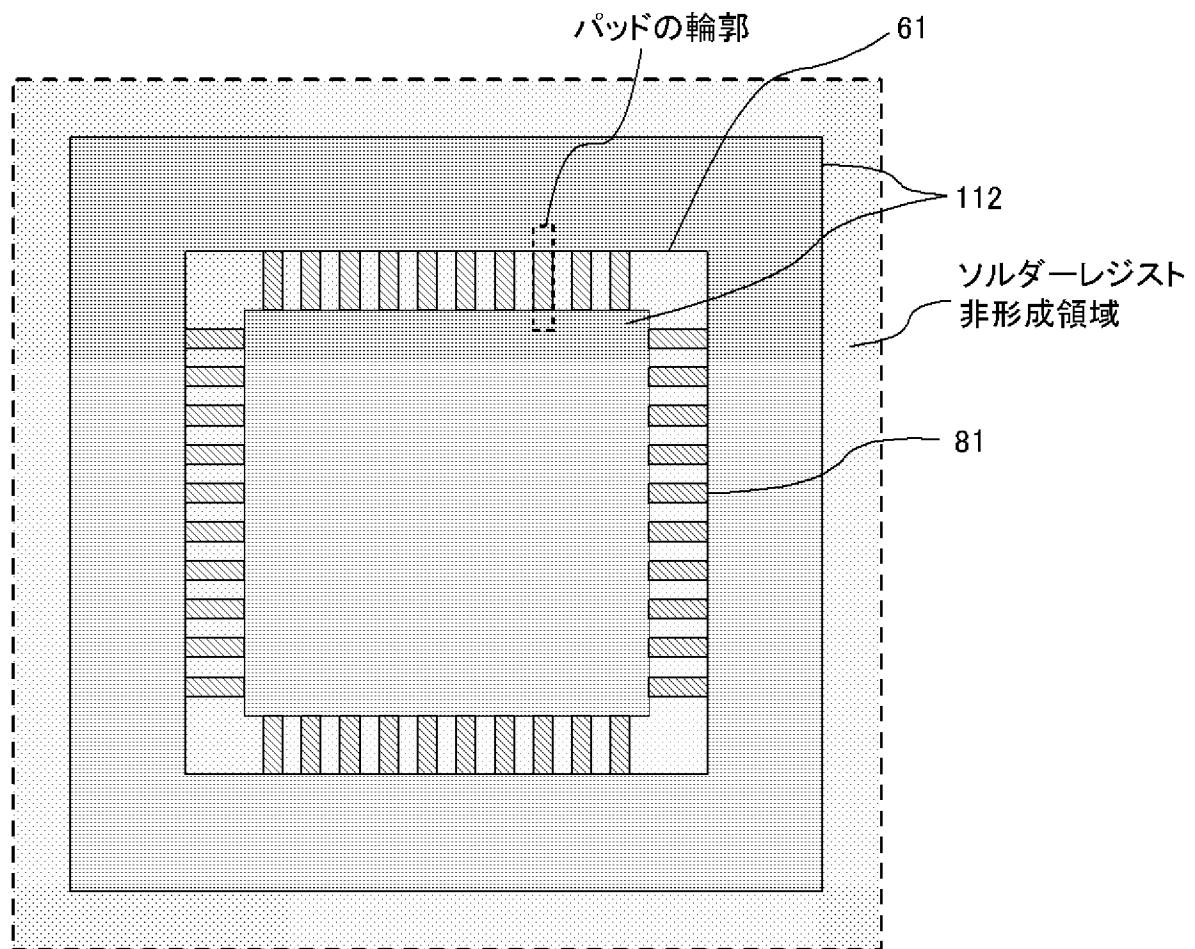
[図5F]



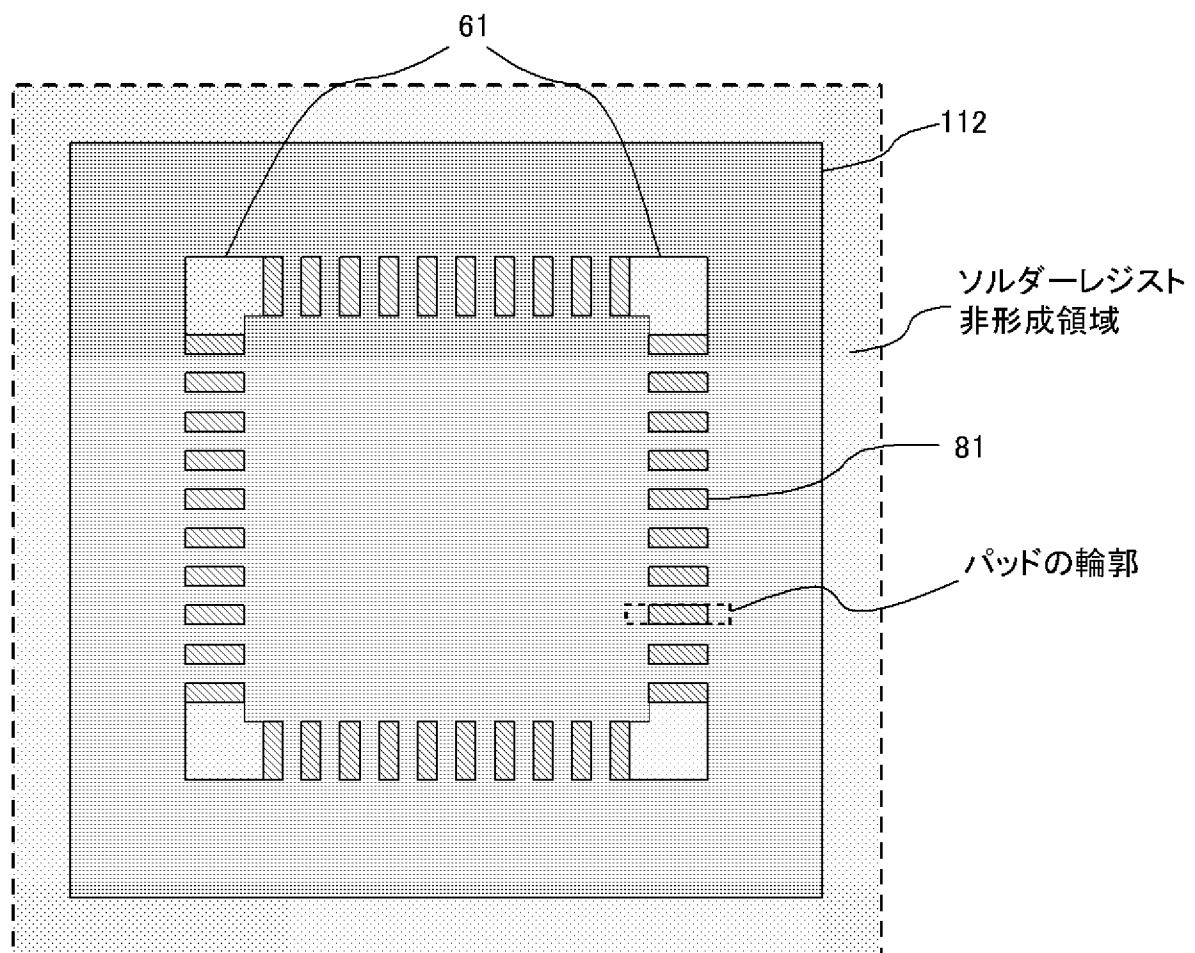
[図6]



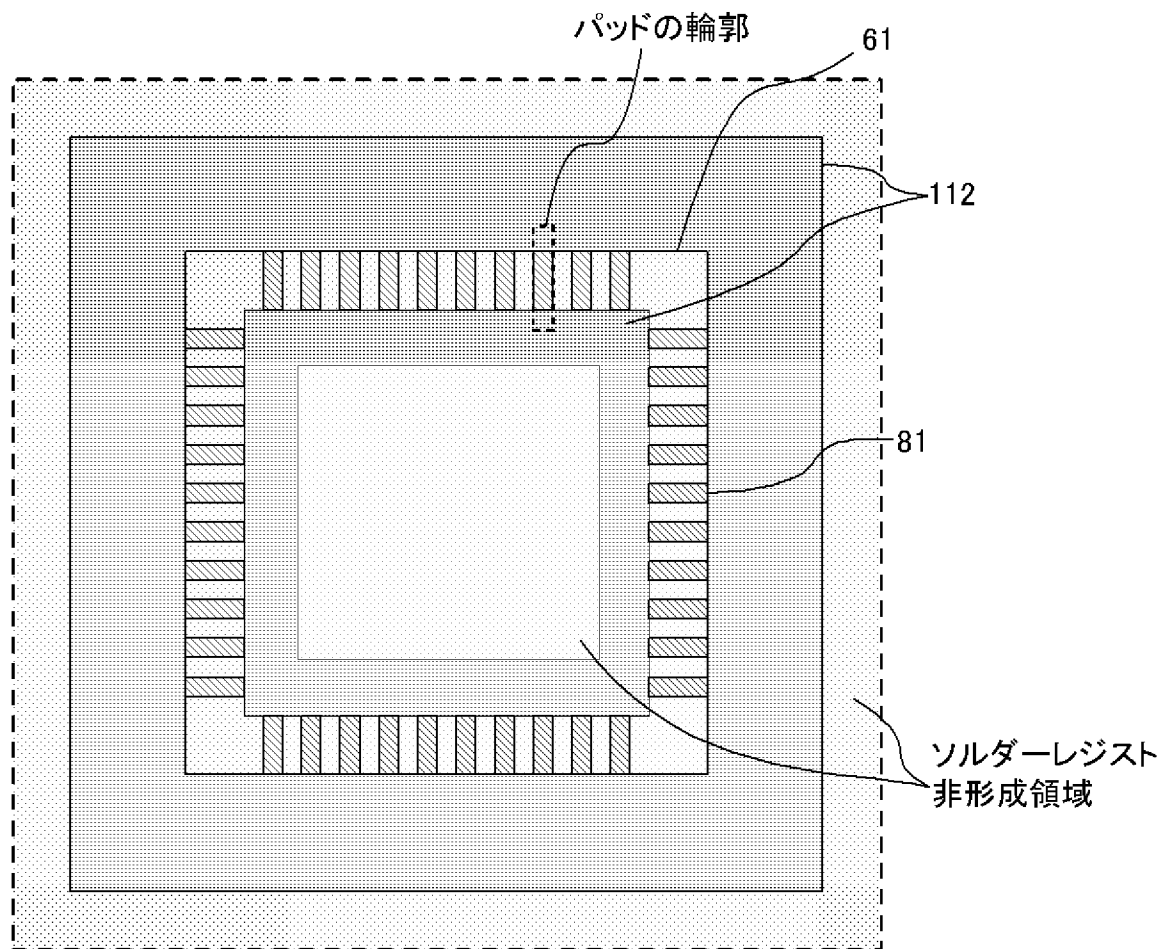
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/054585

A. CLASSIFICATION OF SUBJECT MATTER

H05K3/46 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-261449 A (Matsushita Electric Industrial Co., Ltd.), 13 September, 2002 (13.09.02), Par. Nos. [0051], [0057], [0060] to [0061]; Figs. 2, 7 & US 2002/0117743 A1 & US 2004/0158980 A1 & US 2005/0230848 A1 & TW 511405 B & CN 1366444 A	1-18
Y	JP 58-148434 A (Mitsubishi Electric Corp.), 03 September, 1983 (03.09.83), Figs. 2 to 3 (Family: none)	1-18

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
03 April, 2009 (03.04.09)

Date of mailing of the international search report
14 April, 2009 (14.04.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/054585

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2007/034629 A1 (Murata Mfg. Co., Ltd.), 29 March, 2007 (29.03.07), Full text & US 2008/0149381 A1 & KR 10-2008-0031979 A & CN 101263752 A	1-18
A	JP 2002-290051 A (Matsushita Electric Industrial Co., Ltd.), 04 October, 2002 (04.10.02), Full text & US 2002/0135058 A1 & US 2003/0062624 A1 & EP 1225629 A2 & TW 511415 B & KR 10-2002-0062227 A & CN 1366446 A & CN 1767170 A	1-18
A	JP 2006-310421 A (CMK Corp.), 09 November, 2006 (09.11.06), Full text (Family: none)	1-18
A	JP 2007-214230 A (CMK Corp.), 23 August, 2007 (23.08.07), Full text (Family: none)	1-18
A	JP 2002-237682 A (CMK Corp.), 23 August, 2002 (23.08.02), Full text (Family: none)	1-18
A	JP 8-242064 A (Ibiden Co., Ltd.), 17 September, 1996 (17.09.96), Full text (Family: none)	1-18

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H05K3/46(2006.01) i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H05K3/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2002-261449 A（松下電器産業株式会社）2002.09.13, 段落【0051】、【0057】、【0060】－【0061】、第2図、第7図 & US 2002/0117743 A1 & US 2004/0158980 A1 & US 2005/0230848 A1 & TW 511405 B & CN 1366444 A	1-18
Y	JP 58-148434 A（三菱電機株式会社）1983.09.03, 第2－3図（ファミリーなし）	1-18

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 3 . 0 4 . 2 0 0 9

国際調査報告の発送日

1 4 . 0 4 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

貞光 大樹

3 S

3 6 2 9

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 9 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2007/034629 A1 (株式会社村田製作所) 2007. 03. 29, 全文 & US 2008/0149381 A1 & KR 10-2008-0031979 A & CN 101263752 A	1-18
A	JP 2002-290051 A (松下電器産業株式会社) 2002. 10. 04, 全文 & US 2002/0135058 A1 & US 2003/0062624 A1 & EP 1225629 A2 & TW 511415 B & KR 10-2002-0062227 A & CN 1366446 A & CN 1767170 A	1-18
A	JP 2006-310421 A (日本シイエムケイ株式会社) 2006. 11. 09, 全文 (ファミリーなし)	1-18
A	JP 2007-214230 A (日本シイエムケイ株式会社) 2007. 08. 23, 全文 (ファミリーなし)	1-18
A	JP 2002-237682 A (日本シイエムケイ株式会社) 2002. 08. 23, 全文 (ファミリーなし)	1-18
A	JP 8-242064 A (イビデン株式会社) 1996. 09. 17, 全文 (ファミリーなし)	1-18