

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4198736号
(P4198736)

(45) 発行日 平成20年12月17日(2008.12.17)

(24) 登録日 平成20年10月10日(2008.10.10)

(51) Int.Cl.	F I	
G09G 3/20 (2006.01)	G09G 3/20	623A
G09F 9/00 (2006.01)	G09G 3/20	621M
G02F 1/133 (2006.01)	G09G 3/20	670E
G02F 1/1345 (2006.01)	G09G 3/20	680G
H01L 21/60 (2006.01)	G09F 9/00	346A

請求項の数 7 (全 19 頁) 最終頁に続く

(21) 出願番号	特願2007-194903 (P2007-194903)	(73) 特許権者	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(22) 出願日	平成19年7月26日(2007.7.26)	(74) 代理人	100103894 弁理士 冢入 健
(62) 分割の表示	特願2003-160719 (P2003-160719) の分割	(72) 発明者	岩永 博文 熊本県合志市御代志997番地 株式会社 アドバンスト・ディスプレイ内
原出願日	平成15年6月5日(2003.6.5)	(72) 発明者	野海 茂昭 熊本県合志市御代志997番地 株式会社 アドバンスト・ディスプレイ内
(65) 公開番号	特開2007-299013 (P2007-299013A)	(72) 発明者	森下 均 熊本県合志市御代志997番地 株式会社 アドバンスト・ディスプレイ内
(43) 公開日	平成19年11月15日(2007.11.15)		
審査請求日	平成19年7月26日(2007.7.26)		

最終頁に続く

(54) 【発明の名称】 ソース線駆動回路及びそのソース線駆動回路を備えた表示装置

(57) 【特許請求の範囲】

【請求項1】

上面に、表示パネルのソース線を駆動する複数の出力用バンクと、複数のデジタル信号用バンクと、複数の電源入力用バンクとを備えたソース線駆動回路であって、

複数の前記デジタル信号用バンクは、前記ソース線駆動回路の第一の長辺の左右角部周辺及び左右の短辺に沿って配置され、

複数の前記出力用バンクは、前記第一の長辺において、前記デジタル信号用バンクが配置されていない領域に配列され、

複数の前記電源入力用バンクは、前記第一の長辺に対向する第二の長辺における左右角部周辺に配置されていることを特徴とするソース線駆動回路。

【請求項2】

複数の前記デジタル信号用バンクはクロック信号用バンクを含み、該クロック信号用バンクは複数の前記デジタル信号用バンクの最も外側に配置されていることを特徴とする請求項1に記載のソース線駆動回路。

【請求項3】

前記出力用バンク又は前記デジタル信号用バンクが千鳥配置であることを特徴とする請求項1又は2に記載のソース線駆動回路。

【請求項4】

最も大きい電流が流れる電源又はGND用配線に対応する前記電源入力用バンクが前記第二の長辺の最も外側に設けられていることを特徴とする請求項1に記載のソース線駆動

回路。

【請求項 5】

絶縁性基板を有する表示パネルと、
請求項 1 に記載のソース線駆動回路を複数備えた表示装置であって、
該ソース線駆動回路は、前記表示パネルの表示領域に前記第一の長辺を対向させ、かつ
間隔を開けて各バンクが下面となるように前記絶縁性基板の端縁に沿って伏せて配置され

、
複数の前記出力用バンクは前記表示パネルのソース線に接続され、
前記絶縁性基板上に形成され、隣り合う前記ソース線駆動回路のデジタル信号用バンク
間を接続する複数のカスケード配線と、

前記第二の長辺の左右角部周辺に配列された複数の前記電源入力用バンクに接続するよ
うに前記絶縁性基板上に形成され、電源又は G N D 電位を給電する入力用配線と、

該入力用配線に異方性導電膜を介して接続され、前記入力用配線に対応して電源又は G
N D 電位を供給する外部配線を複数有し、前記絶縁性基板の端縁側から配置された配線部
とをさらに備え、

前記入力用配線のうち最も大きい電流が流れる該入力用配線は、前記電源入力用バンク
に対向する位置から前記絶縁性基板の端縁と略垂直に一旦引き出されていることを特徴と
する表示装置。

【請求項 6】

最も大きい電流が流れる電源又は G N D 用外部配線に接続される前記電源入力用バンク
が、前記第二の長辺の最も外側に設けられていることを特徴とする請求項 5 に記載の表示
装置。

【請求項 7】

前記入力用配線のうち大きい電流が流れる電源又は G N D 電位を給電する入力用配線は
、流れる電流に応じて配線幅が太くなっていることを特徴とする請求項 5 又は 6 に記載の
表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ソース線駆動回路及びそのソース線駆動回路を備えた表示装置に関し、特に
詳しくは、ガラス基板上に薄膜トランジスタ (T F T) 駆動用 I C チップを備えた C O G
実装方式の液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、液晶層が挟持された 2 枚の基板からなる液晶表示パネルとその液晶表
示パネルの裏面側に設けられた面状光源装置とを備えている。液晶表示パネルは通常、対
向するガラスからなる 2 枚の絶縁性透明基板の間に液晶などの表示材料が挟持されると共
に、この表示材料に選択的に電圧が印加されるように構成される。一方の基板は薄膜トラ
ンジスタ (T F T) などのスイッチング素子およびこれと接続する画素電極などがマトリ
クス状に形成された薄膜トランジスタアレイ基板 (以下、 T F T アレイ基板と称する) で
ある。他方の基板は画素電極に対応して設けられた R、G、B の着色層及び該着色層の間
に設けられたブラックマトリクス (B M) を備えたカラーフィルター基板 (C F 基板) で
ある。

【0003】

T F T アレイ基板では該スイッチング素子に信号を与えるためのソース配線及びゲート
配線が絶縁膜を介して交差している。画素電極の数に対応してソース配線及びゲート配線
がそれぞれ複数本配置されている。画素電極を駆動するための I C チップを直接基板上に
実装する C O G 方式の液晶表示装置が知られている (例えば、特許文献 1、特許文献 2、
特許文献 3)。この駆動用 I C チップはガラス基板の表示領域外の基板端部に異方性導電
膜 (A C F) を介して取り付けられる。そして、 F P C をガラス基板の端部に接続してガ

10

20

30

40

50

ラス基板上に設けた配線を介して駆動用 I C に電源や信号を供給している。

【 0 0 0 4 】

この C O G 実装方式の駆動用 I C のバンプ配列について図 1 4 を用いて説明する。図 1 4 は駆動用 I C であるソースドライバ I C 周辺の構成を示す上面図である。ガラス基板 2 7 の端部付近にはドライバ I C 1 0 1 が設けられている。このドライバ I C 1 0 1 の長辺側には出力用バンプ 1 6 が、反対の長辺側には入力用バンプが設けられている。出力用バンプ 1 6 はガラス基板上の表示領域 3 4 側に設けられ、入力用バンプは基板の端部側に設けられている。入力用バンプには G N D 1、アナログ電源用バンプ 2、デジタル電源用バンプ 3、正極性側の階調電圧用バンプ 4、負極性側の階調電圧バンプ 5 がある。このドライバ I C 1 0 1 がガラス基板上の表示領域外に複数配置され、それぞれのドライバ I C 1 0 1 に対応して基板端部に F P C 2 1 (Flexible Printed Circuit) が接続されている。そしてドライバ I C 1 0 1 の側部にはカスケード配線が形成され、複数のドライバ I C が順次接続されている。しかし、このような構成では以下に示すような問題点があった。

10

【 0 0 0 5 】

ドライバ I C 1 0 1 の入力用バンプとガラス基板上の配線との間の A C F 接続のばらつきにより、抵抗値が高くなってしまふおそれがある。また、ドライバ I C 上には多数の接続用バンプを設けなければならないため、バンプの配置には制約がありバンプ間のピッチを自由に広げることができない。そのため、ドライバ I C 1 0 1 の入力用バンプのピッチに対して F P C 2 1 の信号のピッチが大きくなり、F P C 2 1 からドライバ I C 1 0 1 までの配線が細くなってしまい配線抵抗値が大きくなってしまふ。このようなバンプと F P C 間の抵抗値の増加によって、ドライバ I C 1 0 1 が正常に動作しなかったり、所望の電圧が出力されなかったりするおそれがある。よって、ドライバ I C の動作に不具合が生じ表示品質が低下する可能性がある。さらに C O G 実装方式では額縁サイズが大きくなるといった問題点があった。

20

【 0 0 0 6 】

【特許文献 1】特開 2 0 0 0 - 3 4 7 2 0 6 号公報

【特許文献 2】特開 2 0 0 0 - 8 1 6 3 5 号公報

【特許文献 3】特開 2 0 0 1 - 4 2 2 8 2 号公報

【発明の開示】

【発明が解決しようとする課題】

30

【 0 0 0 7 】

このように、従来の C O G 実装方式の液晶表示装置では、ガラス基板上に F P C からドライバ I C までの配線を行う場合、額縁サイズが大きくなり、表示品質が低下するという問題点があった。

【 0 0 0 8 】

本発明は、このような問題点を解決するためになされたもので、額縁サイズを小さくすることができ、表示品質の優れた表示装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 9 】

本発明の一態様に係るソース線駆動回路は、上面に、表示パネルのソース線を駆動する複数の出力用バンプと、複数のデジタル信号用バンプと、複数の電源入力用バンプとを備えたソース線駆動回路であって、複数の前記デジタル信号用バンプは、前記ソース線駆動回路の第一の長辺の左右角部周辺及び左右の短辺に沿って配置され、複数の前記出力用バンプは、前記第一の長辺において、前記デジタル信号用バンプが配置されていない領域に配列され、複数の前記電源入力用バンプは、前記第一の長辺に対向する第二の長辺における左右角部周辺に配置されていることを特徴とするものである。

40

【 0 0 1 0 】

本発明の一態様に係る表示装置は、絶縁性基板を有する表示パネルと、上記のソース線駆動回路を複数備えた表示装置であって、該ソース線駆動回路は、前記表示パネルの表示領域に前記第一の長辺を対向させ、かつ間隔を開けて各バンプが下面となるように前記絶

50

縁性基板の端縁に沿って伏せて配置され、複数の前記出力用バンクは前記表示パネルのソース線に接続され、前記絶縁性基板上に形成され、隣り合う前記ソース線駆動回路のデジタル信号用バンク間を接続する複数のカスケード配線と、前記第二の長辺の左右角部周辺に配列された複数の前記電源入力用バンクに接続するように前記絶縁性基板上に形成され、電源又はGND電位を給電する入力用配線と、該入力用配線に異方性導電膜を介して接続され、前記入力用配線に対応して電源又はGND電位を供給する外部配線を複数有し、前記絶縁性基板の端縁側から配置された配線部とをさらに備え、前記入力用配線のうち最も大きい電流が流れる該入力用配線は、前記電源入力用バンクに対向する位置から前記絶縁性基板の端縁と略垂直に一旦引き出されていることを特徴とするものである。

【発明の効果】

10

【0011】

本発明によれば、額縁領域が狭く、表示品質が優れた表示装置を提供することができる。

【発明を実施するための最良の形態】

【0012】

発明の実施の形態1.

本発明の実施の形態について以下に図面を参照して説明する。以下の説明は、本発明の好適な実施の形態を示すものであって、本発明の範囲が以下の実施の形態に限定されるものではない。以下の説明において、同一の符号が付されたものを実質的に同様の内容を示している。

20

【0013】

まず図1を用いて液晶表示装置の液晶表示パネル33の構成を説明する。図1はCOG実装方式の液晶表示装置における液晶表示パネルの構成を示す上面図である。図1に示す様に液晶表示パネル33は、マトリクス状に配置された複数の画素から構成される表示領域34と、その外側に額縁領域35とを有している。また、液晶表示パネル33は、アレイ回路が形成されたアレイ基板とその対向基板とを有し、その2つの基板の間に液晶が封入されている。アクティブマトリクス・タイプの液晶表示パネルは、各画素が表示信号の入出力を制御するスイッチング素子を備えている。典型的なスイッチング素子は、TFT(Thin Film Transistor)である。

【0014】

30

カラー液晶表示装置は、対向基板上にRGBのカラーフィルター層を有している。液晶表示パネル33の表示領域内の各画素は、RGBいずれかの色表示を行う。もちろん、白黒ディスプレイにおいては、白と黒のいずれかの表示を行う。アレイ基板上の表示領域内には、複数のソース配線とゲート配線がマトリクス状に配設されている。ソース配線とゲート配線とはお互いにほぼ直角に重なるように配設され、交差点近傍にTFTが配置される。液晶表示パネルの額縁領域35には複数の矩形状のソースドライバIC101が基板の一辺に沿って一列に設けられている。ソースドライバIC101が設けられている辺と直交する辺の基板端部には複数のゲートドライバIC111が同様に一列に設けられている。ソースドライバIC101が設けられている列とゲートドライバIC111が設けられている列は垂直になっている。このソースドライバIC101が設けられている基板の1辺を基板の端縁とする。

40

【0015】

この液晶表示パネル33の裏面側には光源、導光板及び光学シート等を備える面状光源装置が配置される。液晶表示パネル33はTFTアレイ基板とCF基板と2枚の基板に挟持された液晶層を備えている。TFTアレイ基板の表示領域34には液晶層を駆動するためにスイッチング素子がマトリクス状に形成されている。さらに該スイッチング素子に信号を供給するための複数のゲート配線及び複数のソース配線が互いに直交するよう設けられている。ソースドライバIC101及びゲートドライバIC111は異方性導電膜ACFを介してガラス基板上に取り付けられる。

【0016】

50

各ドライバＩＣの下面にはガラス基板上に形成された配線の端子と接続するために入力用バンプが形成されている。この入力用バンプと配線の端子が異方性導電膜を介して電気的に接続されている。制御回路部３６からＦＰＣ及びガラス基板上の配線を介してゲートドライバＩＣ１１１及びソースドライバＩＣ１０１に画像データ信号、クロック信号やＩＣ駆動用の電源等が供給される。各ドライバＩＣからの信号がゲート配線及びソース配線に供給されスイッチング素子が駆動し、画素電極に電圧が印加され液晶層が駆動して所望の画像が表示される。

【 0 0 1 7 】

本実施の形態にかかる液晶表示装置のソースドライバＩＣの構成について図２乃至９を用いて説明する。１はＧＮＤ用バンプ、２はアナログ電源用バンプ、３はデジタル電源用バンプ、４は正極性側の階調電圧用バンプ、５は負極性側の階調電圧用バンプ、６はアナログ電源用バンプ、７はＧＮＤ用バンプ、８はデジタル電源用バンプ、９は正極性側の階調電圧用バンプ、１０は負極性側の階調電圧用バンプ、１１はデジタル電源用バンプ、１２はアナログ電源用バンプ、１３はＧＮＤ用バンプ、１４はデジタル信号用バンプ、１５はデジタル信号用バンプ、１６は出力用バンプである。これらはソースドライバＩＣ１０１上に設けられている。１７は制御信号線、１８は画像データ信号線、１９は画像データ信号線、２０はクロック信号線である。これらはソースドライバＩＣ１０１aと隣のソースドライバＩＣ１０１bとの間でカスケード接続されているロジック信号である。２２は正極性側の階調電圧、２３はアナログ電圧、２４はＧＮＤ、２５はデジタル電源、２６は負階調側の階調電圧である。これらはＦＰＣ２１上とソースドライバＩＣ１０１との間の配線である。６０はカスケード配線、６１は入力用配線でありこれらはガラス基板上に金属膜あるいはＩＴＯ等の透明導電膜をパターンニングして形成している。

【 0 0 1 8 】

図２は液晶表示パネル３３のソースドライバＩＣ１０１が設けられている基板端部の構成を示す平面図である。本実施の形態にかかるソースドライバＩＣ１０１は図２に示すように額縁領域３５上に基板の端縁に沿って設けられている。なお、ソースドライバＩＣ１０１が設けられている額縁領域を基板端部と称するものとする。矩形状のソースドライバＩＣ１０１aの長辺１０２と基板端縁が平行になっている。反対側の長辺１０３は表示領域３４と略平行になっている。長辺１０２を基板端側の長辺１０２とし、長辺１０３を表示領域側の長辺１０３とする。このソースドライバＩＣ１０１aの短辺１０４側には間隔を開けてソースドライバＩＣ１０１bが設けられている。これらのソースドライバＩＣ１０１は基板の１辺に沿って一列に間隔を開けて連続的に複数配置されている。ガラス基板上のソースドライバＩＣ間の間隔にはカスケード接続用のロジック信号用のカスケード配線６０を形成して、各ソースドライバＩＣ１０１をカスケード接続している。隣り合うソースドライバＩＣ１０１aとソースドライバＩＣ１０１bの間には外部の制御回路部３６から信号や電源を供給するためのＦＰＣ２１を基板端側から取り付けている。これにより、額縁領域を狭くすることができる。なお、ＦＰＣ２１にはソースドライバＩＣ１０１を駆動するためのＧＮＤ配線、デジタル電源用配線、アナログ電源用配線、正極性側の階調電圧用配線、負極性側の階調電圧用配線の５種類が形成されている。この５種類のＦＰＣの配線は入力用配線６１の対応する配線にそれぞれ接続される。ＦＰＣ２１からの信号や電源電圧はガラス基板上に形成された入力用配線６１を介してソースドライバＩＣ１０１に供給される。この入力用配線６１及びカスケード配線６０にはそれぞれ複数本の配線がガラス基板上に形成されている。

【 0 0 1 9 】

これらのガラス基板上的カスケード配線６０と入力用配線６１の配線抵抗値に表示品質劣化に影響を低減するために配線長を短く、配線幅を太くすることが望ましい。ソースドライバＩＣ１０１の基板端側の下面にはＦＰＣからの信号や電源を入力するための入力用バンプが設けられている。ソースドライバＩＣ１０１の表示領域側にはソース配線に信号を出力するための出力用バンプが形成されている。これらの入力用バンプはＡＣＦを介してガラス基板上的入力用配線６１の端子と対応して接続される。出力用バンプは表示領域

10

20

30

40

50

に設けられているソース配線とそれぞれ対応して接続される。上述のようにソースドライバIC間にFPC21を接続した場合、配線長が長くなってしまうためガラス基板上の配線幅を太くして配線抵抗を低減する必要がある。その構成について図3を用いて説明する【0020】

まず、ソースドライバIC101のバンク配列について説明する。図3は本実施の形態における液晶表示装置のソースドライバICのバンク配列を示す平面図である。図3に示すようにソースドライバIC101の基板端側の長辺102に沿って2列にGND用バンク1、7、13とアナログ電源用バンク2、6、12とデジタル電源用バンク3、8、11と正極性側の階調電圧用バンク4、9と負極性側の階調電圧用バンク5、10が設けられている。これらの入力用バンクにより、FPCからの信号等が入力される。GND用バンク1、GND用バンク7及びGND用バンク13はソースドライバIC内部で電氣的に接続されている。同様にアナログ電源用バンク2、アナログ電源用バンク6及びアナログ電源用バンク12並びにデジタル電源用バンク3、デジタル電源用バンク8及びデジタル電源用バンク11もソースドライバIC内部で電氣的に接続されている。これらの接続には低抵抗の配線が用いられている。GND用バンク1、アナログ電源用バンク2及びデジタル電源用バンク3で1つのブロックを形成し、このブロックはソースドライバIC101の左側に設けられている。同様にGND用バンク7、アナログ電源用バンク6及びデジタル電源用バンク8で1つのブロックを形成し、このブロックはソースドライバIC101の中央に設けられている。さらにGND用バンク13、アナログ電源用バンク12及びデジタル電源用バンク11で1つのブロックを形成し、このブロックはソースドライバIC101の右側に設けられている。そして、各ブロックの間には正極性側の階調電圧用バンク4と負極性側の階調電圧用バンク5あるいは正極性側の階調電圧用バンク9と負極性側の階調電圧用バンク10が設けられている。このように1つのソースドライバIC101には5種類の入力用バンクが形成されている。

【0021】

ソースドライバIC101の表示領域側の角周辺にはデジタル信号用バンク14及びデジタル信号用バンク15が設けられている。デジタル信号用バンク14、15には画像データ、ソースドライバICを制御する制御信号及び基準クロックが伝送される。デジタル信号用バンク14、15はカスケード接続用のバンクであり、双方向の機能を有している。すなわち、デジタル信号用バンク15がデジタル信号を入力した場合は、デジタル信号用バンク14が次のソースドライバICへの出力信号となる。反対にデジタル信号用バンク14がデジタル信号を入力した場合は、デジタル信号用バンク15が次のソースドライバICへの出力信号となる。ここではデジタル信号をデジタル信号用バンク14に入力して、デジタル信号用バンク15から出力している。この接続が隣り合うソースドライバIC間で連続して行われ、カスケード接続されている。従って、デジタル信号用バンク14が上流側となり、デジタル信号用バンク15が下流側になる。デジタル信号用バンク14、15は表示領域側の長辺103及び隣り合う駆動回路側の短辺104に沿って、それぞれ複数設けられている。

【0022】

ソースドライバIC101の表示領域側の長辺103側には出力用バンク16が設けられている。出力用バンク16はデジタル信号用バンク14とデジタル信号用バンク15の間に長辺103に沿って複数設けられている。この出力用バンク16は各々のソース配線と接続され、液晶表示パネル33のTFTにおける画素電圧を出力する。なお、図において正極性側の階調電圧用バンク4、9及び負極性側の階調電圧用バンク5、10は1つしか設けられていないが、ソースドライバIC101の階調を決めている外部から入力される電圧 m 本(m は2以上の整数)のうち $m/2$ 本を正極性側の電圧とし、もう $m/2$ 本を負極性側の電圧としているため、実際には正極性側と負極性側のバンクがそれぞれ $m/2$ 個設けられている。もちろんその配線も $m/2$ 本設けられている。さらに $m/2$ 個の入力用バンクの各々が基板端側とその内側に2列に設けられている。また、出力用バンク16、デジタル信号用バンク15及びデジタル信号用バンク14も同様にソース配線数に対応

10

20

30

40

50

するよう複数設けられている。ソースドライバIC101はデジタル電源用バンク及びアナログ電源用バンクから入力された電源電圧により駆動され、クロック信号、画像データ及び制御信号等のデジタル信号と階調電圧に基づいて画像表示信号を液晶表示パネルに出力する。

【0023】

これらのバンクの構成について図4を用いて詳細に説明する。図4はGND用バンク1の構成を示す平面図である。GND用バンク1は多数のバンク50a、50bによって形成されている。GND用バンク1は基板端側のバンク50bの列とバンク50bよりも内側に設けられたバンク50aの列との2列のバンクからなり、それぞれの列はソースドライバIC101の長辺102と平行となっている。従って、表示領域側のバンク50aの列と基板端側のバンク50bの列は基板端縁と平行に設けられている。バンク50aとバンク50bの部分ではそれぞれ金等の導電性材料が露出しており、その周りを絶縁性材料で覆っている。このバンクの形成には導電性材料をパターニングした後、絶縁性材料を塗布、露光、現像してホールを設け、めっき処理等を行うなどの通常の製造方法が用いられる。バンク50a及びバンク50bは全て低抵抗の導電性材料で接続されており、すべてのバンク50a及びバンク50bが同電位になっている。バンク50a、50bはソースドライバIC101に形成され、異方性導電膜(ACF)を介してガラス基板上の配線と接続される。

10

【0024】

ガラス上の配線幅や配線長は配線抵抗値に影響を与えるため、なるべく配線幅を広くすることが望ましい。特に配線が金属よりも電気的特性が劣るITO等の透明導電膜から形成される場合、配線抵抗の劣化が顕著に表れる。本実施の形態に示したように、基板端に沿ってバンク50bを多数形成することにより、配線幅をバンク50bの列の長さまで広げることができ、配線幅を広くすることが可能になる。また、バンク50a及び50bは製造上の理由から導電性材料の露出面積を大きくしようとした場合、露出面の均一性が劣化してしまい露出面の表面が凸凹になってしまうおそれがある。よって、ACFとバンクとの接続抵抗が高くなってしまいうおそれがある。また、ACFは通常樹脂フィルムの中に導電性の粒子を混ぜて構成されている。ACF内の粒子の分布にばらつきがある場合であっても、同電位の多数のバンクを設けてACFと接続することにより、接続抵抗の劣化を防ぐことができる。1本の配線と接続されるバンクを複数設けてACFとの接触点の数を増やすことにより、特定のバンクと接触不良がある場合でも他のバンクとの接続によって接続抵抗の低減を防ぐことができる。隣り合う2つ以上のバンクをソースドライバIC101内部で同電位にして1本の配線と接続することにより抵抗値を低減することができ、抵抗の劣化に伴う表示不良の発生を防ぐことができる。

20

30

【0025】

他のGND用バンク7、13も同様に複数のバンクから構成している。さらにアナログ電源用バンク2、6、12とデジタル電源用バンク3、8、11も同様に複数のバンクから構成しているため、同様の効果を得ることができる。もちろん、1本の配線と接続されるバンクの個数はそれぞれ異なる数でもよく、配線の太さに対応するようにバンク列の長さを調整できる。

40

【0026】

さらに、正極性側の階調電圧用バンク4の構成について図5を用いて説明する。階調電圧では電源やGNDと比べて流れる電流が少ないので上記のGND用バンク、アナログ電源用バンク及びデジタル電源用バンクよりもバンク数を少なくしても表示品質に影響が少ない。従って、本実施の形態では階調電圧用バンク4を2列で構成しており、2つのバンクが電氣的に接続されている。図5に示す様に基板端側にバンク50bを設けており、バンク50bと並んで基板の内側(表示領域側)にバンク50aが設けている。この隣のバンク50a、50bは電氣的に接続されている。このバンク50a及びバンク50bが1組のバンクとなって、正極性側の階調電圧の1つに接続される。その隣にはバンク51a及びバンク51bが設けられており、これらも電氣的に接続されている。隣のバンク51

50

aとバンク5 1 bとが同様に1組のバンクとなって、異なる階調電圧に接続される。バンク5 2 a及びバンク5 2 bについても同様である。バンク5 0 a、5 1 a、5 2 aは基板端に沿って、一列に形成されている。同様にバンク5 0 b、5 1 b、5 2 bも基板端に沿って、一列に形成されている。このように2列に並んだバンクうち、2つを1組のバンクとして各々の階調電圧と接続している。そのため、バンク5 0 a、5 1 a、5 2 aはそれぞれ絶縁されている。

【0027】

バンク5 0 a、5 0 bはソースドライバIC101に形成され、異方性導電膜(ACF)を介してガラス基板上に設けられている正階調電圧の1本の配線に接続される。従って、実際のソースドライバIC101における正極性側の階調電圧用バンク4にはバンクが正階調電圧に対応するように設けられるため、1列のバンクの数は $m/2$ 個となり、基板端に沿って2列に形成される。すなわち、バンクは正階調電圧に対応して $m/2$ 組設けられており、これらが2列になっているので全部で m 個のバンクが設けられていることになる。そして、同電位である2個のバンクを基板端と垂直方向に設けている。縦方向に複数のバンクを設けることによって、ソースドライバIC101の外形を大きくすることなく、1本の配線と接続されるバンク数を増やすことができる。よって、接続抵抗値を低減することが可能になる。

【0028】

この正極性側の階調電圧用バンク4と同様に負極性側の階調電圧用バンク5、正極性側の階調電圧用バンク9及び負極性側の階調電圧用バンク10についても同様に1列のバンクを $m/2$ 個として、このバンクの列を基板端と垂直に2列設けている。そして、基板端側と内側の2つのバンクを1組の同電位のバンクとしてガラス基板上の1配線の入力端子と接続している。これにより同様の効果を得ることができる。もちろんソースドライバIC101にかぎらずゲートドライバIC111のバンクや出力用バンク16、デジタル信号用バンクを図4や図5に示す構成としても同様の効果を得ることができる。

【0029】

なお、図5においては縦方向に2個のバンクを設けたが、配線抵抗値を低減する必要がある場合は図6に示すように横方向(基板端縁と平行方向)に同電位の2つのバンクを設けてもよい。この場合、基板端に沿って1列に m 個のバンクが形成される。そして、隣り合う2つのバンク(例えば、5 0 aとバンク5 0 b)が1組として電気的に接続され、 $m/2$ 組の同電位のバンクが形成される。同電位の1組のバンクがガラス基板上のそれぞれの階調電圧とACFを介して接続される。このような構成でもバンクを複数設けることによる効果を得ることができる。さらに図6に示す様に基板端と沿って1組のバンクを構成した場合には、ガラス基板上の配線を太くすることができる。そのため、配線抵抗値を低減することができ、表示品質を向上することができる。

【0030】

次に上述のソースドライバIC101が実装されたガラス基板27の基板端にFPC21が接続された構成について図7を用いて説明する。図7はガラス基板上のソースドライバIC101とFPC21の構成を示す平面図である。ソースドライバIC101 aと隣のソースドライバIC101 bの間にFPC21が接続されている。FPC21はソースドライバIC間の基板端縁から接続され、ソースドライバIC101の表示領域側の長辺103よりも基板端側に配置される。実装上の問題からFPC21とガラス基板は一定の長さ以上の距離で接続しなければならないため、基板の狭額縁化が制限されてしまう。本実施の形態に示すようにソースドライバIC101間にFPC21を配置することにより、ソースドライバIC101とFPCを対向させてソースドライバIC101の基板端の長辺よりも外側にFPC21を配置させた場合よりもFPCをガラス基板27の内側に形成することができ、額縁領域を狭くすることができる。

【0031】

ソースドライバIC101は図3に示したものと同様の構成をしている。ソースドライバIC101 a、101 bとFPC21 aの間の構成及び接続について説明する。なお、

ソースドライバIC101aと隣のソースドライバIC101bとの間に設けられたFPCをFPC21aとし、ソースドライバIC101bとさらに隣のソースドライバIC101cとの間に設けられたFPC21をFPC21bとする。これらのFPC21a、21b並びにソースドライバIC101a、101b、101cは同じ構成であり、同様に接続されるためFPC21bの周辺の構成については説明を省略する。このソースドライバIC101とFPC21が基板端に沿って繰り返し取り付けられている。FPC21は制御回路部36からの電源や信号を供給するための外部配線が複数設けられている。この外部配線にはGND、アナログ電源、デジタル電源、正極性側の階調電圧、負極性側の階調電圧がある。さらにFPC21の先端付近にはFPC上の配線とガラス基板上の入力用配線とを接続するためのGND用端子24c、アナログ電源用端子23c、正極性側の階調電圧用端子22c、負極性側の階調電圧用端子26c及びデジタル電源用端子25cが設けられている。ガラス基板上には基板端縁と平行に端子から入力用バンプまでの入力用配線であるGND24d、アナログ電源23d、デジタル電源25d、正極性側の階調電圧22d及び負極性側の階調電圧26dが設けられている。この入力用配線はFPCの側部(基板端縁と直交している側辺)を横切ってそれぞれに対応する入力用バンプと接続される。例えばアナログ電源用端子23cはガラス基板上のアナログ電源23dを介してソースドライバIC101bに設けられているアナログ電源用バンプ22bと接続される。さらにGND24d、デジタル電源25d、正極性側の階調電圧22d及び負極性側の階調電圧26dについても同様に接続されている。

10

【0032】

20

本実施の形態ではFPC21aのデジタル電源用端子25c、アナログ電源用端子23c及びGND用端子24cはFPC21aの右側に設けられたソースドライバIC101bの左側のブロックにあるデジタル電源用バンプ3b、アナログ電源用バンプ2b及びGND用バンプ1bとにそれぞれ接続されている。一方、FPC21aの正極性側の階調電圧用端子22c及び負極性側の階調電圧用端子26cはFPC21aの左側に設けられたソースドライバIC101aの正極性側の階調電圧用バンプ9a及び負極性側の階調電圧用端子10aとにそれぞれ接続されている。このように1箇所のFPC21aから両側のソースドライバIC101a及びソースドライバIC101bの双方に信号又は電源を供給している。このような構成を繰り返すことによって、基板端部に形成された全てのソースドライバIC101に電源及び信号を供給している。

30

【0033】

FPC21をソースドライバIC間に配置した場合、ガラス基板上の配線が基板端と平行に形成される。従って、額縁領域を小さくするためにはソースドライバIC101の外側に設けられている配線の太さや本数に制限が生じてしまう。本実施の形態のように一箇所のFPC21aからの配線を左右両側のソースドライバIC101aとソースドライバIC101bの入力用バンプと接続して、信号又は電源を供給することにより、額縁領域を広くすることなく、配線を形成することができるスペースの幅を広くすることができる。これにより、ソースドライバIC間にFPCを接続した場合であっても配線を太くすることができ、配線抵抗の劣化による表示品質の低下を抑えることができる。

【0034】

40

通常、GNDと電源系統であるデジタル電源及びアナログ電源に流れる電流は信号系統である階調電圧よりも大きくなる。そのため、配線抵抗の劣化による表示品質の低下を抑えるためにはGND24d、デジタル電源25d及びアナログ電源23dの配線を太くすること又は短くすることが望ましい。一方、階調電圧は流れる電流が小さいためGNDと電源系統よりも配線は細くても、表示品質への影響が小さい。GNDと電源系統の配線を太くするため、GND、デジタル電源及びアナログ電源は右側のソースドライバIC101bと接続させ、本数は多いが配線を細くしても影響が小さい階調電圧は左側のソースドライバIC101aの階調電圧用バンプ9a、10aと接続させている。このように本数の多い階調電圧とGND、アナログ電源、デジタル電源を左右のソースドライバIC101に分けて接続することにより、ガラス基板上のGND、アナログ電源、デジタル電源の

50

配線を太くすることができ、配線抵抗の劣化による表示品質の低下を防ぐことが可能になる。

【 0 0 3 5 】

配線に流れる電流は通常 G N D が最も大きく、アナログ電源、デジタル電源の順になり、アナログ電源とデジタル電源に流れる電流の和が G N D に流れる電流と略同程度となる。本実施の形態では F P C 2 1 a の右側には外側から G N D 用端子 2 4 c、アナログ電源用端子 2 3 c、デジタル電源用端子 2 5 c の順番で設けている。一方ソースドライバ I C 1 0 1 b において基板端側の長辺 1 0 2 の左側には外側から G N D 用バンク 1 a、アナログ電源用バンク 2 a、デジタル電源用バンク 3 a の順番でバンクを設けている。この配置により、流れる電流が大きい順にガラス基板上の配線長を短くすることができ、配線抵抗値が小さくなり電圧降下を抑えることが可能になる。よって、ソースドライバ I C の出力エラーを無くすることができる。

10

【 0 0 3 6 】

さらに配線の太さに応じて、入力用バンクのサイズを変えることも可能である。すなわち、最も電流が流れる G N D には図 4 で示したバンク 5 0 a の列の長さを長くなるようにバンク 5 0 a の数を調整する。次に電流が流れるアナログ電源では G N D のバンクの列よりも短くなるようにバンクの数を少なくする。その次に電流が流れるデジタル電源ではさらにバンク数を少なくする。このように流れる電流に応じて配線を太くして、その太さに合わせてバンクのサイズを大きくするためにバンクの数を調整することにより、実装スペースを広げることなく配線抵抗を低減することができる。また、1本の配線と接続される入力用バンク数を増やすことにより、接続抵抗を低減することができる。これにより、表示品質が優れ、額縁領域が狭い液晶表示装置を提供することができる。

20

【 0 0 3 7 】

ソースドライバ I C 1 0 1 a からソースドライバ I C 1 0 1 b の間でカスケード接続されるロジック信号 1 7、1 8、1 9 は表示領域側の長辺及びソースドライバ I C 側の短辺に設けられている。なお、ソースドライバ I C 1 0 1 b とソースドライバ I C 1 0 1 c との間のロジック信号も同様の構成をしているため図示及び説明を省略する。このカスケード接続されているロジック信号の構成について図 8 を用いて説明する。本実施の形態にかかるソースドライバ I C 1 0 1 a において表示領域側の右側の角部周辺にはデジタル信号用バンク 1 5 a が形成されている。画像データ信号線 1 8、1 9 及び制御信号線 1 7 は液晶表示パネルの色数に対応してそれぞれ複数設けられている。同様にソースドライバ I C 1 0 1 b において表示領域側の左側の角部周辺にはデジタル信号用バンク 1 4 b が形成されている。このデジタル信号用バンク 1 5 a には表示領域側の長辺 1 0 3 及び短辺 1 0 4 に沿ってバンクが複数形成されている。同様にデジタル信号用バンク 1 4 b にも表示領域側の長辺 1 0 3 及び短辺 1 0 4 に沿ってバンクが複数形成されている。デジタル信号用バンク 1 5 a とデジタル信号用バンク 1 4 b の複数のバンクは対称的に形成され、画像データ信号線 1 8、1 9、制御信号線 1 7 及びクロック信号線 2 0 によってそれぞれのバンクが対応するように接続されている。

30

【 0 0 3 8 】

上流のソースドライバ I C (例えばソースドライバ I C 1 0 1 a) から下流のソースドライバ I C (例えば、ソースドライバ I C 1 0 1 b) がロジック信号により順番にカスケード接続されていく。このカスケード接続されるロジック信号は従来基板端側の長辺 1 0 2 に沿って形成されていたので、入力用バンクのサイズに制限が生じてしまうおそれがあった。従って、ソースドライバ I C サイズを大きくしないとバンクに接続する配線幅が狭くなり、抵抗が劣化するおそれがある。さらに、ロジック信号が基板端側の長辺 1 0 2 に形成されている場合、ソースドライバ I C 間に F P C 2 1 を接続しようとする、入力用バンクがロジック信号用バンクよりソースドライバ I C の中央側になり、入力用バンクに接続されるガラス基板上の配線長が長くなってしまふ。本実施の形態のようにデジタル信号用バンク 1 4 とデジタル信号用バンク 1 5 のそれぞれを表示領域側の長辺 1 0 3 及び短辺 1 0 4 の 2 辺に沿って形成することにより、ソースドライバ I C のバンクを形成する面

40

50

積を広げることができ、配線抵抗を低減することができる。またデジタル信号用バンク 14 のそれぞれを千鳥配置としてもよい。これにより、ソースドライバ IC サイズを大きくすることなく、バンクサイズを大きくすることができる。同様にデジタル信号用バンク 16、出力用バンクもそれぞれ千鳥配置としても良い。

【0039】

図 9 においてソースドライバ IC 101 a の表示領域側の長辺 103 に設けられているロジック信号用バンク 15 a には制御信号線 17 及び画像データ信号線 18 が接続されている。一方、ソースドライバ IC 101 a の短辺 104 側には画像データ信号線 19 及びクロック信号線 20 が設けられている。画像データ信号線 18 と 19 は全部で色数に依りて n 本 (n は 2 以上の整数) 設けられている。画像データ信号線 18 が $n/2$ 本、画像データ信号線 19 が $n/2$ 本設けられている。このような構成では n 本の画像データ信号線のそれぞれとクロック信号線との距離に差が生じてしまう。各画像データ信号とクロック信号との距離に差が生じてしまうと、画像データ信号の配線抵抗値による遅延並びに波形ひずみで画像データの取り込みミスが生じるおそれがある。

【0040】

この場合、図 8 に示すように $n/2$ 本の画像データ信号線 18 及び $n/2$ 本の画像データ信号線 19 の間にクロック信号線 20 を配置することにより、各画像データ信号とクロック信号との距離の差を小さくすることができる。図 8 ではソースドライバ IC 101 a の長辺 103 側 (表示領域側) に設けられているデジタル信号用バンク 15 a は制御信号線 17 及び画像データ信号線 18 を介してソースドライバ IC 101 b の長辺 103 側 (表示領域側) に設けられているデジタル信号用バンク 14 b と接続されている。同様にソースドライバ IC 101 a の短辺 104 側に設けられているデジタル信号用バンク 15 a はクロック信号線 20 及び画像データ信号線 19 を介して短辺 104 側に設けられているソースドライバ IC 101 b のデジタル信号用バンク 14 b と接続されている。なお、このソースドライバ IC 101 の隣のソースドライバ IC 側を側部側とする。そして画像データ信号線 19 と画像データ信号線 18 の間にクロック信号線 20 が形成される。このように総画像データ信号線の間にクロック信号線を配置することにより、ガラス基板上の配線抵抗値による遅延並びに波形ひずみでデータの取り込みミスを低減することができる。また低速である制御信号を画像データ信号の外側で伝送することにより、クロック信号と画像データ信号のガラス配線抵抗値の差を小さくことができセットアップ及び

【0041】

本発明の実施の形態 2 .

本実施の形態について図 10 を用いて説明する。図 10 は液晶表示装置のソースドライバ IC に設けられた入力用バンク周辺の構成を示す平面図である。本実施の形態は実施の形態 1 に比べて FPC 21 と入力用バンクとの間の構成が異なるものであり、実施の形態 1 と同様の構成については説明を省略する。

【0042】

本実施の形態では FPC 21 において GND 用端子 24 c 及びアナログ電源用端子 23 c を右側のソースドライバ IC 101 b に接続させ、デジタル電源用端子 25 c、正極性側の階調電圧用端子 22 c 及び負極正側の階調電圧用端子 26 c を左側のソースドライバ IC 101 a と接続させている。デジタル電源用端子 25 c を FPC 21 の左側に設けることによって、額縁領域を大きくすること無く GND 24 d とアナログ電源 23 d の配線幅を広くすることができる。通常、アナログ電源 23 d とデジタル電源 25 d に流れる電流の和は GND 24 d に流れる電流と同程度になるので、アナログ電源 23 d に比べてデジタル電源 25 d に流れる電流が極端に小さい場合、ソースドライバ IC 101 に流れる電流の中で GND 24 d とアナログ電源 23 d に流れる電流が支配的になる。そのため、GND 24 d とアナログ電源 23 d の配線幅を太くすることが望ましい。FPC 21 の左

側にデジタル電源用端子25cを設けて左側のソースドライバIC101aと接続している。一方、FPC21aの右側にはGND用端子24cとアナログ電源用端子23cの2つのみ設けて、右側のソースドライバIC101bと接続させている。これにより、FPC21aの右側の側部に設けられている入力用配線がGND24dとアナログ電源23dの2種類のみとなり、実施の形態1と比べてデジタル電源25dの分だけGND24dとアナログ電源23dの配線を太くすることができる。

【0043】

さらに本実施の形態ではFPC21の右側の側部においてGND用端子24cを最も外側に配置して、その内側にアナログ電源用端子23cを配置している。ソースドライバIC101bの基板端側においては最も左側にGND用バンプ1bを配置して、その隣にアナログ電源用バンプ2bを配置している。これにより、最も電流の流れるGND24dの配線長をアナログ電源23dよりも短くすることができ、配線抵抗の劣化を防ぐことができる。FPC21の左側(ソースドライバIC101a側)の側部においても、デジタル電源用端子25c、正極性側の階調電圧用端子22c及び負極正側の階調電圧用端子26cの内、デジタル電源用端子25cを最も外側に設けている。さらにソースドライバIC101aの右側においてもデジタル電源用バンプ11a、正極性側の階調電圧用バンプ9a及び負極正側の階調電圧用端子10aの内、デジタル電源用バンプ11aを最も右側に設けている。これにより、デジタル電源25dの配線長を階調電圧より短くすることができる。ソースドライバIC101の基板端側においてGND及び電源の入力用バンプを階調電圧の入力用バンプよりも外側に設けることにより配線抵抗の劣化による表示品質の低下を防ぐことができる。

【0044】

このように本実施の形態ではGND用端子24cをFPC21の側部の最も外側に配置して、GND用バンプ1をソースドライバIC101bの側部の最も外側に配置することにより、端子とバンプ間の距離を近づけることができガラス基板上の配線長を短くすることが出来る。これにより、FPC21をソースドライバIC間に配置した場合であっても、配線抵抗の劣化による表示品質の低下及び出力エラーを防ぐことが出来る。最も大きい電流が流れる端子をFPC21の外側に設け、その端子と接続する入力用バンプと対向させるようにソースドライバIC上に配置させることより、配線抵抗による表示品質の劣化を防ぐことができる。また、FPC21の側部においてアナログ用電源端子23cをGND用端子24cの内側の隣に配置して、ソースドライバIC上においてもアナログ電源用バンプ2bをGND用バンプ1bの内側の隣に設けている。これにより、GND24dの次に電流が大きいアナログ電源23dについても配線長を短くすることができ、配線抵抗を低減することができる。

【0045】

発明の実施の形態3.

本実施の形態について図11を用いて説明する。図11は液晶表示装置のソースドライバICに設けられた入力用バンプ周辺の構成を示す平面図である。本実施の形態は実施の形態1に比べてFPC21と入力用バンプとの間の構成が異なるものであり、実施の形態1と同様の構成については説明を省略する。

【0046】

本実施の形態では1つのソースドライバIC間に1つおきにFPC21を実装して、ソースドライバIC2個に対してFPC21の1個を接続する。このFPC21aによって左右両方のソースドライバIC101a及びソースドライバIC101bを動作させるための信号及び電源を全て供給している。すなわち、FPC21の左側の側部にはソースドライバIC101aと接続するための端子を設け、ガラス基板上的入力用配線を介してソースドライバIC101aのそれぞれの入力用バンプと接続している。ソースドライバIC101aでは入力用バンプの右側のブロックが用いられる。FPC21の右側の側部にはソースドライバIC101bと接続するための端子を設け、ガラス基板上的配線を介してソースドライバIC101bのそれぞれの入力用バンプと接続している。ソースドライ

バ I C 1 0 1 b では入力用パンプの左側のブロックが用いられる。ガラス基板には G N D 2 4、アナログ電源 2 3、デジタル電源 2 5、負極性側の階調電圧 2 6 及び正極性側の階調電圧 2 2 の入力用配線が F P C の両方の側部に設けられている。この構成ではソースドライバ I C 1 0 1 の略半分の数の F P C 2 1 が接続される。このような構成により F P C 2 1 の接続箇所を半分にすることができるため部品点数を少なくすることができ、接続するための F P C 実装時間を短縮することができる。これにより、製造コストを低減することができる。

【 0 0 4 7 】

F P C 左側の側部には外側から順に G N D 用端子 2 4 c、アナログ電源用端子 2 3 c、デジタル電源用端子 2 5 c が設けられている。この順番は電流が多く流れる順と同様になっているため G N D 2 4 d、アナログ電源 2 3 d、デジタル電源 2 5 d の順に配線長を短くすることができる。さらに内側には負極性側の階調電圧用端子 2 6 c 及び正極性側の階調電圧用端子 2 2 c が設けられている。このように G N D 及び電源系統の端子を階調信号系統の端子の外側に設けることにより、配線抵抗の劣化による電圧降下を極力抑えることができる。

【 0 0 4 8 】

発明の実施の形態 4 .

本実施の形態では図 1 2 に示す様にソースドライバ I C 1 0 1 と対向してソースドライバ I C 1 0 1 が設けられている箇所の基板端側に F P C 2 1 を取り付けている。この場合、それぞれのソースドライバ I C 1 0 1 に対応して F P C 2 1 が取り付けられているため、ソースドライバ I C 1 0 1 の数と F P C 2 1 の接続箇所を同じ数となる。そして、ソースドライバ I C 1 0 1 の基板端縁側のガラス基板上に F P C 2 1 が取り付けられる。このソースドライバ I C 1 0 1 は図 3 で示したパンプ配列を有するソースドライバ I C 1 0 1 が用いられ、 A C F を介してガラス基板 2 7 と接続している。

【 0 0 4 9 】

この入力用パンプ周辺の構成について図 1 3 を用いて説明する。図 1 3 は液晶表示装置のソースドライバ I C に設けられた入力用パンプ周辺の構成を示す平面図である。本実施の形態では F P C 2 1 はソースドライバ I C 1 0 1 の長辺方向の中央付近に接続されている。F P C 2 1 と G N D 2 4 b、アナログ電源 2 3 b 及びデジタル電源 2 5 b との接続にはソースドライバ I C 1 0 1 の入力用パンプにおいて中央のブロック (G N D 用パンプ 7 a、アナログ電源用パンプ 6 a、デジタル電源用パンプ 8 a) が用いられる。階調電圧には中央のブロックの両隣に配置されている正極性側の階調電圧用パンプ 9 と負極性側の階調電圧用パンプ 5 が用いられる。F P C 2 1 には左側から正極性側の階調電圧用端子 2 2 a、アナログ電圧用端子 2 3 a、G N D 用端子 2 4 a、デジタル電源用端子 2 5 a、負極性側の階調電圧用端子 2 6 a の順番で設けられている。そして、F P C 2 1 の中央には G N D 用端子 2 4 a が設けられている。ソースドライバ I C 1 0 1 の長辺 1 0 2 の中央にはこの G N D 用端子 2 4 a と G N D 2 4 b を介して接続される G N D 用パンプ 7 a が設けられている。G N D 用パンプ 7 a と G N D 用端子 2 4 a が位置合わせされている。これにより、G N D 2 4 b の配線が基板端と垂直になり他の配線に比べて配線長を短くすることができる。同様にデジタル電源及びアナログ電源の配線も階調電圧の配線よりも短くすることができる。これにより配線抵抗の劣化による表示品質の低下を防ぐことができる。このようにソースドライバ I C の長辺の中央に最も電流が流れる配線のパンプを設け、このパンプと対応するように F P C 2 1 の端子を中央に設けることによって、配線抵抗による表示品質の低下を防ぐことができる。

【 0 0 5 0 】

このように本発明にかかるソースドライバ I C を用いることによって、F P C をソースドライバ I C 間に配置すること及びソースドライバ I C と対向させて配置することのいずれもが可能になる。このようなパンプ配列を有するソースドライバ I C を用いることによって、ガラス基板上におけるソースドライバ I C、入力用配線及び F P C 2 1 の構成について実装スペースに制約がある場合であっても、抵抗値を低減することができる構成とす

10

20

30

40

50

ることが可能になる。例えば、複数のソースドライバIC101を等間隔で実装することも容易に行うことができ、ソースドライバIC間におけるロジック信号の抵抗の均一化を図ることができ、表示品質を向上することができる。ソースドライバIC間にFPCを実装する構成及びソースドライバICとFPCを対向させる構成のいずれの構成でも同じソースドライバICを用いることができ、ソースドライバICの共通化を図ることができる。ソースドライバICの製造コストを低減することができる。

【0051】

ソースドライバIC101の入力用バンプのピッチはFPC21の端子ピッチに比べて十分小さい。入力用バンプのピッチをFPC21の端子ピッチと近くなるよう設定することで、それぞれの配線を基板端と垂直にすることができる配線長を短くすることができる。この入力用バンプのピッチは図4で示したそれぞれの入力用バンプに設けられるバンプ数を調整することにより、変更することができる。これによりソースドライバICへの電圧降下による出力エラーを低減することができる。さらに本実施の形態ではソースドライバIC間にFPCを接続していないため、各ソースドライバIC間の間隔を狭くことができ、カスケード接続されているロジック信号の配線抵抗値を小さくことができ、ガラス上での信号の高速伝送が可能になる。

その他の実施の形態。

【0052】

本発明は上述した実施の形態だけに限られず、様々な変更が可能である。例えば、上述の実施の形態において示した正極性側の階調電圧と負極性側の階調電圧における配線、バンプ、端子の構成は反対であってもよい。また実施の形態ではGND24dに流れる電流が最も大きいとしたが、これ以外の配線に最も電流が流れるときはそのバンプを最も外側に設ければよい。同様にFPCの端子も最も側部側にもうければよい。もちろんソースドライバIC101にかぎらずゲートドライバICに対しても利用することができる。

【0053】

なお上述の実施の形態においてFPCの数はFPCとガラス基板が接続されている箇所を示したものである。すなわち、1つのFPCがガラス基板の外で分岐されてガラス基板と接続されている構成の場合は接続箇所数がFPCの数となるものとする。なお、FPCの端子は右側と左側の配置を対称的に入れ替えても同様の構成を得ることができる。このような構成でもガラス基板上の配線の引き回しにおける配線抵抗値を小さくすることが可能になり、ソースドライバICにおけるロジック処理及び所望の電圧を正常に出力することができる。ソースドライバIC間にFPCを接続した場合でも基板端からソースドライバIC間の配線長を短くことができ、配線抵抗値を低減することが可能になる。そして、クロックの配線を画像データの中間に配置することにより、データ及びクロックの配線抵抗値による波形ひずみの影響を抑制することが可能である。さらに、FPCをソースドライバIC間に実装することでパネルサイズを大きくすることなく液晶表示装置を製造することができる。

【図面の簡単な説明】

【0054】

【図1】液晶表示パネルの構成を示す上面図である。

【図2】本発明の実施の形態1にかかる液晶表示装置の液晶表示パネル端部の構成を示す平面図である。

【図3】本発明の実施の形態1にかかる液晶表示装置のソースドライバICの構成を示す平面図である。

【図4】本発明の本実施の形態1にかかる液晶表示装置のソースドライバICに設けられたGND用バンプの構成を示す平面図である。

【図5】本実施の形態1にかかる液晶表示装置のソースドライバICに設けられた階調電圧用バンプの構成を示す平面図である。

【図6】本実施の形態1にかかる液晶表示装置のソースドライバICに設けられた階調電圧用バンプの別の構成を示す平面図である。

【図 7】本発明の実施の形態 1 にかかる液晶表示装置のソースドライバ I C に設けられた入力用バンプ周辺の構成を示す平面図である。

【図 8】本発明の実施の形態 1 にかかる液晶表示装置のソースドライバ I C に設けられたロジック信号用バンプ周辺の構成を示す平面図である。

【図 9】本発明の実施の形態 1 にかかる液晶表示装置のソースドライバ I C に設けられたロジック信号用バンプ周辺の別の構成を示す平面図である。

【図 10】本発明の実施の形態 2 にかかる液晶表示装置のソースドライバ I C に設けられた入力用バンプ周辺の構成を示す平面図である。

【図 11】本発明の実施の形態 3 にかかる液晶表示装置のソースドライバ I C に設けられた入力用バンプ周辺の構成を示す平面図である。

【図 12】本発明の実施の形態 4 にかかる液晶表示装置の液晶表示パネル端部の構成を示す平面図である。

【図 13】本発明の実施の形態 4 にかかる液晶表示装置のソースドライバ I C に設けられた入力用バンプ周辺の構成を示す平面図である。

【図 14】従来の液晶表示装置のソースドライバ I C に設けられた入力用バンプ周辺の構成を示す平面図である。

【符号の説明】

【 0 0 5 5 】

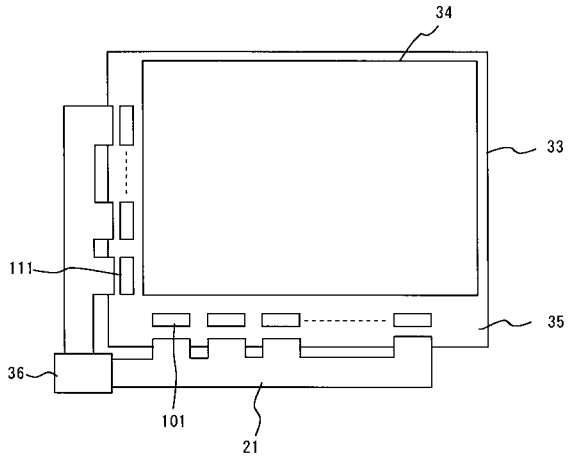
- 1 GND用バンプ、2 アナログ電源用バンプ、3 デジタル電源用バンプ、
 4 正極性側の階調電圧用バンプ、5 負極性側の階調電圧用バンプ、
 6 アナログ電源用バンプ、7 GND用バンプ、8 デジタル電源用バンプ、
 9 正極性側の階調電圧用バンプ、10 負極性側の階調電圧用バンプ、
 11 デジタル電源用バンプ、12 アナログ電源用バンプ、
 13 GND用バンプ、14 デジタル信号用バンプ、
 15 デジタル信号用バンプ、16 出力用バンプ、17 制御信号線、
 18 画像データ信号線、19 画像データ信号線、20 クロック信号線、
 21 FPC、22 正極性側の階調電圧、23 アナログ電圧、24 GND、
 25 デジタル電源、26 負階調側の階調電圧、27 ガラス基板、
 33 液晶表示パネル、34 表示領域、35 額縁領域、36 制御回路部、
 50 バンプ、51 バンプ、60 カスケード配線、61 入力用配線
 101 ソースドライバ I C、111 ゲートドライバ I C

10

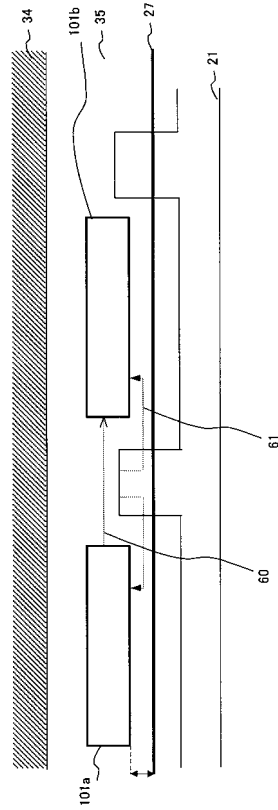
20

30

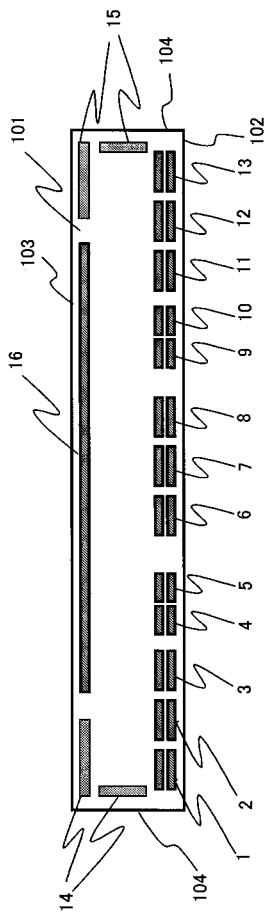
【図 1】



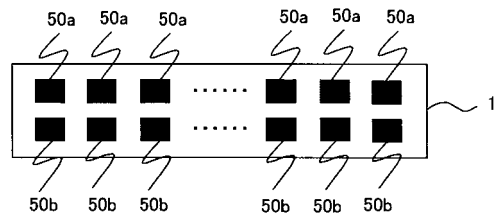
【図 2】



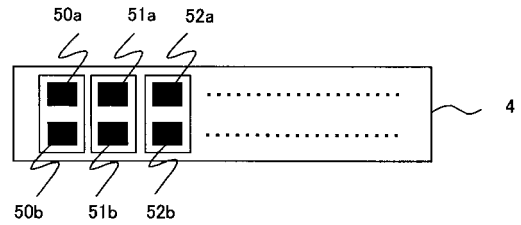
【図 3】



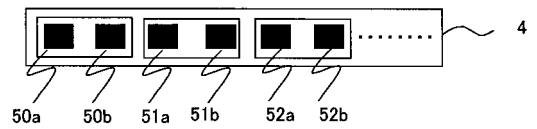
【図 4】



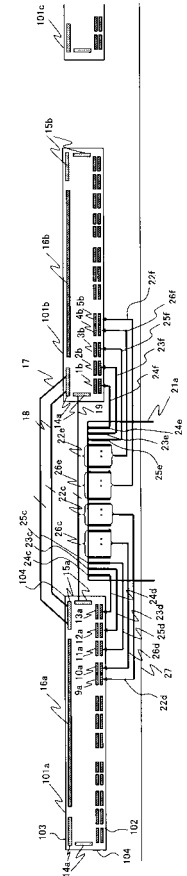
【図 5】



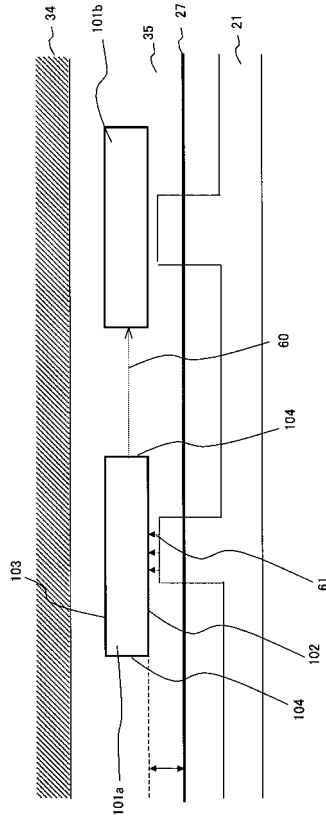
【図 6】



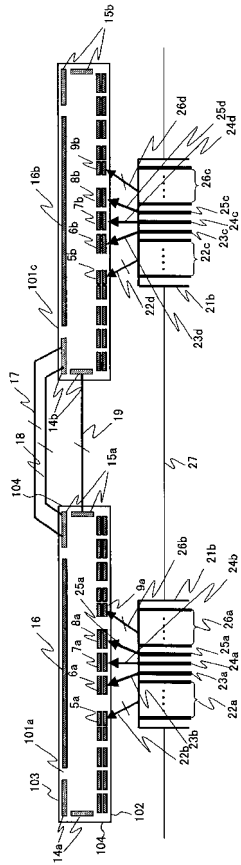
【 1 1 】



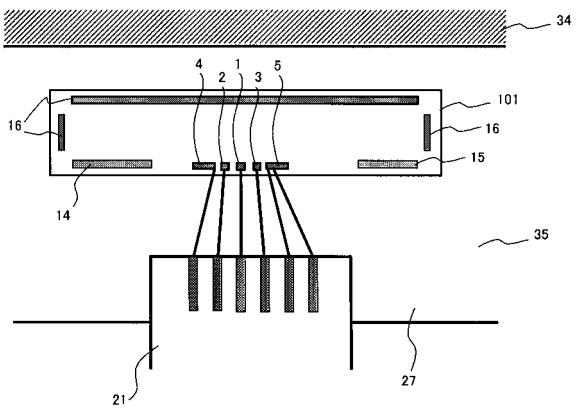
【 1 2 】



【 1 3 】



【 1 4 】



フロントページの続き

(51)Int.Cl.

F I

G 0 2 F 1/133 5 0 5

G 0 2 F 1/1345

H 0 1 L 21/92 6 0 2 N

(72)発明者 上田 宏

熊本県合志市御代志 9 9 7 番地 株式会社アドバンスト・ディスプレイ内

審査官 濱本 禎広

(56)参考文献 特開平 0 3 - 2 2 2 3 4 8 (J P , A)

特開平 0 8 - 2 6 2 4 6 7 (J P , A)

特開 2 0 0 0 - 2 2 1 9 0 4 (J P , A)

特許第 4 0 0 4 9 9 4 (J P , B 2)

特開 2 0 0 4 - 3 1 7 9 2 4 (J P , A)

国際公開第 9 9 / 0 2 1 0 5 0 (W O , A 1)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G 3 / 0 0 - 3 / 3 8

G 0 2 F 1 / 1 3 3

G 0 9 F 9 / 0 0 - 9 / 4 6