

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 6 月 14 日(14.06.2012)



(10) 国際公開番号

WO 2012/077586 A1

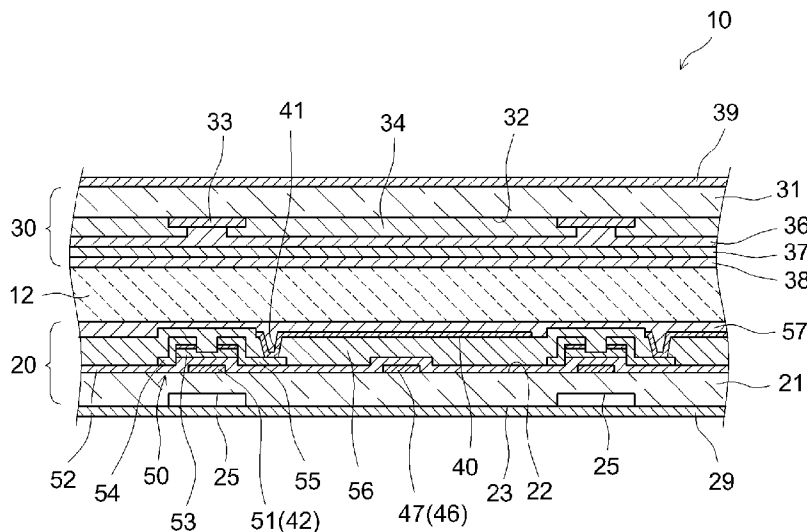
- (51) 国際特許分類:
G02F 1/1368 (2006.01) G02F 1/1333 (2006.01)
- (21) 国際出願番号: PCT/JP2011/077888
- (22) 国際出願日: 2011 年 12 月 2 日(02.12.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-276026 2010 年 12 月 10 日(10.12.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 番 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 大上 亮 (OHUE, Ryoh).
- (74) 代理人: 手島 勝(TESHIMA Masaru); 〒5300041 大阪府大阪市北区天神橋 2 丁目 3 番 8 号 MF 南森町ビル 5 階 手島特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: ARRAY SUBSTRATE FOR LIQUID CRYSTAL DISPLAY PANEL

(54) 発明の名称: 液晶表示パネル用アレイ基板

[図2]

FIG.2



(57) Abstract: An array substrate (20) is provided with an array substrate main body (21), and wiring sections (51 (42)), each of which is formed on the panel surface (22) on one side of the array substrate main body, and includes a thin film transistor (50). On the array substrate main body surface (23) on the reverse side of the panel surface (22) having the wiring sections formed thereon, a plurality of recessed portions (25) recessed from the array substrate main body surface are formed.

(57) 要約: アレイ基板 20 は、アレイ基板本体 21 と、アレイ基板本体の一方のパネル表面 22 に形成された薄膜トランジスタ 50 を含む配線部 51 (42) とを備えている。アレイ基板本体において配線部が形成されているパネル表面 22 の反対側の表面 23 には、該アレイ基板本体の表面よりも凹んだ凹部 25 が複数形成されている。

明 細 書

発明の名称：液晶表示パネル用アレイ基板

技術分野

[0001] 本発明は、液晶表示パネルを構築するのに用いられる液晶表示パネル用アレイ基板に関する。

なお、本出願は2010年12月10日に出願された日本国特許出願2010-276026号に基づく優先権を主張しており、その出願の全内容は本明細書中に参照として組み入れられている。

背景技術

[0002] テレビ、パソコン等の画像表示装置（ディスプレイ）として、液晶表示パネルを備えた液晶表示装置が広く用いられている。かかる液晶表示パネルは、一対のガラス基板（即ちアレイ基板及びカラーフィルタ（CF）基板）と、該一対の基板間に保持された液晶層とを備えており、アレイ基板とCF基板との間に画素毎に選択的に電圧を印加することで液晶層中の液晶分子が制御されて画像の表示が行われる。ここで、例えば、アクティブマトリクス型の液晶表示パネルでは、アレイ基板に、複数のゲート線（走査線配線）とソース線（信号線配線）とが互いに直交して形成されており、ゲート線とソース線との各交点にスイッチング素子としての薄膜トランジスタ（TFT）を備える画素が形成されている。

[0003] ところで、液晶表示パネルの組み立て工程の際には、TFTが形成されたアレイ基板（TFTアレイ基板）を所定の装置ステージ上に載置して所定の処理を施している。例えば、露光ステージ上にアレイ基板を載置して露光処理を施した後に該処理後のアレイ基板を次の工程へと搬送する。このとき、ガラス基板からなるアレイ基板の裏面の粗度が小さいため、装置ステージ上に載置したアレイ基板を持ち上げて次の工程に搬送する際に該アレイ基板に静電気（剥離帯電）が発生する場合がある。このため、かかる帯電した静電気によってアレイ基板に形成されたTFTにESD（Electrostatic

t i c D i s c h a r g e ; 静電気放電)等の不具合が発生する虞があり、製造歩留まりの低下の要因となる。このような問題に対応すべく、従来技術として、特許文献1が挙げられる。特許文献1には、静電気による不具合の対策のための保護回路を備えた液晶表示パネルが記載されている。

先行技術文献

特許文献

[0004] 特許文献1：日本国特許出願公開2005-275004号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、上記のような従来技術は、アレイ基板自体に静電気が発生した場合にアレイ基板上に形成されたTFT基板を該静電気から保護することを目的としており、アレイ基板における静電気の発生を防止することを目的とした技術ではない。

そこで、本発明は、上述した従来の課題を解決すべく創出されたものであり、その目的は、液晶表示パネルを構築する際のアレイ基板自体に発生し得る静電気を低減させて、該静電気による不具合の発生を防止し得る構造の液晶パネル用のアレイ基板を提供することである。また、他の目的は、上記液晶パネル用アレイ基板を備える液晶パネル及び該パネルを備える液晶表示装置を提供することである。

課題を解決するための手段

[0006] 上記目的を実現すべく、本発明により、以下の構成の液晶表示パネル用のアレイ基板が提供される。即ち、本発明のアレイ基板は、アレイ基板本体と、上記アレイ基板本体の一方のパネル表面に形成された薄膜トランジスタを含む配線部と、を備えている。上記アレイ基板本体において上記配線部が形成されているパネル表面の反対側の表面には、該アレイ基板本体の表面よりも凹んだ凹部が複数形成されていることを特徴とする。

[0007] 本発明によって提供される液晶表示パネル用のアレイ基板は、アレイ基板

本体（典型的にはガラス基板）の薄膜トランジスタ（ＴＦＴ）を含む配線部が形成された面の反対側のパネル表面に複数の凹部が人為的に形成されている。

かかる構成によると、アレイ基板本体の配線部が形成された面の反対側の面（アレイ基板本体の裏側の面）に複数の凹部が形成されている（典型的には、所定のパターンで規則的に形成されている。）ため、アレイ基板本体の裏側の面の表面粗度（表面粗さ）が向上する。従って、上記凹部が形成されたアレイ基板本体を備えるアレイ基板を所定のステージ上に直接載置して所定の処理を施した後、ステージから持ち上げて搬送する際に、ステージとアレイ基板との間での剥離帯電の発生を抑制して静電気による不具合の発生を防止することができる。

[0008] ここで開示されるアレイ基板の一つの好ましい態様では、上記複数の凹部は、上記薄膜トランジスタ（ＴＦＴ）が形成された部分に対応する位置に形成されていることを特徴とする。

かかる構成によると、アレイ基板本体の裏側の面であってＴＦＴが形成された部分に対応する位置（即ちＴＦＴ形成部分の下方）に各凹部が形成されているため、ＴＦＴ形成部分における剥離帯電の発生を抑制することができる。

[0009] ここで開示されるアレイ基板の他の一つの好ましい態様では、上記配線部は、複数のゲート線と該ゲート線に交差する複数のソース線とを含んでいる。そして、上記複数の凹部は、上記ゲート線及び上記ソース線が形成された部分に対応する位置に、該ゲート線及び該ソース線に沿って規則的に形成されていることを特徴とする。

かかる構成によると、アレイ基板本体の裏側の面であってソース線及びゲート線が形成された部分に対応する位置（即ちカラーフィルタ基板のブラックマトリックスの形成部分に対応する位置）に各凹部が規則的（例えば連続的又は断続的）に形成されているため、アレイ基板本体の裏側の面の表面粗度がさらに向上しアレイ基板における剥離帯電の発生をより効果的に抑制す

ることができる。また、凹部がゲート線及びソース線の下方に形成されているため、凹部形成によって生じ得る光学特性の変化に基づく画像表示の不具合（例えば、表示ムラ等）を抑制することができる。

[0010] ここで開示されるアレイ基板の他の一つの好ましい態様では、上記複数の凹部には、帯電防止剤が充填されていることを特徴とする。

かかる構成によると、アレイ基板における静電気の発生をより効果的に防止し得る。

[0011] また、本発明によると、ここで開示されるいずれかの液晶パネル用アレイ基板を備える液晶表示パネルが提供される。かかる液晶表示パネルは、上記アレイ基板を備えていることから、TFTの不具合の発生が抑制された品質に優れるアレイ基板となり得る。また、本発明によると、このような液晶表示パネルを備える液晶表示装置が提供される。

図面の簡単な説明

[0012] [図1]図1は、本発明の一実施形態に係る液晶表示装置の構造を模式的に示す分解斜視図である。

[図2]図2は、本発明の一実施形態に係る液晶表示パネルの構造を模式的に示す部分断面図である。

[図3]図3は、本発明の一実施形態に係る液晶表示パネルのアレイ基板の画素領域を示す部分平面図である。

[図4]図4は、図3中のI-V-I V線に沿う断面図であって、アレイ基板の構造を示す断面図である。

[図5A]図5Aは、本発明の一実施形態に係るアレイ基板において、アレイ基板を構成するアレイ基板本体の上にレジスト膜が所定位置に形成された状態を模式的に示す断面図である。

[図5B]図5Bは、エッチング処理後にアレイ基板本体がパターン形成された状態を模式的に示す断面図である。

[図5C]図5Cは、レジスト膜剥離後のアレイ基板本体を模式的に示す断面図である。

[図5D]図5Dは、本発明の一実施形態に係るアレイ基板の構造を模式的に示す断面図である。

[図6]図6は、本発明の他の一実施形態に係るアレイ基板の構造を示す断面図である。

[図7]図7は、本発明の他の一実施形態に係るアレイ基板の構造を示す断面図である。

発明を実施するための形態

[0013] 以下、図面を参照しながら、本発明の好適な実施形態を説明する。なお、本明細書において特に言及している事項以外の事柄であって本発明の実施に必要な事項は、当該分野における従来技術に基づく当業者の設計事項として把握され得る。本発明は、本明細書及び図面によって開示されている内容と当該分野における技術常識とに基づいて実施することができる。

[0014] 以下、図1から図4を参照しながら、本発明の好ましい一実施形態（第1実施形態）に係る液晶表示パネル用アレイ基板20を備える液晶表示パネル10、及び該液晶表示パネル10を備えたアクティブマトリクス方式（TFT型）の液晶表示装置100について説明する。

なお、以下の図面において、同じ作用を奏する部材、部位には同じ符号を付し、重複する説明は省略又は簡略化することがある。また、各図における寸法関係（長さ、幅、厚さ等）は、必ずしも実際の寸法関係を正確に反映するものではない。また、以下の説明において、「前面」又は「表側」とは液晶表示装置100における観視者（視聴者）に面する側（即ち液晶表示パネル10側）をいい、「背面」又は「裏側」とは液晶表示装置100における観視者に面しない側（即ちバックライト装置80側）を言うこととする。

[0015] まず、液晶表示装置100の全体構成について説明する。図1に示すように、液晶表示装置100は、液晶表示パネル10と該液晶表示パネル10の背面側に配置された外部光源であるバックライト装置80とを備えている。液晶表示パネル10とバックライト装置80とは、ベゼル（枠体）90等により組み付けられることで一体的に保持されている。

[0016] 図1に示すように、液晶表示パネル10は、概して、全体として矩形の形状を有しており、その中央に画素が形成されている領域であって画像を表示する表示領域10Aを有している。また、図2に示すように、液晶表示パネル10は、互いに対向する一对の透明性のガラス基板20、30と、その間に封入される液晶層12とから構成されるサンドイッチ構造を有している。上記一对の基板20、30のうち、表側がカラーフィルタ基板（CF基板）30であり、裏側がアレイ基板（TFTアレイ基板）20である。かかるCF基板30及びアレイ基板20の周縁部には、上述した表示領域の周囲を囲むようにシール材（図示せず）が設けられており、上記液晶層12を封止している。液晶層12は、液晶分子を含む液晶材料から構成される。かかる液晶材料は、アレイ基板20とCF基板30との間の電界印加に伴って液晶分子の配向が操作され光学特性が変化する。

上記アレイ基板20及びCF基板30との間隙（ギャップ）には、弾性変形可能な樹脂材料から球形又は円柱形状に形成された複数個のスペーサ（図示せず）が挟まれるように分散配置されている。かかるスペーサにより、基板20、30の間隙は、上述したシール材及びスペーサによって保持され、液晶層12が一定の厚みに維持されている。

また、両基板20、30における互いに対向しない側（外側）の面には、それぞれ偏光板29、39が貼り付けられている。

[0017] 図3に示すように、ここで開示される液晶表示パネル10において、アレイ基板20を構成するガラス製のアレイ基板本体21の表側のパネル表面（液晶層12に臨む側）22には、表示させるための画素（画素電極40）が配列しており、各画素を駆動するための複数の配線部であるゲート線（走査線配線）42及びソース線（信号線配線）44が格子状のパターンをなすように形成されている。また、アレイ基板本体21の表側のパネル表面22には、ゲート線42と平行な状態で独立配線された配線部である補助容量線（蓄積容量線、Csラインともいう。）46が別途設けられている。

かかるゲート線42及びソース線44に囲まれた各格子領域には、画素電

極４０及びスイッチング素子である薄膜トランジスタ（以下、単に「ＴＦＴ」ということもある。）５０が形成されている。

図２に示すように、上記ＴＦＴ５０が形成されているアレイ基板本体２１の表側のパネル表面２２の反対側の表面２３（即ちアレイ基板本体２１の裏側の面。以下、単に「裏側のパネル表面２３」ということもある。）には、該アレイ基板本体２１の裏側のパネル表面２３よりも凹んだ凹部２５が人為的に複数形成されている。本実施形態に係る凹部２５は、図２に示すように横断面形状が長方形の形状に形成されている。かかる凹部２５は、アレイ基板本体２１の裏側のパネル表面２３であれば特に制限なく任意の位置に形成することができるが、画素電極４０が形成された部分に対応する位置（即ち、画素電極４０の下方）を除く位置（例えば、カラーフィルタ基板３０のブラックマトリクス３３形成位置に対応する位置）に形成することが好ましい。本実施形態に係る凹部２５は、図２に示すように、ＴＦＴ５０が形成された部分に対応する位置（即ちＴＦＴ５０の下方）に形成されている。さらに、図３及び図４に示すように、ゲート線４２及びソース線４４が形成されているアレイ基板本体２１の表側のパネル表面２２の反対側の表面２３には、該アレイ基板本体２１の表面よりも凹んだ凹部２５及び凹部２７が上記ゲート線４２及びソース線４４に沿って所定のパターンで規則的（例えば連続的又は断続的）に形成されている。本実施形態では、凹部２５及び凹部２７が上記ゲート線４２及びソース線４４に沿って連続的に形成されている。

なお、凹部２５、２７の形状（凹み形状）は、特に限定されない。例えば、上述のような横断面形状が長方形の形状に限られず、台形状又は半円状等であってもよい。

[0018] 本実施形態に係るＴＦＴ５０は、図３に示すように、画素の開口率を大きくするためにゲート線４２上（詳細にはソース線４４との交差部位の近傍におけるゲート線４２上）に形成されている。ＴＦＴ５０は、図２に示されるように、逆スタガ構造を有しており、アレイ基板本体２１の表面２２上に形成されたゲート電極５１と、該ゲート電極５１の上方に形成（積層）された

ゲート絶縁膜（絶縁層）５２と、該ゲート絶縁膜５２の上方に形成された半導体膜（半導体層）５３と、該半導体膜５３の上方に形成されたソース電極５４及びドレイン電極５５とを含む積層構造を有している。ゲート電極５１はゲート線４２（図３参照）に、ソース電極５４はソース線４４（図３参照）にそれぞれ接続しており配線部を形成している。

さらに、ＴＦＴ５０は、図２に示すように、絶縁材料からなる層間絶縁膜（層間絶縁層）５６によって覆われている。該層間絶縁膜５６には、コンタクトホール４１が形成されており、コンタクトホール４１を介してＴＦＴ５０のドレイン電極５５と画素電極４０とが電氣的に接続している。画素電極４０は、典型的には透明な導電材料であるＩＴＯ（インジウム酸化スズ）から形成されている。画素電極４０の表面には該画素電極４０を覆うようにポリイミド等からなる配向膜５７が形成されている。この配向膜５７の表面（即ち液晶層１２に接する面）には、電圧を印加していないときの液晶分子の配向を決定するために配向処理（例えばラビング処理、光配向処理等）が施されている。これらの画素電極４０には、画像に応じた電圧が上記ゲート線４２、ソース線４４及びＴＦＴ５０を介して所定のタイミングで供給される。

また、各格子領域には、図２に示すように、補助容量電極（蓄積容量電極、Ｃｓ電極ともいう。）４７が形成されている。該補助容量電極４７は、補助容量線４６と電氣的に接続している。画素電極４０の一部と補助容量電極４７とは、画素４０に印加された電圧を維持する補助容量を構成している。

上記ゲート線４２及びソース線４４は、図１に示されるように、典型的には液晶表示パネル１０の周辺に設けられたドライバＩＣを含む外部駆動回路９５あって、画像信号等を供給可能な外部駆動回路９５に接続されている。

[0019] 一方、図２に示すように、ＣＦ基板３０の基板本体（ガラス基板）３１の表側のパネル表面（液晶層１２に臨む側）３２には、上記表示領域１０Ａ内において、上記アレイ基板２０の画素領域（画素電極４０）に対向する位置に、サブ画素であるＲ（赤）、Ｇ（緑）、Ｂ（青）、Ｙ（黄）のいずれか１

つのカラーフィルタ 34 が形成されており、これらのカラーフィルタ 34 を区画して、サブ画素間からの光漏れを防いでコントラストの向上と各色の混色防止を目的としたブラックマトリクス（遮光膜） 33 が形成されている。ブラックマトリクス 33 及びカラーフィルタ 34 は、例えば絶縁性の樹脂材料からなる絶縁膜（平坦化膜） 36 によって覆われており、該絶縁膜 36 の表面には ITO から成る対向電極（共通電極） 37 が形成されている。また、対向電極 37 のさらに表面（液晶層 12 側）には配向膜 38 が形成されている。この配向膜 38 の表面にも上記配向膜 57 と同様に配向処理が施されている。

[0020] 上記液晶表示パネル 10 の表側には、図 1 に示すように、ベゼル 90 が装着されている。また、液晶表示パネル 10 の裏側には、フレーム 92 が装着されている。そして、ベゼル 90 及びフレーム 92 は、液晶表示パネル 10 を挟んだ状態で互いに固定される。さらに、フレーム 92 は、液晶表示パネル 10 の中央部分における表示領域 10A に相当する部分が開口している。液晶表示パネル 10 の裏側（ベゼル 90 の裏側）には、バックライト装置 80 が装着されている。

[0021] バックライト装置 80 は、図 1 に示すように、例えば複数の点状光源（典型的には LED） 82 と、該光源 82 からの光を平面光に変換する導光板 86 と、これらを収容するシャーシ 88 とを備えている。光源 82 は、配線基板 84 上に配置されており、該光源 82 からの光が効率良く導光板 86 に入射するように図示しないリフレクタ（反射フィルム）に覆われている。シャーシ 88 は、表側に向けて開口した箱型形状を有しており、導光板 86 とシャーシ 88 との間には、光源 82 の光を効率的に観視者側に反射させるための反射シート 89 が配置されている。

[0022] また、導光板 86 の表側には、複数のシート状の光学シート 87 が積層されて該導光板 86 を覆うように配置されている。光学シート 78 の構成としては、例えば、バックライト装置 80 側から順に、拡散板、拡散シート、レンズシート、および輝度上昇シートから構成されているが、この組合せおよ

び順序に限定されない。さらに、光学シート 87 は、シャーシ 88 及びフレーム 92 によって挟んで保持されている。また、上記シャーシ 74 の裏側には、インバータ回路を搭載するための図示しないインバータ回路基板と、各光源 82 に電力を供給する昇圧回路としての図示しないインバータトランスが設けられているが、本発明を特徴付けるものではないため説明は省略する。

[0023] 次に、図 5 A から図 5 D を参照しつつ、本実施形態に係る液晶表示パネル用アレイ基板 20 の製造方法の好適な一例について説明する。

まず、マザーガラスから切り出されたガラス製のアレイ基板本体 21 を用意する。そして、アレイ基板本体 21 の表側のパネル表面 22 上に紫外線感光樹脂から成るレジスト膜 70 を塗布する（レジスト塗布工程）。プリベーク（予備乾燥）により該レジスト膜（例えばポジレジスト膜 70）を硬化させる（プリベーク工程）。次いで、アレイ基板本体 21 の裏側のパネル表面 23 上にレジスト膜 72 を塗布して上記と同様にして該レジスト膜 72 を硬化させる。かかる硬化したレジスト膜 72 上にパターンニングされたマスクを載せて、該マスクの上から所定波長の紫外線（例えば波長 365 nm の i 線）を照射して露光する（露光工程）。かかる露光後のアレイ基板本体 21 を現像液に浸漬し、その後純水リンスを行うことにより、レジスト膜 72 の露光部分を溶解除去する（現像工程）。この後、ポストベークを実施する（ポストベーク工程）。これにより、図 5 A に示されるように、上記アレイ基板本体 21 の上に上記マスクのパターンが転写されたレジスト膜 72（ポジレジスト膜の未露光部分）が形成される。

[0024] 次に、図 5 B に示すように、エッチング処理を実施して、上記アレイ基板本体 21 における上記レジスト膜 72 が形成されていない所定の部分に所定の深さの凹部 25 を形成する（エッチング工程）。かかるエッチング処理としては、ドライエッチング及びウェットエッチングが挙げられる。例えば、プラズマにより生じるガスラジカルを利用したドライエッチング等を好ましく用いることができる。ここで、凹部 25 の深さは、上記エッチング処理条

件（例えばエッチングレート）を適宜調整することにより設定される。凹部 25 の深さとしては $400\text{ nm} \sim 1\text{ }\mu\text{m}$ が適当である。最後に、例えば、酸素ガスプラズマ等によって上記レジスト膜 72 及びレジスト膜 70 をアレイ基板本体 21 から剥離する（レジスト剥離工程）。

以上により、図 5 C に示されるように、アレイ基板本体 21 の裏側のパネル表面 23 に凹部 25 が複数形成される。

[0025] 次に、図 5 D に示すように、アレイ基板本体 21 上に、ゲート電極 51（ゲート線 42）及び補助容量電極 47（補助容量線 46）を構成するチタン（Ti）及びアルミニウム（Al）からなる多層の導体膜をスパッタリングにより堆積（蒸着）させる（膜形成工程）。そして、該積層された多層の導体膜上にレジスト塗布工程でレジストを塗布して、プリベーク、露光、現像、ポストベーク、エッチング、及びレジスト剥離の一連の工程を経てパターンニングして、アレイ基板本体 21 上に所定のパターンのゲート電極 51（ゲート線 42）及び補助容量電極 47（補助容量線 46）を形成する。

[0026] 上記ゲート電極 51 及び補助容量電極 47 の上に、ゲート絶縁膜（絶縁層）52 を形成する。ゲート絶縁膜 52 は、例えば SiN_x 、 SiO_x 等からプラズマ CVD 法によって形成される。さらに、ゲート電極 51 の上方であって該ゲート絶縁膜 52 上に半導体膜（半導体層）53 を形成する。ここで、 SiN_x 等から成るゲート絶縁膜 52 と、 $\alpha\text{-Si}$ 層及び $n+\alpha\text{-Si}$ 層の二層構造の半導体膜 53 と、該二層構造の半導体膜 53 の各層の間に介在し得るチャネル保護膜層とは、プラズマ CVD にて四層続けて積層することができる。そして、該積層された半導体膜 53 上に、レジスト塗布工程でレジストを塗布して、プリベーク、露光、現像、ポストベーク、エッチング、及びレジスト剥離の一連の工程を経てパターンニングされた半導体膜 53 を形成する。

[0027] 次いで、上記ゲート電極 51（ゲート線 42）と同様にして、ソース線 44 と、上記半導体膜 53 上にソース電極 54 及びドレイン電極 55 となる二層構造（下層はチタンであり、上層はアルミニウムである。）の導体膜を形

成する。なお、エッチング工程において、上記ソース電極 5 4 及びドレイン電極 5 5 の間に挟まれる部位（チャンネル）を上記半導体膜 5 3（厳密には α -Si 層と $n+\alpha$ -Si 層との間に形成されるチャンネル保護膜の表層）が露出する程度までエッチングすることが好ましい。

[0028] 上記のようにして形成されたソース電極 5 4、ドレイン電極 5 5、さらには該電極 5 4、5 5 の間のチャンネルにおいて現われている半導体膜 5 3 に対して、プラズマ CVD で SiNx から成る層間絶縁膜（層間絶縁層）5 6 を形成して TFT 5 0 を形成する。層間絶縁膜 5 6 にコンタクトホール 4 1 を形成する。さらに、該層間絶縁膜 5 6 の上に ITO から成る透明な導電膜をスパッタリングで形成し、画素電極 4 0 として機能するようにパターニングし、所定のパターンの画素領域を形成する。このとき画素電極 4 0 は、コンタクトホール 4 1 を介してドレイン電極 5 5 と電氣的に接続するように形成される。

次いで、例えばインクジェット方式により上記層間絶縁膜 5 6 及び画素電極 4 0 上に配向膜構成材料を塗布し、その後、液晶分子の配向を制御するための配向処理（例えばラビング処理、光配向処理等）を行って、配向膜 5 7 を形成する。

以上のようにして、アレイ基板 2 0 を製造する。

[0029] 図 4 及び図 5 D に示すように、本実施形態に係るアレイ基板 2 0 においてアレイ基板本体 2 1 の裏側のパネル表面 2 3 には、該アレイ基板本体 2 1 の表面よりも凹んだ凹部 2 5 が TFT 5 0 の下方及びゲート線 4 2 に沿って規則的に（本実施形態では連続的に）形成されており、凹部 2 7 がソース線 4 4 に沿って規則的に（本実施形態では連続的に）形成されている。このため、アレイ基板本体 2 1 の裏側のパネル表面 2 3 の表面粗度が向上する。従って、液晶表示パネルの製造工程において所定の処理を施した後に本実施形態に係るアレイ基板 2 0 をステージから持ち上げて搬送するとき、ステージとアレイ基板 2 0 との間での剥離帯電の発生を効果的に防止することができるため、アレイ基板 2 0 に形成された TFT 5 0 において剥離帯電（静電気）

に基づく不具合の発生を防止することができる。

[0030] 次に、図6を参照しつつ第2の実施形態について説明する。図6は、本実施形態に係るアレイ基板120の構造を模式的に示す断面図である。

図6に示すように、ソース線144が形成されているアレイ基板本体121の裏側のパネル表面123には、該アレイ基板本体121の裏側のパネル表面123よりも凹んだ凹部127がソース線144の下方に複数形成されている。さらに該凹部127内には、帯電防止剤を含む樹脂材料130がアレイ基板本体の裏側のパネル表面123から僅かに後退する位置（裏側のパネル表面123と、凹部127に充填された帯電防止剤を含む樹脂材料の表面とが面一とならない程度）まで充填されている。本実施形態に係る帯電防止剤としては、特に制限はなく、例えば、アルキル硫酸塩等のアニオン系帯電防止剤、第四アンモニウム塩等のカチオン系帯電防止剤、エタノールアミド類等のノニオン系帯電防止剤、ポリアクリル酸等の高分子系帯電防止剤、導電性を有する金属粉末、カーボンナノチューブ等が挙げられる。また、樹脂材料130としては、透光性の樹脂材料であれば特に制限されず、例えば、ポリエステル樹脂、アクリル樹脂、ウレタン樹脂等からなるものが挙げられる。

かかる構成のアレイ基板120は、上記第1実施形態の場合と同様の効果に加えて、帯電防止剤を含んでいるためアレイ基板120における帯電防止性が向上される。

なお、上記凹部は、アレイ基板本体121の裏側のパネル表面123であってゲート線及びゲート電極の下方に規則的に（例えば連続的又は断続的に）形成してもよい。また、裏側のパネル表面123と凹部127に充填された帯電防止剤を含む樹脂材料130の表面とが面一となるように該樹脂材料130を凹部127内に充填してもよい。

[0031] 次に、図7を参照しつつ第3の実施形態について説明する。図7は、本実施形態に係るアレイ基板220の構造を模式的に示す断面図である。

図7に示すように、本実施形態に係るアレイ基板220には、TF50

が形成されているアレイ基板本体 2 2 1 の裏側のパネル表面 2 2 3 に、該アレイ基板本体 2 2 1 の裏側のパネル表面 2 2 3 よりも凹んだ凹部 2 3 0 が補助容量電極 4 7（補助容量線 4 6）の下方に規則的に複数形成されている。このため、アレイ基板本体 2 2 1 の裏側のパネル表面 2 2 3 の表面粗度がさらに向上する。なお、凹部 2 3 0 は、補助容量電極 4 7（補助容量電極 4 6）の下方に形成されているため、凹部 2 3 0 の形成によって生じ得る光学特性の変化に基づく画像表示の不具合（例えば、表示ムラ等）の発生を抑制することができる。

[0032] 以上、本発明の具体例を図面を参照しつつ詳細に説明したが、これらは例示にすぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例を様々に変形、変更したものが含まれる。

例えば、アレイ基板本体はガラス製に限定されず他の材料（合成樹脂等）からなる基板であってもよい。

産業上の利用可能性

[0033] 本発明によると、アレイ基板の裏面側の表面に凹部が複数形成されているため、液晶表示パネルの構築工程において、アレイ基板をステージから搬送する際に剥離帯電の発生を防止することができる。

符号の説明

- [0034] 1 0 液晶表示パネル
1 0 A 表示領域
1 2 液晶層
2 0 アレイ基板
2 1 アレイ基板本体
2 2 表側のパネル表面
2 3 裏側のパネル表面
2 5 凹部
2 7 凹部

- 2 9 偏光板
- 3 0 カラーフィルタ基板（C F 基板）
- 3 1 カラーフィルタ基板本体
- 3 2 表側のパネル表面
- 3 3 ブラックマトリクス
- 3 4 カラーフィルタ
- 3 6 絶縁膜
- 3 7 対向電極
- 3 8 配向膜
- 3 9 偏光板
- 4 0 画素電極
- 4 1 コンタクトホール
- 4 2 ゲート線（配線部）
- 4 4 ソース線（配線部）
- 4 6 補助容量線（配線部）
- 4 7 補助容量電極
- 5 0 薄膜トランジスタ（T F T）
- 5 1 ゲート電極（配線部）
- 5 2 ゲート絶縁膜（絶縁層）
- 5 3 半導体膜（半導体層）
- 5 4 ソース電極（配線部）
- 5 5 ドレイン電極
- 5 6 層間絶縁膜（層間絶縁層）
- 5 7 配向膜
- 7 0, 7 2 レジスト膜
- 8 0 バックライト装置
- 8 2 点状光源
- 8 4 配線基板

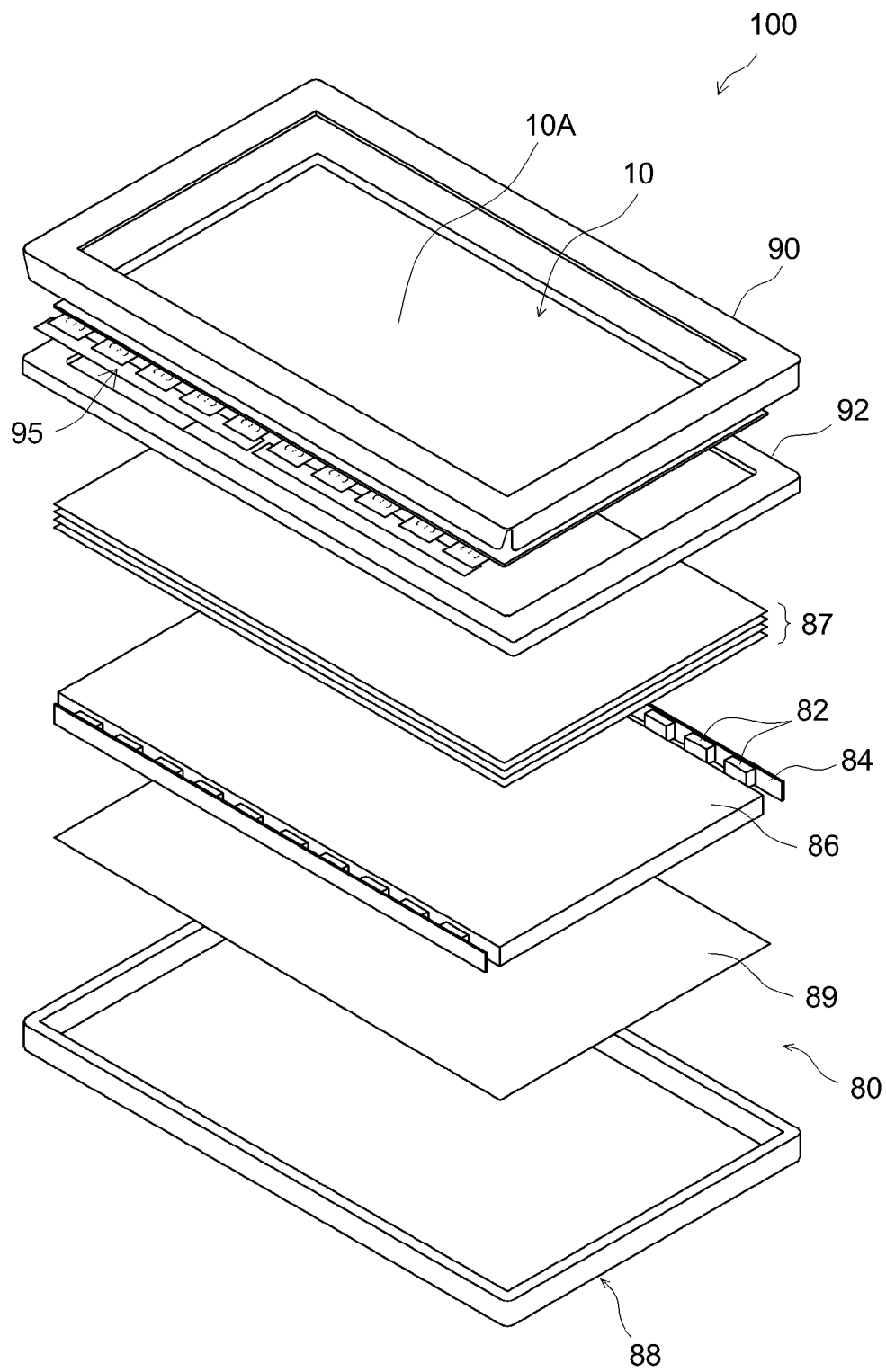
- 8 6 導光板
- 8 7 光学シート
- 8 8 シャーシ
- 8 9 反射シート
- 9 0 ベゼル
- 9 2 フレーム
- 9 5 外部駆動回路
- 1 0 0 液晶表示装置
- 1 2 0 アレイ基板
- 1 2 1 アレイ基板本体
- 1 2 3 裏側のパネル表面
- 1 2 7 凹部
- 1 3 0 樹脂材料
- 1 4 4 ソース線
- 2 2 0 アレイ基板
- 2 2 1 アレイ基板本体
- 2 2 3 裏側のパネル表面
- 2 3 0 凹部

請求の範囲

- [請求項1] 液晶表示パネルを構成するためのアレイ基板であって、
アレイ基板本体と、
前記アレイ基板本体の一方のパネル表面に形成された薄膜トランジスタを含む配線部と、を備えており、
前記アレイ基板本体において前記配線部が形成されているパネル表面の反対側の表面には、該アレイ基板本体の表面よりも凹んだ凹部が複数形成されていることを特徴とする、液晶表示パネル用アレイ基板。
- [請求項2] 前記複数の凹部は、前記薄膜トランジスタが形成された部分に対応する位置に形成されていることを特徴とする、請求項1に記載の液晶表示パネル用アレイ基板。
- [請求項3] 前記配線部は、複数のゲート線と該ゲート線に交差する複数のソース線とを含んでおり、
前記複数の凹部は、前記ゲート線及び前記ソース線が形成された部分に対応する位置に、該ゲート線及び該ソース線に沿って規則的に形成されていることを特徴とする、請求項1又は2に記載の液晶表示パネル用アレイ基板。
- [請求項4] 前記複数の凹部には、帯電防止剤が充填されていることを特徴とする、請求項1から3のいずれか一項に記載の液晶表示パネル用アレイ基板。
- [請求項5] 請求項1から4のいずれか一項に記載の液晶パネル用アレイ基板を備える液晶表示パネル。
- [請求項6] 請求項5に記載の液晶表示パネルを備える液晶表示装置。

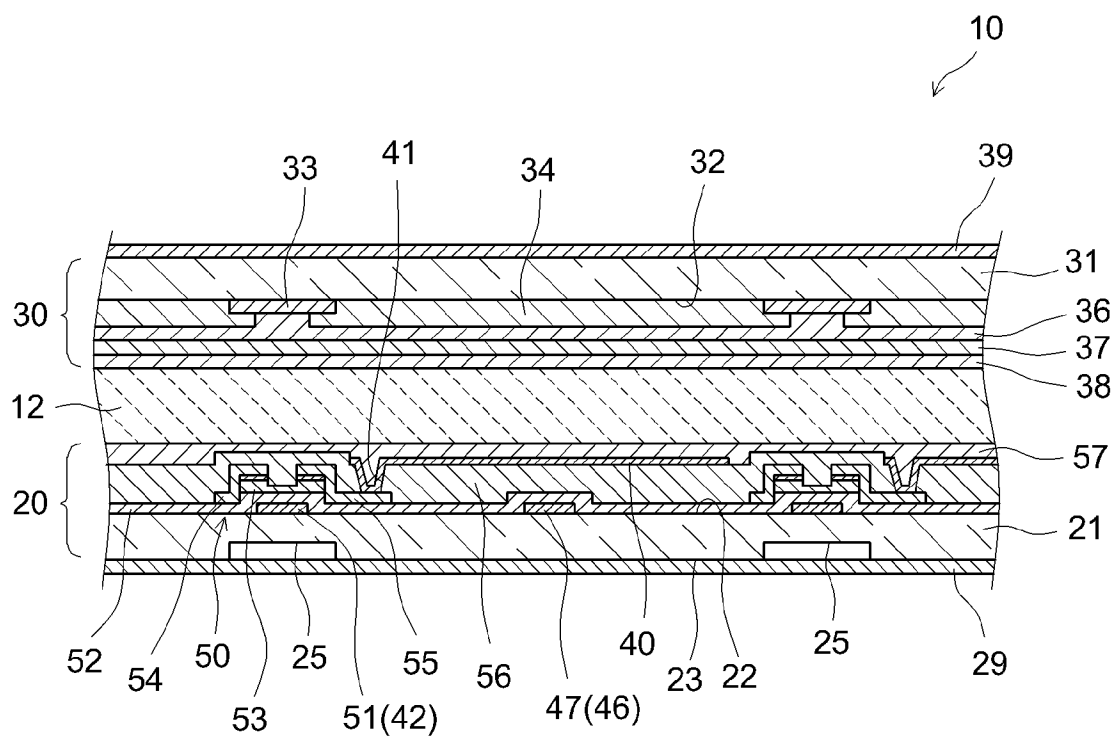
[図1]

FIG.1



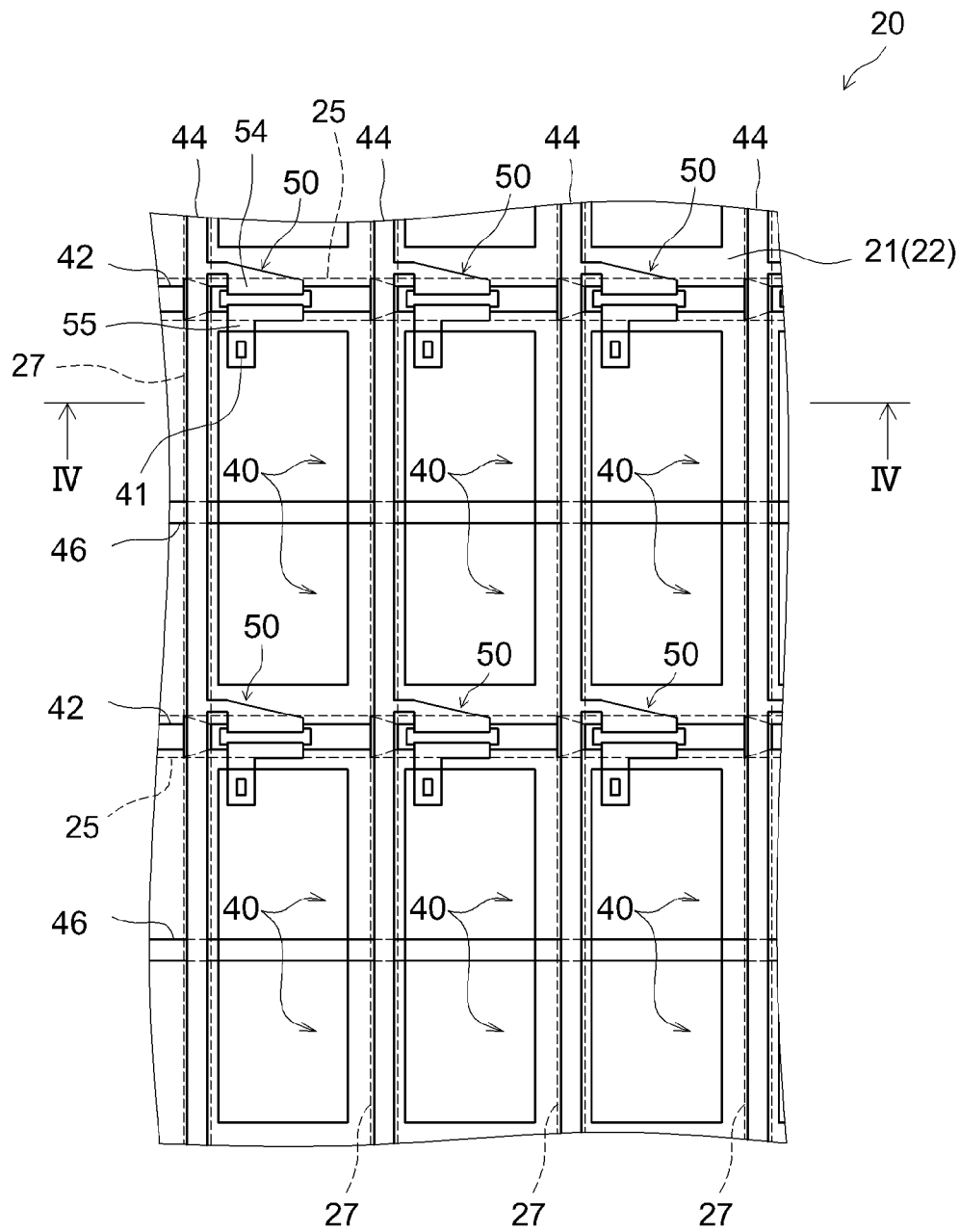
[図2]

FIG.2



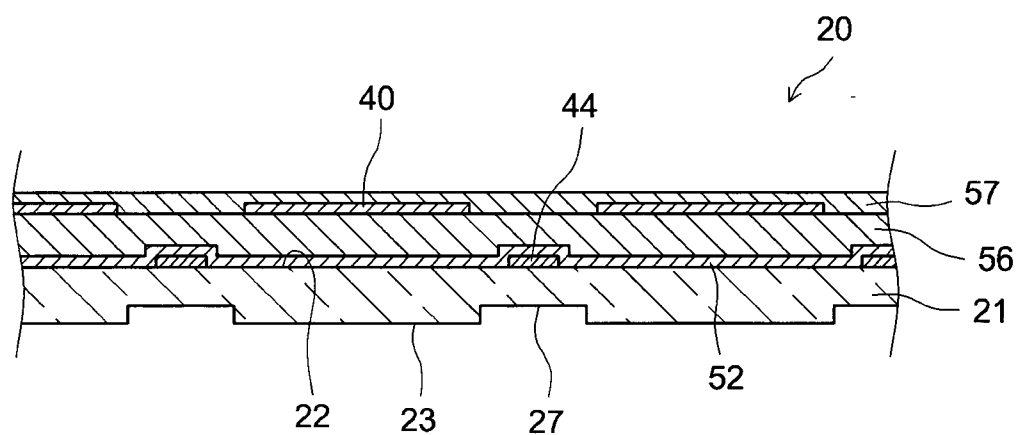
[図3]

FIG.3



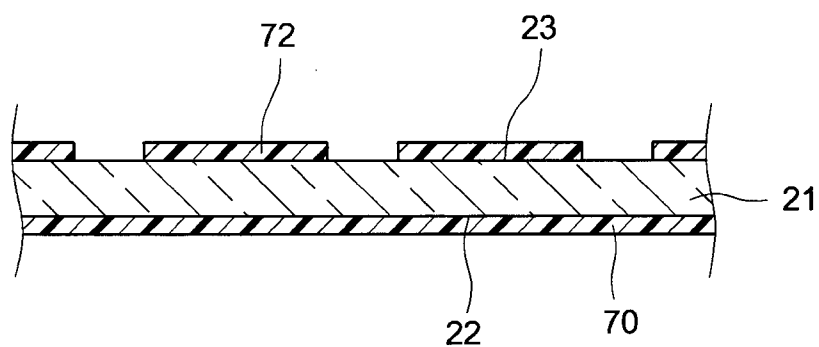
[図4]

FIG.4



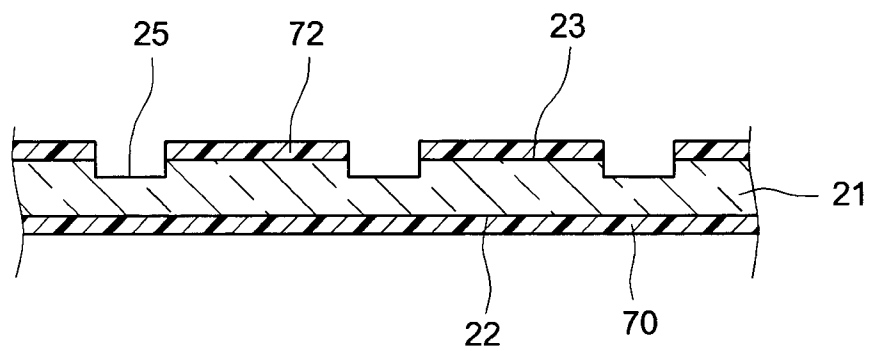
[図5A]

FIG.5A



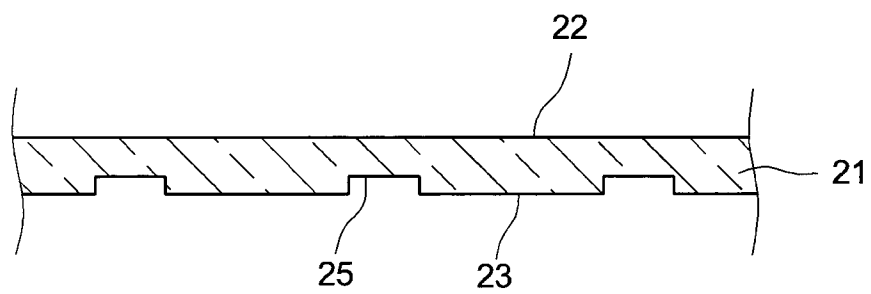
[図5B]

FIG.5B



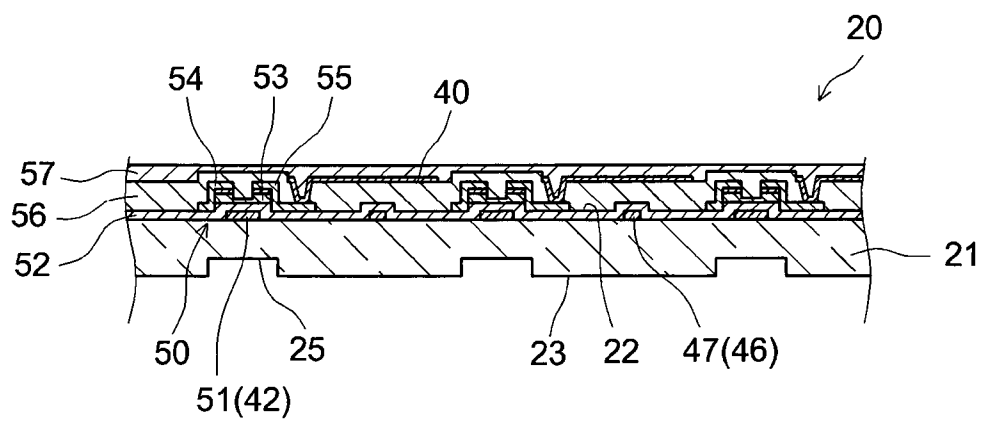
[図5C]

FIG.5C



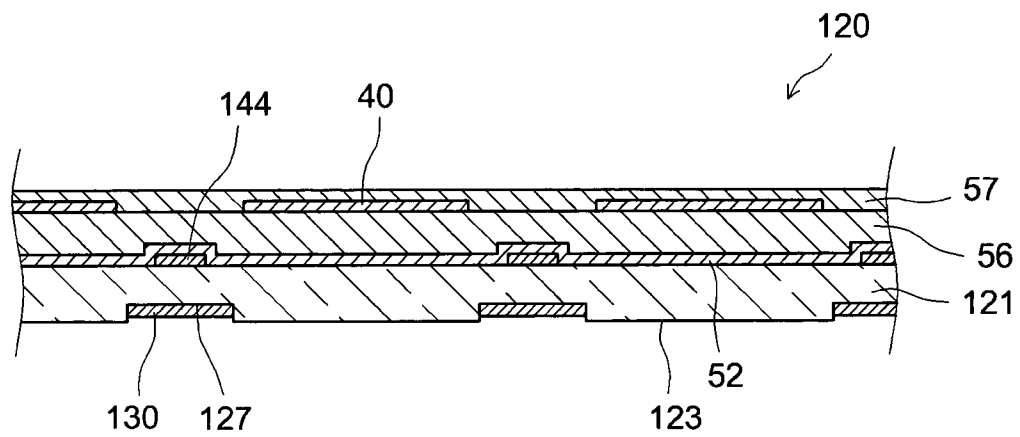
[図5D]

FIG.5D



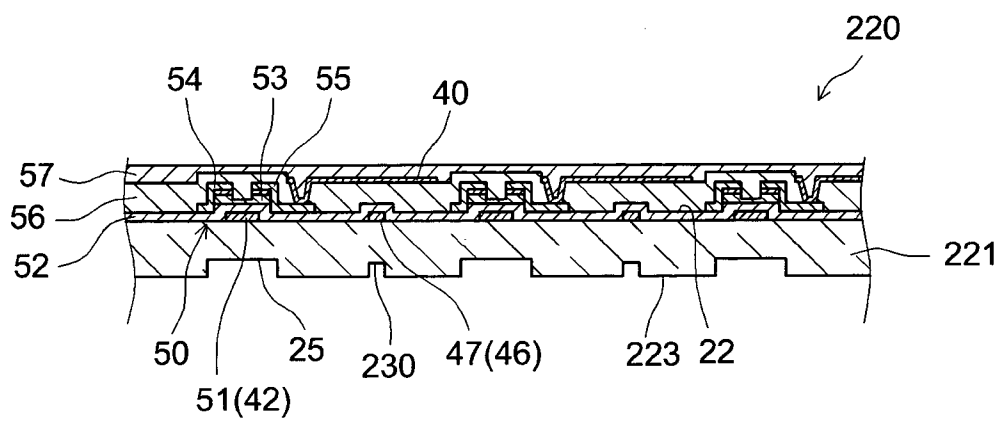
[図6]

FIG.6



[図7]

FIG.7



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/077888

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/1368(2006.01) i, G02F1/1333(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/1368, G02F1/1333

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2004-199006 A (Koninklijke Philips Electronics N.V.), 15 July 2004 (15.07.2004), paragraphs [0029] to [0037]; fig. 4, 5 & US 2006/0012739 A1 & EP 1579268 A & WO 2004/057414 A1 & KR 10-2005-0085731 A & CN 1729420 A & AU 2003303255 A	1-3, 5, 6 4
A	JP 5-289072 A (Samsung Electronics Co., Ltd.), 05 November 1993 (05.11.1993), fig. 2, 3 & EP 556069 A1 & KR 10-1994-0009137 B1	1-6
A	JP 2001-305531 A (Seiko Epson Corp.), 31 October 2001 (31.10.2001), entire text; all drawings (Family: none)	1-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
20 January, 2012 (20.01.12)

Date of mailing of the international search report
31 January, 2012 (31.01.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. G02F1/1368 (2006.01) i, G02F1/1333 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G02F1/1368, G02F1/1333

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2004-199006 A（コーニンクレッカ フィリップス エレクトロ ニクス エヌ ヴィ）	1-3, 5, 6
A	2004.07.15, 段落【0029】 - 【0037】、第4, 5 図 & US 2006/0012739 A1 & EP 1579268 A & WO 2004/057414 A1 & KR 10-2005-0085731 A & CN 1729420 A & AU 2003303255 A	4
A	JP 5-289072 A（三星電子株式会社） 1993.11.05, 第2, 3 図 & EP 556069 A1 & KR 10-1994-0009137 B1	1-6

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

2 0 . 0 1 . 2 0 1 2

国際調査報告の発送日

3 1 . 0 1 . 2 0 1 2

国際調査機関の名称及びあて先
日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

福田 知喜

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 5

2 L

3 7 0 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2001-305531 A (セイコーエプソン株式会社) 2001.10.31, 全文、全図 (ファミリーなし)	1-6