



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년04월21일
(11) 등록번호 10-1030600
(24) 등록일자 2011년04월14일

(51) Int. Cl.

H04L 27/20 (2006.01)

(21) 출원번호 10-2010-0033059

(22) 출원일자 2010년04월11일

심사청구일자 2010년04월11일

(56) 선행기술조사문헌

KR100694726 B1

US5577071 A

(73) 특허권자

인하대학교 산학협력단

인천 남구 용현동 253 인하대학교

(72) 발명자

강진구

서울특별시 서초구 잠원동 한신 18차 335-201호

박형민

전라북도 남원시 향교동 하이츠 아파트 2동 802호

(74) 대리인

김건우

전체 청구항 수 : 총 3 항

심사관 : 김병균

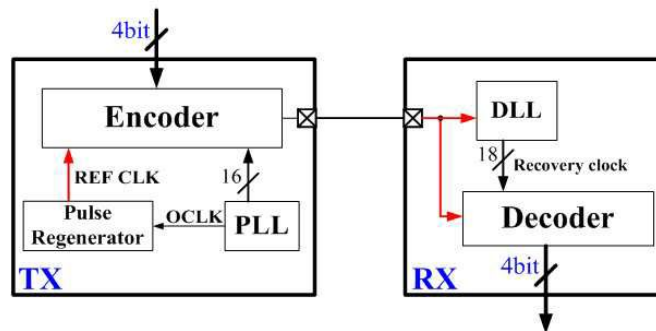
(54) 위상 변조 기술을 이용한 직렬 입출력 인터페이스

(57) 요약

본 발명은 위상 변조 기술을 이용한 직렬 입출력 인터페이스에 관한 것으로서, 보다 구체적으로는 위상 고정 루프(Phase Locked Loop; PLL), 펄스 재생성기(pulse regenerator) 및 인코더로 구성되며, 상기 위상 고정 루프에서 생성된 낮은 지터(jitter)를 갖는 다중 클록을 이용하여 인코더에서 병렬 이진 데이터를 직렬 위상 데이터(phase data)로 변형한 후 데이터를 전송하는 송신 모듈; 및 지연 고정 루프(Delay Locked Loop; DLL) 및 디코더로 구성되며, 상기 지연 고정 루프에서 상기 송신 모듈로부터 입력받은 위상 데이터의 상승 에지(rising edge)를 기준 클록으로 이용하여 다중 복원 클록을 생성하고, 상기 생성된 다중 복원 클록을 이용하여 상기 디코더에서 위상 데이터를 병렬 이진 데이터로 복원하는 수신 모듈을 포함하여 구성되는 것을 그 구성상의 특징으로 한다.

본 발명에서 제안하고 있는 위상 변조 기술을 이용한 직렬 입출력 인터페이스에 따르면, 상승 에지를 고정하여 클록 정보로 사용하고 하강 에지만을 변형하여 데이터를 전송함으로써 오프-칩 인터페이스에도 적용이 가능하다.

대표도 - 도3



특허청구의 범위

청구항 1

위상 변조 기술을 이용한 직렬 입출력 인터페이스로서,

위상 고정 루프(Phase Locked Loop; PLL), 펄스 재생성기(pulse regenerator) 및 인코더로 구성되며, 상기 위상 고정 루프에서 생성된 낮은 지터(jitter)를 갖는 다중 클록을 이용하여 인코더에서 병렬 이진 데이터를 직렬 위상 데이터(phase data)로 변형한 후 데이터를 전송하는 송신 모듈; 및

지연 고정 루프(Delay Locked Loop; DLL) 및 디코더로 구성되며, 상기 지연 고정 루프에서 상기 송신 모듈로부터 입력받은 위상 데이터의 상승 에지(rising edge)를 기준 클록으로 이용하여 다중 복원 클럭을 생성하고, 상기 생성된 다중 복원 클럭을 이용하여 상기 디코더에서 위상 데이터를 병렬 이진 데이터로 복원하는 수신 모듈을 포함하여 구성되는 것을 특징으로 하는, 위상 변조 기술을 이용한 직렬 입출력 인터페이스.

청구항 2

제1항에 있어서, 상기 인코더는,

상기 펄스 재생성기로부터 입력받은 기준 클록(REF CLK)을 입력 데이터에 따라 하강 에지(falling edge)를 변조 시킴으로써 위상 데이터를 생성하는 것을 특징으로 하는, 위상 변조 기술을 이용한 직렬 입출력 인터페이스.

청구항 3

제1항에 있어서, 상기 디코더는,

플립플롭 어레이(F/F 어레이), 복수의 XOR 게이트, 및 디지털 인코더로 구성되며,

상기 플립플롭 어레이는, 상기 지연 고정 루프에서 생성된 다중 클록의 위상에 따라 차례로 위상 데이터를 검출하고, 상기 검출된 위상 데이터의 하강 에지에 의해서 상기 플립플롭 어레이의 출력 값이 1에서 0으로 변하면, 상기 플립플롭 어레이와 연결된 XOR 게이트만 논리적 레벨 'High' 가 되고 나머지 XOR 게이트는 논리적 레벨 'Low' 가 되며, 상기 복수의 XOR 게이트의 논리적 레벨에 따라 상기 디지털 인코더는 병렬 이진 데이터를 생성하는 것을 특징으로 하는, 위상 변조 기술을 이용한 직렬 입출력 인터페이스.

명세서

기술분야

[0001] 본 발명은 입출력 인터페이스에 관한 것으로서, 특히 위상 변조 기술을 이용한 직렬 입출력 인터페이스에 관한 것이다.

배경기술

[0002] 최근 CMOS 공정의 발전으로 시스템의 동작 속도와 집적도가 비약적으로 증가하고 있는데, 데이터 전송 속도가 높아지면서 전송 채널의 특성으로 인해 신호의 왜곡 및 감쇠 현상 또한 심각한 문제가 되고 있다. 이러한 채널 대역폭의 제한으로 인하여, NRZ(Non-Return-to-Zero) 방식을 이용한 데이터 통신에서는 전송 속도가 제한을 받고 있다. 이러한 문제점을 해결하고 효율적인 데이터 전송이 가능한 방법으로 위상 변조 기술(phase modulation technique)이 있다.

[0003] 도 1은 위상 변조 방식을 타임 도메인(time domain)에서 나타낸 것으로서, 특히 상승 에지(rising edge)와 하강 에지(falling edge)를 모두 변조하여 데이터를 전송하는 방식을 나타내는 도면이다. 도 1에 도시된 방식은, 상승 에지와 하강 에지를 모두 변조하여 데이터를 전송하므로 효율적인 데이터 전송이 가능하다. 그러나 이 방식

은 클록 정보를 포함하지 않아 클록 도메인(clock domain)이 서로 다른 오프-칩 인터페이스(off-chip interface)에서는 사용의 제한이 따른다는 문제점이 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 기존에 제안된 방법들의 상기와 같은 문제점들을 해결하기 위해 제안된 것으로서, 상승 에지를 고정하여 클록 정보로 사용하고 하강 에지만을 변형하여 데이터를 전송함으로써 오프-칩 인터페이스에도 적용이 가능한, 위상 변조 기술을 이용한 직렬 입출력 인터페이스를 제공하는 것을 그 목적으로 한다.

과제의 해결 수단

[0005] 상기한 목적을 달성하기 위한 본 발명의 특징에 따른, 위상 변조 기술을 이용한 직렬 입출력 인터페이스는,

[0006] 위상 고정 루프(Phase Locked Loop; PLL), 펄스 재생성기(pulse regenerator) 및 인코더로 구성되며, 상기 위상 고정 루프에서 생성된 낮은 지터(jitter)를 갖는 다중 클록을 이용하여 인코더에서 병렬 이진 데이터를 직렬 위상 데이터(phase data)로 변형한 후 데이터를 전송하는 송신 모듈; 및

[0007] 지연 고정 루프(Delay Locked Loop; DLL) 및 디코더로 구성되며, 상기 지연 고정 루프에서 상기 송신 모듈로부터 입력받은 위상 데이터의 상승 에지(rising edge)를 기준 클록으로 이용하여 다중 복원 클럭을 생성하고, 상기 생성된 다중 복원 클록을 이용하여 상기 디코더에서 위상 데이터를 병렬 이진 데이터로 복원하는 수신 모듈을 포함하여 구성되는 것을 그 구성상의 특징으로 한다.

[0008] 바람직하게는, 상기 인코더는,

[0009] 상기 펄스 재생성기로부터 입력받은 기준 클록(REF CLK)을 입력 데이터에 따라 하강 에지(falling edge)를 변조 시킴으로써 위상 데이터를 생성할 수 있다.

[0010] 바람직하게는, 상기 디코더는,

[0011] 플립플롭 어레이(F/F 어레이), 복수의 XOR 게이트, 및 디지털 인코더로 구성되며,

[0012] 상기 플립플롭 어레이는, 상기 지연 고정 루프에서 생성된 다중 클록의 위상에 따라 차례로 위상 데이터를 검출하고, 상기 검출된 위상 데이터의 하강 에지에 의해서 상기 플립플롭 어레이의 출력 값이 1에서 0으로 변하면, 상기 플립플롭 어레이와 연결된 XOR 게이트만 논리적 레벨 'High' 가 되고 나머지 XOR 게이트는 논리적 레벨 'Low' 가 되며, 상기 복수의 XOR 게이트의 논리적 레벨에 따라 상기 디지털 인코더는 병렬 이진 데이터를 생성할 수 있다.

발명의 효과

[0013] 본 발명에서 제안하고 있는 위상 변조 기술을 이용한 직렬 입출력 인터페이스에 따르면, 상승 에지를 고정하여 클록 정보로 사용하고 하강 에지만을 변형하여 데이터를 전송함으로써 오프-칩 인터페이스에도 적용이 가능하다.

도면의 간단한 설명

[0014] 도 1은 상승 에지(rising edge)와 하강 에지(falling edge)를 모두 변조하여 데이터를 전송하는 위상 변조 방식을 타임 도메인(time domain)에서 나타내는 도면.

도 2는 상승 에지를 고정하여 클록 정보로 사용하고 하강 에지만을 변형하여 데이터를 전송하는, 본 발명에서 제안하고 있는 위상 변조 방식을 타임 도메인에서 나타내는 도면.

도 3은 본 발명에서 제안하고 있는 위상 변조 기술을 이용한 직렬 입출력 인터페이스의 구성을 나타내는 블록도.

도 4는 본 발명의 일 실시예에 따른 송신 모듈(TX)의 인코더의 세부 구성을 나타내는 도면.

도 5는 본 발명의 일 실시예에 따른 수신 모듈(RX)의 세부 구성을 나타내는 도면.

도 6은 본 발명의 일 실시예에 따른 송신 모듈(TX)에서 출력되는 위상 데이터의 아이-다이아그램(eye-diagram)을 나타내는 도면.

도 7은 본 발명의 일 실시예에 따른 수신 모듈(RX)에서 복원 클록(recovery CLK)을 이용하여 복원한 4bit 데이터를 나타내는 도면.

발명을 실시하기 위한 구체적인 내용

[0015] 이하에서는 첨부된 도면을 참조하여 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있도록 바람직한 실시예를 상세히 설명한다. 다만, 본 발명의 바람직한 실시예를 상세하게 설명함에 있어, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략한다. 또한, 유사한 기능 및 작용을 하는 부분에 대해서는 도면 전체에 걸쳐 동일 또는 유사한 부호를 사용한다.

[0016] 덧붙여, 명세서 전체에서, 어떤 부분이 다른 부분과 ‘연결’되어 있다고 할 때, 이는 ‘직접적으로 연결’되어 있는 경우뿐만 아니라, 그 중간에 다른 소자를 사이에 두고 ‘간접적으로 연결’되어 있는 경우도 포함한다. 또한, 어떤 구성요소를 ‘포함’한다는 것은, 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있다는 것을 의미한다.

[0017] 도 2는 상승 에지를 고정하여 클록 정보로 사용하고 하강 에지만을 변형하여 데이터를 전송하는, 본 발명에서 제안하고 있는 위상 변조 방식을 타임 도메인에서 나타내는 도면이다. 도 2에 도시된 바와 같이, 본 발명에서 제안하고 있는 위상 변조 방식은, 상승 에지를 고정하여 클록 정보로 사용하고 하강 에지만을 변형하여 데이터를 전송함으로써 오프-칩 인터페이스(off-chip interface)에도 적용이 가능하다. 본 방식은 N-비트 데이터를 값에 따라 2^n 개의 하강 에지 중 해당 위상에 위치시켜 한 클록 주기에 N-비트를 전송함으로써 클록 속도(clock rate)보다 N배 빠른 직렬 전송 속도를 갖게 되는 장점을 갖는다. 도 2에서 기준 클록(REF CLK)은 OCLK(Original CLK)로부터 많은 하강 에지 위치(falling edge position)를 갖기 위해 변형된 클록이다. 이 CLK은 수신 모듈(RX)에서 복원 클록(recovery CLK)을 생성하기 위해 최소 펄스 폭(T_{min})을 필요로 한다. 위상 데이터(phase data)는 T_{min} 과 함께 dT의 간격을 갖는 2^n 개의 하강 에지 위치를 갖는다. 이때, 데이터 전송 속도는 다음 수식식 1과 같다.

수식식 1

[0018]
$$TR = \text{bit/period} = n / ((2^n - 1) * dT + 2T_{min})$$

[0019] 본 발명의 일 실시예에서는, $n=4$, $dT=180\text{ps}$, $T_{min}=650\text{ps}$ 를 적용하였다.

[0020] 도 3은 본 발명에서 제안하고 있는 위상 변조 기술을 이용한 직렬 입출력 인터페이스의 구성을 나타내는 블록도이다. 도 3에 도시된 바와 같이, 본 발명에서 제안하고 있는 위상 변조 기술을 이용한 직렬 입출력 인터페이스는, 송신 모듈(TX)과 수신 모듈(RX)을 포함하여 구성될 수 있다.

[0021] 송신 모듈(TX)은, 위상 고정 루프(Phase Locked Loop; PLL), 펄스 재생성기(pulse regenerator) 및 인코더로 구성될 수 있다. 위상 고정 루프(PLL)는 PVT(공정, 공급전압, 온도) 변화에 의한 잡음(noise)을 보상해 줌으로써 낮은 지터(jitter)를 갖는 다중 클록을 생성한다. 인코더는 위상 고정 루프(PLL)의 다중 클록을 이용하여 병렬 이진 데이터를 직렬 위상 데이터로 변형한 후 데이터를 전송한다.

[0022] 수신 모듈(RX)은, 지연 고정 루프(Delay Locked Loop; DLL)와 디코더로 구성될 수 있다. 지연 고정 루프(DLL)는 입력받은 위상 데이터의 상승 에지(rising edge)를 기준 클럭으로 이용하여 다중 복원 클럭을 생성한다. 디코더는 지연 고정 루프(DLL)에서 생성된 다중 복원 클럭을 이용하여 위상 데이터를 병렬 이진 데이터로 복원한다.

[0023] 송신 모듈(TX)과 수신 모듈(RX)의 세부 구성에 대하여, 도 4 및 도 5를 참조하여 더욱 상세히 살펴보기로 한다.

[0024] 도 4는 본 발명의 일 실시예에 따른 송신 모듈(TX)의 인코더의 세부 구성을 나타내는 도면이다. 도 4에 도시된 바와 같이, 송신 모듈(TX)의 인코더는, 펄스 재생성기로부터 입력받은 기준 클럭(REF CLK)을 입력 데이터에 따라 도 2와 같이 하강 에지(falling edge)를 변조시킴으로써 위상 데이터를 생성한다. 입력 데이터에 의한 SEL 신호에 따라 선택된 2개의 De MUX의 출력이 각각 논리적 레벨 'Low'가 되고, 이 출력들에 의해서 제어되는 NOR 게이트의 출력 중 한 개만 논리적 레벨 'High'가 되면서 이와 연결된 오른쪽 패스 게이트(Pass Gate; PG)만 온(on)이 된다. 이어서 왼쪽 패스 게이트(PG)들이 위상 고정 루프(PLL)에서 입력받은 다중 클럭($\Phi 3 \sim \Phi 18$)에 따라 차례로 온이 되면서 두 패스 게이트(PG)가 모두 켜지는 시점에서 하강 에지가 발생하게 된다.

[0025] 도 5는 본 발명의 일 실시예에 따른 수신 모듈(RX)의 세부 구성을 나타내는 도면이다. 도 5에 도시된 바와 같이, 수신 모듈(RX)은 지연 고정 루프(DLL)와 디코더로 구성되는데, 지연 고정 루프(DLL)는 송신 모듈(TX)로부터 입력받은 위상 데이터의 상승 에지를 이용하여 복원 클럭을 생성한다. 지연 고정 루프(DLL)에서 생성된 복원 클럭은 송신 모듈(TX)의 인코더에 입력된 것과 같은 위상을 가지는 순서로 디코더의 플립플롭 어레이(F/F array)에 연결된다. F/F array는 지연 고정 루프(DLL)에서 생성된 다중 클럭의 위상에 따라 차례로 위상 데이터를 검출한다. 위상 데이터의 하강 에지에 의해서 F/F array의 출력 값이 1에서 0으로 변하면, F/F와 연결된 하나의 XOR 게이트만 논리적 레벨 'High'가 되고 나머지는 논리적 레벨 'Low'가 된다. 디지털 인코더(Digital encoder)는 16개의 'High' 입력 신호에 따라 각각 0000₍₂₎에서 1111₍₂₎까지 값을 출력함으로써 병렬 데이터를 복원한다.

[0026] 도 6은 본 발명의 일 실시예에 따른 송신 모듈(TX)에서 출력되는 위상 데이터의 아이-다이아그램(eye-diagram)을 나타내는 도면이다. 도 6에서, 피크-투-피크 지터(Pick-to-pick jitter)는 10.8ps이다. 도 6으로부터, 상승 에지는 고정되고 하강 에지가 16개의 위상으로 변조되는 것을 분명하게 확인할 수 있다. 측정된 하강 에지 간의 간격은 180ps이다.

[0027] 도 7은 본 발명의 일 실시예에 따른 수신 모듈(RX)에서 복원 클럭(recovery CLK)을 이용하여 복원한 4bit 데이터를 나타내는 도면이다. 도 7에 도시된 바와 같이, 복원된 4bit 데이터는 250MHz로 동기되어 있어 1Gb/s의 전송 속도를 나타낸다. 다음 표 1은 본 발명에서 제안하는 회로에 대한 시뮬레이션 결과를 요약하여 나타낸 것이다.

표 1

[0028]	공정	CMOS 0.18 μ m
	공급 전압	1.8V
	데이터 속도	1Gbps
	클럭 속도	250MHz
	송신 모듈 출력 지터(p-p)	10.8ps
	전력 소비	TX: 6mW, RX: 6mW

[0029] 이상 설명한 본 발명은 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에 의하여 다양한 변형이나 응용이

가능하며, 본 발명에 따른 기술적 사상의 범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

부호의 설명

- [0030]
- TX: 송신 모듈

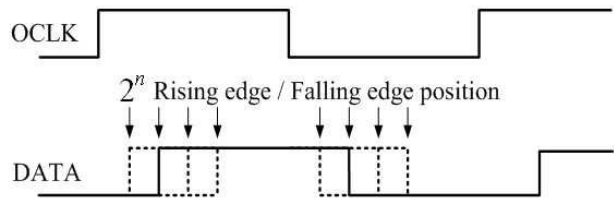
Encoder: 인코더
- Pulse Regenerator: 펄스 재생성기

PLL: 위상 고정 루프
- RX: 수신 모듈

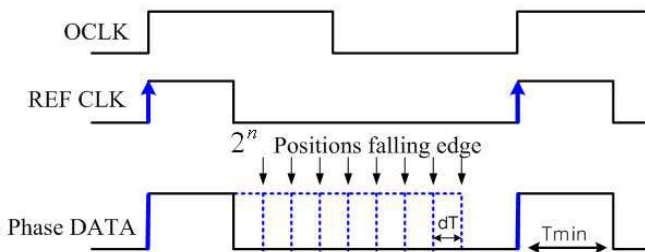
DLL: 지연 고정 루프
- Decoder: 디코더

도면

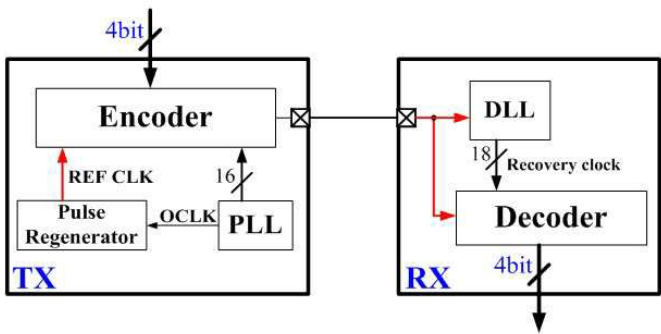
도면1



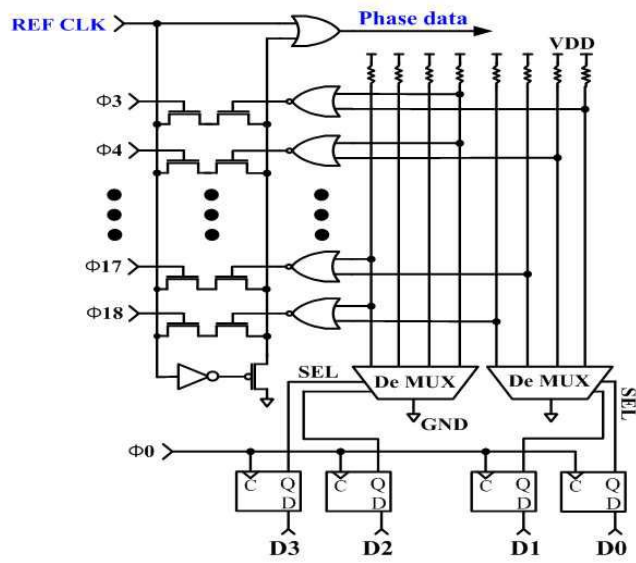
도면2



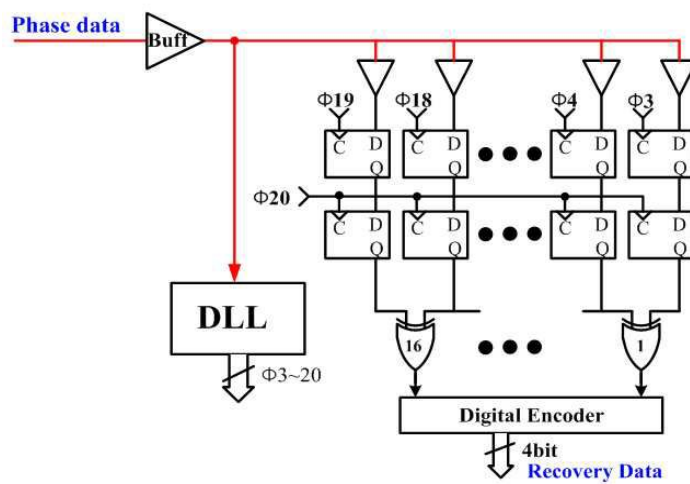
도면3



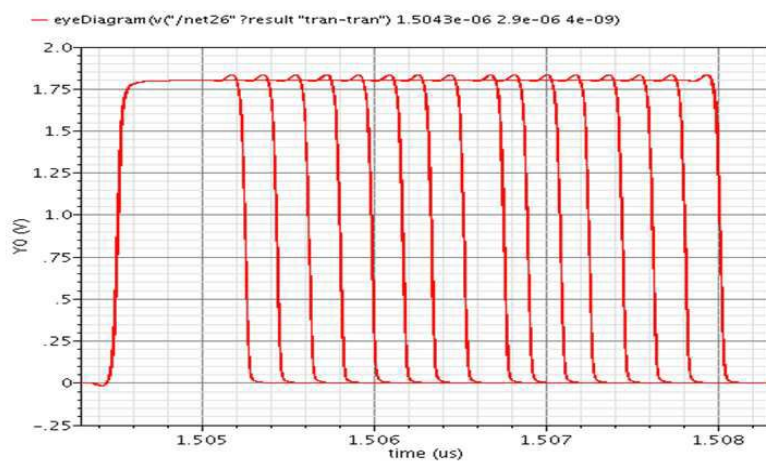
도면4



도면5



도면6



도면7

