



(12) 发明专利

(10) 授权公告号 CN 101325176 B

(45) 授权公告日 2011.07.20

(21) 申请号 200810109588.9

US 2002/0028569 A1, 2002.03.07,

(22) 申请日 2008.06.04

US 2005/0257747 A1, 2005.11.24,

(30) 优先权数据

US 2005/0009325 A1, 2005.01.13,

2007-158238 2007.06.15 JP

审查员 赵世欣

(73) 专利权人 瑞萨电子株式会社

地址 日本神奈川县

(72) 发明人 二瀬卓也

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华

(51) Int. Cl.

H01L 21/768 (2006.01)

(56) 对比文件

US 2001/0003015 A1, 2001.06.07,

权利要求书 8 页 说明书 21 页 附图 27 页

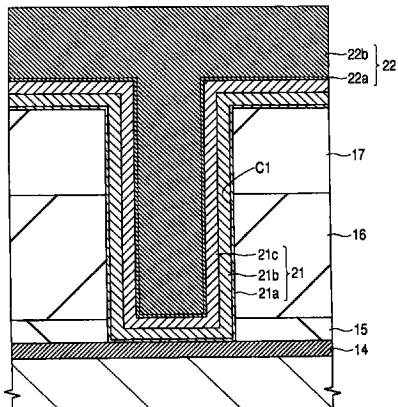
US 6635965 B1, 2003.10.21,

(54) 发明名称

半导体器件的制造方法

(57) 摘要

本发明可以避免在阻挡金属膜与经由阻挡金属膜在绝缘膜中打开的连接孔中填充的金属膜之间的耦合部分处的不利问题，其中该阻挡金属膜是通过在钛膜上沉积氮化钛膜并因而具有膜层叠结构来得到的。半导体器件的制造方法包括以下步骤：形成接触孔并使硅化镍层从接触孔的底部暴露；通过使用  $TiCl_4$  气体的热反应形成热反应 Ti 膜，通过使用  $TiCl_4$  气体的等离子体反应形成等离子体反应 Ti 膜，使用  $H_2$  气体执行等离子体处理以降低等离子体反应 Ti 膜的氯浓度，同时还原硅化镍层表面上的氧化物膜；在等离子体反应 Ti 膜的表面之上形成富含氮的 TiN 膜，并同时通过利用  $NH_3$  气体的热氮化处理和利用  $NH_3$  气体的等离子体处理来还原硅化镍层表面上的氧化物膜。



1. 一种半导体器件的制造方法,其中具有第一栅电极的第一场效应晶体管通过元件隔离物而与具有第二栅电极的第二场效应晶体管电隔离,并且在所述元件隔离物之上延伸的第二栅电极的引出部分经由导电部件而与用作所述第一场效应晶体管的源极或漏极的半导体区域电耦合,所述方法包括以下步骤:

(a) 在半导体衬底的主表面中形成所述元件隔离物以及通过所述元件隔离物电隔离的第一和第二有源区域;

(b) 在所述第一有源区域中形成所述第一场效应晶体管的所述第一栅电极,在所述第二有源区域中形成所述第二场效应晶体管的所述第二栅电极,以及使所述第二栅电极的引出部分在所述元件隔离物之上延伸;

(c) 在所述步骤(b)之后,在所述半导体衬底的主表面上形成第一绝缘膜,并对所述第一绝缘膜进行各向异性刻蚀以在所述第一和第二栅电极的侧壁之上形成由所述第一绝缘膜制成的侧壁;

(d) 在所述步骤(c)之后,在所述第一场效应晶体管的所述第一栅电极和用作源极或漏极的半导体区域的表面以及在所述第二场效应晶体管的所述第二栅电极和用作源极或漏极的半导体区域的表面之上形成硅化物层;

(e) 在所述步骤(d)之后,在所述半导体衬底的主表面上沉积第二绝缘膜;

(f) 通过刻蚀在用作所述第一场效应晶体管的源极或漏极的半导体区域的一部分以及所述第二场效应晶体管的第二栅电极的引出部分的一部分之上延伸的区域中的第二绝缘膜,形成开口部分,在用作所述第一场效应晶体管的源极或漏极的半导体区域之上的硅化物层的一部分以及在所述第二场效应晶体管的第二栅电极的引出部分之上的硅化物层的一部分从所述开口部分中暴露;

(g) 通过使用第一反应气体的热反应,在所述开口部分的底部之上形成第一钛膜;

(h) 通过使用所述第一反应气体的等离子体反应,在所述第一钛膜之上形成第二钛膜;

(i) 利用含氮的第三反应气体,使所述第二钛膜的表面经受热氮化;以及

(j) 利用所述第三反应气体,使所述第二钛膜的表面经受第二等离子体处理,以在所述第二钛膜的表面之上形成第一氮化钛膜;

其中所述步骤(i)中的热氮化时间为0-75秒,以及

其中所述步骤(j)中的第二等离子体处理时间为25-75秒。

2. 根据权利要求1所述的半导体器件的制造方法,其中所述步骤(j)中形成的第一氮化钛膜具有比对应的化学计量组分的氮含量更大的氮含量。

3. 根据权利要求1所述的半导体器件的制造方法,在所述步骤(h)和步骤(i)之间进一步包括以下步骤:

(k) 利用第二反应气体,使所述第二钛膜的表面经受第一等离子体处理,

其中所述步骤(k)中的第一等离子体处理时间为5-30秒。

4. 根据权利要求1所述的半导体器件的制造方法,在所述步骤(j)之后进一步包括以下步骤:

(l) 通过使用第四反应气体的热CVD,在所述第一氮化钛膜之上形成第二氮化钛膜。

5. 根据权利要求1所述的半导体器件的制造方法,其中所述第一反应气体为 $TiCl_4$ 气

体。

6. 根据权利要求 3 所述的半导体器件的制造方法, 其中所述第二反应气体为 H<sub>2</sub> 气体。
7. 根据权利要求 1 所述的半导体器件的制造方法, 其中所述第三反应气体为 NH<sub>3</sub> 气体。
8. 根据权利要求 4 所述的半导体器件的制造方法, 其中所述第四反应气体为 TiCl<sub>4</sub> 气体和 NH<sub>3</sub> 气体。
9. 根据权利要求 1 所述的半导体器件的制造方法, 其中将所述步骤 (h) 重复多次。
10. 根据权利要求 1 或 3 所述的半导体器件的制造方法, 其中将所述步骤 (h) 到 (j) 重复多次。
11. 根据权利要求 1 所述的半导体器件的制造方法, 在所述步骤 (f) 和步骤 (g) 之间进一步包括以下步骤 :
  - (m) 利用第七反应气体, 对所述开口部分的底部进行干法清洗。
12. 根据权利要求 11 所述的半导体器件的制造方法, 其中所述第七反应气体包含 HF 气体、NF<sub>3</sub> 气体、NH<sub>3</sub> 气体和 H<sub>2</sub> 气体中的至少任意一种。
13. 根据权利要求 11 所述的半导体器件的制造方法, 在所述步骤 (m) 到步骤 (g) 之间进一步包括以下步骤 :
  - (n) 对所述半导体衬底进行热处理。
14. 根据权利要求 1 所述的半导体器件的制造方法, 其中所述开口部分的底部在硅化镍层、镍合金硅化物层、硅化钴层、硅化钨层或硅化铂层之上开口。
15. 一种半导体器件的制造方法, 其中具有第一栅电极的第一场效应晶体管通过元件隔离物而与具有第二栅电极的第二场效应晶体管电隔离, 并且在所述元件隔离物之上延伸的第二栅电极的引出部分经由导电部件而与用作所述第一场效应晶体管的源极或漏极的半导体区域电耦合, 所述方法包括以下步骤 :
  - (a) 在半导体衬底的主表面中形成所述元件隔离物以及通过所述元件隔离物电隔离的第一和第二有源区域 ;
  - (b) 在所述第一有源区域中形成所述第一场效应晶体管的所述第一栅电极, 在所述第二有源区域中形成所述第二场效应晶体管的所述第二栅电极, 以及使所述第二栅电极的引出部分在所述元件隔离物之上延伸 ;
  - (c) 在所述步骤 (b) 之后, 在所述半导体衬底的主表面之上形成第一绝缘膜, 并对所述第一绝缘膜进行各向异性刻蚀以在所述第一和第二栅电极的侧壁之上形成由所述第一绝缘膜制成的侧壁 ;
  - (d) 在所述步骤 (c) 之后, 在所述第一场效应晶体管的所述第一栅电极和用作源极或漏极的半导体区域的表面以及在所述第二场效应晶体管的所述第二栅电极和用作源极或漏极的半导体区域的表面之上形成硅化物层 ;
  - (e) 在所述步骤 (d) 之后, 在所述半导体衬底的主表面之上沉积第二绝缘膜 ;
  - (f) 通过刻蚀在用作所述第一场效应晶体管的源极或漏极的半导体区域的一部分以及所述第二场效应晶体管的第二栅电极的引出部分的一部分之上延伸的区域中的第二绝缘膜, 形成开口部分, 在用作所述第一场效应晶体管的源极或漏极的半导体区域之上的硅化物层的一部分以及在所述第二场效应晶体管的第二栅电极的引出部分之上的硅化物层的一部分从所述开口部分中暴露 ;

(g) 将所述半导体衬底放置在膜形成装置的第一室的晶片台之上，并利用供给到所述第一室中的第七反应气体对所述开口部分的底部进行干法清洗；

(h) 将所述半导体衬底放置在所述膜形成装置的第二室的晶片台之上，并且之后对所述半导体衬底进行热处理；

(i) 将所述半导体衬底放置在所述膜形成装置的第三室的晶片台之上；

(j) 通过使用第一反应气体的热反应，在所述开口部分的底部之上形成第一钛膜；

(k) 通过使用所述第一反应气体的等离子体反应，在所述第一钛膜之上形成第二钛膜；

(l) 利用含氮的第三反应气体，使所述第二钛膜的表面经受热氮化；以及

(m) 利用所述第三反应气体，使所述第二钛膜的表面经受第二等离子体处理，以在所述第二钛膜的表面之上形成第一氮化钛膜，

其中所述步骤 (j)、步骤 (k)、步骤 (l) 和步骤 (m) 在所述第三室中执行，

其中所述步骤 (l) 中的热氮化时间为 0-75 秒，以及

其中所述步骤 (m) 中的第二等离子体处理时间为 25-75 秒。

16. 根据权利要求 15 所述的半导体器件的制造方法，其中所述步骤 (m) 中形成的第一氮化钛膜具有比对应的化学计量组分的氮含量更大的氮含量。

17. 根据权利要求 15 所述的半导体器件的制造方法，在所述步骤 (k) 和步骤 (l) 之间进一步包括以下步骤：(n) 利用第二反应气体，使所述第二钛膜的表面经受第一等离子体处理，

其中所述步骤 (n) 中的第一等离子体处理时间为 5-30 秒。

18. 根据权利要求 15 所述的半导体器件的制造方法，其中所述第一反应气体为  $TiCl_4$  气体。

19. 根据权利要求 17 所述的半导体器件的制造方法，其中所述第二反应气体为  $H_2$  气体。

20. 根据权利要求 15 所述的半导体器件的制造方法，其中所述第三反应气体为  $NH_3$  气体。

21. 根据权利要求 15 所述的半导体器件的制造方法，其中所述第七反应气体包含  $HF$  气体、 $NF_3$  气体、 $NH_3$  气体和  $H_2$  气体中的至少任意一种。

22. 根据权利要求 15 所述的半导体器件的制造方法，其中将所述步骤 (k) 重复多次。

23. 根据权利要求 15 或 17 所述的半导体器件的制造方法，其中将所述步骤 (k) 到 (m) 重复多次。

24. 根据权利要求 15 所述的半导体器件的制造方法，其中所述开口部分的底部在硅化镍层、镍合金硅化物层、硅化钴层、硅化钨层或硅化铂层之上开口。

25. 一种半导体器件的制造方法，其中具有第一栅电极的第一场效应晶体管通过元件隔离物而与具有第二栅电极的第二场效应晶体管电隔离，并且在所述元件隔离物之上延伸的第二栅电极的引出部分经由导电部件而与用作所述第一场效应晶体管的源极或漏极的半导体区域电耦合，所述方法包括以下步骤：

(a) 在半导体衬底的主表面中形成所述元件隔离物以及通过所述元件隔离物电隔离的第一和第二有源区域；

(b) 在所述第一有源区域中形成所述第一场效应晶体管的所述第一栅电极,在所述第二有源区域中形成所述第二场效应晶体管的所述第二栅电极,以及使所述第二栅电极的引出部分在所述元件隔离物之上延伸;

(c) 在所述步骤 (b) 之后,在所述半导体衬底的主表面之上形成第一绝缘膜,并对所述第一绝缘膜进行各向异性刻蚀以在所述第一和第二栅电极的侧壁之上形成由所述第一绝缘膜制成的侧壁;

(d) 在所述步骤 (c) 之后,在所述第一场效应晶体管的所述第一栅电极和用作源极或漏极的半导体区域的表面以及在所述第二场效应晶体管的所述第二栅电极和用作源极或漏极的半导体区域的表面之上形成硅化物层;

(e) 在所述步骤 (d) 之后,在所述半导体衬底的主表面之上沉积第二绝缘膜;

(f) 通过刻蚀在用作所述第一场效应晶体管的源极或漏极的半导体区域的一部分以及所述第二场效应晶体管的第二栅电极的引出部分的一部分之上延伸的区域中的第二绝缘膜,形成开口部分,在用作所述第一场效应晶体管的源极或漏极的半导体区域之上的硅化物层的一部分以及在所述第二场效应晶体管的第二栅电极的引出部分之上的硅化物层的一部分从所述开口部分中暴露;

(g) 通过使用第一反应气体的等离子体反应,在所述开口部分的底部之上形成第二钛膜;

(h) 利用含氮的第三反应气体,使所述第二钛膜的表面经受热氮化;

(i) 利用所述第三反应气体,使所述第二钛膜的表面经受第二等离子体处理,以在所述第二钛膜的表面之上形成第一氮化钛膜;

(j) 使用第五反应气体和第一还原气体,通过 CVD 在所述第一氮化钛膜之上形成金属成核膜;以及

(k) 使用第六反应气体和第二还原气体,通过 CVD 在所述金属成核膜之上形成钛膜;

其中所述步骤 (h) 中的热氮化时间为 0–75 秒,以及

其中所述步骤 (i) 中的第二等离子体处理时间为 25–75 秒。

26. 根据权利要求 25 所述的半导体器件的制造方法,其中所述步骤 (j) 包括多次重复以下过程:利用所述第五反应气体通过 CVD 在所述第一氮化钛膜之上形成所述金属成核膜,以及利用所述第一还原气体对所述金属成核膜进行还原。

27. 根据权利要求 25 所述的半导体器件的制造方法,其中所述步骤 (k) 中的所述半导体衬底的温度为 400°C 或更低。

28. 根据权利要求 25 所述的半导体器件的制造方法,其中所述第五反应气体为 WF<sub>6</sub> 气体,而所述第一还原气体为含 SiH<sub>4</sub> 气体的气体。

29. 根据权利要求 25 所述的半导体器件的制造方法,其中所述第五反应气体为 WF<sub>6</sub> 气体,而所述第一还原气体为含 B<sub>2</sub>H<sub>6</sub> 气体的气体。

30. 根据权利要求 29 所述的半导体器件的制造方法,其中所述金属成核膜具有非晶结构。

31. 根据权利要求 25 所述的半导体器件的制造方法,其中所述第六反应气体为 WF<sub>6</sub> 气体,而所述第二还原气体为 H<sub>2</sub> 气体。

32. 根据权利要求 25 所述的半导体器件的制造方法,其中所述金属成核膜具有

0.01 μm 或更小的厚度。

33. 根据权利要求 25 所述的半导体器件的制造方法, 其中所述步骤 (i) 中形成的所述第一氮化钛膜具有比对应的化学计量组分的氮含量更大的氮含量。

34. 根据权利要求 25 所述的半导体器件的制造方法, 在所述步骤 (g) 和步骤 (h) 之间进一步包括以下步骤 :

- (1) 利用第二反应气体使所述第二钛膜的表面经受第一等离子体处理, 其中所述步骤 (1) 中的第一等离子体处理时间为 5–30 秒。

35. 根据权利要求 25 所述的半导体器件的制造方法, 在所述步骤 (i) 和步骤 (j) 之间进一步包括以下步骤 :

- (m) 利用第四反应气体, 通过热 CVD, 在所述第一氮化钛膜之上形成第二氮化钛膜。

36. 根据权利要求 25 所述的半导体器件的制造方法, 其中所述第一反应气体为 TiCl<sub>4</sub> 气体。

37. 根据权利要求 34 所述的半导体器件的制造方法, 其中所述第二反应气体为 H<sub>2</sub> 气体。

38. 根据权利要求 25 所述的半导体器件的制造方法, 其中所述第三反应气体为 NH<sub>3</sub> 气体。

39. 根据权利要求 35 所述的半导体器件的制造方法, 其中所述第四反应气体为 TiCl<sub>4</sub> 气体和 NH<sub>3</sub> 气体。

40. 一种半导体器件的制造方法, 其中具有第一栅电极的第一场效应晶体管通过元件隔离物而与具有第二栅电极的第二场效应晶体管电隔离, 并且在所述元件隔离物之上延伸的第二栅电极的引出部分经由导电部件而与用作所述第一场效应晶体管的源极或漏极的半导体区域电耦合, 所述方法包括以下步骤 :

(a) 在半导体衬底的主表面上形成所述元件隔离物以及通过所述元件隔离物电隔离的第一和第二有源区域 ;

(b) 在所述第一有源区域中形成所述第一场效应晶体管的所述第一栅电极, 在所述第二有源区域中形成所述第二场效应晶体管的所述第二栅电极, 以及使所述第二栅电极的引出部分在所述元件隔离物之上延伸 ;

(c) 在所述步骤 (b) 之后, 在所述半导体衬底的主表面上形成第一绝缘膜, 并对所述第一绝缘膜进行各向异性刻蚀以在所述第一和第二栅电极的侧壁之上形成由所述第一绝缘膜制成的侧壁 ;

(d) 在所述步骤 (c) 之后, 在所述第一场效应晶体管的所述第一栅电极和用作源极或漏极的半导体区域的表面以及在所述第二场效应晶体管的所述第二栅电极和用作源极或漏极的半导体区域的表面之上形成硅化物层 ;

- (e) 在所述步骤 (d) 之后, 在所述半导体衬底的主表面上沉积第二绝缘膜 ;

(f) 通过刻蚀在用作所述第一场效应晶体管的源极或漏极的半导体区域的一部分以及所述第二场效应晶体管的第二栅电极的引出部分的一部分之上延伸的区域中的第二绝缘膜, 形成开口部分, 在用作所述第一场效应晶体管的源极或漏极的半导体区域之上的硅化物层的一部分以及在所述第二场效应晶体管的第二栅电极的引出部分之上的硅化物层的一部分从所述开口部分中暴露 ;

(g) 通过使用第一反应气体的等离子体反应,在所述开口部分的底部之上形成第二钛膜;

(h) 利用含氮的第三反应气体,使所述第二钛膜的表面经受热氮化处理;

(i) 使用所述第三反应气体,使所述第二钛膜的表面经受第二等离子体处理,以在所述第二钛膜的表面之上形成第一氮化钛膜;

(j) 在所述第一氮化钛膜之上形成种子层;以及

(k) 通过镀覆,在所述种子层之上形成钛膜,

其中所述步骤 (h) 中的热氮化时间为 0-75 秒,以及

其中所述步骤 (i) 中的第二等离子体处理时间为 25-75 秒。

41. 根据权利要求 40 所述的半导体器件的制造方法,其中所述钛膜为铜膜。

42. 根据权利要求 40 所述的半导体器件的制造方法,其中所述步骤 (i) 中形成的所述第一氮化钛膜具有比对应的化学计量组分的氮含量更大的氮含量。

43. 根据权利要求 40 所述的半导体器件的制造方法,在所述步骤 (g) 和步骤 (h) 之间进一步包括以下步骤:

(l) 利用第二反应气体,使所述第二钛膜的表面经受第一等离子体处理,

其中所述步骤 (l) 中的第一等离子体处理时间为 5-30 秒。

44. 根据权利要求 40 所述的半导体器件的制造方法,在所述步骤 (i) 和步骤 (j) 之间进一步包括以下步骤:

(m) 利用第四反应气体,通过热 CVD,在所述第一氮化钛膜之上形成第二氮化钛膜。

45. 根据权利要求 40 所述的半导体器件的制造方法,其中所述第一反应气体为  $TiCl_4$  气体。

46. 根据权利要求 43 所述的半导体器件的制造方法,其中所述第二反应气体为  $H_2$  气体。

47. 根据权利要求 40 所述的半导体器件的制造方法,其中所述第三反应气体为  $NH_3$  气体。

48. 根据权利要求 44 所述的半导体器件的制造方法,其中所述第四反应气体为  $TiCl_4$  气体和  $NH_3$  气体。

49. 一种半导体器件的制造方法,其中具有第一栅电极的第一场效应晶体管通过元件隔离物而与具有第二栅电极的第二场效应晶体管电隔离,并且在所述元件隔离物之上延伸的第二栅电极的引出部分经由导电部件而与用作所述第一场效应晶体管的源极或漏极的半导体区域电耦合,所述方法包括以下步骤:

(a) 在半导体衬底的主表面上形成所述元件隔离物以及通过所述元件隔离物电隔离的第一和第二有源区域;

(b) 在所述第一有源区域中形成所述第一场效应晶体管的所述第一栅电极,在所述第二有源区域中形成所述第二场效应晶体管的所述第二栅电极,以及使所述第二栅电极的引出部分在所述元件隔离物之上延伸;

(c) 在所述步骤 (b) 之后,在所述半导体衬底的主表面上形成第一绝缘膜,并对所述第一绝缘膜进行各向异性刻蚀以在所述第一和第二栅电极的侧壁之上形成由所述第一绝缘膜制成的侧壁;

(d) 在所述步骤 (c) 之后, 在所述第一场效应晶体管的所述第一栅电极和用作源极或漏极的半导体区域的表面以及在所述第二场效应晶体管的所述第二栅电极和用作源极或漏极的半导体区域的表面之上形成硅化物层;

(e) 在所述步骤 (d) 之后, 在所述半导体衬底的主表面之上沉积第二绝缘膜;

(f) 通过刻蚀在用作所述第一场效应晶体管的源极或漏极的半导体区域的一部分以及所述第二场效应晶体管的第二栅电极的引出部分的一部分之上延伸的区域中的第二绝缘膜, 形成开口部分, 在用作所述第一场效应晶体管的源极或漏极的半导体区域之上的硅化物层的一部分以及在所述第二场效应晶体管的第二栅电极的引出部分之上的硅化物层的一部分从所述开口部分中暴露;

(g) 将所述半导体衬底放置在膜形成装置的第一室的晶片台之上, 并利用供给到所述第一室中的第七反应气体对所述开口部分的底部进行干法清洗;

(h) 将所述半导体衬底放置在所述膜形成装置的第二室的晶片台之上, 并且之后对所述半导体衬底进行热处理;

(i) 将所述半导体衬底放置在所述膜形成装置的第三室的晶片台之上;

(j) 通过使用第一反应气体的热反应, 在所述开口部分的底部之上形成第一钛膜;

(k) 通过使用所述第一反应气体的等离子体反应, 在所述第一钛膜之上形成第二钛膜;

(l) 利用含氮的第三反应气体, 使所述第二钛膜的表面经受热氮化;

(m) 利用所述第三反应气体, 使所述第二钛膜的表面经受第二等离子体处理, 以在所述第二钛膜的表面之上形成第一氮化钛膜;

(n) 将所述半导体衬底放置在所述膜形成装置的第四室的晶片台之上, 并在所述第一氮化钛膜之上形成种子层; 以及

(o) 通过镀覆, 在所述种子层之上形成钛膜,

其中所述步骤 (j)、步骤 (k)、步骤 (l) 和步骤 (m) 在所述第三室中执行,

其中所述步骤 (l) 中的热氮化时间为 0-75 秒, 以及

其中所述步骤 (m) 中的第二等离子体处理时间为 25-75 秒。

50. 根据权利要求 49 所述的半导体器件的制造方法, 其中所述钛膜为铜膜, 并且所述种子层为铜或钌层。

51. 根据权利要求 49 所述的半导体器件的制造方法, 其中所述步骤 (m) 中形成的第一氮化钛膜具有比对应的化学计量组分的氮含量更大的氮含量。

52. 根据权利要求 49 所述的半导体器件的制造方法, 在所述步骤 (k) 和步骤 (l) 之间进一步包括以下步骤:

(p) 利用第二反应气体, 使所述第二钛膜的表面经受第一等离子体处理,

其中所述步骤 (p) 中的第一等离子体处理时间为 5-30 秒。

53. 根据权利要求 49 所述的半导体器件的制造方法, 其中所述第一反应气体为  $TiCl_4$  气体。

54. 根据权利要求 52 所述的半导体器件的制造方法, 其中所述第二反应气体为  $H_2$  气体。

55. 根据权利要求 49 所述的半导体器件的制造方法, 其中所述第三反应气体为  $NH_3$  气

体。

56. 根据权利要求 49 所述的半导体器件的制造方法, 其中所述第七反应气体包含 HF 气体、NF<sub>3</sub> 气体、NH<sub>3</sub> 气体和 H<sub>2</sub> 气体中的至少任意一种。

## 半导体器件的制造方法

### [0001] 相关申请的交叉引用

[0002] 在此通过参考引入 2007 年 6 月 15 日提交的日本专利申请 No. 2007-158238 的全部公开内容,包括说明书、附图和摘要。

### 技术领域

[0003] 本发明涉及一种半导体器件的制造技术,特别地涉及一种在应用于半导体器件的以下制造步骤时有效的技术,其中该制造步骤用于经由阻挡金属膜在绝缘膜中打开的连接孔中填充金属膜。

### 背景技术

[0004] 日本专利公开 No. 2004-363402 公开了一种方法,其中至少在穿透绝缘层的接触孔的内壁和底部上形成 Ti 层,利用 N 基氮化该 Ti 层以在 Ti 层上形成 TiN 层,以及在接触孔中填充导电层(参见日本专利公开 No. 2004-363402, 第 0026-0028 段, 图 4 和图 5)。

[0005] 日本专利公开 No. 2006-179645 公开了一种方法,其中在层间绝缘膜中形成接触孔,形成 Ti 膜使之覆盖该接触孔,以及使 Ti 膜经受等离子体氮化处理以在接触孔的底表面上形成 TiN 膜(参见日本专利公开 No. 2006-179645, 第 0038-0040 段, 图 2)。

[0006] 日本专利公开 No. 2005-79543 公开了一种方法,其中通过 CVD 在衬底之上形成 Ti 膜,使 Ti 膜的表面氧化,以及使 Ti 膜的表面氮化以形成 TiN 膜(参见日本专利公开 No. 2005-79543, 第 0044-0048 段, 图 5)。

### 发明内容

[0007] 在半导体器件中,半导体衬底和互连经由在穿透位于它们之间的绝缘膜的连接孔中填充的导电部件例如钨或铜制成的插塞而彼此耦合。在与连接孔的底部邻接的半导体衬底的表面上,形成允许形成浅结的低电阻硅化物层。在硅化物层中,硅化镍(NiSi)层具有低至  $14\text{--}20 \Omega/\text{cm}$  的电阻,并且可以通过硅化技术在相对较低的温度下例如在  $400\text{--}600^\circ\text{C}$  下形成,所以近来已经对针对需要变小的半导体器件采用硅化镍层进行了研究。

[0008] 通常的实践是在连接孔中填充的插塞与在半导体衬底的表面之上形成的硅化镍层之间形成阻挡金属膜,该阻挡金属膜是通过在钛膜上沉积氮化钛膜并从而具有膜层叠结构来得到的。钛膜用作硅化镍层的表面的还原材料,因为在其固体溶液中可以包含原子百分比高达 25% 的氧原子。钛膜具有降低与硅化镍层的接触电阻的功能。另一方面,氮化钛膜具有抑制或者防止插塞的构成原子扩散的功能。

[0009] 然而,通过在钛膜上沉积氮化钛膜并从而具有膜层叠结构来得到的阻挡金属膜存在如下所述的各种技术问题。

[0010] 一般而言,通过使用  $\text{TiCl}_4$  气体和  $\text{H}_2$  气体的 PECVD(等离子体增强化学气相沉积)或 CVD 来形成钛膜,而通过使用  $\text{TiCl}_4$  气体和  $\text{NH}_3$  气体的 CVD 来形成氮化钛膜。考虑到硅化镍层的热电阻,这些膜的形成温度必须设定在  $550^\circ\text{C}$  或更低。当在  $550^\circ\text{C}$  或更低的这种低

温下形成钛膜和氮化钛膜时，氯气即原材料气体留在具有膜层叠结构的阻挡金属膜中并且增加了阻挡金属膜的电阻率。这导致插塞和硅化镍层之间的接触电阻增加。除了这种问题之外，还有另外的问题发生，例如，由于留在阻挡金属膜中的氯气所引起的钛膜和氮化钛膜之间的剥离，或者由于留在阻挡金属膜中的氯气释放到空气中所导致的氮化钛膜中的微裂纹。

[0011] 当在连接孔中填充将作为插塞的钨膜时，在形成阻挡金属膜上部的氮化钛膜上沉积钨膜。在利用  $H_2$  气体还原  $WF_6$  气体的同时，通过 CVD 形成钨膜，而包含在  $WF_6$  气体中的氟甚至经由氮化钛膜的晶界穿透钛膜并可能引起钛膜的起泡或剥离。氮化钛膜形成在钛膜和钨膜之间，并且通过加厚氮化钛膜可以防止氟的穿透。然而，阻挡金属膜的电阻随着氮化钛膜的加厚而增大，所以必须将氮化钛膜的厚度制成薄至 10nm 或更小。因此无法容易地防止包含在  $WF_6$  气体中的氟的穿透。

[0012] 由于阻挡金属膜的形成，在硅化镍层的表面上形成氧化物膜，并出现了一些妨碍形成阻挡金属膜下部的硅化镍膜与钛膜之间导电的部分。本发明人已证实：例如在彼此相邻形成并且具有由多晶硅膜制成的栅电极和在栅电极之上形成的硅化镍层的第一和第二场效应晶体管中，这种不导电部分往往出现在共享接触处，该共享接触由与第一场效应晶体管的栅电极相接触形成的连接孔和与第二场效应晶体管的漏极（或源极）相接触形成的连接孔共同保持；以及当形成第一场效应晶体管的栅电极的多晶硅膜或硅化镍层的端部由于过刻蚀而暴露时也经常出现这种不导电部分。

[0013] 当使用铜作为将填充在连接孔中的导电部件来形成插塞时，在连接孔内部形成由铜或钌制成的种子层，然后通过电镀将铜膜置于种子层之上，以将铜膜填充在连接孔中。然而阻挡金属膜的表面上的污染物等会阻碍均匀种子层的形成以及利用铜膜对连接孔的完全填充。这会导致插塞的导电不良。

[0014] 通过在钛膜上沉积氮化钛膜并因而具有膜层叠结构所得到的阻挡金属膜，通过使用多室型膜形成装置的连续膜形成来形成，以便提供钛膜与氮化钛膜之间良好的界面状态。但与使用另一半导体材料的膜形成相比，钛膜和氮化钛膜的形成伴随着相对大量的外来杂质的生成。这不可避免地需要在每当完成在 500 个半导体晶片之上的钛膜和氮化钛膜的形成时就终止膜形成装置的操作并进行室清洗。这就限制了目标操作速率的实现。另外，当终止了用于形成钛膜的室或用于形成氮化钛膜的室中的任一个室时，即使另一室可以使用，膜形成装置也必须停止。这种室的终止造成膜形成装置的操作速率的进一步降低。

[0015] 本发明的目的之一在于提供一种技术，其能够避免在通过在钛膜上沉积氮化钛膜并因而具有膜层叠结构所得到的阻挡金属膜与经由该阻挡金属膜在绝缘膜中打开的连接孔中填充的金属膜之间的耦合部分处的不利问题。

[0016] 本发明的另一目的在于提供一种技术，其能够提高将用于形成阻挡金属膜的多室型膜形成装置的操作速率。

[0017] 本发明的上述以及其它目的和新颖特征将从这里的说明书和附图中变得显而易见。

[0018] 接下来将简要地概述本申请所公开的发明中的典型发明。

[0019] 在本发明的一个方面，因而提供一种半导体器件的制造方法，其包括：在绝缘膜中打开连接孔，以从连接孔的底部暴露硅化物层；通过使用  $TiCl_4$  气体的热反应形成钛膜；通

过使用  $TiCl_4$  气体的等离子体反应, 在已经通过热反应形成的该钛膜之上形成钛膜; 使通过等离子体反应形成的钛膜的表面经受 5-30 秒的使用  $H_2$  气体的第一等离子体处理; 以及使所得到的表面经受 25-75 秒的使用  $NH_3$  气体的第二等离子体处理, 以形成具有比其化学计量组分的氮含量大的氮含量的氮化钛膜。

[0020] 在本发明的另一方面, 还提供一种半导体器件的制造方法, 其包括: 将半导体晶片放置在膜形成装置的第一室的晶片台上, 并对连接孔的底部进行干法清洗; 将半导体晶片放置在膜形成装置的第二室的晶片台上, 并对半导体晶片进行热处理; 将半导体晶片放置在膜形成装置的第三室的晶片台上, 通过使用  $TiCl_4$  气体的热反应在绝缘膜中打开的连接孔的底部之上形成钛膜, 通过使用  $TiCl_4$  气体的等离子体反应在已经通过热反应形成的该钛膜之上形成钛膜, 使等离子体反应形成的钛膜的表面经受利用  $H_2$  气体的第一等离子体处理, 并使等离子体反应形成的钛膜的表面经受利用  $NH_3$  气体的第二等离子体处理, 以形成具有比其化学计量组分的氮含量大的氮含量的氮化钛膜; 将半导体晶片放置在膜形成装置的第四室的晶片台上, 以在氮化钛膜之上形成种子层; 以及通过电镀在该种子层之上形成金属膜。

[0021] 在本发明的又一方面, 还提供一种半导体器件的制造方法, 其包括: 将半导体晶片放置在第一室的晶片台上, 并对连接孔的底部进行干法清洗; 将半导体晶片放置在第二室的晶片台上, 并对半导体晶片进行热处理; 将半导体晶片放置在第三室的晶片台上, 通过使用  $TiCl_4$  气体的热反应在绝缘膜中打开的连接孔的底部之上形成钛膜, 通过使用  $TiCl_4$  气体的等离子体反应在已经通过热反应形成的该钛膜之上形成钛膜, 使等离子体反应形成的钛膜的表面经受利用  $H_2$  气体的第一等离子体处理, 并使等离子体反应形成的钛膜的表面经受利用  $NH_3$  气体的第二等离子体处理, 以形成具有比其化学计量组分的氮含量大的氮含量的氮化钛膜。

[0022] [ 本发明的优势 ]

[0023] 接下来将简要地描述本申请公开的发明中的典型发明所得到的优势。

[0024] 本发明使得可以避免在通过在钛膜之上层叠氮化钛膜而具有膜层叠结构所得到的阻挡金属膜与经由阻挡金属膜在绝缘膜中打开的连接孔中填充的钨或铜膜之间的耦合部分处的不利问题。本发明还使得可以提高将用于形成阻挡金属膜的多室型膜形成装置的操作速率。

## 附图说明

[0025] 图 1 是示出根据本发明的一个实施例的 SRAM(静态随机访问存储器) 的存储单元的等效电路图;

[0026] 图 2 是示出根据本发明的一个实施例的 SRAM 的制造方法的半导体衬底的局部平面图;

[0027] 图 3 是示出根据本发明的一个实施例的 SRAM 的制造方法的半导体衬底的局部横截面图, 其中图 3(a) 示出存储单元区域的一部分(图 2 的 A-A' 线), 并且图 3(b) 示出外围电路区域的一部分;

[0028] 图 4 是示出与图 2 所示相同的部分在图 2 和图 3 步骤之后的制造步骤中的局部平面图;

[0029] 图 5 是示出与图 3 所示相同的部分在图 2 和图 3 步骤之后的制造步骤中的局部横截面图；

[0030] 图 6 是示出与图 3 所示相同的部分在图 4 和图 5 步骤之后的制造步骤中的局部横截面图；

[0031] 图 7 是示出与图 2 所示相同的部分在图 6 步骤之后的制造步骤中的局部平面图；

[0032] 图 8 是示出与图 3 所示相同的部分在图 6 步骤之后的制造步骤中的局部横截面图；

[0033] 图 9 是示出与图 3 所示相同的部分在图 7 和图 8 步骤之后的制造步骤中的局部横截面图；

[0034] 图 10 是根据本发明的一个实施例的阻挡金属膜形成装置的示意平面图；

[0035] 图 11 示出在根据本发明的一个实施例的阻挡金属膜形成步骤中的第一膜形成方法的工艺步骤；

[0036] 图 12 是示出根据本发明的一个实施例在具有直径为 80nm 的接触孔的底部上形成的热反应 Ti 膜的厚度与热处理时间之间的关系的图示；

[0037] 图 13 是示出在图 9 的制造步骤之后的 SRAM 制造步骤期间接触孔内部的插塞和阻挡金属膜的局部放大的横截面图；

[0038] 图 14 示出在根据本发明的一个实施例的阻挡金属膜形成步骤中的第二膜形成方法的工艺步骤；

[0039] 图 15 是示出与图 13 所示相同的部分在图 9 的制造步骤之后的 SRAM 制造步骤期间的局部放大的横截面图；

[0040] 图 16 示出在根据本发明的一个实施例的阻挡金属膜形成步骤中的第三膜形成方法的工艺步骤；

[0041] 图 17 是示出与图 13 所示相同的部分在图 9 的制造步骤之后的 SRAM 制造步骤期间的局部放大的横截面图；

[0042] 图 18 是示出与图 13 所示相同的部分在图 9 的制造步骤之后的 SRAM 制造步骤期间的局部放大的横截面图；

[0043] 图 19 示出根据本发明的一个实施例的阻挡金属膜形成步骤中的另一工艺步骤；

[0044] 图 20 是示出在图 13、图 15、图 17 或图 18 所示制造步骤之后的 SRAM 制造步骤期间接触孔内部的局部放大的横截面图；

[0045] 图 21 示出在根据本发明的一个实施例的钨膜形成步骤中的第一膜形成方法的工艺步骤；

[0046] 图 22 示出在根据本发明的一个实施例的钨膜形成步骤中的第二膜形成方法的工艺步骤；

[0047] 图 23 示出在根据本发明的一个实施例的钨膜形成步骤中的第三膜形成方法的工艺步骤；

[0048] 图 24 是示出与图 3 所示相同的部分在图 20 的制造步骤之后的制造步骤中的局部横截面图；

[0049] 图 25 是示出与图 2 所示相同的部分在图 24 的制造步骤之后的制造步骤中的局部平面图；

[0050] 图 26 是示出与图 3 所示相同的部分在图 24 的制造步骤之后的制造步骤中的局部横截面图；

[0051] 图 27 是示出与图 2 所示相同的部分在图 25 和图 26 的制造步骤之后的制造步骤中的局部平面图；

[0052] 图 28 是示出与图 3 所示相同的部分在图 25 和图 26 的制造步骤之后的制造步骤中的局部横截面图；

[0053] 图 29 是示出根据本发明的一个实施例的在插塞和硅化镍层之间的接触电阻的曲线图。

## 具体实施方式

[0054] 在下述实施例中，必要时为了方便起见，将分成多个部分或多个实施例来进行描述。除非另外特别指出，否则这些多个部分或实施例彼此并非独立，而是存在这样的关系：一个部分或实施例是另一个部分或实施例的部分或全部的修改示例、细节或补充描述。在下述实施例中，当涉及元件数目（包括数目、数值、数量和范围）时，除非另外特别指出或者在原则上该数目明显限于特定数目的情况下，否则该元件数目并不限于该特定数目，而是可以大于或小于该特定数目。而且在下述实施例中，除非另外特别指出或者在原则上它们明显是必需的情况下，否则不用说，构成元件（包括要素步骤）并不总是必需的。类似地，在下述实施例中，当涉及构成元件的形状或位置关系时，除非另外特别指出或者在原则上完全不同的情况下，否则也包括那些基本类似或相似的形状或位置关系。这也适用于上述数值和范围。

[0055] 在本实施例中，将表示场效应晶体管的 MIS・FET（金属绝缘体半导体场效应晶体管）缩写为 MIS，将 p 沟道 MIS・FET 缩写为 pMIS，将 n 沟道 MIS・FET 缩写为 nMIS。即使为了方便起见使用“MOS”，也并不排除非氧化物膜。在本实施例中，术语“晶片”主要指“单晶 Si（硅）晶片”，但术语“晶片”还指用于在其上形成集成电路的绝缘膜衬底或 SOI（绝缘体上硅）晶片。晶片的形状不限于圆盘状或基本圆盘状，而是还可以包括方形和矩形晶片。除非另外很明显不是或者特别指出不是，否则不用说，术语“硅膜”、“硅部分”、“硅部件”等不仅是指由纯硅构成的膜、部分或部件，而且指包含杂质的膜、部分或部件，以硅作为主要组分的诸如 SiGe 或 SiGeC 的合金（包括应变硅），以及包含添加剂的膜、部分或部件。除非另外很明显不包括或者特别指出不包括，否则不用说，术语“多晶硅”不仅包括典型的多晶硅而且包括非晶硅等。

[0056] 在所有用于描述下述实施例的附图中，将通过类似的参考标号指示具有类似功能的元件，并将省略对其的重复描述。以下将基于附图具体地描述本发明的实施例。

[0057] 在 Ichinose 等人的日本专利申请 No. 2006-30704（2006 年 1 月 11 日提交）、Ichinose 等人的日本专利申请 No. 2006-12355（2006 年 1 月 20 日提交）、Ichinose 等人的日本专利申请 No. 2006-107780（2006 年 4 月 10 日提交）或 Ichinose 等人的日本专利申请 No. 2006-138949（2006 年 5 月 18 日提交）中已公开干法清洗技术，所以这里原则上将不进行重复描述。

[0058] 在本实施例中，将本发明人做出的发明应用于 SRAM 的存储单元，这是对应于本发明背景技术的一个产业领域。

[0059] 图 1 是示出根据本实施例的 SRAM 的存储单元的等效电路图。

[0060] 如图所示,存储单元 MC 放置在一对互补数据线(数据线 DL, 数据线  $\overline{DL}$ )与字线 WL 之间的交叉处,并且具有一对驱动 MIS(Dr1 和 Dr2)、一对负载 MIS(Ld1 和 Ld2) 和一对传输 MIS(Tr1 和 Tr2)。驱动 MIS(Dr1 和 Dr2) 和传输 MIS(Tr1 和 Tr2) 由 nMIS 制成,而负载 MIS(Ld1 和 Ld2) 由 pMIS 制成。

[0061] 在构成存储单元 MC 的六个 MIS 中,驱动 MIS(Dr1) 和负载 MIS(Ld1) 形成 CMOS 反相器 INV1,而驱动 MIS(Dr2) 和负载 MIS(Ld2) 形成 CMOS 反相器 INV2。用于该一对 CMOS 反相器 INV1 和 INV2 的共有输入 / 输出端子(存储节点 A 和 B) 交叉耦合,并构成触发器电路作为用于存储一位数据的数据存储单元。该触发器电路的一个输入 / 输出端子(存储节点 A) 耦合到传输 MIS(Tr1) 的源极和漏极中的一个,另一输入 / 输出端子(存储节点 B) 耦合到传输 MIS(Tr2) 的源极和漏极中的一个。

[0062] 传输 MIS(Tr1) 的源极和漏极中的另一个耦合到数据线 DL,并且传输 MIS(Tr2) 的源极和漏极中的另一个耦合到数据线  $\overline{DL}$ 。触发器电路的一端(负载 MIS(Ld1 和 Ld2) 的各源极)耦合到电源电压(Vcc),另一端(驱动 MIS(Dr1 和 Dr2) 的各源极)耦合到参考电压(Vss)。

[0063] 接下来将描述上述电路的操作。当 CMOS 反相器 INV1 的存储节点 A 的电位为高(“H”)时,驱动 MIS(Dr2) 导通,使得 CMOS 反相器 INV2 的存储节点 B 的电位变为低(“L”)。相应地,驱动 MIS(Dr1) 截止并且存储节点 A 的电位保持为高“H”。这意味着存储节点 A 和 B 二者的状态被锁存器电路保持,其中成对的 CMOS 反相器 INV1 和 INV2 已经交叉耦合,并且在施加电源电压期间数据被存储。

[0064] 字线 WL 耦合到传输 MIS(Tr1 和 Tr2) 的相应栅电极,并由该字线 WL 控制传输 MIS(Tr1 和 Tr2) 的导通或非导通。具体而言,当字线 WL 的电位为高(“H”)时,传输 MIS(Tr1 和 Tr2) 导通并且触发器电路和互补数据线(数据线 DL 和  $\overline{DL}$ ) 电耦合,使得存储节点 A 和 B 的电位状态(“H”或“L”)出现在数据线 DL 和  $\overline{DL}$  上,并作为存储单元 MC 的数据读出。

[0065] 通过将字线 WL 的电位电平设置为“H”,使传输 MIS(Tr1 和 Tr2) 导通,以及将数据线 DL 和  $\overline{DL}$  的数据传送到存储节点 A 和 B,这样将数据写入到存储单元 MC 中。

[0066] 接下来将参照图 2 至图 28 按照步骤顺序描述根据本发明实施例的 SRAM 的制造方法的一个示例。图 2 至图 9 均是 SRAM 的局部平面图或局部横截面图;图 10 是阻挡金属膜形成装置的示意平面图;图 11、图 14 和图 16 示出阻挡金属膜形成步骤的工艺步骤;图 12 是示出在具有直径为 80nm 的接触孔的底部上形成的热反应 Ti 膜的厚度和热处理时间之间关系的图示;图 13、图 15、图 17 和图 18 是示出接触孔内部的插塞和阻挡金属膜的局部放大的横截面图;图 19 示出阻挡金属膜形成步骤的工艺步骤;图 20 是示出接触孔内部的局部放大的横截面图;图 21 至图 23 示出钨膜形成步骤的工艺步骤;以及图 24 至图 28 均是 SRAM 的局部平面图或局部横截面图。

[0067] 图 2 是示出对应于大致一个存储单元的区域的半导体衬底的局部平面图;图 3(a)是示出存储单元区域的一部分(图 2 的 A-A' 线)的半导体衬底的局部横截面图;图 3(b)是示出外围电路区域的一部分的半导体衬底的局部横截面图。在外围电路区域中,作为示例示出了构成逻辑电路的低击穿电压 MIS。

[0068] 首先,提供半导体衬底 1。半导体衬底 1 具有衬底 1a 和外延层 1b,衬底 1a 由具有

约  $1\text{--}10 \Omega \text{ cm}$  的电阻率的 p 型单晶硅制成，外延层 1b 例如通过外延生长形成。

[0069] 元件隔离物 2 形成在半导体衬底 1 的主表面中。元件隔离物 2 以下列方式形成。在通过利用由光刻形成的抗蚀剂图案作为掩膜对半导体衬底 1 进行刻蚀来形成具有深度例如约为  $0.3\text{--}0.5 \mu \text{m}$  的元件隔离沟槽之后，在约  $1000^\circ\text{C}$  的温度下对半导体衬底 1 进行热氧化以在沟槽的内壁上形成具有厚度例如约为  $0.01 \mu \text{m}$  的氧化硅膜。形成该氧化硅膜以便恢复刻蚀引起的对沟槽内壁的损坏，同时减轻在半导体衬底 1 与将在下一步骤中填充在沟槽内部中的绝缘膜之间的界面处产生的应力。

[0070] 在半导体衬底 1 的主表面之上，包括沟槽的内部，通过 CVD 沉积具有厚度例如约为  $0.45\text{--}0.5 \mu \text{m}$  的绝缘膜。然后通过化学机械抛光 (CMP) 对沟槽之上的绝缘膜进行抛光以将表面平坦化。

[0071] 然后，将 p 型杂质（例如硼）或 n 型杂质（例如磷）离子注入到半导体衬底 1 的主表面中，接着在约  $1000^\circ\text{C}$  下进行热处理以使杂质扩散。从而在半导体衬底 1 的主表面中形成 p 阵 4 和 n 阵 5。

[0072] 如图 2 所示，在存储单元 MC 中，在半导体衬底 1 的主表面之上形成有源区域 An1、An2、Ap1 和 Ap2，这些有源区域 An1、An2、Ap1 和 Ap2 是两个 p 阵 4 和两个 n 阵 5 的主表面。这些有源区域被其中填充有绝缘膜的元件隔离物 2 所包围。如稍后将描述的，在构成存储单元 MC 的六个 MIS（传输 MIS(Tr1 和 Tr2)、驱动 MIS(Dr1 和 Dr2) 和负载 MIS(Ld1 和 Ld2)）中，nMIS（传输 MIS(Tr1) 和驱动 MIS(Dr1)）将形成在有源区域 Ap1(p 阵 4) 之上，而 nMIS（传输 MIS(Tr2) 和驱动 MIS(Dr2)）将形成在有源区域 Ap2(p 阵 4) 之上。pMIS（负载 MIS(Ld2)）将形成在有源区域 An1(n 阵 5) 之上，pMIS（负载 MIS(Ld1)）将形成在有源区域 An2(n 阵 5) 之上。

[0073] 图 4 是示出与图 2 所示相同的部分在图 2 和图 3 的步骤之后的制造步骤中的局部平面图。图 5(a) 是示出与图 3(a) 所示相同的部分在图 2 和图 3 的步骤之后的制造步骤中的局部横截面图。图 5(b) 是示出与图 3(b) 所示相同的部分在图 2 和图 3 的步骤之后的制造步骤中的局部横截面图。

[0074] nMIS（传输 MIS(Tr1 和 Tr2)、驱动 MIS(Dr1 和 Dr2)）和 pMIS（负载 MIS(Ld1 和 Ld2)）形成在半导体衬底 1 的存储单元区域的主表面之上，而 nMIS(QnL) 和 pMIS(QpL) 形成在半导体衬底 1 的外围电路区域的主表面之上。

[0075] 首先，在利用氢氟酸型清洗溶液对半导体衬底 1 的表面 (p 阵 4 和 n 阵 5) 进行湿法清洗之后，在约  $800^\circ\text{C}$  下对衬底进行热氧化以在 p 阵 4 和 n 阵 5 的相应表面之上形成具有厚度例如约为  $6\text{nm}$  的清洁的栅绝缘膜 6。

[0076] 然后在栅绝缘膜 6 之上形成栅电极 G。栅电极 G 以下列方式形成。首先，通过 CVD 在栅绝缘膜 6 之上形成具有厚度例如约为  $0.2 \mu \text{m}$  的低电阻多晶硅膜。利用通过光刻形成的抗蚀剂图案作为掩膜，对多晶硅膜进行干法刻蚀以形成均由多晶硅膜制成的栅电极 G。

[0077] 如图 4 所示，在存储单元 MC 中，传输 MIS(Tr1) 的栅电极 G 和驱动 MIS(Dr1) 的栅电极 G 形成在有源区域 Ap1 之上，而传输 MIS(Tr2) 的栅电极 G 和驱动 MIS(Dr2) 的栅电极 G 形成在有源区域 Ap2 之上。另外，负载 MIS(Ld2) 的栅电极 G 形成在有源区域 An1 之上，而负载 MIS(Ld1) 的栅电极 G 形成在有源区域 An2 之上。负载 MIS(Ld1) 和驱动 MIS(Dr1) 具有共同的栅电极 G，并且该栅电极 G 在其端部处具有引出部分 GM1，在稍后步骤中本地互连

将耦合到该引出部分 GM1。类似地,负载 MIS(Ld2) 和驱动 MIS(Dr2) 具有共同的栅电极 G,并且该栅电极 G 在其端部处具有引出部分 GM2,在稍后步骤中本地互连将耦合到该引出部分 GM2。引出部分 GM1 和 GM2 形成在元件隔离物 2 之上。

[0078] 将 n 型杂质(例如磷)离子注入到栅电极 G 两侧上的 p 阵 4 中以形成 n<sup>-</sup>型半导体区域 7,而将 p 型杂质(例如砷)离子注入到栅电极 G 两侧上的 n 阵 5 中以形成 p<sup>-</sup>型半导体区域 8。

[0079] 图 6(a) 是示出与图 3(a) 所示相同的部分在图 4 和图 5 的步骤之后的制造步骤中的局部横截面图,图 6(b) 是示出与图 3(b) 所示相同的部分在图 4 和图 5 的步骤之后的制造步骤中的局部横截面图。

[0080] 在通过 CVD 在半导体衬底 1 的主表面之上沉积具有厚度例如约为 0.01 μm 的氧化硅膜 9 之后,沉积具有厚度例如约为 0.1 μm 的氮化硅膜。然后通过 RIE(反应离子刻蚀)对所形成的氮化硅膜进行各向异性刻蚀,以在栅电极 G 的侧壁之上形成侧壁 10。在该刻蚀中,氮化硅膜相对于氧化硅膜的刻蚀选择比率可以设定为约 7-10,使得在形成侧壁 10 时氧化硅膜 9 可以用作刻蚀停止层。

[0081] 然后,通过将 n 型杂质(例如磷或砷)离子注入到栅电极 G 的两侧上的 p 阵 4 中来形成 n<sup>+</sup>型半导体区域(源极和漏极)12,而通过将 p 杂质(例如硼)离子注入到栅电极 G 的两侧上的 n 阵 5 中来形成 p<sup>+</sup>型半导体区域(源极和漏极)13。然后去除暴露的氧化硅膜 9。

[0082] 然后通过自对准硅化技术在栅电极 G 的表面以及半导体衬底 1 的暴露部分(n<sup>+</sup>型半导体区域 12 和 p<sup>+</sup>型半导体区域 13)之上形成低电阻硅化镍(NiSi)层 14。这里作为一个示例形成硅化镍层 14,而它也可以是其它硅化物层,诸如镍合金硅化物层、硅化钴层、硅化钨层或硅化铂层。硅化镍层 14 例如以下列方式形成。

[0083] 首先,通过溅射在半导体衬底 1 的主表面之上连续沉积镍膜和氮化钛膜。镍膜具有例如 0.01 μm 的厚度,氮化钛膜具有例如 0.015 μm 的厚度。将氮化钛膜形成在镍膜之上以便防止镍膜氧化,并且可以用钛膜代替氮化钛膜。然后通过 RTA(快速热退火)在例如约 410℃的温度下对半导体衬底 1 进行约 30 秒的热处理,以引起在构成栅电极 G 的多晶硅膜和镍膜之间,以及在构成其中已形成 n<sup>+</sup>型半导体区域 12 或 p<sup>+</sup>型半导体区域 13 的半导体衬底 1 的单晶硅与镍膜之间的选择性反应,由此形成硅化镍层 14。在通过利用硫酸的湿法清洗或者利用硫酸和过氧化氢水溶液的湿法清洗去除未反应的镍膜和氮化钛膜之后,通过使用 RTA 在例如约 550℃下对半导体衬底 1 进行约 30 秒的热处理,以降低硅化镍层 14 的电阻。

[0084] 通过至此描述的步骤,完成了构成存储单元 MC 的六个 MIS(驱动 MIS(Dr1 和 Dr2)、传输 MIS(Tr1 和 Tr2) 和负载 MIS(Ld1 和 Ld2)) 以及外围电路区域的 nMIS(QnL) 和 pMIS(QpL)。

[0085] 图 7 是示出与图 2 所示相同的部分在图 6 的步骤之后的制造步骤中的局部平面图,图 8(a) 是示出与图 3(a) 所示相同的部分在图 6 的步骤之后的制造步骤中的局部横截面图,图 8(b) 是示出与图 3(b) 所示相同的部分在图 6 的步骤之后的制造步骤中的局部横截面图。

[0086] 通过 CVD 在半导体衬底 1 之上沉积具有厚度例如约为 0.03-0.05 μm 的氮化硅膜

15。氮化硅膜 15 在稍后将描述的接触孔等的形成期间用作刻蚀停止层。

[0087] 然后在氮化硅膜 15 之上形成 PSG(磷硅玻璃)膜 16,之后进行热处理以将其平坦化。然后沉积氧化硅膜 17。通过等离子体 CVD 例如使用四乙氧基硅烷 (tetraethoxysilane) 作为原材料形成氧化硅膜 17。氮化硅膜 15、PSG 膜 16 和氧化硅膜 17 将成为例如稍后形成的互连与栅电极 G 之间的层间电介质。可替选地,在氮化硅膜 15 之上沉积具有厚度例如约为 0.7-0.8 μm 的氧化硅膜 17 之后,可以通过 CMP 对氧化硅膜 17 的表面进行抛光以将其表面平坦化。

[0088] 利用通过光刻形成的抗蚀剂图案作为掩膜,对氧化硅膜 17 和 PSG 膜 16 进行干法刻蚀,之后对氮化硅膜 15 进行干法刻蚀,以在 n<sup>+</sup>型半导体区域 12 和 p<sup>+</sup>型半导体区域 13 之上形成接触孔 C1。此外,形成第一和第二互连沟槽(共享开口部分(共享接触))HM1 和 HM2。在传输 MIS(Tr1 和 Tr2) 的栅电极 G 的引出部分之上形成接触孔 C1。

[0089] 在这些第一和第二互连沟槽 HM1 和 HM2 中,第一互连沟槽 HM1 从负载 MIS(Ld1) 的漏极的上部延伸到构成 CMOS 反相器 INV2 的负载 MIS(Ld2) 和驱动 MIS(Dr2) 所共有的栅电极 G 的引出部分 GM2 的上部。这意味着第一互连沟槽 HM1 是既用作用于将栅电极 G 的引出部分 GM2 与随后将形成的本地互连相耦合的接触孔又用作用于将负载 MIS(Ld1) 的漏极与本地互连相耦合的接触孔的沟槽。第二互连沟槽 HM2 从负载 MIS(Ld2) 的上部延伸到 CMOS 反相器 INV 1 的负载 MIS(Ld1) 和驱动 MIS(Dr1) 所共有的栅电极 G 的引出部分 GM1 的上部。这意味着第二互连沟槽 HM2 是既用作用于将栅电极 G 的引出部分 GM1 与随后将形成的本地互连相耦合的接触孔又用作用于将负载 MIS(Ld2) 的漏极与本地互连相耦合的接触孔的沟槽。

[0090] 在形成接触孔 C1 以及第一和第二互连沟槽 HM1 和 HM2 时,利用氮化硅膜 15 作为刻蚀停止层,对氧化硅膜 17 和 PSG 膜 16 进行干法刻蚀。氧化硅膜 17 或 PSG 膜 16 相对于氮化硅膜 15 的刻蚀选择比率例如约为 20-30,使得氮化硅膜 15 可以用作氧化硅膜 17 和 PSG 膜 16 的刻蚀停止层。

[0091] 然后对所暴露的氮化硅膜 15 进行干法刻蚀。在该刻蚀期间,对氮化硅膜 15 进行过刻蚀,以便完全暴露出在将形成第一和第二互连沟槽 HM1 和 HM2 的区域中的 p<sup>+</sup>型半导体区域 13 之上形成的硅化镍层 14、以及在构成 CMOS 反相器 INV 1 的负载 MIS(Ld1) 和驱动 MIS(Dr1) 所共有的栅电极 G 的引出部分 GM1 的表面以及构成 CMOS 反相器 INV2 的负载 MIS(Ld2) 和驱动 MIS(Dr2) 所共有的栅电极 G 的引出部分 GM2 的表面之上形成的硅化镍层 14。通过该过刻蚀,可以刻蚀在构成 CMOS 反相器 INV1 的负载 MIS(Ld1) 和驱动 MIS(Dr1) 所共有的栅电极 G 的引出部分 GM1 的侧壁以及构成 CMOS 反相器 INV2 的负载 MIS(Ld2) 和驱动 MIS(Dr2) 所共有的栅电极 G 的引出部分 GM2 的侧壁之上形成的侧壁 10,以暴露出构成栅电极 G 的引出部分 GM1 和 GM2 的多晶硅膜或硅化镍层 14 的端部。作为结果,氧化物膜可以生长在硅化镍层 14 的表面的一些部分处。

[0092] 图 9(a) 是示出与图 3(a) 所示相同的部分在图 7 和图 8 的步骤之后的制造步骤中的局部横截面图,图 9(b) 是示出与图 3(b) 所示相同的部分在图 7 和图 8 的步骤之后的制造步骤中的局部横截面图。

[0093] 通过 CVD 在包括第一和第二互连沟槽 HM1 和 HM2 以及接触孔 C1 的内部的氧化硅膜 17 之上连续形成钛膜和氮化钛膜,以形成由所得膜层叠制成的阻挡金属膜 21。钛膜允

许形成其中包含氧原子百分比达 25% 的固体溶液,使其用作硅化镍层 14 表面的还原材料并具有降低与硅化镍层 14 的接触电阻的作用。另一方面,氮化钛膜具有抑制或防止构成稍后将填充在接触孔 C1 以及第一和第二互连沟槽 HM1 和 HM2 中的金属膜的原子扩散的作用。阻挡金属膜 21 具有 3-10nm 的厚度。应注意到,钛膜和在其之上形成的氮化钛膜将合起来称为“阻挡金属膜 21”,并且与将填充在接触孔 C1 以及第一和第二互连沟槽 HM1 和 HM2 中并用作主导电材料的诸如钨膜或铜膜的金属膜相区分。

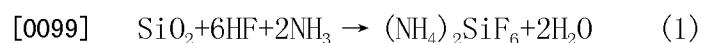
[0094] 采用如图 10 所示的膜形成装置 50 来形成阻挡金属膜 21。膜形成装置 50 是装备有传送室 51、加载互锁真空室 (loadlock chamber) 53 以及四个室 54、55、56、57 的多室型装置,加载互锁真空室 53 和四个室 54、55、56、57 经由门阀 52 作为切换装置而布置在传送室 51 周围。该膜形成装置在加载互锁真空室 53 的与传送室 51 相反的一侧上具有晶片载入载出室 (wafer carrying in-and-out chamber) 58。在晶片载入载出室 58 的与加载互锁真空室 53 相反的一侧上,膜形成装置具有用于附接 FOU (前端开口片盒 :Front Open UnifiedPod) 59 的端口 60,其中在 FOU 中容纳半导体晶片 SW (在本实施例中为具有如上所述以及图 9 所示的结构的半导体衬底)。

[0095] 传送室 51 通过排气机构等保持在预定真空中度下,并且在其中心处具有传送机器人 61,该传送机器人具有用于传送半导体晶片 SW 的多关节臂结构。

[0096] 传送室 51 具有用于进行干法清洗处理的室 (第一室) 54、用于在例如 150°C 或更高的高温下进行热处理的室 (第二室) 55 以及用于形成阻挡金属膜的室 (第三室) 56 和 57。应注意到,该膜形成装置 50 的传送室 51 的室不限于这四个室,而是可以添加具有相同用途的室或具有其它用途的室。

[0097] 首先,通过传送机器人 62 从任意一个 FOU 59 中取出单个半导体晶片 SW,放置在晶片载入载出室 58 中并传送到任一个加载互锁真空室 53 中。FOU 59 是用于半导体晶片 SW 的批量传送的气密性密封容器,并且通常其中存储一批 25 个、12 个或 6 个半导体晶片。FOU 59 的容器的外壁除了微小通气过滤部分之外具有气密结构,并且将灰尘从 FOU 基本上完全消除。因此,即使当在清洁等级 1000 的氛围中传送它们时,容器的内部也可以保持在清洁等级 1。通过朝着晶片载入载出室 58 向内拉开已经附接到端口 60 的 FOU 59 的门,在保持清洁度的同时进行与膜形成装置 50 的对接 (dock)。在将加载互锁真空室 53 抽真空之后,借助于传送机器人 61 将半导体晶片 SW 运送到传送室 51 中。

[0098] 然后借助于传送机器人 61 将半导体晶片 SW 从传送室 51 真空传送到用于进行干法清洗处理的室 54 并放置在室 54 的晶片台上。室 54 的晶片台装备有通过静电吸附保持晶片的机构,由此可以有效地控制晶片的温度。在干法清洗处理期间,经由喷头将诸如添加有 HF 气体和 NH<sub>3</sub> 气体的 Ar 气体之类的还原气体 (第七反应气体) 引入到室 54 中并供给到半导体晶片 SW 的主表面上。通过在还原气体与硅化镍层 14 的表面上形成的自然氧化物膜之间发生的例如由公式 (1) 表示的还原反应,去除自然氧化物膜。干法清洗处理例如在下列条件下执行:晶片台温度为 25°C, HF 气体流速为 80sccm, NH<sub>3</sub> 气体流速为 38sccm, Ar 气体流速为 5sccm, 压力为 1.3Pa。



[0100] 上述还原反应形成的产物 ((NH<sub>4</sub>)<sub>2</sub>SiF<sub>6</sub>) 留在半导体晶片 SW 的主表面之上,包括接触孔 C1 以及第一和第二沟槽 HM1 和 HM2 的内部。

[0101] 然后借助于传送机器人 61 经由传送室 51 将半导体晶片 SW 从干法清洗室 54 真空传送到热处理室 55，然后将其放置在室 55 的台上。通过将半导体晶片 SW 放置在室 55 的台上，将半导体晶片 SW 在预定温度下加热，并通过升华去除留在晶片 SW 的主表面上的产物。作为半导体晶片 SW 的主表面上的温度，150–400°C 的范围是适当的（不用说，该温度不限于这种范围而是可以根据条件而变化）。适于大规模生产的温度范围可以为 165–350°C，但 180–220°C 的范围，也就是以 200°C 作为中心值的温度，是最适合的。

[0102] 然后形成阻挡金属膜 21。由于干法清洗处理期间在接触孔 C1 以及第一和第二沟槽 HM1 和 HM2 的底部和侧部表面上形成的产物已经在干法清洗处理之后通过对半导体衬底 1 施加 150–400°C 的热处理去除，所以可以减小在接触孔 C1 以及第一和第二沟槽 HM1 和 HM2 的底部表面上的硅化镍层 14 和阻挡金属膜 21 之间的接触电阻的变化。另外，可以防止在接触孔 C1 以及第一和第二沟槽 HM1 和 HM2 的侧部表面上的阻挡金属膜 21 的剥离。然而，通过上述干法清洗处理和热处理无法去除已经生长在硅化镍层 14 表面上的氧化物膜，并且该氧化物膜仍留在一些部分上，其中在上述形成接触孔 C1 以及第一和第二沟槽 HM1 和 HM2 期间通过过刻蚀，构成栅电极 G 的引出部分 GM1 和 GM2 的多晶硅膜或硅化镍层 14 的端部从这些部分中暴露。

[0103] 在上述干法清洗处理中，采用 HF 气体和 NH<sub>3</sub> 气体作为还原气体。然而，不对诸如还原气体之类的反应气体施加任何特殊限制，只要作为在相对较低温度下与氧化物膜反应的结果，该反应气体能够形成汽化的反应物即可。例如，NF<sub>3</sub> 气体和 H<sub>2</sub> 气体可以用作还原气体。

[0104] 在上述干法清洗处理中，将诸如还原气体的反应气体引入到室 54 中以通过还原反应去除自然氧化物膜。代替气体，可以使用等离子体。例如，通过激发添加有还原气体例如 NF<sub>3</sub> 气体或 NH<sub>3</sub> 气体的 Ar 气体（Ar 气体通常用作用于等离子体激发的气体，但也可使用其它稀释气体或其混合物）形成等离子体，并且将生成的等离子体引入到室 54 中以通过还原反应去除自然氧化物膜。

[0105] 然后借助于传送机器人 61 经由传送室 51 将半导体晶片 SW 从热处理室 55 真空传送到阻挡金属膜形成室 56 或室 57 并放置在室 56 或 57 的台上。

[0106] 膜形成装置 50 装备有具有相同功能和相同结构的两个阻挡金属膜形成室 56 和 57。由于膜形成装置 50 装备有功能和结构相同的两个室 56 和 57，所以即使这两个室之一例如室 56 停止，也可以通过使用另一个室例如室 57 来在不停止膜形成装置 50 的情况下形成阻挡金属膜 21。这使得提高了膜形成装置 50 的操作速率。

[0107] 在室 56（或室 57）中，通过将在稍后描述的 PECVD 在半导体晶片 SW 的主表面上形成阻挡金属膜 21。接下来这里将描述阻挡金属膜 21 的第一至第四膜形成方法。但需要注意的是，形成阻挡金属膜 21 的方法并不限于此而是可以采用它们的各种变形。

[0108] 接下来将参照图 11 和图 13 描述阻挡金属膜 21 的第一膜形成方法。

[0109] [步骤 1] 将半导体晶片 SW 放置在通过加热器加热到预定温度例如 450°C 的台上。在从 [步骤 1] 到 [步骤 10] 的过程中，台被持续加热到预定温度例如 450°C。通过排气机构将 Ar 气体和 H<sub>2</sub> 气体引入到室中以将其中的压力在步骤 1 中预定的时间例如 5 秒内调整到预定压力例如 667Pa。Ar 气体的流速例如为 800sccm，而 H<sub>2</sub> 气体的流速例如为 4000sccm。

[0110] [步骤 2] 在将压力以及 Ar 气体和 H<sub>2</sub> 气体的流速调整到预定值之后，对半导体晶

片 SW 进行预定时间的加热。在从 [步骤 2] 到 [步骤 9] 的过程中, 室内的压力保持在预定水平(例如 667Pa), 并且在从 [步骤 2] 到 [步骤 10] 的过程中, 将 Ar 气体和 H<sub>2</sub> 气体以预定流速(例如分别为 800sccm 和 4000sccm) 持续地引入到室中。

[0111] [步骤 3] 从 TiCl<sub>4</sub> 气体的供给源供给 TiCl<sub>4</sub> 气体(第一反应气体), 但仅将其向室的上游转移, 直到流速变得稳定为止。TiCl<sub>4</sub> 气体的流速例如为 6.7sccm。

[0112] [步骤 4] 在 TiCl<sub>4</sub> 气体的流速变得稳定之后, 将 TiCl<sub>4</sub> 气体引入到室中以通过热反应在硅化镍层 14 的表面上选择性地形成钛膜(以下将称为“热反应 Ti 膜”; 第一金属膜)21a。TiCl<sub>4</sub> 气体的流速例如为 6.7sccm, 以及热处理时间例如为 5–30 秒。热反应 Ti 膜 21a 具有例如 1nm 或更小的厚度。热反应 Ti 膜 21a 仅形成在从接触孔 C1 的底部表面以及第一和第二沟槽 HM1 和 HM2 的底部表面暴露出的硅化镍层 14 的表面上, 而不形成在接触孔 C1 的侧壁、第一和第二沟槽 HM1 和 HM2 的侧壁以及氧化硅膜 17 的上表面上。即使在第一和第二互连沟槽 HM1 和 HM2 的底部表面上, 当硅化镍层 14 在其表面上具有氧化物膜时, 热反应 Ti 膜 21a 也不形成在第一和第二互连沟槽 HM1 和 HM2 的底部表面上。

[0113] [步骤 5] 通过施加 RF 功率在室中生成等离子体, 在热反应 Ti 膜 21a 上形成钛膜(以下将称为“等离子体反应 Ti 膜”; 第二金属膜)21b。TiCl<sub>4</sub> 气体的流速例如为 6.7sccm, RF 功率例如为 800W, 膜形成时间例如为 25 秒。等离子体反应 Ti 膜 21b 的厚度为 2nm–5nm。

[0114] [步骤 6] 在只停止将 TiCl<sub>4</sub> 气体引入到室中的同时, 使用 H<sub>2</sub> 气体(第二反应气体)执行等离子体反应 Ti 膜 21b 的等离子体处理(第一等离子体处理)。等离子体反应 Ti 膜 21b 的氯浓度降低并且已经留在第一和第二互连沟槽 HM1 和 HM2 的底部上的硅化镍层 14 和等离子体反应 Ti 膜 21b 之间的氧化物膜被还原(当在第一和第二互连沟槽 HM1 和 HM2 的底部上存在氧化物膜时不形成热反应 Ti 膜 21a)。等离子体处理时间例如为 5 秒。

[0115] [步骤 7] 终止施加 RF 功率并将 TiCl<sub>4</sub> 气体从室中清除(purge)。

[0116] [步骤 8] 将 NH<sub>3</sub> 气体(第三反应气体)引入到室中以通过热反应将等离子体反应 Ti 膜 21b 的表面氮化, 并还原已经留在第一和第二互连沟槽 HM1 和 HM2 的底部上的硅化镍层 14 和等离子体反应 Ti 膜 21b 之间的氧化物膜。NH<sub>3</sub> 气体的流速例如为 500sccm, 热处理时间例如为 0–75 秒。

[0117] [步骤 9] 通过施加 RF 功率产生等离子体(第二等离子体处理), 在等离子体反应 Ti 膜 21b 的表面上形成具有比其化学计量组分的氮含量稍高的氮含量的氮化钛膜(以下将称为“富含氮的 TiN 膜”; 第一金属氮化物膜)21c 例如 Ti<sub>1</sub>N<sub>1.1</sub> 膜, 并且还原已经留在第一和第二互连沟槽 HM1 和 HM2 的底部上的硅化镍层 14 和等离子体反应 Ti 膜 21b 之间的氧化物膜。RF 功率例如为 800W, 氮化时间例如为 25 秒或更长, 例如 25–75 秒。

[0118] [步骤 10] 在停止施加 RF 功率之后, 停止将 NH<sub>3</sub> 气体引入到室中, 并将 NH<sub>3</sub> 气体从室中清除。

[0119] 通过第一膜形成方法, 形成了由热反应 Ti 膜 21a、等离子体反应 Ti 膜 21b 和富含氮的 TiN 膜 21c 组成的阻挡金属膜 21。热反应 Ti 膜 21a 具有例如 1nm 或更小的厚度, 等离子体反应 Ti 膜 21b 具有例如 5nm 的厚度, 富含氮的 TiN 膜 21c 具有例如 3–5nm 的厚度。

[0120] 热反应 Ti 膜 21a 允许与硅化镍层 14 的接触电阻的减小。推定该低接触电阻导致:(1) 在硅化镍层 14 和热反应 Ti 膜 21a 之间的界面上形成 (Ni<sub>1</sub>Ti<sub>1-x</sub>)Si, (2) 热反应 Ti 膜 21a 比等离子体反应 Ti 膜 21b 具有更小的杂质浓度, 因为纯钛是通过利用硅化镍作为催化

剂的热分解反应形成的,以及(3)由于干法清洗处理之后留下的微量氟引起的氯化钛的还原。富含氮的TiN膜21c作为用于抑制或防止插塞的构成原子扩散的阻挡膜是有效的。而且,通过[步骤6]中的等离子体处理,在等离子体反应Ti膜21b中包含的诸如氯之类的杂质的浓度减少。在形成热反应Ti膜21a/等离子体反应Ti膜21b之后,使膜经受5-30秒的利用H<sub>2</sub>气体的等离子体处理。然后,使等离子体反应Ti膜21b的表面经受0-75秒的利用NH<sub>3</sub>气体的热氮化处理以及25-75秒的利用NH<sub>3</sub>气体的等离子体处理,由此经过等离子体反应Ti膜21b的H原子可以还原已经留在第一和第二互连沟槽HM1和HM2的底部上的硅化镍层14与等离子体反应Ti膜21b之间的氧化物膜。

[0121] 接下来将参照图14和图15描述阻挡金属膜21的第二膜形成方法。

[0122] 第二膜形成方法的[步骤1]至[步骤6]类似于第一膜形成方法,所以省略对这些步骤的描述。然而,应注意到,在[步骤5]中的等离子体反应Ti膜21b的形成时间例如为5秒,在[步骤6]中的等离子体处理时间例如为5秒。

[0123] [步骤7]从TiCl<sub>4</sub>气体供给源供给TiCl<sub>4</sub>气体,并仅将其向室的上游转移,直到流速变得稳定为止。TiCl<sub>4</sub>气体的流速例如为6.7sccm。

[0124] [步骤8]在TiCl<sub>4</sub>气体的流速变得稳定之后,通过将TiCl<sub>4</sub>气体引入到室中并施加RF功率以生成等离子体,来在等离子体反应Ti膜21b上形成另一等离子体反应Ti膜21b。TiCl<sub>4</sub>气体的流速例如为6.7sccm,RF功率例如为800W,膜形成时间例如为5秒。另一等离子体反应Ti膜21b具有厚度例如为1-2nm。

[0125] [步骤9]通过仅停止将TiCl<sub>4</sub>气体引入到室中以及利用H<sub>2</sub>气体对等离子体反应Ti膜21b执行等离子体处理,降低等离子体反应Ti膜21b的氯浓度,并还原已经留在第一和第二互连沟槽HM1和HM2的底部上的硅化镍层14与等离子体反应Ti膜21b之间的氧化物膜。将[步骤7]至[步骤9]的步骤执行多次,例如四次。[步骤9]中单次等离子体处理所花费的时间例如设定为5秒,因此[步骤6]和[步骤9]中总等离子体处理时间将为25-75秒。等离子体反应Ti膜21b的总厚度变为例如5-10nm。

[0126] [步骤10]终止施加RF功率,并将TiCl<sub>4</sub>气体从室中清除。

[0127] [步骤11]将NH<sub>3</sub>气体引入到室中以通过热反应将等离子体反应Ti膜21b的表面氮化,并还原已经留在第一和第二互连沟槽HM1和HM2的底部上的硅化镍层14与等离子体反应Ti膜21b之间的氧化物膜。NH<sub>3</sub>气体的流速例如为500sccm,热处理时间例如为0-75秒。

[0128] [步骤12]利用通过施加RF功率生成的等离子体,在等离子体反应Ti膜21b的表面上形成富含氮的TiN膜21c,并还原已经留在第一和第二互连沟槽HM1和HM2的底部上的硅化镍层14与等离子体反应Ti膜21b之间的氧化物膜。RF功率例如为800W,氮化处理时间例如为25秒或更长,例如25-75秒。

[0129] [步骤13]在停止施加RF功率并且也停止引入NH<sub>3</sub>气体之后,将NH<sub>3</sub>气体从室中清除。

[0130] 通过第二膜形成方法,形成了由热反应Ti膜21a、(多级)等离子体反应Ti膜21b和富含氮的TiN膜21c组成的阻挡金属膜21。热反应Ti膜21a具有例如1nm或更小的厚度,等离子体反应Ti膜21b具有例如5nm的厚度,富含氮的TiN膜21c具有例如3-5nm的厚度。

[0131] 如在第一膜形成方法中那样,热反应 Ti 膜 21a 允许与硅化镍层 14 的接触电阻的减小,并且富含氮的 TiN 膜 21c 作为用于抑制或防止插塞的构成原子扩散的阻挡膜是有效的。另外,可以还原已经留在第一和第二互连沟槽 HM1 和 HM2 的底部上的硅化镍层 14 与等离子体反应 Ti 膜 21b 之间的氧化物膜。

[0132] 此外,在具有 [步骤 5 和 6]+([步骤 7、8 和 9])×4 的工艺中,可以以相对较短的时间交替地执行等离子体反应 Ti 膜 21b 的形成和还原,所以可降低不仅在等离子体反应 Ti 膜 21b 的表面上而且在其中的诸如氯的杂质的浓度,使得可以获得具有低比电阻率并因此具有高质量的等离子体反应 Ti 膜 21b。

[0133] 接下来将参照图 16 和图 17 描述阻挡金属膜 21 的第三膜形成方法。

[0134] 第三膜形成方法的 [步骤 1] 至 [步骤 10] 类似于第一膜形成方法,所以省略对这些步骤的描述。然而应注意到,在 [步骤 5] 中的等离子体反应 Ti 膜 21b 的膜形成时间例如为 5 秒,而在 [步骤 6] 中的等离子体处理时间例如为 5 秒,[步骤 8] 中的热氮化时间例如为 10 秒,[步骤 9] 中的等离子体处理时间例如为 5 秒。

[0135] [步骤 11] 从  $TiCl_4$  气体供给源供给  $TiCl_4$  气体,并仅将其向室的上游转移,直到流速变得稳定为止。 $TiCl_4$  气体的流速例如为 6.7sccm。

[0136] [步骤 12] 在  $TiCl_4$  气体的流速变得稳定之后,通过将  $TiCl_4$  气体引入到室中并施加 RF 功率以生成等离子体,来在富含氮的 TiN 膜 21c 之上形成等离子体反应 Ti 膜 21b。 $TiCl_4$  气体的流速例如为 6.7sccm,RF 功率例如为 800W,膜形成时间例如为 5 秒。等离子体反应 Ti 膜 21b 具有厚度例如为 1-2nm。

[0137] [步骤 13] 通过仅停止将  $TiCl_4$  气体引入到室中,以及利用  $H_2$  气体对等离子体反应 Ti 膜 21b 执行等离子体处理,降低等离子体反应 Ti 膜 21b 的氯浓度,并还原已经留在第一和第二互连沟槽 HM1 和 HM2 的底部上的硅化镍层 14 与等离子体反应 Ti 膜 21b 之间的氧化物膜。等离子体处理时间例如为 5 秒。

[0138] [步骤 14] 停止施加 RF 功率,并将  $TiCl_4$  气体从室中清除。

[0139] [步骤 15] 将  $NH_3$  气体引入到室中以通过热反应将等离子体反应 Ti 膜 21b 的表面氮化,并还原已经留在第一和第二互连沟槽 HM1 和 HM2 的底部上的硅化镍层 14 与等离子体反应 Ti 膜 21b 之间的氧化物膜。 $NH_3$  气体的流速例如为 500sccm,热处理时间例如为 10 秒。

[0140] [步骤 16] 通过施加 RF 功率生成等离子体,以在等离子体反应 Ti 膜 21b 的表面上形成富含氮的 TiN 膜 21c,并还原已经留在第一和第二互连沟槽 HM1 和 HM2 的底部上的硅化镍层 14 与等离子体反应 Ti 膜 21b 之间的氧化物膜。RF 功率例如为 800W,氮化时间例如为 5 秒。

[0141] [步骤 17] 在停止施加 RF 功率并且也停止将  $NH_3$  气体引入室中之后,将  $NH_3$  气体从室中清除。

[0142] 将 [步骤 11] 至 [步骤 17] 的步骤执行多次,例如四次。尽管将 [步骤 6] 和 [步骤 13] 中利用  $H_2$  气体的等离子体处理时间设定为例如 5 秒,将 [步骤 8] 和 [步骤 15] 中利用  $NH_3$  气体的热氮化时间设定为例如 10 秒,将 [步骤 9] 和 [步骤 16] 中利用  $NH_3$  气体的等离子体处理时间设定为例如 5 秒,但处理时间并不限于此。可以设定每个步骤的处理时间,使得利用  $H_2$  气体的总等离子体处理时间将为 5-30 秒,利用  $NH_3$  气体的热氮化时间将为 0-75 秒,利用  $NH_3$  气体的总等离子体处理时间将为 25-75 秒。

[0143] 通过第三膜形成方法,形成了由热反应 Ti 膜 21a 和(等离子体反应 Ti 膜 21b 和富含氮的 TiN 膜 21c)×5 组成的阻挡金属膜 21。热反应 Ti 膜 21a 具有例如 1nm 或更小的厚度,(等离子体反应 Ti 膜 21b+ 富含氮的 TiN 膜 21c)×5 具有 5-10nm 的厚度。

[0144] 如在第一膜形成方法中那样,热反应 Ti 膜 21a 允许与硅化镍层 14 的接触电阻的减小,并且富含氮的 TiN 膜 21c 作为用于抑制或防止插塞的构成原子扩散的阻挡膜是有效的。另外,可以还原已经留在第一和第二互连沟槽 HM1 和 HM2 的底部上的硅化镍层 14 与等离子体反应 Ti 膜 21b 之间的氧化物膜。

[0145] 此外,在具有[步骤 5、6、7、8、9 和 10]+([步骤 11、12、13、14、15、16 和 17])×4 的工艺中,通过以相对较短的时间多次执行包括等离子体反应 Ti 膜 21b 的形成、还原和氮化的一系列过程,可以降低诸如氯的杂质的浓度,并因此可以获得具有低电阻率并具有高质量的等离子体反应 Ti 膜 21b。同时,可以在等离子体反应 Ti 膜 21b 的表面上形成能够有效起到阻挡膜作用的富含氮的 TiN 膜 21c。

[0146] 接下来将参照图 14 和图 18 描述阻挡金属膜 21 的第四膜形成方法。

[0147] 第四膜形成方法的[步骤 1]至[步骤 6]类似于第二膜形成方法,所以省略对这些步骤的描述。而第四膜形成方法与第二膜形成方法的不同之处在于,在[步骤 5]中的等离子体反应 Ti 膜 21b 的膜形成时间例如为 5-15 秒,并且第一级等离子体反应 Ti 膜 21b 比通过第二膜形成方法形成的第一级等离子体反应 Ti 膜 21b 厚。第四膜形成方法的[步骤 7]至[步骤 13]类似于第二膜形成方法的[步骤 7]至[步骤 13],所以也省略对这些步骤的描述。

[0148] 通过第四膜形成方法形成了由热反应 Ti 膜 21a、等离子体反应 Ti 膜 21b、(多级)等离子体反应 Ti 膜 21b 和富含氮的 TiN 膜 21c 组成的阻挡金属膜 21。热反应 Ti 膜 21a 具有例如 1nm 或更小的厚度,位于下层的等离子体反应 Ti 膜 21b 具有例如 3nm 的厚度,位于上层的等离子体反应 Ti 膜 21b 具有例如 4-5nm 的厚度。

[0149] 如在第一膜形成方法中那样,热反应 Ti 膜 21a 允许与硅化镍层 14 的接触电阻的减小,并且富含氮的 TiN 膜 21c 作为用于抑制或防止插塞的构成原子扩散的阻挡膜是有效的。另外,可以还原已经留在第一和第二互连沟槽 HM1 和 HM2 的底部上的硅化镍层 14 与等离子体反应 Ti 膜 21b 之间的氧化物膜。

[0150] 此外,在[步骤 5 和 6]和[步骤 7、8 和 9]的工艺中,通过以相对较短的时间执行等离子体反应 Ti 膜 21b 的形成和还原,诸如氯的杂质的浓度降低,并因此可以获得具有低电阻率并具有高质量的等离子体反应 Ti 膜 21b。

[0151] 通过第一至第四膜形成方法中的任何一种方法可以形成具有低杂质浓度例如低氯浓度的阻挡金属膜 21。这有助于减小硅化镍层 14 的电阻以及防止阻挡金属膜 21 的剥离或微裂纹。另外,可以还原已经留在第一和第二互连沟槽 HM1 和 HM2 的底部上的硅化镍层 14 与等离子体反应 Ti 膜 21b 之间的氧化物膜。

[0152] 然后借助于传送机器人 61 将半导体晶片 SW 从阻挡金属膜形成室 56(或室 57)真空传送到任一个加载互锁真空室 53,并且之后借助于传送机器人 62 经由晶片载入载出室 58 从加载互锁真空室 53 返回到任一个 FOUP 59。

[0153] 通过第一至第四膜形成方法中的任何一种方法形成的阻挡金属膜 21 作为用于抑制或防止插塞的构成原子扩散的阻挡膜是有效的,并且具有富含氮的 TiN 膜 21c。在使用例

如  $TiCl_4$  气体和  $NH_3$  气体（第四反应气体）的同时，通过热 CVD 在约 450–480°C 下在阻挡金属膜 21 之上形成具有厚度例如 0–5nm 的氮化钛膜（第二金属氮化物膜），可以赋予阻挡金属膜 21 较高的阻挡功能。

[0154] 以下将参照图 19 简要地描述通过热 CVD 在阻挡金属膜 21 之上形成氮化钛膜的膜形成方法。该氮化钛膜可以在与上述膜形成装置 50 耦合的另一室中形成。可替选地，可以使用与上述膜形成装置 50 不同的 CVD 装置来形成该氮化钛膜。氮化钛膜的膜形成方法不限于以下一种方式，而是可以采用其各种变型。

[0155] [步骤 1] 将半导体晶片 SW 放置在台上，该台通过加热器加热到例如 480°C 的预定温度。在从 [步骤 1] 至 [步骤 12] 的过程中，将台持续地加热到预定温度。将作为  $TiN_4$  气体和  $NH_3$  气体的载体气体的  $N_2$  气体和  $NH_3$  气体分别引入到室中，通过排气机构使得室中的压力在 [步骤 1] 设定的时间内成为预定压力。

[0156] [步骤 2] 在将  $N_2$  气体和  $NH_3$  气体的流速和压力调整为预定值之后，将半导体晶片 SW 加热预定时间。

[0157] [步骤 3] 同时，从  $TiN_4$  气体供给源供给  $TiN_4$  气体，并仅将其向室的上游转移，直到流速变得稳定为止。

[0158] [步骤 4] 至 [步骤 10] 当通过使用  $TiN_4$  气体和  $NH_3$  气体沉积氮化钛膜时，将  $TiN_4$  气体和  $NH_3$  气体同时引入到室中。 $TiN_4$  气体和  $NH_3$  气体的流速例如为 60sccm，压力例如为 260Pa，沉积时间例如为 6 秒。当形成厚氮化钛膜时，将 [步骤 4] 至 [步骤 10] 的步骤执行多次。例如，通过将 [步骤 4] 至 [步骤 10] 的步骤执行六次，可以形成 5nm 厚的氮化钛膜。

[0159] [步骤 11] 和 [步骤 12] 在停止施加 RF 功率以及停止将  $TiN_4$  气体和  $NH_3$  气体引入室中之后，将  $N_2$  气体引入到室中以将  $TiN_4$  气体和  $NH_3$  气体从中清除。然后停止将  $N_2$  气体引入到室中，并将室抽真空。

[0160] 如图 20 所示，通过 CVD，在阻挡金属膜 21 上包括接触孔 C1 以及第一和第二互连沟槽 HM1 和 HM2 的内部，沉积例如钨膜 22 的金属膜。在形成钨膜 22 中，在阻挡金属膜 21 上形成钨的成核（nucleation）膜（以下将称为“钨成核膜”；金属成核膜）22a，之后沉积钨膜（以下将称为“均厚钨膜”；金属膜）22b，以其填充接触孔 C1 以及第一和第二互连沟槽 HM1 和 HM2 的内部。在本实施例中，这样形成的钨成核膜 22a 具有厚度为例如 0.01 μm 或更小的多层结构。钨成核膜 22a 呈现与作为阻挡金属膜 21 最上层存在的富含氮的 TiN 膜 21c 的良好附着，并且具有抑制或防止  $WF_6$  气体（用于形成钨膜的气体）中包含的氟穿透到阻挡金属膜 21 中的功能，从而可以避免氟引起的对阻挡金属膜 21 的侵蚀（例如，等离子体反应 Ti 膜 21b 的起泡或剥离）。

[0161] 以下将描述钨膜 22 的第一、第二和第三形成方法。在第一膜形成方法中，在同时将  $WF_6$  气体、 $SiH_4$  气体和  $H_2$  气体供给到室中之后，连续形成钨成核膜 22a 和均厚钨膜 22b。在第二膜形成方法中，在通过使用  $WF_6$  气体将钨和氟吸附到阻挡金属膜 21 的表面上之后，通过使用  $SiH_4$  气体的还原反应去除氟，以形成钨成核膜 22a，之后形成均厚钨膜 22b。在第三膜形成方法中，在通过使用  $WF_6$  气体将钨和氟吸附到阻挡金属膜 21 的表面上之后，通过使用  $B_2H_6$  气体的还原反应去除氟，以形成钨成核膜 22a，之后形成均厚钨膜 22b。钨膜 22（钨成核膜 22a 和均厚钨膜 22b）的膜形成方法不限于上述方法，而是可以采用其各种变型。

[0162] 例如根据如图 21 所示的工艺步骤，如下所述地执行第一膜形成方法。

[0163] [步骤1]和[步骤2]通过以相应的预定流速引入WF<sub>6</sub>气体(第五反应气体)、SiH<sub>4</sub>气体和H<sub>2</sub>气体(第一还原气体),在阻挡金属膜21的表面上形成具有预定厚度的钨成核膜22a。室内压力和半导体晶片的温度分别设定为例如2667Pa和390℃。通过控制[步骤2]的时间(A1),可以形成具有期望厚度的钨成核膜22a。钨成核膜22a具有例如7nm的厚度。通过同时将WF<sub>6</sub>气体和SiH<sub>4</sub>气体引入到室中,可以同时完成膜的形成和氟的去除,使得可以形成具有低氟含量的钨成核膜22a。

[0164] [步骤3]至[步骤6]在以预定流速将H<sub>2</sub>气体(第二还原气体)引入到室中之后,将WF<sub>6</sub>气体(第六反应气体)以例如250sccm的预定流速引入到室中,由此通过H<sub>2</sub>还原在钨成核膜22a上形成均厚钨膜22b。室内压力设定为例如10666Pa,以及半导体晶片的温度设定为例如400℃或更低,例如390℃。通过控制[步骤5]的时间(A2),可以形成具有期望厚度的均厚钨膜22b。均厚钨膜22b具有例如0.193μm的厚度。在形成均厚钨膜22b之后,将WF<sub>6</sub>气体的流速和压力分别降低到0sccm和0Pa。

[0165] 通过使用利用SiH<sub>4</sub>的还原来成核的第一膜形成方法,可以形成由具有低氟含量的钨成核膜22a和均厚钨膜22b组成的钨膜22。均厚钨膜22b的膜形成温度例如为390℃。以不大于400℃的相对较低的温度形成钨膜22使得可以抑制在形成均厚钨膜22b时WF<sub>6</sub>气体中包含的氟的穿透。因此可以抑制或防止WF<sub>6</sub>气体中包含的氟穿透到阻挡金属膜21中,使得可以防止氟引起的对阻挡金属膜21的侵蚀。

[0166] 例如根据如图22所示的工艺步骤,如下所述地执行第二膜形成方法。

[0167] [步骤1]和[步骤2]以例如160sccm的预定流速将WF<sub>6</sub>气体(第五反应气体)引入到室中,以使得将钨和氟吸附到阻挡金属膜21的表面,并形成约1nm厚的钨成核膜。室内压力例如为1000Pa,半导体晶片的温度例如为350℃。然后停止将WF<sub>6</sub>气体供给到室中。

[0168] [步骤3]和[步骤4]以例如400sccm的预定流速将SiH<sub>4</sub>气体(第一还原气体)引入到室中,并通过SiH<sub>4</sub>还原从钨成核膜去除氟。室内压力例如为1000Pa,半导体晶片的温度例如为350℃。然后停止将SiH<sub>4</sub>气体供给到室中。将[步骤1]至[步骤4]的步骤执行多次,例如七次,以形成具有多层结构的钨成核膜22a。钨成核膜22a具有厚度例如7nm。

[0169] [步骤5]至[步骤9]在以例如4000sccm的预定流速将H<sub>2</sub>气体(第二还原气体)引入到室中之后,以例如60sccm的预定流速将WF<sub>6</sub>气体(第六反应气体)引入到室中。然后将WF<sub>6</sub>气体的流速增加到例如350sccm,并将压力提高到例如10666Pa。也提高半导体晶片的温度但设定在400℃或更低,例如390℃。然后通过使用H<sub>2</sub>还原在钨成核膜22a之上形成均厚钨膜22b。在形成具有期望厚度的均厚钨膜22b之后,将WF<sub>6</sub>气体的流速和压力分别降低到0sccm和0Pa。均厚钨膜22b具有厚度例如0.193μm。

[0170] 通过采用SiH<sub>4</sub>还原进行成核的第二膜形成方法,形成由钨成核膜22a和均厚钨膜22b组成的钨膜22。由于钨成核膜22a具有多层结构,所以层之间的界面变得不连续,这阻止了在形成均厚钨膜22b时WF<sub>6</sub>气体中包含的氟容易穿透经过钨成核膜22a。另外,均厚钨膜22b的膜形成温度例如为390℃。在不大于400℃的相对较低的温度下形成钨膜22使得可以防止在形成均厚钨膜22b时WF<sub>6</sub>气体中包含的氟的穿透。因此可以抑制或防止WF<sub>6</sub>气体中包含的氟穿透到阻挡金属膜21中,从而防止氟引起的对阻挡金属膜21的侵蚀。

[0171] 例如根据图23所示的工艺步骤,如下所述地执行第三膜形成方法。

[0172] [步骤1]和[步骤2]通过以例如160sccm的预定流速将WF<sub>6</sub>气体(第五反应气

体)引入到室中,并使得将钨和氟吸附到阻挡金属膜 21 的表面,来形成约 1nm 厚的钨成核膜。室内压力例如为 1000Pa,半导体晶片的温度例如为 350℃。然后终止将 WF<sub>6</sub> 气体供给到室中。

[0173] [步骤 3] 和 [步骤 4] 以例如 1000sccm 的预定流速将用 H<sub>2</sub> 气体稀释的 5% 的 B<sub>2</sub>H<sub>6</sub> 气体(第一还原气体)引入到室中,并通过 B<sub>2</sub>H<sub>6</sub> 还原从钨成核膜去除氟。室内压力例如为 1000Pa,半导体晶片的温度例如为 350℃。然后终止将用 H<sub>2</sub> 气体稀释的 5% 的 B<sub>2</sub>H<sub>6</sub> 气体供给到室中。将 [步骤 1] 至 [步骤 4] 的步骤执行多次,例如八次,由此形成具有多层结构的钨成核膜 22a。钨成核膜 22a 具有例如 7nm 的厚度,并且它具有非晶结构。

[0174] [步骤 5] 至 [步骤 10] 在以例如 4000sccm 的预定流速将 H<sub>2</sub> 气体(第二还原气体)引入到室中之后,以例如 60sccm 的预定流速将 WF<sub>6</sub> 气体(第六反应气体)引入到室中。WF<sub>6</sub> 气体的流速和室内压力分别增加到例如 200sccm 和 10666Pa。半导体晶片的温度也增加,但不超过 400℃,该温度例如为 390℃。通过使用 H<sub>2</sub> 还原在钨成核膜 22a 之上形成均厚钨膜 22b。在形成具有期望厚度的均厚钨膜 22b 之后,将 WF<sub>6</sub> 气体的流速和压力分别降低到 0sccm 和 0Pa。均厚钨膜 22b 具有厚度例如 0.193 μm。

[0175] 根据采用通过 B<sub>2</sub>H<sub>6</sub> 还原成核的第三膜形成方法,形成了由钨成核膜 22a 和均厚钨膜 22b 组成的钨膜 22。类似于采用通过 SiH<sub>4</sub> 还原成核的第二膜形成方法,钨成核膜 22a 的多层结构使得层之间的界面不连续。此外,钨成核膜 22a 的非晶结构阻止了在形成均厚钨膜 22b 时在 WF<sub>6</sub> 气体中包含的氟穿透经过钨成核膜 22a。此外,在例如 390℃下形成均厚钨膜 22b。在不大于 400℃的相对较低的温度下形成钨膜 22 使得可以防止在形成均厚钨膜 22b 时在 WF<sub>6</sub> 气体中包含的氟的穿透。这些使得能够抑制或防止 WF<sub>6</sub> 气体中包含的氟穿透到阻挡金属膜 21 中,从而防止氟引起的对阻挡金属膜 21 的侵蚀。

[0176] 图 24(a) 是示出与图 3(a) 中所示相同的部分在图 20 的步骤之后的制造步骤中的局部横截面图;图 24(b) 是示出与图 3(b) 中所示相同的部分在图 20 的步骤之后的制造步骤中的局部横截面图。

[0177] 如图 24 所示,执行回刻蚀或 CMP,直到露出氧化硅膜 17 的表面,并去除接触孔 C1 以及第一和第二互连沟槽 HM1 和 HM2 外部的钛膜、氮化钛膜和钨膜,由此在接触孔 C1 内部形成使用钨膜 22 作为主导电材料的插塞 P1,并在第一和第二互连沟槽 HM1 和 HM2 的内部形成本地互连 23a(参见图 25) 和 23b。

[0178] 本地互连 23a 与棚电极 G 的引出部分 GM2 耦合,其中构成 CMOS 反相器 INV2 的负载 MIS(Ld2) 和驱动 MIS(Dr2)、负载 MIS(Ld1) 的漏极、传输 MIS(Tr1) 的源极共有该棚电极 G 的引出部分 GM2。另一本地互连 23b 与棚电极 G 的引出部分 GM1 耦合,其中构成 CMOS 反相器 INV1 的负载 MIS(Ld1) 和驱动 MIS(Dr1)、负载 MIS(Ld2) 的漏极、传输 MIS(Tr2) 的源极共有该棚电极 G 的引出部分 GM1。

[0179] 在接触孔 C1 以及第一和第二互连沟槽 HM1 和 HM2 中形成插塞 P1 的上述步骤中,将钨膜 22 用作插塞 P1 的主导电材料,并使用通过在钛膜 21a 和 21b 之上层叠氮化钛膜 21c 得到的膜层叠作为阻挡金属膜 21,但它们不限于此,而是可以以各种方式进行修改。例如,可以作为通过在氮化钛膜 21a 和 21b 之上层叠氮化钛膜 21c 得到的膜层叠来形成阻挡金属膜 21,以及使用铜膜作为插塞的主导电材料。在这种情况下,在以类似于以上采用的方式形成阻挡金属膜 21 之后,通过 CVD 或溅射在阻挡金属膜 21 上形成种子层例如铜或钉的种子

层，并通过电镀在种子层上形成铜镀膜，以将铜镀膜填充在接触孔 C1 以及第一和第二互连沟槽 HM1 和 HM2 中。

[0180] 使用上述膜形成装置 50 形成阻挡金属膜 21 和种子层。如上所述，膜形成装置 50 的传送室 51 装备有四个室。当钨膜 22 用作插塞 P1 的主导电材料时，室（第一室）54 用于进行干法清洗处理，室（第二室）55 用于进行热处理，室（第三室）56 和 57 用于形成阻挡金属膜。当铜膜用作插塞 P1 的主导电材料时，室（第一室）54 用于进行干法清洗处理，室（第二室）55 用于进行热处理，室（第三室）56 用于形成阻挡金属膜，室（第四室）57 用于形成种子层。使用具有这种结构的装置使得可以形成均匀种子层，因为该种子层持续形成在其表面没有暴露于空气并因此不被污染的阻挡金属膜 21 上。在形成该种子层之后，通过电镀将铜膜填充在接触孔 C1 以及第一和第二互连沟槽 HM1 和 HM2 中。由于种子层均匀地形成，所以铜膜几乎完全填充在其中，使得可以实现插塞 P1 的平稳导电。

[0181] 然后形成上部互连，例如第 0 级、第 1 级和第 2 级互连。接下来将描述这些互连的形成步骤。

[0182] 图 25 是示出与图 2 中所示相同的部分在图 24 的步骤之后的制造步骤中的局部平面图；图 26(a) 是示出与图 3(a) 中所示相同的部分在图 24 的步骤之后的制造步骤中的局部横截面图；图 26(b) 是示出与图 3(b) 中所示相同的部分在图 24 的步骤之后的制造步骤中的局部横截面图。

[0183] 通过溅射，在本地互连 23a 和 23b 以及插塞 1 之上沉积具有厚度例如约为  $0.1 \mu m$  的钨膜。然后对该钨膜进行构图以形成第 0 级互连 M0。

[0184] 然后通过 CVD，在本地互连 23a 和 23b、第 0 级互连 M0 以及氧化硅膜 17 之上沉积氧化硅膜 24。通过刻蚀去除第 0 级互连 M0 上的氧化硅膜 24，以形成接触孔 C2。

[0185] 然后在氧化硅膜 24 上，包括接触孔 C2 的内部，形成阻挡金属膜 25。阻挡金属膜 25 例如是通过在氮化钛膜、氮化钽膜和氮化钽膜之上层叠钽膜得到的膜层叠，或者通过在氮化钽膜之上层叠钉膜得到的膜层叠。在形成阻挡金属膜 25 之前，执行如上所述的干法清洗处理。这里同样在干法清洗处理中，可以将半导体晶片在  $100-150^{\circ}C$  的温度下加热，并且在高于  $150^{\circ}C$  的温度下加热来去除在接触孔 C2 的侧壁和底表面之上形成的产物。这使得可以减小阻挡金属膜 25 与第 0 级互连 M0 之间的接触电阻的变化。也可以防止阻挡金属膜 25 从氧化硅膜 24 剥离。

[0186] 通过 CVD 或溅射，在阻挡金属膜 25 上形成铜种子层，之后通过电镀，在该种子层上形成铜镀膜。铜镀膜填充在接触孔 C2 中。然后通过 CMP 去除在接触孔 C2 外部的区域中的铜镀膜、种子层和阻挡金属膜 25，以形成使用铜膜作为主导电材料的插塞 P2。在图 25 的平面图中，省略了对栅电极 G 和有源区域 An1 的表示。

[0187] 然后在氧化硅膜 24 和插塞 P2 之上形成第 1 级互连（图 25 中的阴影）M1。首先，通过溅射连续地沉积约  $0.01 \mu m$  厚的钛膜和约  $0.05 \mu m$  厚的氮化钛膜，然后使半导体衬底 1 经受在例如约  $500-700^{\circ}C$  的温度下的约 1 分钟的热处理。然后通过 CVD 沉积钨膜，之后进行构图以形成第 1 级互连 M1。在第 1 级互连 M1 中，用于经由插塞 P1 和 P2 耦合传输 MIS(Tr1 和 Tr2) 的栅电极 G 的第 1 级互连 M1 用作字线 WL。

[0188] 图 27 是与图 2 所示相同的部分在图 25 和图 26 的步骤之后的制造步骤中的局部平面图；图 28(a) 是与图 3(a) 所示相同的部分在图 25 和图 26 的步骤之后的制造步骤中的

局部横截面图；图 28(b) 是与图 3(b) 所示相同的部分在图 25 和图 26 的步骤之后的制造步骤中的局部横截面图。

[0189] 在通过 CVD 在第 1 级互连 M1 和氧化硅膜 24 上沉积氧化硅膜 26 之后，刻蚀掉第 1 级互连 M1 上的氧化硅膜 26 以形成接触孔 C3。

[0190] 接下来，在氧化硅膜 26 上形成第 2 级互连（图 27 中的阴影）M2。首先，通过溅射连续地沉积约  $0.01 \mu m$  厚的钛膜和约  $0.05 \mu m$  厚的氮化钛膜，然后在例如约  $500\text{--}700^\circ C$  的温度下对半导体衬底 1 进行约 1 分钟的热处理。然后通过 CVD 沉积钨膜并进行构图以形成第 2 级互连 M2。经由第 2 级互连 M2 将参考电位  $V_{ss}$  供给到驱动 MIS(Dr1 和 Dr2) 的源极。另一方面，经由第 2 级互连 M2 将电源电位  $V_{cc}$  供给到负载 MIS(Ld1 和 Ld2) 的源极。耦合到驱动 MIS(Dr1 和 Dr2) 的一端的第 2 级互连 M2 将分别成为数据线 DL 和  $\overline{DL}$ 。

[0191] 根据以上工艺，基本完成了 SRAM 的存储单元以及外围电路。

[0192] 根据本实施例，如上所述，在接触孔 C1 以及第一和第二互连沟槽 HM1 和 HM2 内部形成阻挡金属膜 21 之前执行干法清洗处理。与其化学计量组分稍有不同的产物留在接触孔 C1 以及第一和第二互连沟槽 HM1 和 HM2 的底表面和侧表面上，但可以通过在干法清洗处理之后执行的在高于  $150^\circ C$  的温度下的热处理去除。因此可以减小在接触孔 C1 以及第一和第二互连沟槽 HM1 和 HM2 的底表面上的阻挡金属膜 21 与硅化镍层 14 之间的接触电阻的变化。也可以防止在接触孔 C1 以及第一和第二互连沟槽 HM1 和 HM2 的侧表面上的阻挡金属膜 21 的剥离。

[0193] 此外，由于具有低浓度的杂质例如氯的热反应 Ti 膜 21a 可以形成为将与硅化镍层 14 相邻接的阻挡金属膜 21 的底层，并且通过使用  $H_2$  气体的等离子体处理可以降低包含在阻挡金属膜 21 中的诸如氯的杂质的浓度，因此所形成的阻挡金属膜 21 具有与硅化镍层 14 的低接触电阻，并且没有诸如剥离和微裂纹之类的缺陷。另外，通过将富含氮的 TiN 膜 21c 形成为将与插塞相邻接的阻挡金属膜 21 的最上层，可以抑制或防止插塞的构成原子扩散。

[0194] 即使氧化物膜生长在硅化镍层 14 的表面上并且通过干法清洗处理和热处理未去除而留下，在插塞 1 和硅化镍层 14 之间也可以实现良好的导电性，因为由于 5-30 秒的利用  $H_2$  气体的等离子体处理、利用  $NH_3$  气体对等离子体反应 Ti 膜 21b 的表面进行 0-75 秒的热氮化处理、以及 25-75 秒的利用  $NH_3$  气体的等离子体处理，所以氢原子穿过等离子体反应 Ti 膜 21b，并还原已经留在第一和第二互连沟槽 HM1 和 HM2 的底表面上的硅化镍层 14 与等离子体反应 Ti 膜 21b 之间的氧化物膜。图 29 示出了当应用本发明时插塞与硅化镍层之间的接触电阻。使用链状结构图案测量该接触电阻，在该链状结构图案中，链接了 7200 对在具有长边直径为  $200nm$  以及短边直径为  $90nm$  的互连沟槽中填充的插塞和硅化镍层。如图 29 所示，通过利用  $NH_3$  气体的热氮化处理或利用  $NH_3$  气体的等离子体处理，插塞和硅化镍层之间的接触电阻降低。

[0195] 此外，通过  $SiH_4$  还原反应或  $B_2H_6$  还原反应形成具有多层结构的钨成核膜 22a 作为形成插塞并与阻挡金属膜 21 相邻接的钨膜 22 的一层，可以改善钨膜 22 与富含氮的 TiN 膜 21c 之间的附着。另外，由于钨成核膜 22a 具有抑制  $WF_6$  气体中包含的氟穿透的作用，并且可以通过  $H_2$  还原形成均厚钨膜 22b，由此在不大于  $400^\circ C$  的相对较低的温度下形成钨膜 22，所以可抑制或防止  $WF_6$  气体中包含的氟穿透到阻挡金属膜 21 中，并可以防止由氟引起的对阻挡金属膜 21 的侵蚀。

[0196] 当使用由铜作为将填充在接触孔 C1 以及第一和第二互连沟槽 HM1 和 HM2 中的导电部件制成的插塞时, 具有用于干法清洗处理的室(室 54)、用于热处理的室(室 55)、用于阻挡金属膜形成的室(室 56)和用于种子层形成的室(室 57)的膜形成装置 50 能够使得在阻挡金属膜 21 上连续地形成种子层, 而不将其暴露于空气中。因此可以均匀地形成种子层, 并且可以通过电镀将铜膜几乎完全填充在接触孔 C1 以及第一和第二互连沟槽 HM1 和 HM2 中, 带来插塞的良好导电性。

[0197] 此外, 膜形成装置 50 可以装备有具有用于形成阻挡金属膜的相同结构和相同功能的两个室 56 和 57。即使停止两个室中的一个例如室 56, 也可使用例如室 57 来形成钛膜或氮化钛膜, 而无需停止膜形成装置 50。这使得可以提高膜形成装置 50 的操作速率。

[0198] 基于本发明的实施例具体地描述了本发明人所做出的本发明。但应理解到, 本发明并不限于这些实施例或者不受这些实施例的限制, 而是可以在不脱离本发明的范围的情况下进行改变。

[0199] 本发明可以应用于具有在绝缘膜中打开的连接孔中填充金属膜的步骤的半导体器件的制造。

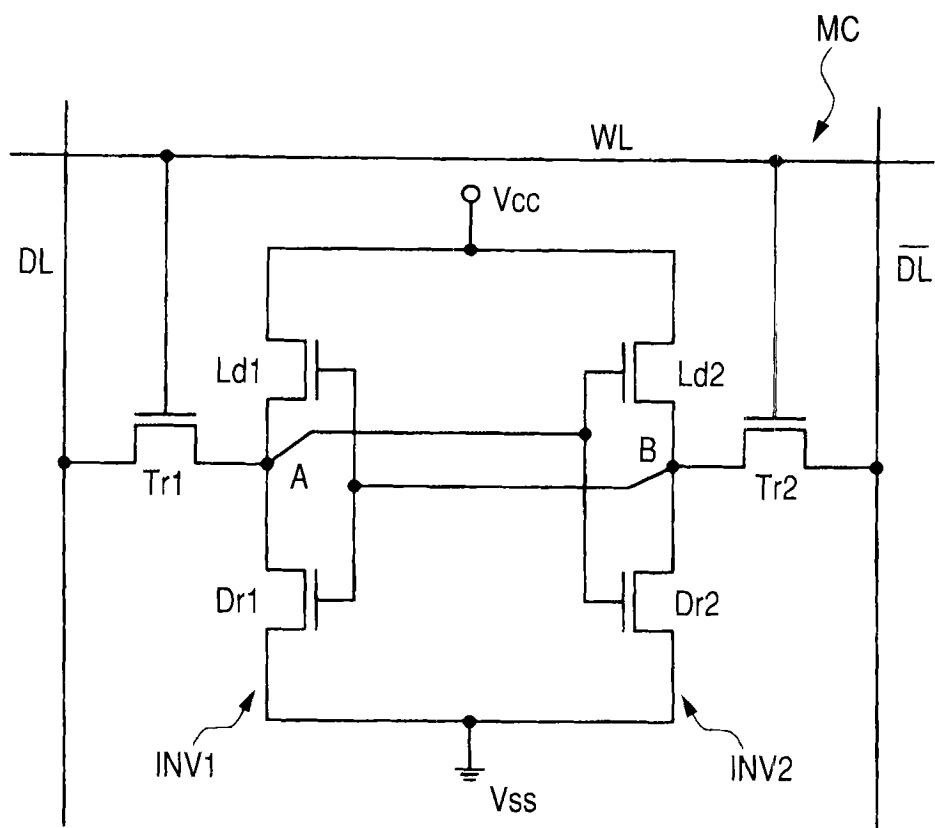


图 1

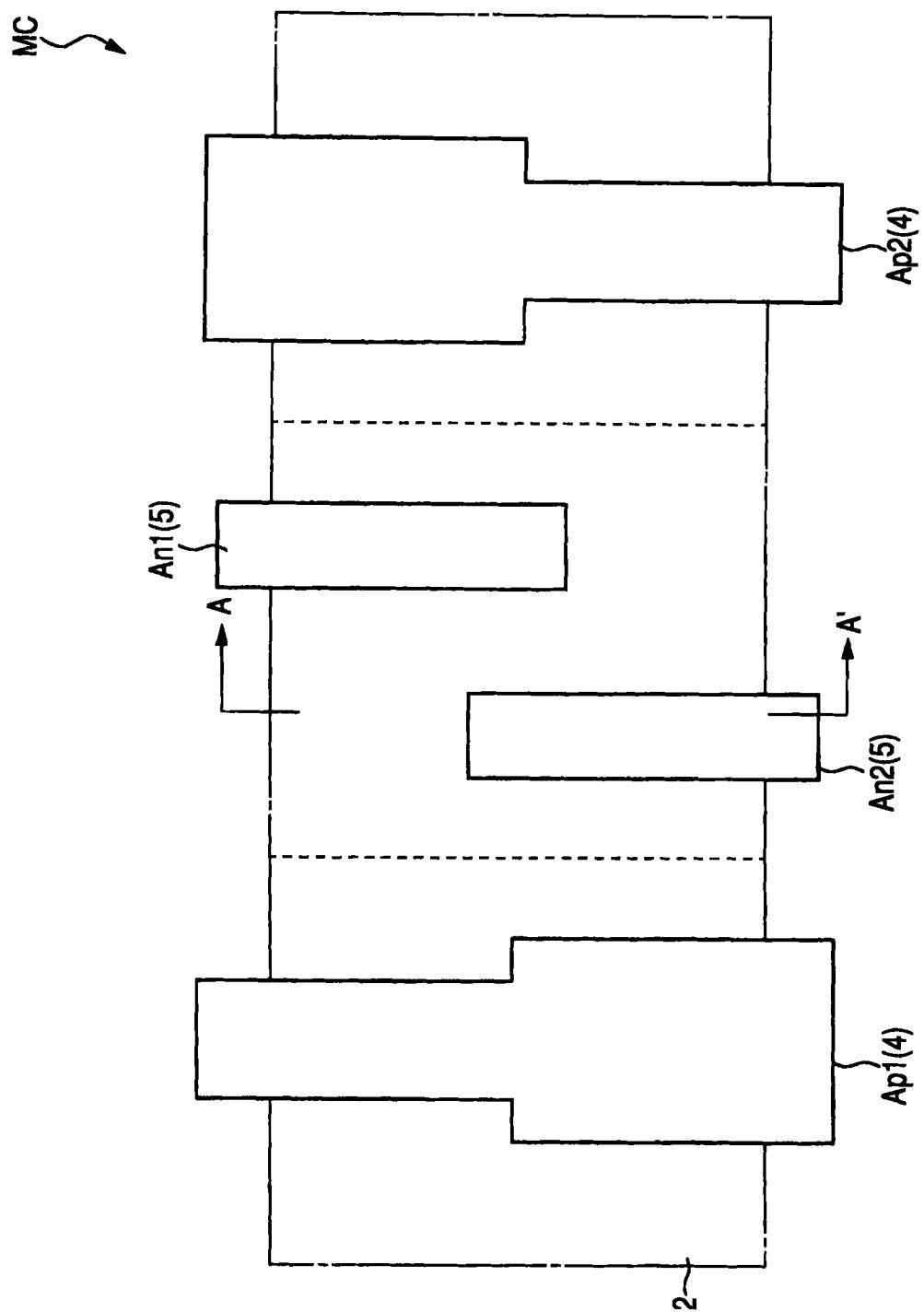


图 2

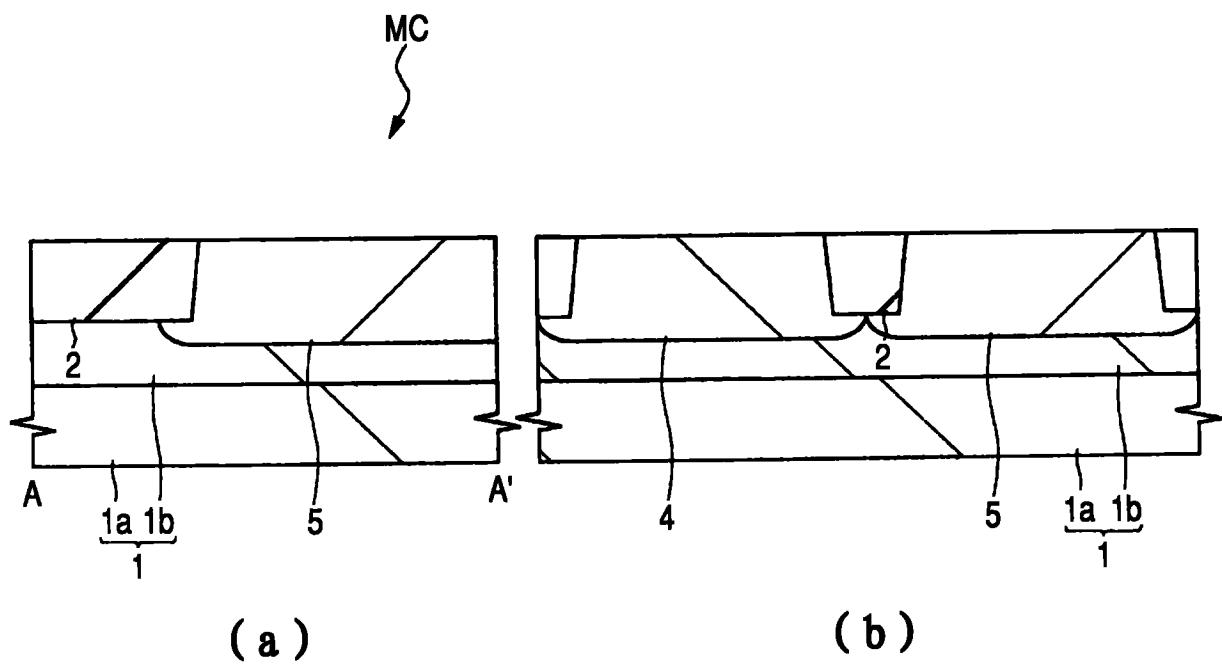


图 3

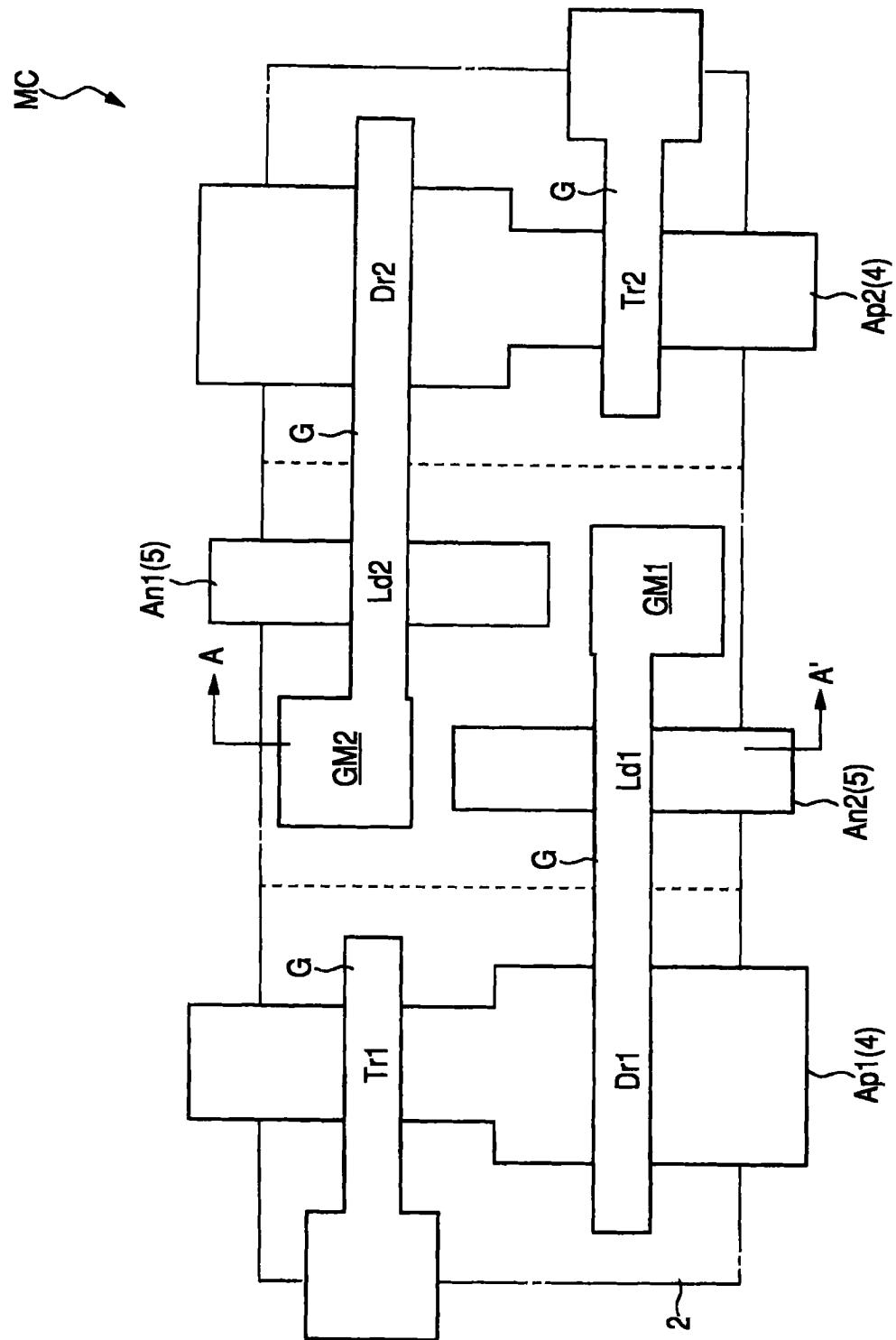


图 4

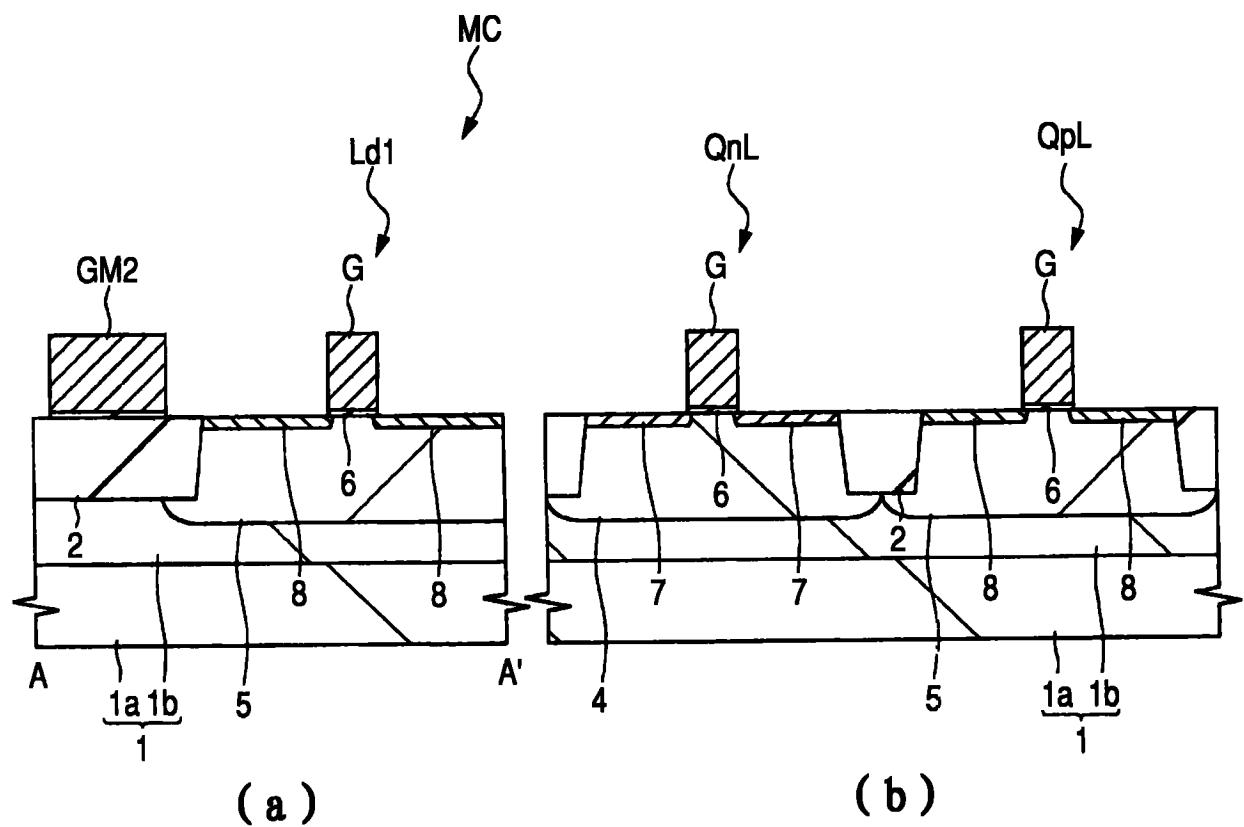


图 5

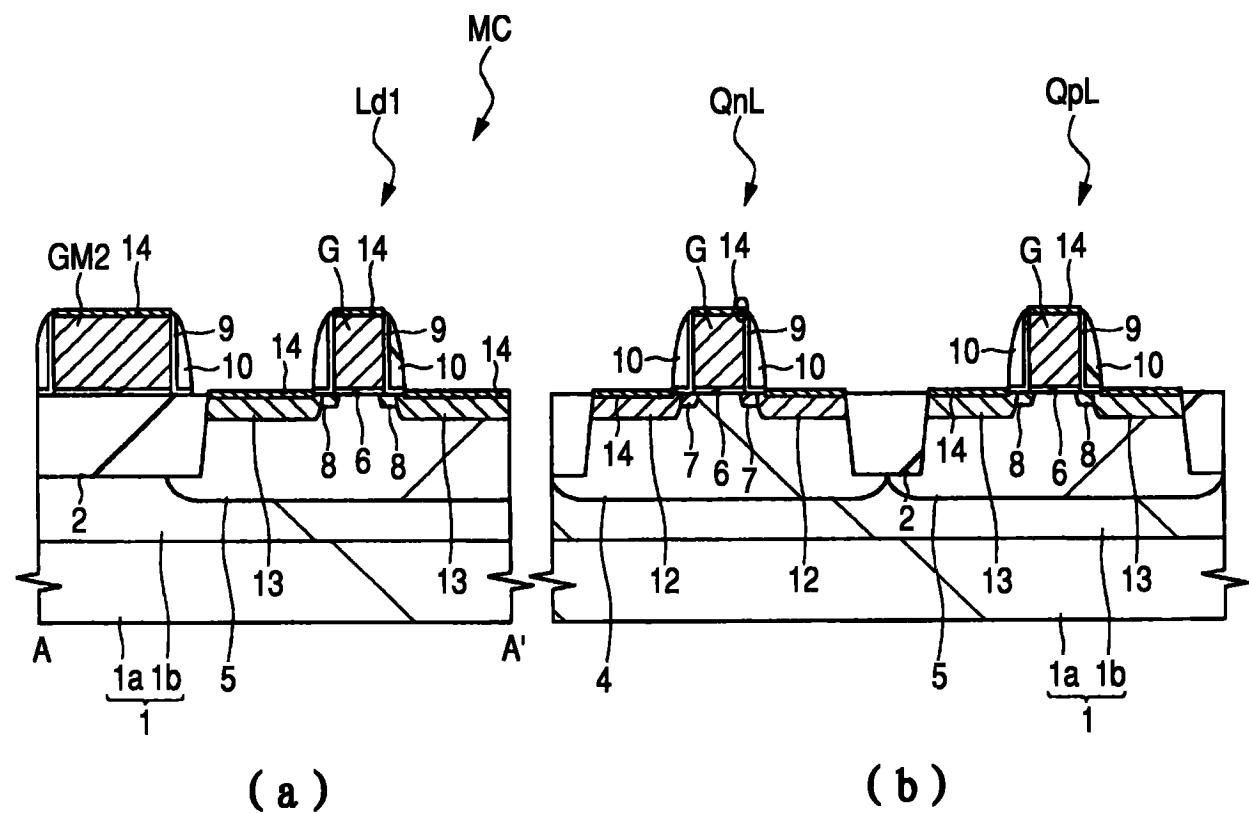


图 6

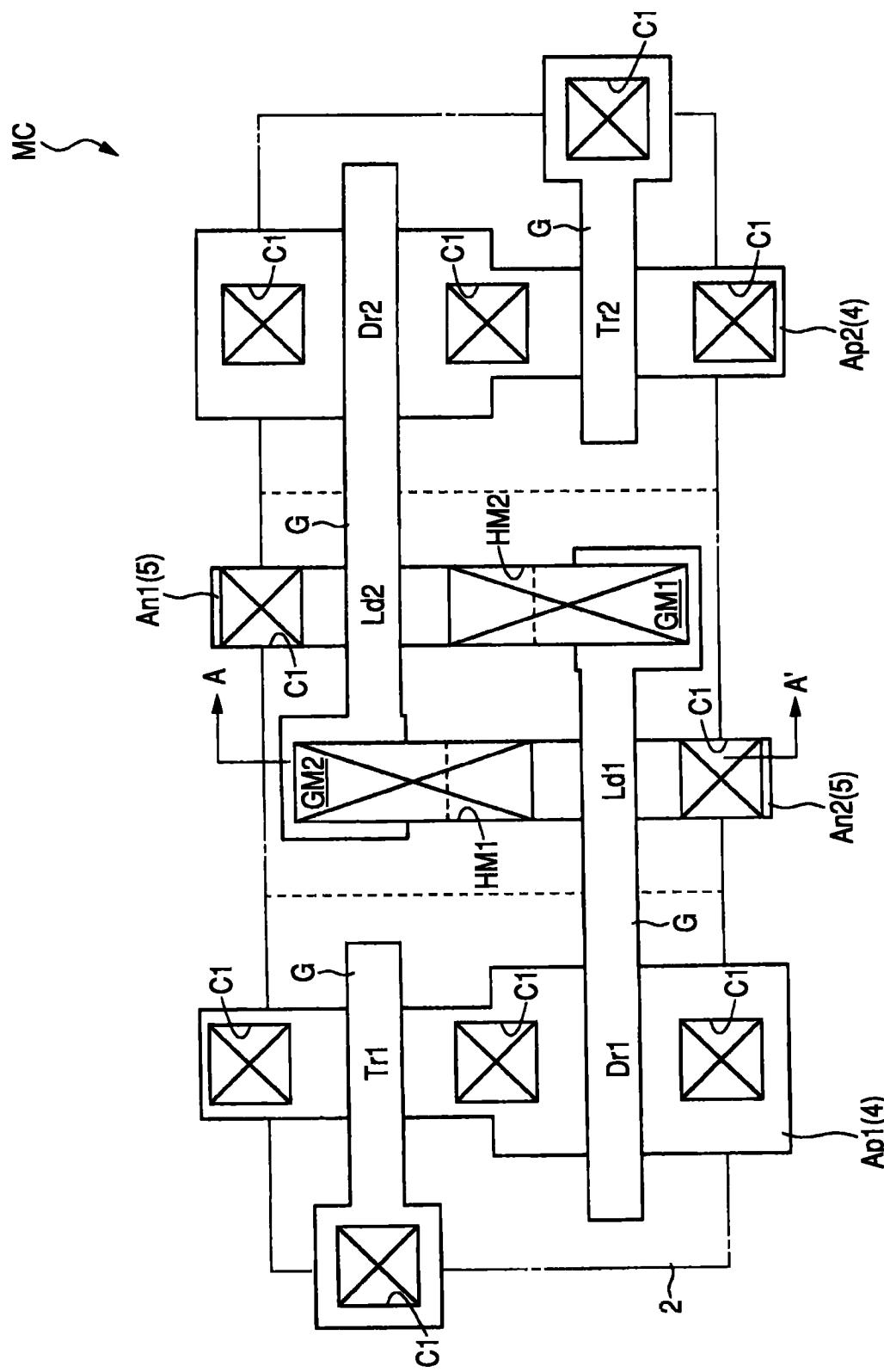


图 7

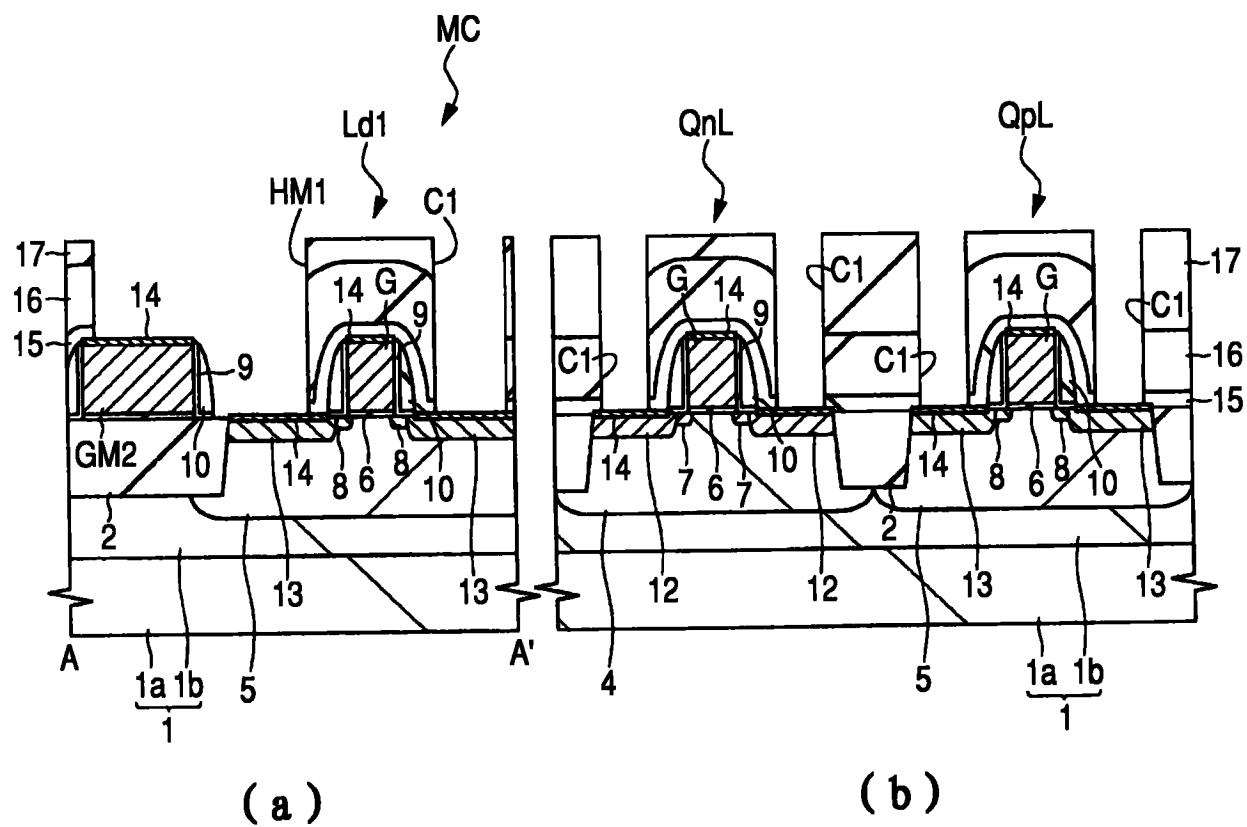


图 8

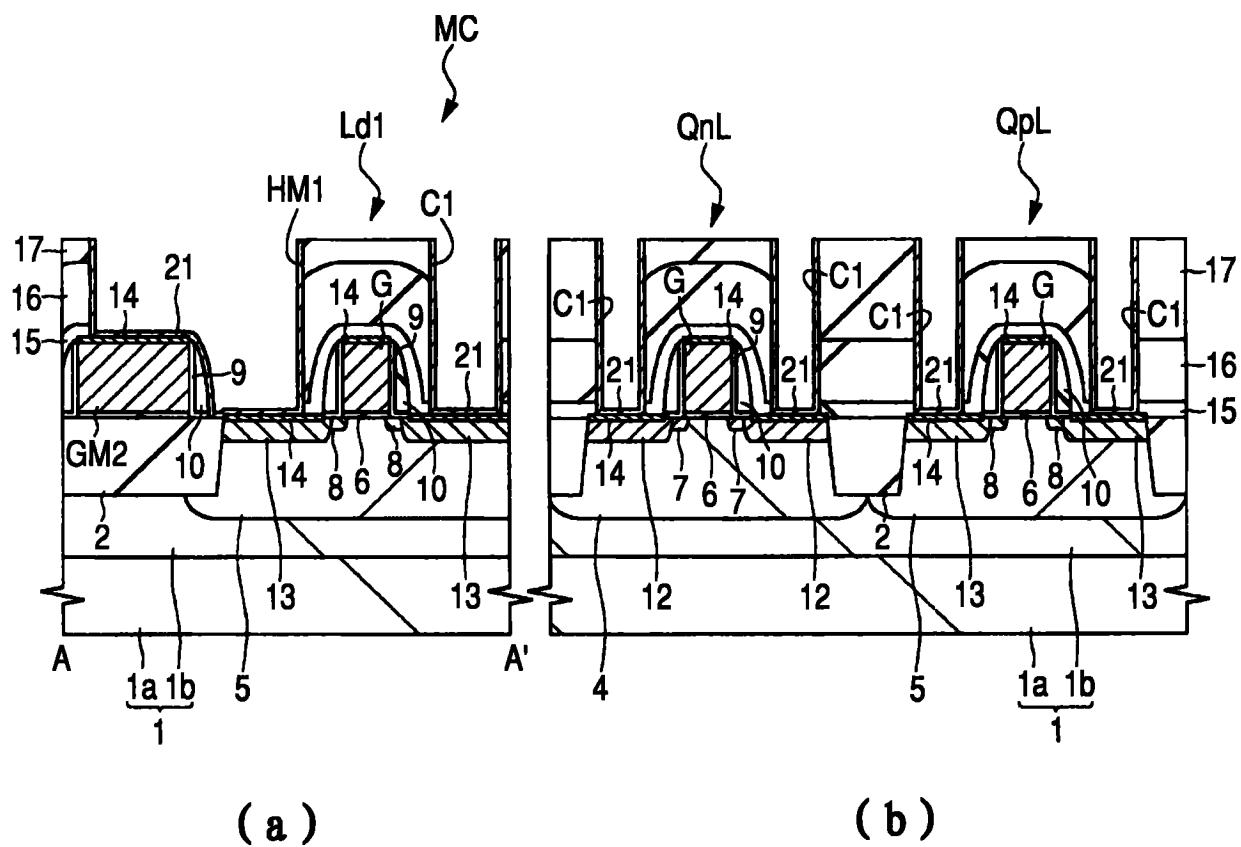


图 9

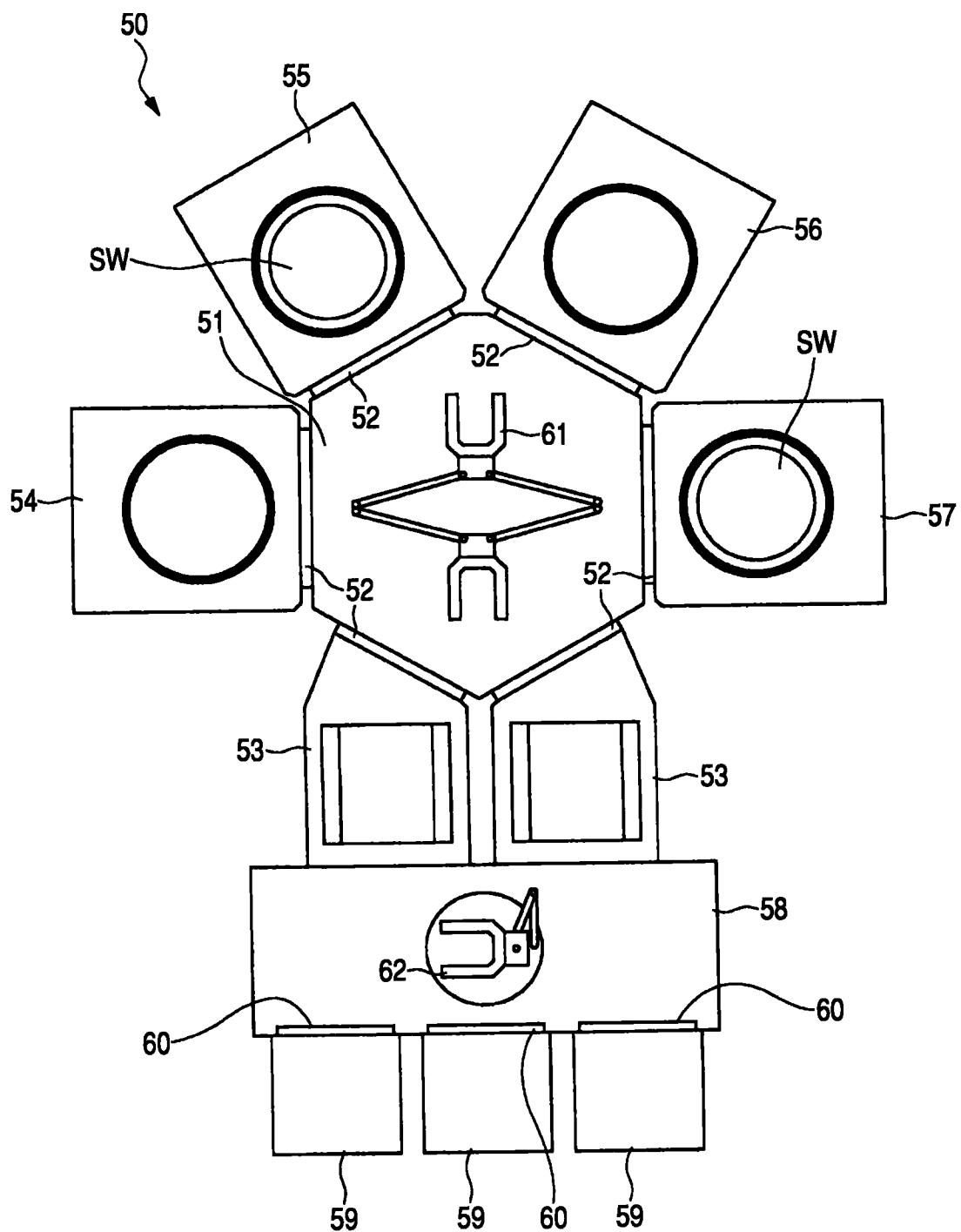


图 10

步 骤	1	2	3	4	5	6	7	8	9	10
注释	气体升温	预加热	TiCl <sub>4</sub> 转移	TiCl <sub>4</sub> 稳定	H <sub>2</sub> 沉积	等离子体	清除	NH <sub>3</sub> 流	NH <sub>3</sub> 等离子体	真空
时间(秒)	5	21	8	5~30		5~30	5	0~75	25~75	5
Ar (sccm)	800	800	800	800	800	800	800	800	800	800
H <sub>2</sub> (sccm)	4000	4000	4000	4000	4000	4000	4000	4000	4000	4000
TiCl <sub>4</sub> (sccm)	0	0	6.7	6.7	6.7	0	0	0	0	0
			转移	室	室					
NH <sub>3</sub> (sccm)	0	0	0	0	0	0	0	500	500	0
压力(Pa)	0→666.6	666.6	666.6	666.6	666.6	666.6	666.6	666.6	666.6	0
RF 功率(W)	0	0	0	0	800	800	0	0	800	0

图 11

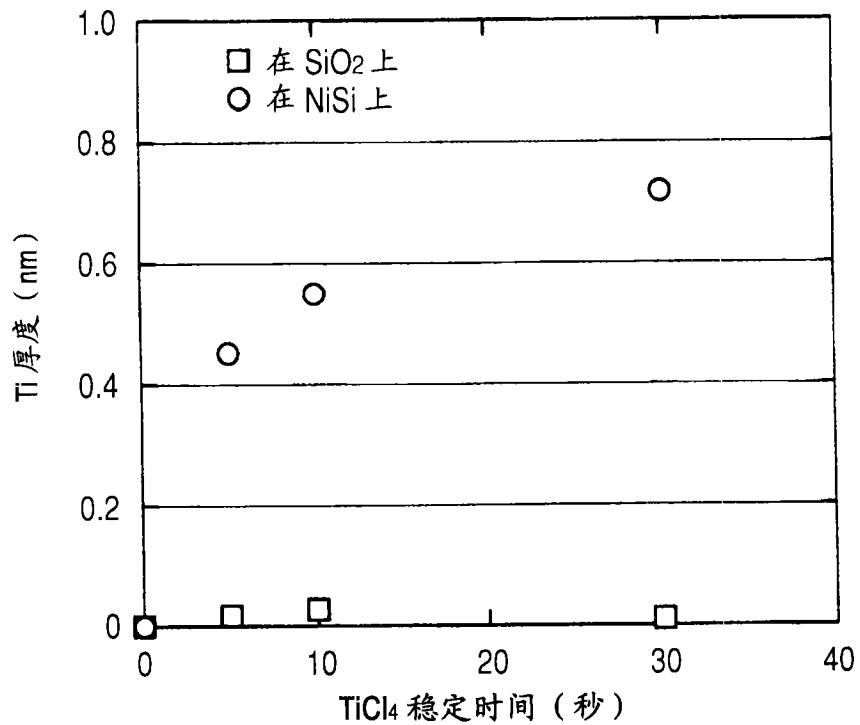


图 12

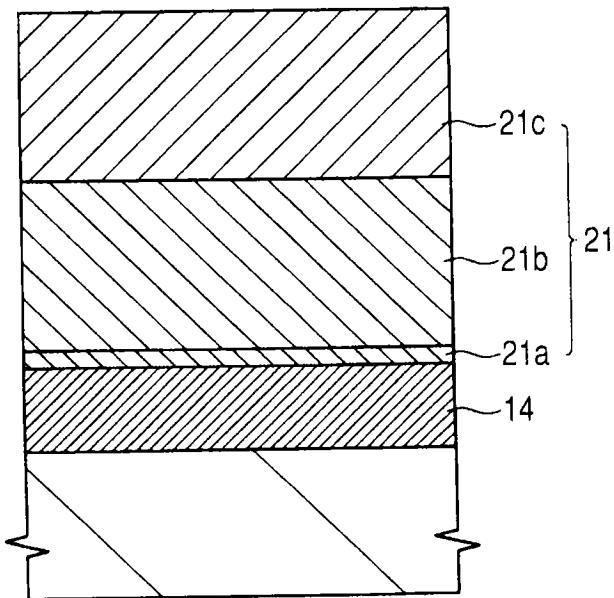


图 13

步骤 注释	1	2	3	4	5	6	7	8	9	10	11	12	13	
气体升温 预加热	TiCl <sub>4</sub> 转移	TiCl <sub>4</sub> 稳定	Ti 沉积 等离子体	H <sub>2</sub> 等离子体	TiCl <sub>4</sub> 转移	Ti 沉积 等离子体	H <sub>2</sub> 等离子体	Ti 沉积 等离子体	H <sub>2</sub> 等离子体	NH <sub>3</sub> 清除	NH <sub>3</sub> 流	NH <sub>3</sub> 等离子体	真空	
时间 (秒)	5	21	8	5~30		5	8			5	5	0~75	25~75	5
Ar (sccm)	800	800	800	800	800	800	800	800	800	800	800	800	800	800
H <sub>2</sub> (sccm)	4000	4000	4000	4000	4000	4000	4000	4000	4000	4000	4000	4000	4000	4000
TiCl <sub>4</sub> (sccm)	0	0	6.7	6.7	6.7	0	6.7	6.7	0	0	0	0	0	0
NH <sub>3</sub> (sccm)	0	0	0	0	0	0	0	0	0	0	0	500	500	0
压力 (Pa)	0→666.6	666.6	666.6	666.6	666.6	666.6	666.6	666.6	666.6	666.6	666.6	666.6	666.6	0
RF 功率 (W)	0	0	0	0	800	800	0	800	800	0	0	800	0	0

图 14

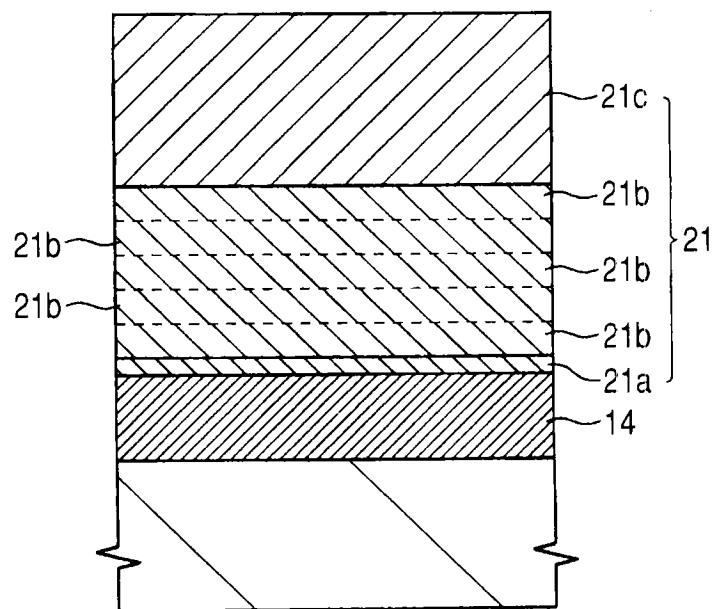


图 15

步 骤	1	2	3	4	5	6	7	8	9	10
注释	气体升温	预加热	TiCl <sub>4</sub> 转移	TiCl <sub>4</sub> 稳定	Ti	H <sub>2</sub> 沉积 等离子体	清除	NH <sub>3</sub> 流	NH <sub>3</sub> 等离子体	真空
时间 (秒)	5	21	8	5~30		5	5	10	5	5
Ar (sccm)	800	800	800	800	800	800	800	800	800	800
H <sub>2</sub> (sccm)	4000	4000	4000	4000	4000	4000	4000	4000	4000	4000
TiCl <sub>4</sub> (sccm)	0	0	6.7	6.7	6.7	0	0	0	0	0
NH <sub>3</sub> (sccm)	0	0	0	0	0	0	0	500	500	0
压 力 (Pa)	0→666.6	666.6	666.6	666.6	666.6	666.6	666.6	666.6	666.6	0
RF 功 率 (W)	0	0	0	0	800	800	0	0	800	0
	11	12	13	14	15	16	17			
TiCl <sub>4</sub> 转移			H <sub>2</sub> 沉积 等离子体	清除	NH <sub>3</sub> 流	NH <sub>3</sub> 等离子体				
	8			5	5	10	5	5	5	5
	800	800	800	800	800	800	800	800	800	800
	4000	4000	4000	4000	4000	4000	4000	4000	4000	4000
	6.7	6.7	0	0	0	0	0	0	0	0
	转移	室								
	0	0	0	0	500	500	0	0	0	0
	666.6	666.6	666.6	666.6	666.6	666.6	666.6	666.6	666.6	0
	0	800	800	0	0	0	800	0	0	0

图 16

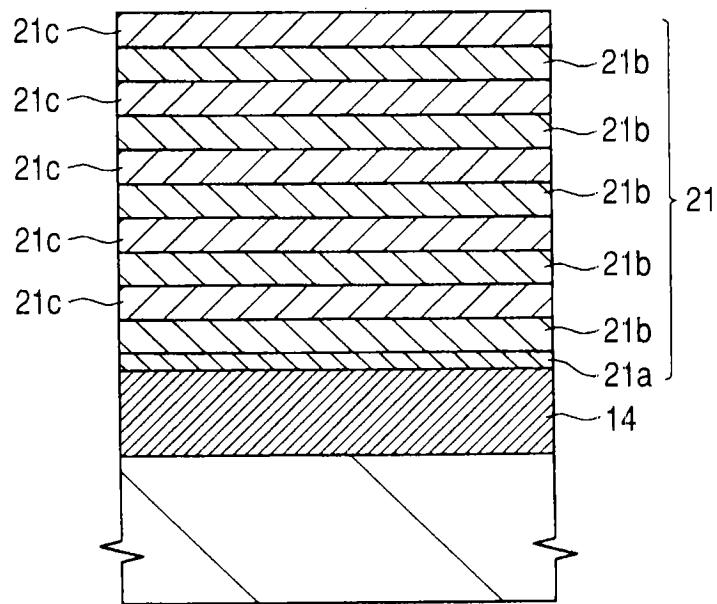


图 17

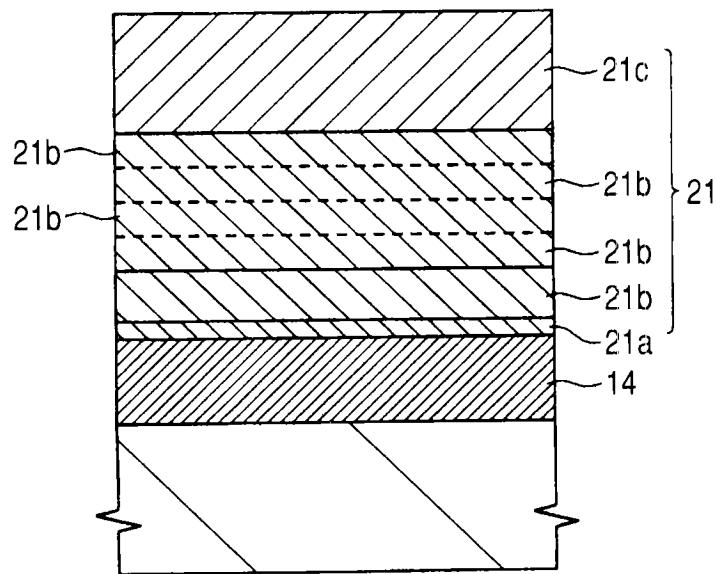


图 18

步骤	1	2	3	4	5	6	7	8	9	10	11	12
注释	气体升温	预加热	TiCl <sub>4</sub> 转移	稳定	TiCl <sub>4</sub> 流	沉积	TiCl <sub>4</sub> 流	NH <sub>3</sub> 转移	NH <sub>3</sub> 流	清除	真空	真空
时间(秒)	5	30	10	4	1	0.5	6	2	2	5	10	5
TiCl <sub>4</sub> (sccm)	0	0	60	60	60	60	60	60	0	0	0	0
TiCl <sub>4</sub> 系统载体N <sub>2</sub> (sccm)	500	500	200	1800	170	170	170	1800	1000	200	1000	0
NH <sub>3</sub> (sccm)	60	60	4500	60	60	60	60	0	1000	4500	0	0
NH <sub>3</sub> 系统载体N <sub>2</sub> (sccm)	500	500	200	1800	170	170	170	1800	1000	200	1000	0
压力(Pa)	0→650	650	260	260	260	260	260	260	260	260	0	0

图 19

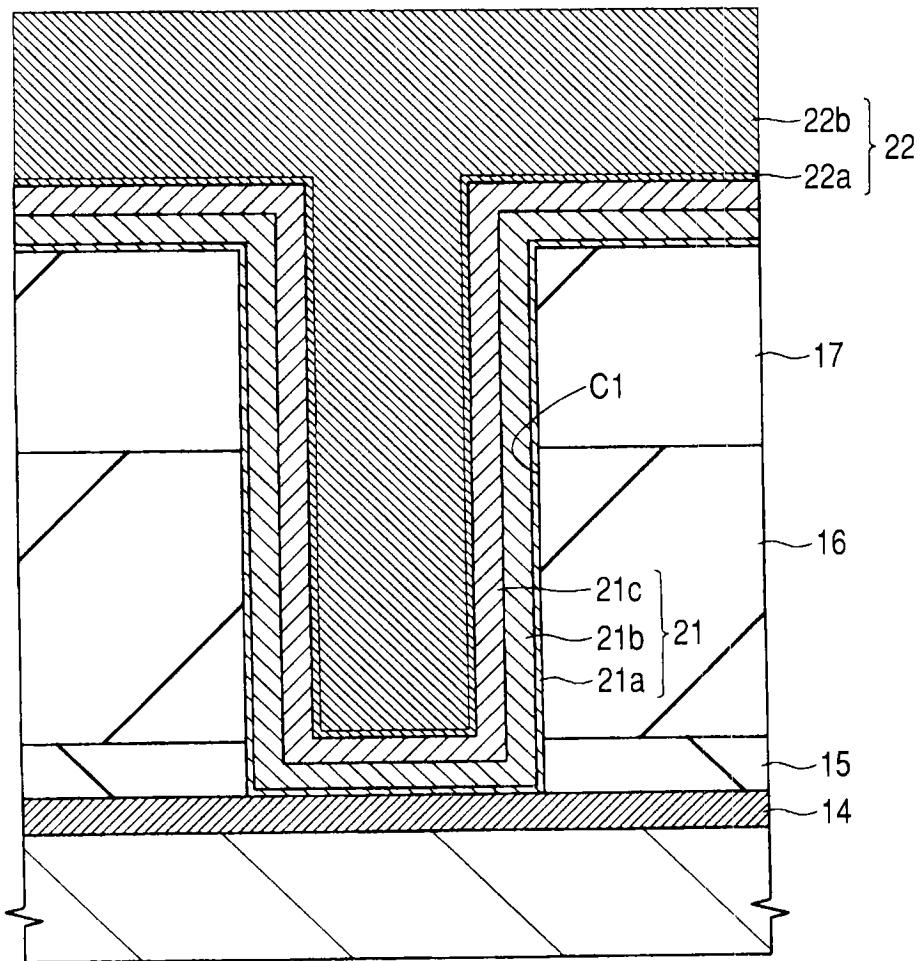


图 20

步骤	1	2	3	4	5	6
注释	预流	成核	清除	预流	过孔填充	真空
时间 (秒)	5	A1	15	5	A2	3
压力 (Pa)	2667	2667	10666	10666	10666	0
温度 (°C)	390	390	390	390	390	390
L01:WF <sub>6</sub> (sccm)	50	50	0	250	250	0
L03:Ar (sccm)	4500	4500	7000	4000	4000	4000
L04:SiH <sub>4</sub> (sccm)	40	40	0	0	0	0
L05:H <sub>2</sub> (sccm)	900	900	2200	2200	2200	2200
L06:N <sub>2</sub> (sccm)	1350	1350	2000	200	200	200
L07:BSAr (sccm)	1000	1000	2000	2000	2000	2000
L08:H <sub>2</sub> (sccm)	0	0	1700	1700	1700	1700
L01:WF <sub>6</sub> 流模式	转移	室		转移		
L04:SiH <sub>4</sub> 流模式	转移	室				

图 21

\*L01 至 L08 均表示至室的气体管线系统的编号

步 骤	1	2	3	4	5	6	7	8	9
注释	WF <sub>6</sub> 流	清除	SiH <sub>4</sub> 流	清除	预流	钝化	加压	保持	真空
时间 (秒)	1.5	1.5	1.5	1.5	3	11	40		3
压力 (Pa)	1000	1000	1000	1000	1000	1000	10666	10666	0
温度 (°C)	350	350	350	350	350	350	390	390	390
L01:WF <sub>6</sub> (sccm)	160	0	160	160	60	60	350	350	0
L03:Ar (sccm)	6000	6000	6000	6000	6000	6000	4000	4000	4000
L04:SiH <sub>4</sub> (sccm)	400	400	400	0	0	0	0	0	0
L05:H <sub>2</sub> (sccm)	0	0	0	0	4000	4000	4000	4000	2200
L06:N <sub>2</sub> (sccm)	2000	2000	2000	2000	2000	2000	200	200	200
L07:BSAr (sccm)	2000	1	1	2000	2000	2000	2000	2000	2000
L08:H <sub>2</sub> (sccm)	0	0	0	0	0	0	0	1700	1700
L01:WF <sub>6</sub> 流模式	室	转移	转移	转移	转移	室	室		
L04:SiH <sub>4</sub> 流模式	转移	转移	室						

\* L01 至 L09 均表示至室的气体流管线系统的编号

图 22

步骤 注释	1	2	3	4	5	6	7	8	9	10
WF <sub>6</sub> 流 清除	WF <sub>6</sub> 流	B2H6 流	清除	稳定	预流	钝化	加压	保持	真空	
时间 (秒)	1.5	1.5	3	1.5	1.5	1.5	11	40		3
压力 (Pa)	1000	1000	1000	1000	1000	1000	10666	10666	10666	0
温度 (°C)	350	350	350	350	350	350	390	390	390	390
L01:WF <sub>6</sub> (sccm)	160	0	0	160	0	60	60	200	200	0
L03:Ar (sccm)	6000	6000	6000	6000	6000	6000	2000	2000	2000	2000
L05:H <sub>2</sub> (sccm)	0	0	0	0	4000	4000	4000	4000	4000	2200
L06:N <sub>2</sub> (sccm)	2000	2000	2000	2000	2000	2000	2000	200	200	200
L07:BSAr (sccm)	2000	1	1	2000	2000	2000	2000	2000	2000	2000
L08:H <sub>2</sub> (sccm)	0	0	0	0	0	0	0	1700	1700	1700
L09:B2H6 (sccm)	0	1000	1000	0	0	0	0	0	0	0
L01:WF <sub>6</sub> 流模式	室	转移	室	转移	室	转移	室	室	室	
L09:B2H6 流模式	转移	室	转移	室	转移	室	转移	室	转移	

\* L01 至 L09 均表示至室的气体管线系统的编号

图 23

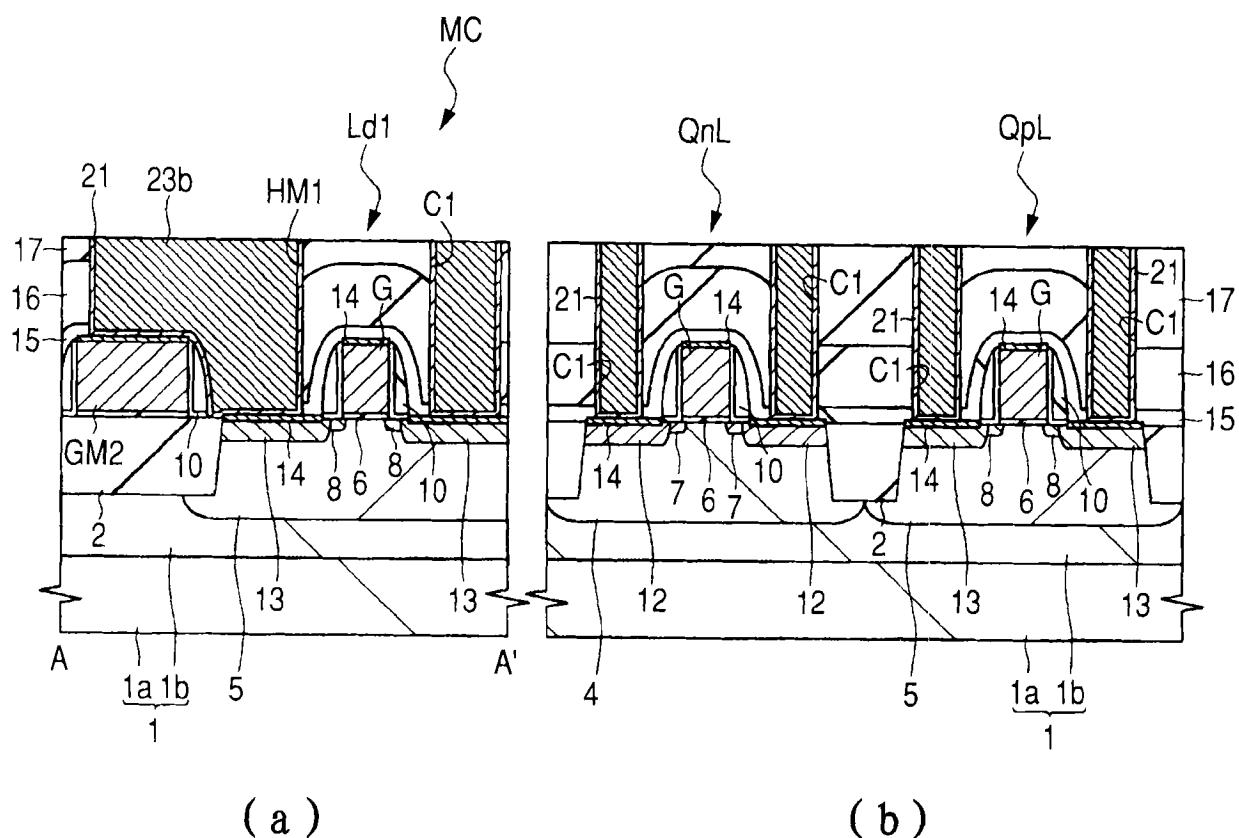


图 24

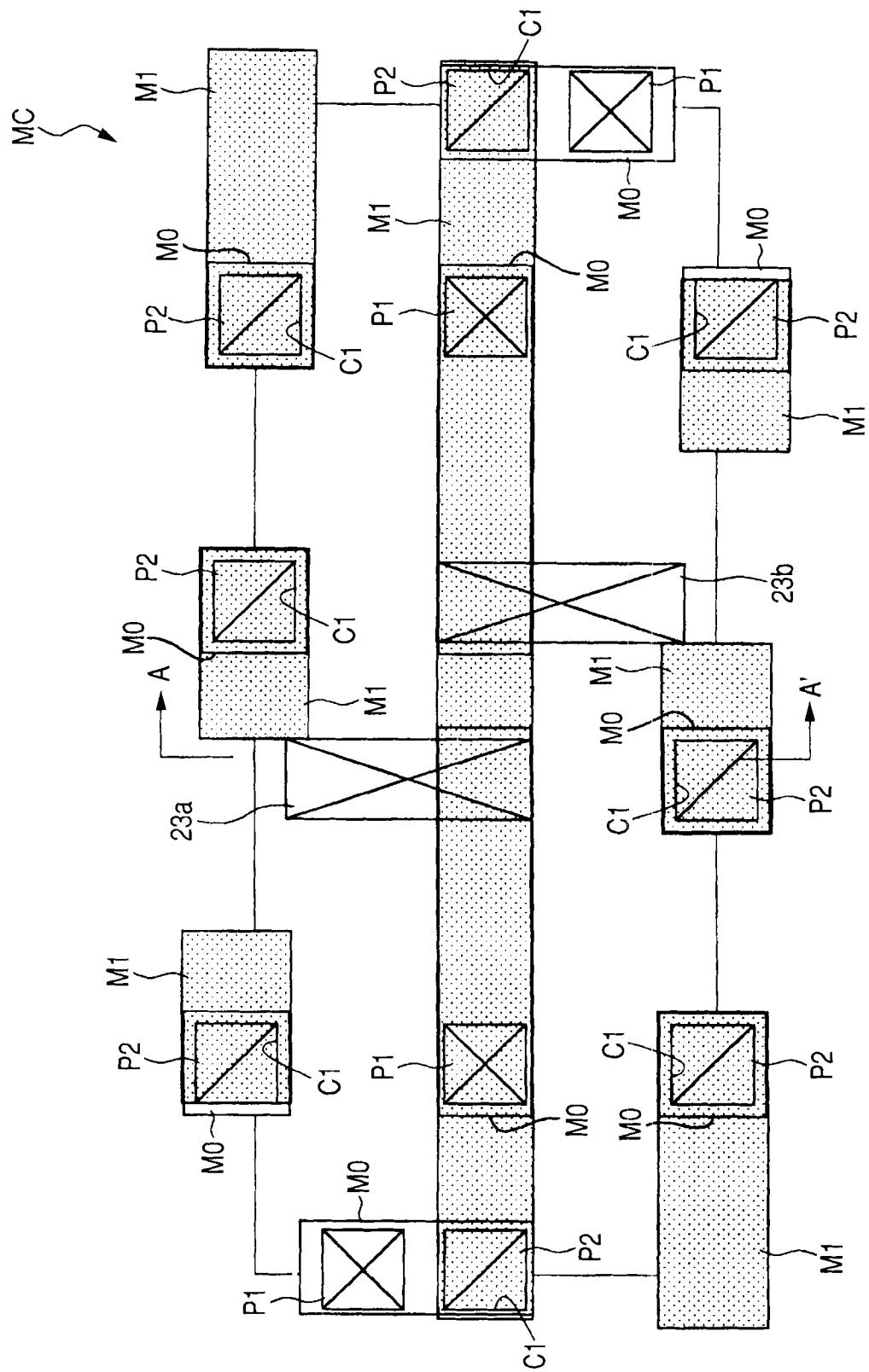


图 25

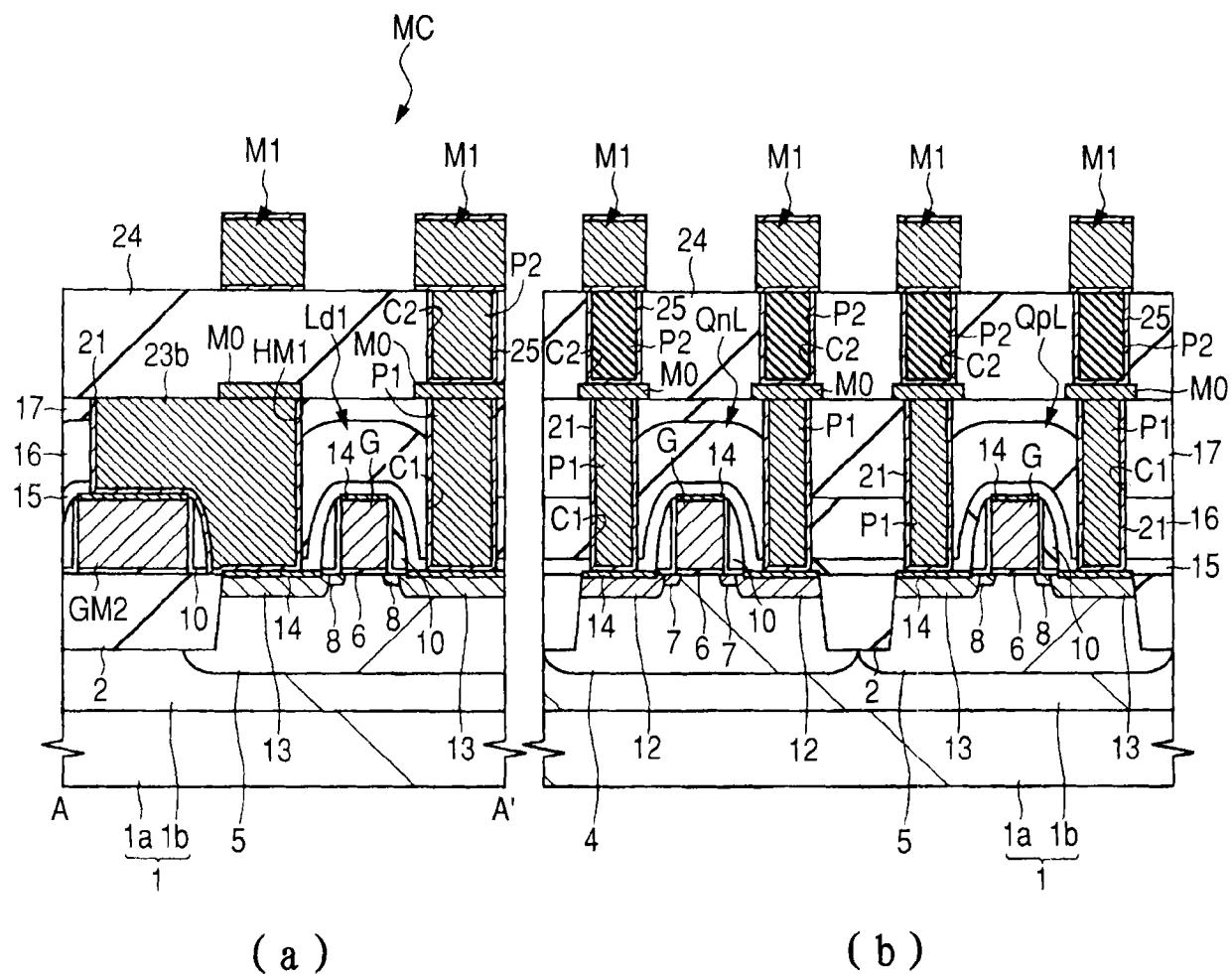


图 26

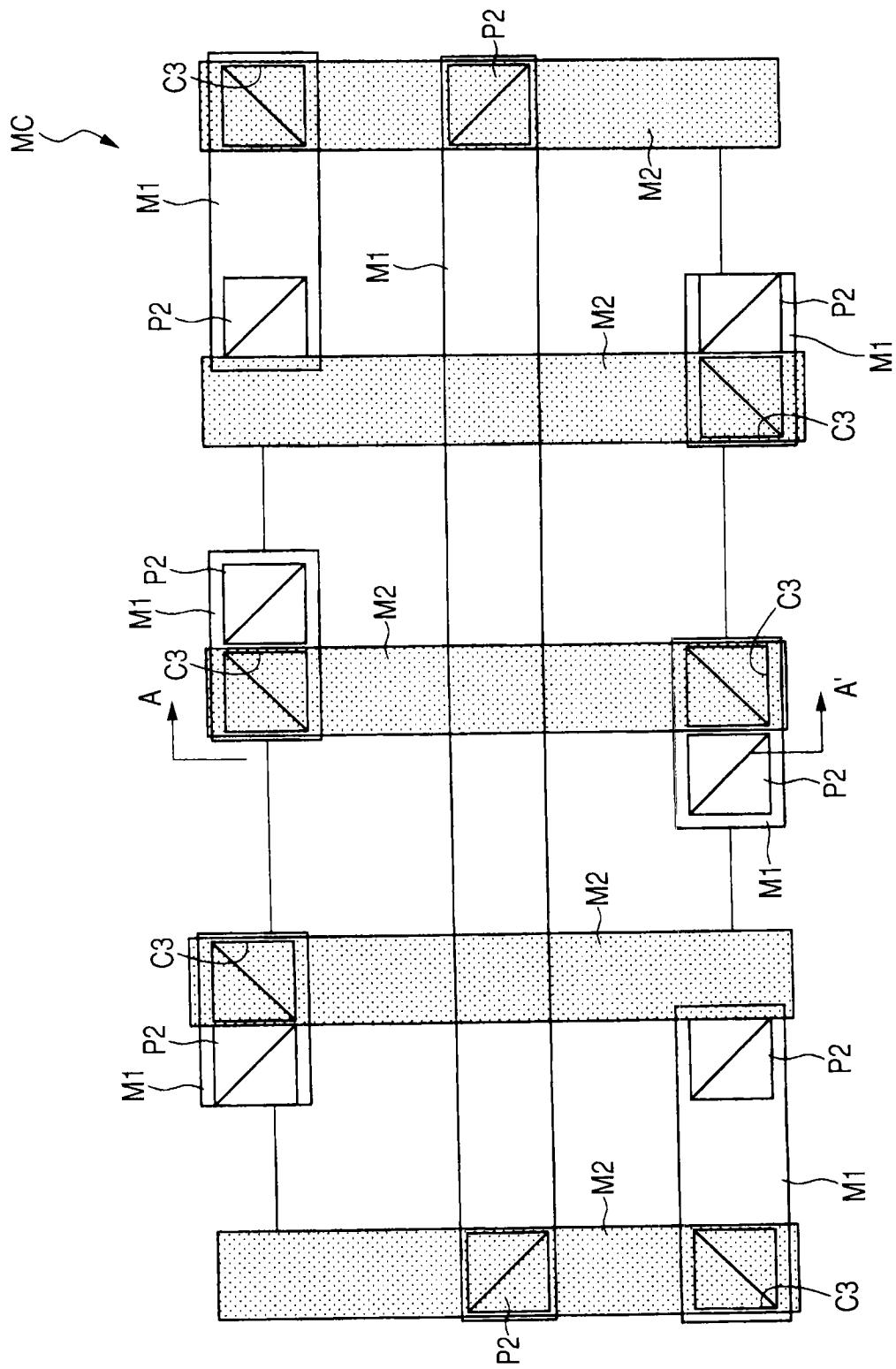


图 27

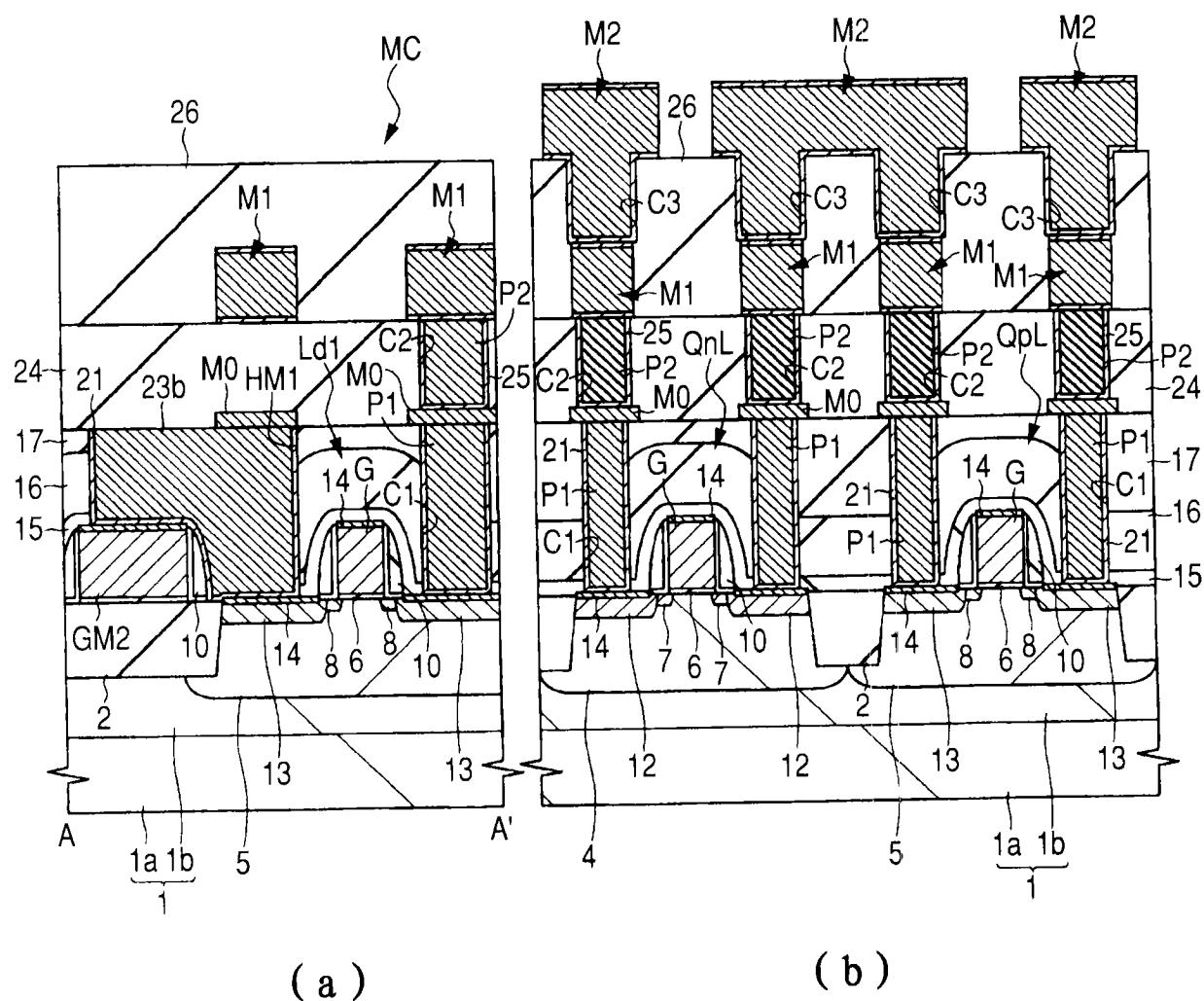


图 28

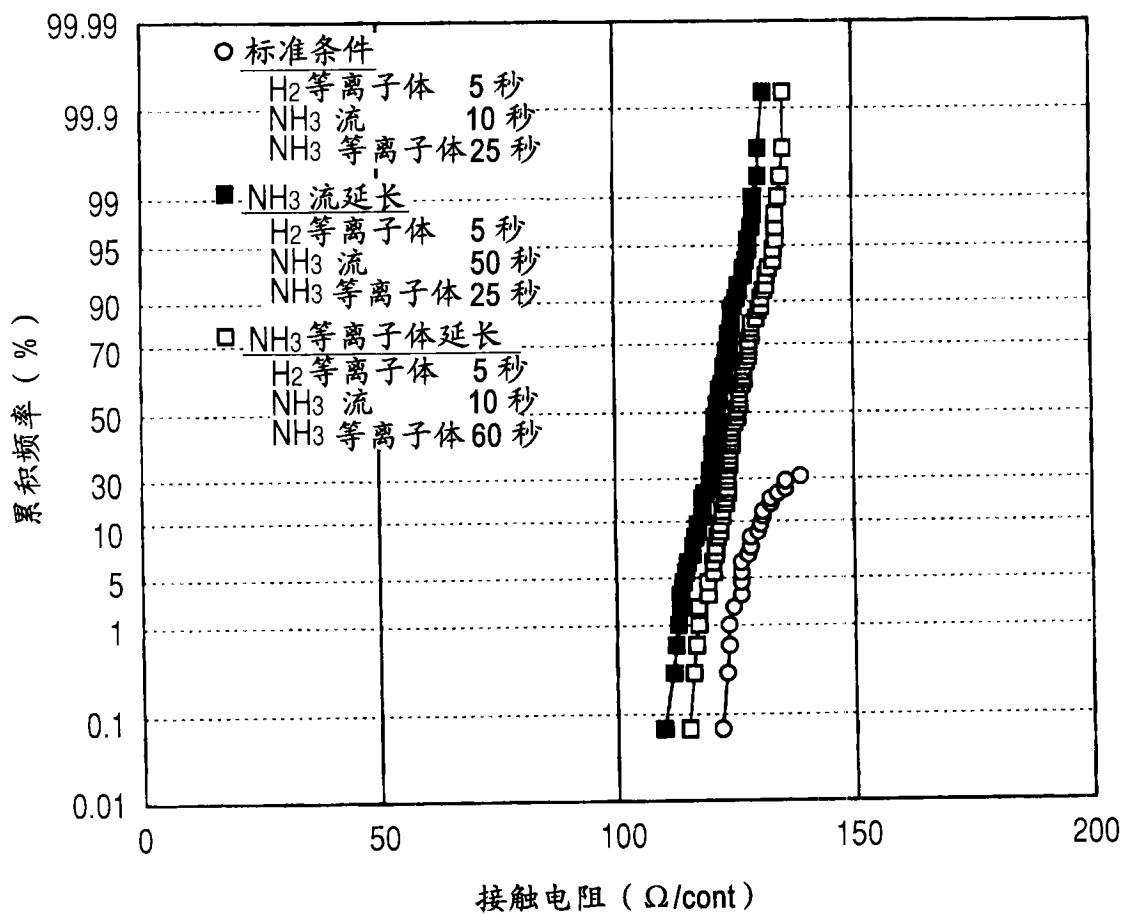


图 29