(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3800447号
(P3800447)
(45)発行日　平成18年7月26日(2006.7.26)　(24)登録日　平成18年5月12日(2006.5.12)

(51)Int.Cl.　　F I
G11C 11/409 (2006.01)　　G11C 11/34 353E
G11C 11/407 (2006.01)　　G11C 11/34 362S

請求項の数 2　(全 24 頁)

(21)出願番号　特願平9-74490
(22)出願日　平成9年3月11日(1997.3.11)
(65)公開番号　特開平10-255470
(43)公開日　平成10年9月25日(1998.9.25)
審査請求日　平成14年7月8日(2002.7.8)

(73)特許権者　000005108
株式会社日立製作所
東京都千代田区丸の内一丁目６番６号
(73)特許権者　000233169
株式会社日立超エル・エス・アイ・システムズ
東京都小平市上水本町５丁目２２番１号
(74)代理人　100081938
弁理士　徳若　光政
(72)発明者　長谷川　雅俊
東京都青梅市今井２３２６番地　株式会社日立製作所　デバイス開発センタ内
(72)発明者　中村　正行
東京都青梅市今井２３２６番地　株式会社日立製作所　デバイス開発センタ内
最終頁に続く

(54)【発明の名称】半導体記憶装置

(57)【特許請求の範囲】
【請求項１】
第１及び第２の電源電圧をその動作電源とする半導体記憶装置であって、
ダイナミック型メモリセルが接続された相補ビット線と、
上記相補ビット線に入出力ノードが接続されたセンスアンプと、
上記相補ビット線にカラム選択スイッチを介して接続される共通データ線と、
上記共通データ線に設けられたライトアンプとを備え、
上記センスアンプは、
ＣＭＯＳラッチ回路を含み、
上記ＣＭＯＳラッチ回路のＰチャネルＭＯＳＦＥＴ及びＮチャネルＭＯＳＦＥＴの複数が共通に接続される第１及び第２のコモンソース線に、動作タイミングに対応して上記第１の電源電圧電位より所定値だけ絶対値の小さな第１の内部電圧及び上記第２の電源電圧電位より所定値だけ絶対値の大きな第２の内部電位がそれぞれ供給されることで選択的に動作状態とされ、
増幅出力信号のハイレベルの到達電位を上記第１の内部電圧とし、増幅出力信号のロウレベルの到達電位を上記第２の内部電圧とするものであり、
上記ライトアンプは、
書き込み動作当初に一定の期間発生される第１タイミング信号に対応して上記第１及び第２の電源電圧で動作する第１出力回路と、
上記第１タイミング信号に続いて発生される第２タイミング信号に対応して上記第

１及び第２の内部電圧で動作する第２出力回路からなり、
　上記第１タイミング信号に対応した第１段階での書き込み信号のハイレベルを上記第１の電源電圧とし、ロウレベルを上記第２の電源電圧とする第１出力動作と、
　上記第２タイミング信号に対応した第２段階での書き込み信号のハイレベルを上記第１の内部電圧とし、ロウレベルを上記第２の内部電圧とする第２出力動作とを行うことを特徴とする半導体記憶装置。
【請求項２】
　第１及び第２の電源電圧をその動作電源とする半導体記憶装置であって、
　ダイナミック型メモリセルが接続された相補ビット線と、
　上記相補ビット線に入出力ノードが接続されたセンスアンプと、
　上記相補ビット線にカラム選択スイッチを介して接続される共通データ線と、
　上記共通データ線に設けられたライトアンプとを備え、
　上記センスアンプは、
　　ＣＭＯＳラッチ回路を含み、
　　上記ＣＭＯＳラッチ回路のＰチャネルＭＯＳＦＥＴ及びＮチャネルＭＯＳＦＥＴの複数が共通に接続される第１及び第２のコモンソース線に、動作タイミングに対応して上記第１の電源電圧電位より所定値だけ絶対値の小さな第１の内部電圧及び上記第２の電源電圧電位より所定値だけ絶対値の大きな第２の内部電位がそれぞれ供給されることで選択的に動作状態とされ、
　　増幅出力信号のハイレベルの到達電位を上記第１の内部電圧とし、増幅出力信号のロウレベルの到達電位を第２の内部電圧とするものであり、
　上記ライトアンプは、
　　第１ブートストラップ容量と、
　　プリチャージ期間に上記第１ブートストラップ容量の一方の電極の電圧を上記第１の電源電圧とする第１プリチャージＭＯＳＦＥＴと、
　　第２ブートストラップ容量と、
　　プリチャージ期間に上記第２ブートストラップ容量の一方の電極の電圧を上記第２の電源電圧とする第２プリチャージＭＯＳＦＥＴと、
　　上記プリチャージ期間に上記第１ブートストラップ容量の他方の電極の電圧を上記第２の電源電圧とし、書き込み期間に上記第１の電源電圧に変化させる第１駆動回路と、
　　上記プリチャージ期間に上記第２ブートストラップ容量の他方の電極の電圧を上記第１の電源電圧にし、書き込み期間に上記第２の電源電圧に変化させる第２駆動回路と、
　　上記第１の内部電圧を用いて書き込み信号のハイレベルを形成する第１スイッチＭＯＳＦＥＴと、
　　上記第２の内部電圧を用いて書き込み信号のロウレベルを形成する第２スイッチＭＯＳＦＥＴとを有し、
　　書き込み動作開始時には上記第１ブートストラップ容量で形成された第１ブースト電圧を用いて書き込み信号のハイレベルを形成し、上記第２ブートストラップ容量で形成された第２ブースト電圧を用いて書き込み信号のロウレベルを形成し、
　　書き込み動作開始時から所定期間経過後は上記第１スイッチＭＯＳＦＥＴのオン状態により上記書き込み信号のハイレベルを上記第１の内部電圧に変化させ、上記第２スイッチＭＯＳＦＥＴのオン状態により上記書き込み信号のロウレベルを上記第２の内部電圧に変化させることを特徴とする半導体記憶装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は半導体記憶装置及びシステムに関し、例えば、ＢＳＧ（ブースティッド・センス・グラウンド）方式を採るシンクロナスＤＲＡＭ（ダイナミック・ランダム・アクセス・メモリ）及びこれを含むコンピュータシステムならびにその高速化に利用して特に有効な技術に関するものである。

【０００２】
【従来の技術】
直交して配置される所定数のワード線及び相補ビット線ならびにこれらのワード線及び相補ビット線の交点に格子状に配置される多数のダイナミック型メモリセルを含むメモリアレイをその基本構成要素とし、所定のクロック信号に従って同期動作するいわゆるシンクロナスＤＲＡＭがある。また、このようなシンクロナスＤＲＡＭを、例えばディスプレイ制御のためのフレームメモリとして含むコンピュータシステムがある。
【０００３】
一方、シンクロナスＤＲＡＭ等の高速化・低消費電力化を図る一つの手段として、ビット線における読み出し信号の増幅後のハイレベル及びロウレベルを、電源電圧ＶＤＤより所定値だけ低い電位ＶＤＬあるいは接地電位ＶＳＳより所定値だけ高い電位ＶＳＬとするいわゆるＢＳＧ方式が知られている。
【０００４】
【発明が解決しようとする課題】
本願発明者等は、この発明に先立って、ＢＳＧ方式を採るシンクロナスＤＲＡＭを開発し、次のような問題点に直面した。すなわち、このシンクロナスＤＲＡＭは、図１０に例示されるように、ＮチャンネルＭＯＳＦＥＴ（金属酸化物半導体型電界効果トランジスタ。この明細書では、ＭＯＳＦＥＴをして絶縁ゲート型電界効果トランジスタの総称とする）Ｎ２及びＰチャンネルＭＯＳＦＥＴＰ２あるいはＮチャンネルＭＯＳＦＥＴＮ３及びＰチャンネルＭＯＳＦＥＴＰ３からなる一対のＣＭＯＳ（相補型ＭＯＳ）インバータが交差結合されてなる単位増幅回路を含むセンスアンプＳＡを備える。また、センスアンプＳＡの各単位増幅回路は、コモンソース線ＣＳＰ及びＣＳＮにそれぞれ所定の内部電圧ＶＤＬ及びＶＳＬが供給されることにより選択的に動作状態とされ、メモリアレイＭＡＲＹの選択ワード線に結合された所定数のメモリセルから相補ビット線Ｂ０＊（ここで、例えば非反転ビット線Ｂ０Ｔ及び反転ビット線Ｂ０Ｂを合わせて相補ビット線Ｂ０＊のように＊を付して表す。また、それが有効とされるとき選択的にハイレベルとされるいわゆる非反転信号等についてはその名称の末尾にＴを付して表し、それが有効とされるとき選択的にロウレベルとされるいわゆる反転信号等についてはその名称の末尾にＢを付して表す。以下同様）等を介して出力される微小読み出し信号を増幅して、内部電圧ＶＤＬをハイレベルとし内部電圧ＶＳＬをロウレベルとするＢＳＧレベルの２値読み出し信号とする。
【０００５】
上記シンクロナスＤＲＡＭにおいて、相補ビット線Ｂ０＊等における２値読み出し信号のハイレベルとなる電位ＶＤＬは、電源電圧ＶＤＤを例えば＋３．３Ｖ（ボルト）とするとき、例えば＋２．５Ｖとされ、そのロウレベルとなる電位ＶＳＬは例えば＋０．８Ｖとされる。つまり、このシンクロナスＤＲＡＭでは、その動作電源となる電源電圧ＶＤＤ及び接地電位ＶＳＳの電位差が３．３Ｖであるにもかかわらず、各相補ビット線における２値読み出し信号の到達振幅が１．７Ｖに圧縮されるため、シンクロナスＤＲＡＭの微細化・高集積化を図ることができるとともに、相補ビット線のレベル変化を高速化してシンクロナスＤＲＡＭの高速化を図り、相補ビット線の負荷容量に対するチャージ電流を削減してシンクロナスＤＲＡＭの低消費電力化を図ることができるものとされる。
【０００６】
一方、メモリアレイＭＡＲＹの選択メモリセルに対する書き込み動作は、ライトアンプＷＡの単位ライトアンプＵＷＡ０等を構成するＰチャンネルＭＯＳＦＥＴＰＥ及びＰＦならびにＮチャンネルＭＯＳＦＥＴＮＪ及びＮＫから、相補共通データ線ＣＤ０＊等ならびに図示されないＹスイッチＹＳのスイッチＭＯＳＦＥＴを介して行われ、相補共通データ線ＣＤ０＊等における書き込み信号のハイレベル及びロウレベルの到達電位は、図１１に例示されるように、それぞれ上記内部電圧ＶＤＬ及びＶＳＬとされる。周知のように、ＭＯＳＦＥＴの微細化・低電圧化は、必ずしもそのしきい値電圧のスケーリングには結びつかない。したがって、ＢＳＧ方式を採ることによりシンクロナスＤＲＡＭの高速化・低消費電力化を図ろうとすると、読み出し信号及び書き込み信号の振幅圧縮によってシンクロナ

スＤＲＡＭの読み出し動作及び書き込み動作が遅くなり、そのアクセスタイムが長くなる。また、これに対処するためにＭＯＳＦＥＴの低Ｖｔｈ化を図ろうとすると、不純物の打ち込み量制御のためにフォトマスクの所要数が増え、製造工程が増えて、シンクロナスＤＲＡＭの低コスト化が阻害される。

【０００７】

この発明の目的は、その低コスト化を阻害することなく、ＢＳＧ方式を採るシンクロナスＤＲＡＭ等の高速化を図り、シンクロナスＤＲＡＭを含むコンピュータシステム等の高速化を図ることにある。

【０００８】

この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【０００９】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、第１及び第２の電源電圧をその動作電源としかつＢＳＧ方式を採るシンクロナスＤＲＡＭ等において、ライトアンプから相補共通データ線を介してメモリアレイの選択メモリセルに供給される書き込み信号のハイレベル及びロウレベルの到達電位を、所定期間だけそれぞれ第１及び第２の電源電圧電位とし、あるいはセンスアンプに対する第１及び第２コモンソース線の電位を、所定期間だけそれぞれ第１及び第２の電源電圧電位とすることで、ビット線における書き込み信号の実質的な到達振幅を読み出し信号の増幅後の到達振幅よりも大きくして、言わばオーバードライブ書き込みを行う。

【００１０】

上記手段によれば、ＢＳＧ方式による微細化・低消費電力化を享受しつつ、しかもその低コスト化を阻害することなく、ＢＳＧ方式を採るシンクロナスＤＲＡＭ等の書き込み動作を高速化することができ、これによってシンクロナスＤＲＡＭを含むコンピュータシステム等の高速化を図ることができる。

【００１１】

【発明の実施の形態】

図１には、この発明が適用されたシンクロナスＤＲＡＭの一実施例のブロック図が示されている。同図をもとに、まずこの実施例のシンクロナスＤＲＡＭの構成及び動作の概要について説明する。なお、図１の各ブロックを構成する回路素子は、公知のＭＯＳＦＥＴ集積回路の製造技術により、単結晶シリコンのような１個の半導体基板上に形成される。

【００１２】

図１において、この実施例のシンクロナスＤＲＡＭは、特に制限されないが、４個のバンクＢＮＫ０～ＢＮＫ３を備え、これらのバンクのそれぞれは、そのレイアウト面積の大半を占めて配置されるメモリアレイＭＡＲＹと、直接周辺回路となるロウアドレスデコーダＲＤ，センスアンプＳＡ，カラムアドレスデコーダＣＤならびにライトアンプＷＡ及びメインアンプＭＡとを備える。

【００１３】

バンクＢＮＫ０～ＢＮＫ３を構成するメモリアレイＭＡＲＹは、図の垂直方向に平行して配置される所定数のワード線と、水平方向に平行して配置される所定組の相補ビット線とをそれぞれ含む。これらのワード線及び相補ビット線の交点には、情報蓄積キャパシタ及びアドレス選択ＭＯＳＦＥＴからなる多数のダイナミック型メモリセルがそれぞれ格子状に配置される。なお、メモリアレイＭＡＲＹの具体的構成及び動作については、後で詳細に説明する。

【００１４】

バンクＢＮＫ０～ＢＮＫ３のメモリアレイＭＡＲＹを構成するワード線は、その下方において対応するロウアドレスデコーダＲＤに結合され、択一的に選択状態とされる。各バンクのロウアドレスデコーダＲＤには、ロウアドレスレジスタＲＡから１１ビットの内部アドレス信号Ｘ０～Ｘ１０が共通に供給され、タイミング発生回路ＴＧから内部制御信号Ｒ

Ｇが供給される。ロウアドレスレジスタＲＡには、アドレスバッファＡＢを介してＸアドレス信号ＡＸ０～ＡＸ１０が供給され、タイミング発生回路ＴＧから内部制御信号ＲＬが供給される。また、アドレスバッファＡＢには、外部のアクセス装置からアドレス入力端子Ａ０～Ａ１０を介してＸアドレス信号ＡＸ０～ＡＸ１０ならびにＹアドレス信号ＡＹ０～ＡＹ８が時分割的に供給され、アドレス入力端子Ａ１１及びＡ１２を介して２ビットのバンクアドレス信号ＢＡ０及びＢＡ１が供給される。

【００１５】

アドレスバッファＡＢは、アドレス入力端子Ａ０～Ａ１０を介して時分割的に入力されるＸアドレス信号ＡＸ０～ＡＸ１０ならびにＹアドレス信号ＡＹ０～ＡＹ８と、アドレス入力端子Ａ１１及びＡ１２を介して入力されるバンクアドレス信号ＢＡ０及びＢＡ１を取り込み、ロウアドレスレジスタＲＡ，カラムアドレスカウンタＣＣ，バンクアドレスレジスタＢＡ，データ入出力選択回路ＤＳならびに図示されないモードレジスタＭＲに伝達する。バンクアドレスレジスタＢＡには、さらにタイミング発生回路ＴＧから内部制御信号ＢＬが供給され、データ入出力選択回路ＤＳには図示されない内部制御信号ＢＣが供給される。

【００１６】

バンクアドレスレジスタＢＡは、アドレス入力端子Ａ１１及びＡ１２からアドレスバッファＡＢを介して入力されるバンクアドレス信号ＢＡ０及びＢＡ１を内部制御信号ＢＬに従って取り込み、保持するとともに、内部バンクアドレス信号Ｂ０及びＢ１としてバンク選択回路ＢＳに伝達する。

【００１７】

バンク選択回路ＢＳは、バンクアドレスレジスタＢＡから伝達される内部バンクアドレス信号Ｂ０及びＢ１をデコードして、対応するバンク選択信号ＢＳ０～ＢＳ３を所定のタイミングで択一的にハイレベルとする。これらのバンク選択信号ＢＳ０～ＢＳ３は、対応するバンクＢＮＫ０～ＢＮＫ３にそれぞれ供給され、その周辺回路たるロウアドレスデコーダＲＤ，カラムアドレスデコーダＣＤ，センスアンプならびにライトアンプＷＡ及びメインアンプＭＡ等を選択的に動作状態とするための駆動選択信号として用いられる。

【００１８】

ロウアドレスレジスタＲＡは、アドレスバッファＡＢから伝達されるＸアドレス信号ＡＸ０～ＡＸ１０を内部制御信号ＲＬに従って取り込み、保持するとともに、これらのＸアドレス信号をもとに内部アドレス信号Ｘ０～Ｘ１０を形成し、バンクＢＮＫ０～ＢＮＫ３のロウアドレスデコーダＲＤに供給する。

【００１９】

バンクＢＮＫ０～ＢＮＫ３のロウアドレスデコーダＲＤは、内部制御信号ＲＧがハイレベルとされかつ対応するバンク選択信号ＢＳ０～ＢＳ３がハイレベルとされることでそれぞれ選択的に動作状態とされ、ロウアドレスレジスタＲＡから供給される内部アドレス信号Ｘ０～Ｘ１０をデコードして、対応するメモリアレイＭＡＲＹの指定されたワード線を択一的に選択状態とする。

【００２０】

次に、バンクＢＮＫ０～ＢＮＫ３のメモリアレイＭＡＲＹを構成する相補ビット線は、その左方において対応するセンスアンプＳＡに結合される。各バンクのセンスアンプＳＡには、対応するカラムアドレスデコーダＣＤから図示されないｐ＋１ビットのビット線選択信号ＹＳ０～ＹＳｐがそれぞれ供給され、タイミング発生回路ＴＧから内部制御信号ＰＡ及びＰＣが共通に供給される。また、各バンクのカラムアドレスデコーダＣＤには、カラムアドレスカウンタＣＣから９ビットの内部アドレス信号Ｙ０～Ｙ８が共通に供給され、タイミング発生回路ＴＧから内部制御信号ＣＧが共通に供給される。カラムアドレスカウンタＣＣには、前記アドレスバッファＡＢからＹアドレス信号ＡＹ０～ＡＹ８が供給されるとともに、タイミング発生回路ＴＧから内部制御信号ＣＬが供給される。

【００２１】

カラムアドレスカウンタＣＣは、図示されない内部制御信号ＣＵに従って歩進動作を行う

バイナリーカウンタを含む。このカウンタは、アドレスバッファＡＢから供給されるＹアドレス信号ＡＹ０～ＡＹ８を内部制御信号ＣＬに従って取り込み、保持する。また、これらのＹアドレス信号ＡＹ０～ＡＹ８を初期値として内部制御信号ＣＵに従った歩進動作を行い、内部アドレス信号Ｙ０～Ｙ８を順次形成して、各バンクのカラムアドレスデコーダＣＤに供給する。

【００２２】

このとき、各バンクのカラムアドレスデコーダＣＤは、内部制御信号ＣＧがハイレベルとされかつ対応するバンク選択信号ＢＳ０～ＢＳ３がハイレベルとされることでそれぞれ選択的に動作状態とされ、カラムアドレスカウンタＣＣから供給される内部アドレス信号Ｙ０～Ｙ８をデコードして、ビット線選択信号ＹＳ０～ＹＳｐの対応するビットを択一的にハイレベルとする。

【００２３】

データ入出力選択回路ＤＳは、アドレスバッファＡＢから供給されるアドレス信号Ａ１１及びＡ１２つまりバンクアドレス信号ＢＡ０及びＢＡ１を内部制御信号ＢＣに従って取り込み、保持するとともに、これらのバンクアドレス信号をデコードして、データ入出力回路ＩＯに対するデータ選択信号ＤＳ０～ＤＳ３の対応するビットを所定のタイミングで択一的にハイレベルとする。

【００２４】

バンクＢＮＫ０～ＢＮＫ３のセンスアンプＳＡは、メモリアレイＭＡＲＹの各相補ビット線に対応して設けられる所定数の単位回路を含み、これらの単位回路のそれぞれは、Ｎチャンネル型の３個のプリチャージＭＯＳＦＥＴが直並列結合されてなるビット線プリチャージ回路と、一対のＣＭＯＳインバータが交差結合されてなる単位増幅回路と、Ｎチャンネル型の一対のスイッチＭＯＳＦＥＴとを含む。このうち、各単位回路のビット線プリチャージ回路を構成するプリチャージＭＯＳＦＥＴは、内部制御信号ＰＣがハイレベルとされることで選択的にかつ一斉にオン状態となり、対応するメモリアレイＭＡＲＹの各相補ビット線の非反転及び反転信号線を中間電位ＨＶにプリチャージする。

【００２５】

一方、各単位回路の単位増幅回路は、内部制御信号ＰＡがハイレベルとされかつ対応するバンク選択信号ＢＳ０～ＢＳ３がハイレベルとされることで選択的にかつ一斉に動作状態とされ、各メモリアレイＭＡＲＹの選択ワード線に結合される所定数のメモリセルから対応する相補ビット線を介して出力される微小読み出し信号をそれぞれ増幅して、所定の２値読み出し信号とする。

【００２６】

さらに、各単位回路のスイッチＭＯＳＦＥＴは、対応するビット線選択信号ＹＳ０～ＹＳｐのハイレベルを受けて１６組ずつ選択的にオン状態となり、対応するメモリアレイＭＡＲＹの対応する１６組の相補ビット線と相補共通データ線ＣＤ０＊～ＣＤ１５＊との間を選択的に接続状態とする。

【００２７】

この実施例において、シンクロナスＤＲＡＭは、例えば＋３．３Ｖの電源電圧ＶＤＤ（第１の電源電圧）と０Ｖつまり接地電位ＶＳＳ（第２の電源電圧）とをその動作電源とする。また、シンクロナスＤＲＡＭはＢＳＧ方式を採り、センスアンプＳＡの単位増幅回路には、コモンソース線ＣＳＰ及びＣＳＮを介して、それぞれ例えば＋２．５Ｖ（第１の電位）及び＋０．８Ｖ（第２の電位）とされる内部電圧ＶＤＬ及びＶＳＬが動作電源として供給される。このため、各相補ビット線における読み出し信号の増幅後の到達振幅はＶＤＬ－ＶＳＬつまり１．７Ｖに圧縮され、これによって各相補ビット線のチャージ又はディスチャージ動作を高速化してシンクロナスＤＲＡＭの読み出し動作を高速化し、各相補ビット線のチャージ電流を削減してその低消費電力化を図ることができる。センスアンプＳＡの具体的構成及び動作については、後で詳細に説明する。

【００２８】

相補共通データ線ＣＤ０＊～ＣＤ１５＊は、対応するライトアンプＷＡの各単単位ライト

アンプの出力端子にそれぞれ結合されるとともに、対応するメインアンプＭＡの各単位メインアンプの入力端子にそれぞれ結合される。

【００２９】

バンクＢＮＫ０～ＢＮＫ３のライトアンプＷＡ及びメインアンプＭＡは、相補共通データ線ＣＤ０＊～ＣＤ１５＊に対応して設けられる１６個の単位ライトアンプ及び単位メインアンプをそれぞれ備える。また、データ入出力回路ＩＯは、データ入出力端子Ｄ０～Ｄ１５に対応して設けられる１６個の入力バッファ及び出力バッファと、書き込みデータ又は読み出しデータを選択的に伝達する書き込みデータ選択回路及び読み出しデータ選択回路とを備える。

【００３０】

バンクＢＮＫ０～ＢＮＫ３のライトアンプＷＡの各単位ライトアンプの入力端子は、書き込みデータバスＷＤＢ００～ＷＤＢ０１５ないしＷＤＢ３０～ＷＤＢ３１５を介して、データ入出力回路ＩＯの書き込みデータ選択回路の対応する出力端子にそれぞれ結合され、メインアンプＭＡの各単位メインアンプの出力端子は、読み出しデータバスＲＤＢ００～ＲＤＢ０１５ないしＲＤＢ３０～ＲＤＢ３１５を介して、データ入出力回路ＩＯの読み出しデータ選択回路の対応する入力端子にそれぞれ結合される。データ入出力回路ＩＯの書き込みデータ選択回路の各入力端子ならびに読み出しデータ選択回路の各出力端子は、対応するデータ入出力端子Ｄ０～Ｄ１５にそれぞれ共通結合される。

【００３１】

ライトアンプＷＡの各単位ライトアンプには、タイミング発生回路ＴＧから内部制御信号ＷＧＰ及びＷＧが共通に供給され、メインアンプＭＡの各単位メインアンプには図示されない内部制御信号ＲＰが共通に供給される。また、データ入出力回路ＩＯの書き込みデータ選択回路及び読み出しデータ選択回路には、データ入出力選択回路ＤＳからデータ選択信号ＤＳ０～ＤＳ３が供給され、その出力バッファには、内部制御信号ＯＣが共通に供給される。

【００３２】

データ入出力回路ＩＯの各入力バッファは、シンクロナスＤＲＡＭが書き込みモードで選択状態とされるとき、アクセス装置からデータ入出力端子Ｄ０～Ｄ１５を介して入力される１６ビットの書き込みデータを取り込み、保持する。このとき、データ入出力回路ＩＯの書き込みデータ選択回路は、各入力バッファから供給される書き込みデータをデータ選択信号ＤＳ０～ＤＳ３に従って選択的に書き込みデータバスＷＤＢ００～ＷＤＢ０１５ないしＷＤＢ３０～ＷＤＢ３１５に出力し、指定されたバンクＢＮＫ０～ＢＮＫ３のライトアンプＷＡに伝達する。また、ライトアンプＷＡの各単位ライトアンプは、内部制御信号ＷＧＰ又はＷＧがハイレベルとされかつ対応するバンク選択信号ＢＳ０～ＢＳ３がハイレベルとされることで選択的に動作状態とされ、データ入出力回路ＩＯから書き込みデータバスＷＤＢ００～ＷＤＢ０１５ないしＷＤＢ３０～ＷＤＢ３１５を介して伝達される書き込みデータを所定の相補書き込み信号に変換した後、対応する相補共通データ線ＣＤ０＊～ＣＤ１５＊からセンスアンプＳＡを介して対応するメモリアレイＭＡＲＹの選択状態にある１６個のメモリセルに書き込む。

【００３３】

この実施例において、ライトアンプＷＡの各単位ライトアンプにより形成される相補書き込み信号は、そのハイレベル及びロウレベルの到達電位がそれぞれ所定期間だけ電源電圧ＶＤＤ及び接地電位ＶＳＳとされ、いわゆるオーバードライブ書き込みが行われる。この結果、この実施例のシンクロナスＤＲＡＭがＢＳＧ方式を採るにもかかわらず、その書き込み動作が高速化され、これによってシンクロナスＤＲＡＭを含むコンピュータシステムの高速化が図られる。ライトアンプＷＡの具体的構成及び動作については、後で詳細に説明する。

【００３４】

一方、バンクＢＮＫ０～ＢＮＫ３のメインアンプＭＡの単位メインアンプは、シンクロナスＤＲＡＭが読み出しモードで選択状態とされるとき、内部制御信号ＲＰがハイレベルと

されかつ対応するバンク選択信号ＢＳ０～ＢＳ３がハイレベルとされることで選択的に動作状態とされ、対応するメモリアレイＭＡＲＹの選択された１６個のメモリセルから相補共通データ線ＣＤ０＊～ＣＤ１５＊を介して出力される読み出し信号をそれぞれ増幅し、読み出しデータバスＲＤＢ００～ＲＤＢ０１５ないしＲＤＢ３０～ＲＤＢ３１５を介してデータ入出力回路ＩＯに伝達する。このとき、データ入出力回路ＩＯの読み出しデータ選択回路は、バンクＢＮＫ０～ＢＮＫ３のメインアンプＭＡから読み出しデータバスＲＤＢ００～ＲＤＢ０１５ないしＲＤＢ３０～ＲＤＢ３１５を介して出力される読み出しデータをデータ選択信号ＤＳ０～ＤＳ３に従って選択し、出力バッファに伝達する。また、データ入出力回路ＩＯの各出力バッファは、内部制御信号ＯＣのハイレベルを受けて選択的に動作状態とされ、読み出しデータ選択回路から供給される読み出しデータをデータ入出力端子Ｄ０～Ｄ１５を介して出力する。

【００３５】

内部電圧発生回路ＶＧは、外部から供給される電源電圧ＶＤＤ及び接地電位ＶＳＳをもとに、内部電圧ＶＤＬ及びＶＤＬならびに中間電位ＨＶを生成し、シンクロナスＤＲＡＭの各部に供給する。特に制限されないが、電源電圧ＶＤＤは＋３．３Ｖとされ、内部電圧ＶＤＬ及びＶＳＬならびに中間電位ＨＶは、それぞれ＋２．５Ｖ及び＋０．８Ｖならびに＋１．６５Ｖとされる。

【００３６】

タイミング発生回路ＴＧは、外部のアクセス装置から起動制御信号として供給されるチップ選択信号ＣＳＢ，ロウアドレスストローブ信号ＲＡＳＢ，カラムアドレスストローブ信号ＣＡＳＢ，ライトイネーブル信号ＷＥＢならびに入出力マスク信号ＤＱＭと、クロック信号ＣＬＫ及びクロックイネーブル信号ＣＫＥとをもとに上記各種内部制御信号を選択的に形成し、各部に供給する。

【００３７】

図２には、図１のシンクロナスＤＲＡＭに含まれるメモリアレイＭＡＲＹ及びセンスアンプＳＡの一実施例の部分的な回路図が示されている。同図をもとに、シンクロナスＤＲＡＭに含まれるメモリアレイＭＡＲＹ及びセンスアンプＳＡの具体的構成及び動作を説明する。なお、以下の回路図において、そのチャネル（バックゲート）部に矢印が付されるＭＯＳＦＥＴはＰチャンネル型であって、矢印の付されないＮチャンネルＭＯＳＦＥＴと区別して示される。

【００３８】

図２において、メモリアレイＭＡＲＹは、図の垂直方向に平行して配置されるｍ＋１本のワード線Ｗ０～Ｗｍと、水平方向に平行して配置されるｎ＋１組の相補ビット線Ｂ０＊～Ｂｎ＊とを含む。これらのワード線及び相補ビット線の交点には、情報蓄積キャパシタＣｓ及びアドレス選択ＭＯＳＦＥＴＱａからなる（ｍ＋１）×（ｎ＋１）個のダイナミック型メモリセルが格子状に配置される。メモリアレイＭＡＲＹの同一の行に配置されるｎ＋１個のメモリセルのアドレス選択ＭＯＳＦＥＴＱａのゲートは、対応するワード線Ｗ０～Ｗｍにそれぞれ共通結合される。また、メモリアレイＭＡＲＹの同一の列に配置されるｍ＋１個のメモリセルのアドレス選択ＭＯＳＦＥＴＱａのドレインは、対応する相補ビット線Ｂ０＊～Ｂｎ＊の非反転又は反転信号線に所定の規則性をもって交互に結合される。メモリアレイＭＡＲＹを構成するすべてのメモリセルの情報蓄積キャパシタＣｓの他方の電極には、中間電位ＨＶのプレート電圧が供給される。

【００３９】

次に、センスアンプＳＡは、メモリアレイＭＡＲＹの相補ビット線Ｂ０＊～Ｂｎ＊に対応して設けられるｎ＋１個の単位回路を備え、これらの単位回路のそれぞれは、図２に例示されるように、Ｎチャンネル型の３個のプリチャージＭＯＳＦＥＴＮ６～Ｎ８が直並列結合されてなるビット線プリチャージ回路と、ＰチャンネルＭＯＳＦＥＴＰ２及びＮチャンネルＭＯＳＦＥＴＮ２ならびにＰチャンネルＭＯＳＦＥＴＰ３及びＮチャンネルＭＯＳＦＥＴＮ３からなる一対のＣＭＯＳインバータが互いに交差結合されてなる単位増幅回路と、Ｎチャンネル型の一対のスイッチＭＯＳＦＥＴＮ４及びＮ５とを含む。

【００４０】
センスアンプＳＡの各単位回路のビット線プリチャージ回路を構成するプリチャージＭＯＳＦＥＴＮ６～Ｎ８のゲートには、タイミング発生回路ＴＧから内部制御信号ＰＣが共通に供給され、プリチャージＭＯＳＦＥＴＮ６及びＮ７の共通結合されたソースには、中間電位ＨＶが供給される。これにより、プリチャージＭＯＳＦＥＴＮ６～Ｎ８は、内部制御信号ＰＣのハイレベルを受けて選択的にかつ一斉にオン状態となり、メモリアレイＭＡＲＹの相補ビット線Ｂ０＊～Ｂｎ＊の非反転及び反転信号線を中間電位ＨＶにプリチャージする。
【００４１】
一方、センスアンプＳＡの各単位回路の単位増幅回路を構成するＭＯＳＦＥＴＰ２及びＮ２の共通結合されたドレインは、各単位増幅回路の非反転入出力ノードとしてメモリアレイＭＡＲＹの対応する相補ビット線Ｂ０＊～Ｂｎ＊の非反転信号線にそれぞれ結合され、ＭＯＳＦＥＴＰ３及びＮ３の共通結合されたドレインは、各単位増幅回路の反転入出力ノードとして対応する相補ビット線Ｂ０＊～Ｂｎ＊の反転信号線にそれぞれ結合される。単位増幅回路を構成するＰチャンネルＭＯＳＦＥＴＰ２及びＰ３の共通結合されたソースは、各単位増幅回路の高電位電源供給ノードとしてコモンソース信号線ＣＳＰに結合され、ＮチャンネルＭＯＳＦＥＴＮ２及びＮ３の共通結合されたソースは、その低電位電源供給ノードとしてコモンソース信号線ＣＳＮに結合される。
【００４２】
コモンソース線ＣＳＰは、その下方においてＰチャンネル型の駆動ＭＯＳＦＥＴＰ１を介して内部電圧供給点ＶＤＬに結合され、コモンソース線ＣＳＮは、Ｎチャンネル型の駆動ＭＯＳＦＥＴＮ１を介して内部電圧供給点ＶＳＬに結合される。駆動ＭＯＳＦＥＴＮ１のゲートには、タイミング発生回路ＴＧから内部制御信号ＰＡが供給され、駆動ＭＯＳＦＥＴＰ１のゲートには、そのインバータＶ１による反転信号が供給される。前述のように、内部電圧ＶＤＬは、例えば＋２．５Ｖとされ、内部電圧ＶＳＬは＋０．８Ｖとされる。
【００４３】
これにより、センスアンプＳＡの駆動ＭＯＳＦＥＴＰ１及びＮ１は、内部制御信号ＰＡのハイレベルを受けて選択的にオン状態となり、コモンソース線ＣＳＰ及びＣＳＮに対して内部電圧ＶＤＬ及びＶＳＬをそれぞれ選択的に供給する。このとき、センスアンプＳＡの各単位増幅回路は、コモンソース線ＣＳＰ及びＣＳＮの内部電圧ＶＤＬ及びＶＳＬを受けて選択的にかつ一斉に動作状態となり、メモリアレイＭＡＲＹの選択ワード線に結合されるｎ＋１個のメモリセルから相補ビット線Ｂ０＊～Ｂｎ＊を介して出力される微小読み出し信号をそれぞれ増幅して、そのハイレベルの到達電位を内部電圧ＶＤＬとしロウレベルの到達電位を内部電圧ＶＳＬとするＢＳＧレベルの２値読み出し信号とする。
【００４４】
センスアンプＳＡの各単位回路を構成するスイッチＭＯＳＦＥＴＮ４及びＮ５のゲートは、順次１６組ずつ共通結合され、カラムアドレスデコーダＣＤから対応するビット線選択信号ＹＳ０～ＹＳｐがそれぞれ共通に供給される。なお、ビット線選択信号のビット数ｐ＋１が、メモリアレイＭＡＲＹの相補ビット線Ｂ０＊～Ｂｎ＊の組数ｎ＋１に対して、
ｐ＋１＝（ｎ＋１）／１６
なる関係にあることは言うまでもない。
【００４５】
これにより、センスアンプＳＡの各単位回路のスイッチＭＯＳＦＥＴＮ４及びＮ５は、ビット線選択信号ＹＳ０～ＹＳｐの対応するビットがハイレベルとされることで１６組ずつ選択的にオン状態となり、メモリアレイＭＡＲＹの対応する１６組の相補ビット線と相補共通データ線ＣＤ０＊～ＣＤ１５＊つまりライトアンプＷＡ及びメインアンプＭＡとの間を選択的に接続状態とする。
【００４６】
図３には、図１のシンクロナスＤＲＡＭに含まれるライトアンプＷＡの一実施例の部分的な回路図が示されている。なお、図３には、バンクＢＮＫ０のライトアンプＷＡを構成す

る１６個の単位ライトアンプのうち単位ライトアンプＵＷＡ０が例示的に示されており、以下の説明もこれを例に進められる。

【００４７】

図３において、バンクＢＮＫ０のライトアンプＷＡは、書き込みデータバスＷＤＢ００～ＷＤＢ０１５に対応して設けられる１６個の単位ライトアンプＵＷＡ０～ＵＷＡ１５を備え、これらの単位ライトアンプのそれぞれは、特に制限されないが、図の単位ライトアンプＵＷＡ０に代表して示されるように、それぞれ４個のＰチャンネルＭＯＳＦＥＴＰ４～Ｐ７ならびにＮチャンネルＭＯＳＦＥＴＮ９～ＮＣと、それぞれ２個のナンド（ＮＡＮＤ）ゲートＮＡ１及びＮＡ２ならびにノア（ＮＯＲ）ゲートＮＯ１及びＮＯ２とを含む。

【００４８】

ＭＯＳＦＥＴＰ４及びＰ５のソースは、ともに電源電圧供給点ＶＤＤに結合され、そのドレインは、反転共通データ線ＣＤ０Ｂ及び非反転共通データ線ＣＤ０Ｔにそれぞれ結合される。また、ＭＯＳＦＥＴＮ９及びＮＡのソースは、ともに接地電位供給点ＶＳＳに結合され、そのドレインは、非反転共通データ線ＣＤ０Ｔ及び反転共通データ線ＣＤ０Ｂにそれぞれ結合される。ＭＯＳＦＥＴＮ９のゲートには、ノアゲートＮＯ１の出力信号が供給され、ＭＯＳＦＥＴＰ４のゲートには、そのインバータＶ４による反転信号が供給される。また、ＭＯＳＦＥＴＰ５のゲートには、ナンドゲートＮＡ１の出力信号が供給され、ＭＯＳＦＥＴＮＡのゲートには、そのインバータＶ５による反転信号が供給される。

【００４９】

ナンドゲートＮＡ１の一方の入力端子には、内部制御信号ＷＧＰが供給され、ノアゲートＮＯ１の一方の入力端子には、そのインバータＶ２による反転信号が供給される。これらのナンドゲートＮＡ１及びノアゲートＮＯ１の他方の入力端子は、ともに書き込みデータバスＷＤＢ００に結合される。

【００５０】

これにより、ＭＯＳＦＥＴＰ４及びＮ９は、ともにノアゲートＮＯ１の出力信号がハイレベルとされるとき、言い換えるならば内部制御信号ＷＧＰがハイレベルとされかつ書き込みデータバスＷＤＢ００を介して供給される書き込みデータがロウレベルつまり論理“０”とされるとき選択的にオン状態となる。また、ＭＯＳＦＥＴＰ５及びＮＡは、ともにナンドゲートＮＡ１の出力信号がロウレベルとされるとき、言い換えるならば内部制御信号ＷＧＰがハイレベルとされかつ書き込みデータバスＷＤＢ００を介して供給される書き込みデータがハイレベルつまり論理“１”とされるとき選択的にオン状態となる。

【００５１】

単位ライトアンプＵＷＡ０のＭＯＳＦＥＴＰ４及びＮ９がオン状態とされるとき、非反転共通データ線ＣＤ０Ｔには接地電位ＶＳＳのようなロウレベルの書き込み信号が出力され、反転共通データ線ＣＤ０Ｂには電源電圧ＶＤＤのようなハイレベルの書き込み信号が出力される。また、ＭＯＳＦＥＴＰ５及びＮＡがオン状態とされるとき、非反転共通データ線ＣＤ０Ｔには電源電圧ＶＤＤのようなハイレベルの書き込み信号が出力され、反転共通データ線ＣＤ０Ｂには接地電位ＶＳＳのようなロウレベルの書き込み信号が出力される。

【００５２】

一方、単位ライトアンプＵＷＡ０を構成するＭＯＳＦＥＴＰ６及びＰ７のソースは、ともに内部電圧供給点ＶＤＬに結合され、そのドレインは、非反転共通データ線ＣＤ０Ｔ及び反転共通データ線ＣＤ０Ｂにそれぞれ結合される。また、ＭＯＳＦＥＴＮＢ及びＮＣのソースは、ともに内部電圧供給点ＶＳＬに結合され、そのドレインは、反転共通データ線ＣＤ０Ｂ及び非反転共通データ線ＣＤ０Ｔにそれぞれ結合される。ＭＯＳＦＥＴＰ７のゲートには、ノアゲートＮＯ２の出力信号が供給され、ＭＯＳＦＥＴＮＣのゲートには、そのインバータＶ７による反転信号が供給される。また、ＭＯＳＦＥＴＮＢのゲートには、ナンドゲートＮＡ２の出力信号が供給され、ＭＯＳＦＥＴＰ６のゲートには、そのインバータＶ６による反転信号が供給される。

【００５３】

ナンドゲートＮＡ２の一方の入力端子には、内部制御信号ＷＧが供給され、ノアゲートＮ

Ｏ２の一方の入力端子には、そのインバータＶ３による反転信号が供給される。これらのナンドゲートＮＡ２及びノアゲートＮＯ２の他方の入力端子は、ともに書き込みデータバスＷＤＢ００に結合される。

【００５４】

これにより、ＭＯＳＦＥＴＰ７及びＮＣは、ともにノアゲートＮＯ２の出力信号がハイレベルとされるとき、言い換えるならば内部制御信号ＷＧがハイレベルとされかつ書き込みデータバスＷＤＢ００を介して供給される書き込みデータがロウレベルつまり論理“０”とされるとき選択的にオン状態となる。また、ＭＯＳＦＥＴＰ６及びＮＢは、ともにナンドゲートＮＡ２の出力信号がロウレベルとされるとき、言い換えるならば内部制御信号ＷＧがハイレベルとされかつ書き込みデータバスＷＤＢ００を介して供給される書き込みデータがハイレベルつまり論理“１”とされるとき選択的にオン状態となる。

【００５５】

単位ライトアンプＵＷＡ０のＭＯＳＦＥＴＰ７及びＮＣがオン状態とされるとき、非反転共通データ線ＣＤ０Ｔには内部電圧ＶＳＬのようなロウレベルの書き込み信号が出力され、反転共通データ線ＣＤ０Ｂには内部電圧ＶＤＬのようなハイレベルの書き込み信号が出力される。また、ＭＯＳＦＥＴＰ５及びＮＡがオン状態とされるとき、非反転共通データ線ＣＤ０Ｔには内部電圧ＶＤＬのようなハイレベルの書き込み信号が出力され、反転共通データ線ＣＤ０Ｂには内部電圧ＶＳＬのようなロウレベルの書き込み信号が出力される。

【００５６】

この実施例において、内部制御信号ＷＧＰは、後述するように、書き込み動作が行われる期間の当初において所定期間だけ選択的にハイレベルとされ、内部制御信号ＷＧは、内部制御信号ＷＧＰがロウレベルに戻された後、他の所定期間だけ選択的にハイレベルとされる。したがって、この実施例の単位ライトアンプＵＷＡ０により形成される相補書き込み信号は、書き込み動作が行われる当初において所定期間だけ、それぞれ電源電圧ＶＤＤ及び接地電位ＶＳＳをハイレベル及びロウレベルの到達電位とする比較的大きな振幅の書き込み信号とされ、その後の所定期間では、それぞれ内部電圧ＶＤＬ及びＶＳＬをハイレベル及びロウレベルの到達電位とする比較的小さな振幅の書き込み信号とされる。

【００５７】

図４には、図３のライトアンプＷＡの一実施例の信号波形図が示されている。同図をもとに、この実施例のシンクロナスＤＲＡＭの書き込みモードつまりライトサイクルにおける具体的動作ならびにその特徴について説明する。なお、以下の信号波形図には、バンクＢＮＫ０のワード線Ｗ０と、ビット線選択信号ＹＳ０に対応する相補ビット線Ｂ０＊～Ｂ１５＊とが選択状態とされる場合が例示的に示され、以下の具体的な説明もこれに関する部分を例に進められる。また、同図には、書き込みデータが論理“１”とされる場合が例示され、書き込みデータが論理“０”とされる場合が点線で付記される。さらに、シンクロナスＤＲＡＭでは、このライトサイクルに先立って、バンクＢＮＫ０のワード線Ｗ０を選択状態とするためのアクティブコマンドがすでに実行済の状態にある。したがって、メモリアレイＭＡＲＹの例えば相補ビット線Ｂ０＊には、ワード線Ｗ０との交点にある選択メモリセルの保持データつまり例えば論理“０”のデータに対応した微小読み出し信号が出力され、これがすでにセンスアンプＳＡの対応する単位増幅回路により増幅されて内部電圧ＶＤＬをハイレベルとし内部電圧ＶＳＬをロウレベルとするＢＳＧレベルの２値読み出し信号となっている。

【００５８】

図４において、この実施例のシンクロナスＤＲＡＭは、クロック信号ＣＬＫの立ち上がりエッジつまりそのロウレベルからハイレベルへの変化時点でチップ選択信号ＣＳＢ及びカラムアドレスストローブ信号ＣＡＳＢがロウレベルとされ、かつライトイネーブル信号ＷＥＢがロウレベルとされることで、ライトサイクルつまり書き込みモードによる選択状態とされる。このとき、アドレス入力端子Ａ０～Ａ１２には、バンクＢＮＫ０のビット線選択信号ＹＳ０を指定する組み合わせでＹアドレス信号ＡＹ０～ＡＹ８が供給され、データ入出力端子Ｄ０には、論理“１”又は“０”の書き込みデータが選択的に入力される。

【００５９】
シンクロナスＤＲＡＭでは、クロック信号ＣＬＫの立ち上がりから所定時間が経過した時点でビット線選択信号ＹＳ０が択一的にハイレベルとされる。また、やや遅れて内部制御信号ＷＧＰが所定期間だけハイレベルとされた後、これと入れ換わりに内部制御信号ＷＧが他の所定期間だけハイレベルとされる。
【００６０】
ライトアンプＷＡの単位ライトアンプＵＷＡ０では、まず内部制御信号ＷＧＰのハイレベルと書き込みデータの論理“１”とを受けてナンドゲートＮＡ１の出力信号ＮＡ１ｏｕｔが所定期間だけロウレベルとなり、続いて内部制御信号ＷＧのハイレベルと書き込みデータの論理“１”とを受けてナンドゲートＮＡ２の出力信号ＮＡ２ｏｕｔが他の所定期間だけロウレベルとされる。
【００６１】
ナンドゲートＮＡ１の出力信号ＮＡ１ｏｕｔがロウレベルとされるとき、相補共通データ線ＣＤ０＊の非反転及び反転信号線には、ライトアンプＷＡの単位ライトアンプＵＷＡ０からフルスィングつまりそのハイレベルを電源電圧ＶＤＤとしそのロウレベルを接地電位ＶＳＳとする論理“１”の相補書き込み信号が出力され、オーバードライブ書き込みが行われる。このため、相補ビット線Ｂ０＊の非反転及び反転信号線の電位は急速に反転されるが、非反転及び反転信号線の電位が交差した時点でナンドゲートＮＡ２の出力信号ＮＡ２ｏｕｔがロウレベルとされ、相補書き込み信号の到達電位がそのハイレベルを内部電圧ＶＤＬとしそのロウレベルを内部電圧ＶＳＬとするＢＳＧレベルとされる。したがって、相補ビット線Ｂ０＊の非反転及び反転信号線の電位変化は比較的緩やかなものとなリ、やがて内部電圧ＶＤＬ又はＶＳＬのＢＳＧレベルに到達する。
【００６２】
以上のように、この実施例のシンクロナスＤＲＡＭはＢＳＧ方式を採り、メモリアレイＭＡＲＹの相補ビット線Ｂ０＊～Ｂｎ＊における読み出し信号の増幅後の到達電位は、内部電圧ＶＤＬをハイレベルとし内部電圧ＶＳＬをロウレベルとするＢＳＧレベルとされるが、書き込み動作時にライトアンプＷＡから相補共通データ線ＣＤ０＊～ＣＤ１５＊を介して各相補ビット線に供給される相補書き込み信号の到達電位は、電源電圧ＶＤＤをハイレベルとし接地電位ＶＳＳをロウレベルとするフルスィングレベルとされ、オーバードライブ書き込みが行われる。この結果、ＢＳＧ方式による微細化・低消費電力化を享受しつつ、しかもＭＯＳＦＥＴを低Ｖｔｈ化することなく、言い換えるならば不純物の打ち込み量制御のためのフォトマスク及び製造工程の追加によるコスト上昇を招くことなく、シンクロナスＤＲＡＭの書き込み動作を高速化でき、これによってシンクロナスＤＲＡＭを含むコンピュータシステムの高速化を図ることができる。
【００６３】
なお、相補ビット線Ｂ０＊～Ｂｎ＊の非反転及び反転信号線の電位が交差した後に相補書き込み信号の到達電位がＢＳＧレベルに切り換えられ、その電位変化が緩やかとなることで、相補ビット線Ｂ０＊～Ｂｎ＊の非反転及び反転信号線の電位が内部電圧ＶＤＬを超えて高くあるいは内部電圧ＶＳＬ以下となるのを防止でき、これによって動作電流の増大を防止し、特にロウレベルが内部電圧ＶＳＬ以下となることによるメモリセルのデータ破壊を防止できる。
【００６４】
図５には、この発明が適用されたシンクロナスＤＲＡＭに含まれるライトアンプＷＡの第２の実施例の部分的な回路図が示され、図６には、その一実施例の信号波形図が示されている。なお、この実施例は、前記図１～図４の実施例を基本的に踏襲するものであるため、これと異なる部分について説明を追加する。
【００６５】
図５において、この実施例のライトアンプＷＡを構成する単位ライトアンプＵＷＡ０は、それぞれ６個のＰチャンネルＭＯＳＦＥＴＰ８～ＰＤならびにＮチャンネルＭＯＳＦＥＴＮＤ～ＮＩと、それぞれ４個のナンドゲートＮＡ３～ＮＡ６ならびにノアゲートＮＯ３～

ＮＯ６とを含む。ＭＯＳＦＥＴＰ８のドレインは、非反転共通データ線ＣＤ０Ｔに結合される。また、そのソースは、ＭＯＳＦＥＴＰ８を介して電源電圧供給点ＶＤＤに結合されるとともに、ＭＯＳＦＥＴＰ９を介して内部電圧供給点ＶＤＬに結合され、さらにキャパシタＣ１の一方の電極に結合される。同様に、ＭＯＳＦＥＴＰＣのドレインは、反転共通データ線ＣＤ０Ｂに結合される。また、そのソースは、ＭＯＳＦＥＴＰＤを介して電源電圧供給点ＶＤＤに結合されるとともに、ＭＯＳＦＥＴＰＢを介して内部電圧供給点ＶＤＬに結合され、さらにキャパシタＣ３の一方の電極に結合される。

【００６６】

一方、単位ライトアンプＵＷＡ０を構成するＭＯＳＦＥＴＮＦのドレインは、反転共通データ線ＣＤ０Ｂに結合される。また、そのソースは、ＭＯＳＦＥＴＮＤを介して接地電位供給点ＶＳＳに結合されるとともに、ＭＯＳＦＥＴＮＥを介して内部電圧供給点ＶＳＬに結合され、さらにキャパシタＣ２の一方の電極に結合される。同様に、ＭＯＳＦＥＴＮＨのドレインは、非反転共通データ線ＣＤ０Ｔに結合される。また、そのソースは、ＭＯＳＦＥＴＮＩを介して接地電位供給点ＶＳＳに結合されるとともに、ＭＯＳＦＥＴＮＧを介して内部電圧供給点ＶＳＬに結合され、さらにキャパシタＣ４の一方の電極に結合される。

【００６７】

単位ライトアンプＵＷＡ０のＭＯＳＦＥＴＰＡのゲートには、ナンドゲートＮＡ３の出力信号つまり反転内部信号Ｗ１１Ｂが供給され、ＭＯＳＦＥＴＮＦのゲートには、そのインバータＶＣによる反転信号つまり非反転内部信号Ｗ１１が供給される。また、ＭＯＳＦＥＴＰ９のゲートには、ナンドゲートＮＡ６の出力信号つまり反転内部信号Ｗ１４Ｂが供給され、ＭＯＳＦＥＴＮＥのゲートには、そのインバータＶＦによる反転信号つまり非反転内部信号Ｗ１４が供給される。さらに、ＭＯＳＦＥＴＮＤのゲートには、ナンドゲートＮＡ４の出力信号つまり反転内部信号Ｗ１２Ｂが供給され、ＭＯＳＦＥＴＰ８のゲートには、そのインバータＶＤによる反転信号つまり非反転内部信号Ｗ１２が供給される。キャパシタＣ２の他方の電極には、ナンドゲートＮＡ５の出力信号つまり反転内部信号Ｗ１３Ｂが供給され、キャパシタＣ３の他方の電極には、そのインバータＶＥによる反転信号つまり非反転内部信号Ｗ１３が供給される。

【００６８】

次に、単位ライトアンプＵＷＡ０のＭＯＳＦＥＴＮＨのゲートには、ノアゲートＮＯ３の出力信号つまり非反転内部信号Ｗ０１が供給され、ＭＯＳＦＥＴＰＣのゲートには、そのインバータＶＧによる反転信号つまり反転内部信号Ｗ０１Ｂが供給される。また、ＭＯＳＦＥＴＮＧのゲートには、ノアゲートＮＯ６の出力信号つまり非反転内部信号Ｗ０４が供給され、ＭＯＳＦＥＴＰＢのゲートには、そのインバータＶＪによる反転信号つまり反転内部信号Ｗ０４Ｂが供給される。さらに、ＭＯＳＦＥＴＰＤのゲートには、ノアゲートＮＯ４の出力信号つまり非反転内部信号Ｗ０２が供給され、ＭＯＳＦＥＴＮＩのゲートには、そのインバータＶＨによる反転信号つまり反転内部信号Ｗ０２Ｂが供給される。キャパシタＣ３の他方の電極には、ノアゲートＮＯ５の出力信号つまり非反転内部信号Ｗ０３が供給され、キャパシタＣ３の他方の電極には、そのインバータＶＩによる反転信号つまり反転内部信号Ｗ０３Ｂが供給される。

【００６９】

ナンドゲートＮＡ３，ＮＡ４，ＮＡ５ならびにＮＡ６の一方の入力端子には、内部制御信号ＷＧ１，ＷＧ２，ＷＧ３ならびにＷＧ４がそれぞれ供給され、その他方の入力端子には、書き込みデータバスＷＤＢ００を介して書き込みデータの対応するビットが共通に供給される。また、ノアゲートＮＯ３，ＮＯ４，ＮＯ５ならびにＮＯ６の一方の入力端子には、内部制御信号ＷＧ１，ＷＧ２，ＷＧ３ならびにＷＧ４のインバータＶ８，Ｖ９，ＶＡならびにＶＢによる反転信号がそれぞれ供給され、その他方の入力端子には、書き込みデータバスＷＤＢ００を介して書き込みデータの対応するビットが共通に供給される。

【００７０】

これらのことから、反転内部信号Ｗ１１Ｂ，Ｗ１２Ｂ，Ｗ１３ＢならびにＷ１４Ｂは、対

応する内部制御信号ＷＧ１，ＷＧ２，ＷＧ３ならびにＷＧ４がハイレベルとされかつ書き込みデータの対応するビットがハイレベルつまり論理“１”とされるとき選択的にロウレベルとされ、これを受けて非反転内部信号Ｗ１１，Ｗ１２，Ｗ１３ならびにＷ１４がそれぞれ選択的にハイレベルとされる。また、非反転内部信号Ｗ０１，Ｗ０２，Ｗ０３ならびにＷ０４は、対応する内部制御信号ＷＧ１，ＷＧ２，ＷＧ３ならびにＷＧ４がロウレベルとされかつ書き込みデータの対応するビットがロウレベルつまり論理“０”とされるとき選択的にハイレベルとされ、これを受けて反転内部信号Ｗ０１Ｂ，Ｗ０２Ｂ，Ｗ０３Ｂならびに Ｗ０４Ｂがそれぞれ選択的にロウレベルとされる。

【００７１】

この実施例において、内部制御信号ＷＧ１～ＷＧ４は所定の時間関係を有し、このことを受けて非反転内部信号Ｗ１１～Ｗ１４ならびにＷ０１～Ｗ０４は図６に示されるような時間関係を持つものとされる。以下、書き込みデータの対応するビットが論理“１”である場合を例に、説明を進める。

【００７２】

シンクロナスＤＲＡＭがアクティブコマンド実行後の非選択状態とされ非反転内部信号Ｗ１１～Ｗ１４がすべてロウレベルつまり反転内部信号Ｗ１１Ｂ～Ｗ１４Ｂがすべてハイレベルとされるとき、ライトアンプＷＡの単位ライトアンプＵＷＡ０では、非反転内部信号Ｗ１２のロウレベルを受けてＭＯＳＦＥＴＰ８がオン状態となり、反転内部信号Ｗ１２Ｂのハイレベルを受けてＭＯＳＦＥＴＮＤがオン状態となる。また、キャパシタＣ１の他方の電極には、非反転内部信号Ｗ１３のロウレベルが供給され、キャパシタＣ２の他方の電極には、反転内部信号Ｗ１３Ｂのハイレベルが供給される。これにより、キャパシタＣ１は、その一方の電極が電源電圧ＶＤＤとされその他方の電極が接地電位ＶＳＳとされる形でチャージされ、キャパシタＣ２は、その一方の電極が接地電位ＶＳＳとされその他方の電極が電源電圧ＶＤＤとされる形でチャージされる。

【００７３】

シンクロナスＤＲＡＭがライトサイクルで選択状態とされると、非反転内部信号Ｗ１１～Ｗ１４が所定の時間関係をもってハイレベルつまり反転内部信号Ｗ１１Ｂ～Ｗ１４Ｂがロウレベルとされる。ライトアンプＷＡの単位ライトアンプＵＷＡ０では、まず反転内部信号Ｗ１１Ｂのロウレベルを受けてＭＯＳＦＥＴＰＡがオン状態となり、非反転内部信号Ｗ１１のハイレベルを受けてＭＯＳＦＥＴＮＦがオン状態となる。また、非反転内部信号Ｗ１２のハイレベルを受けてＭＯＳＦＥＴＰ８がオフ状態となり、反転内部信号Ｗ１２Ｂのロウレベルを受けてＭＯＳＦＥＴＮＤがオフ状態となる。

【００７４】

これにより、キャパシタＣ１の一方の電極が非反転共通データ線ＣＤ０Ｔに接続されるとともに、そのＭＯＳＦＥＴＰ８を介するチャージ動作が停止され、非反転共通データ線ＣＤ０Ｔの電位は電源電圧ＶＤＤに保持される。また、キャパシタＣ２の一方の電極が反転共通データ線ＣＤ０Ｂに接続されるとともに、そのＭＯＳＦＥＴＮＤを介するチャージ動作が停止され、反転共通データ線ＣＤ０Ｂの電位は接地電位ＶＳＳに向かって徐々に低下し始める。

【００７５】

次に、非反転内部信号Ｗ１３がハイレベルつまり反転内部信号Ｗ１３Ｂがロウレベルとされると、キャパシタＣ１の他方の電極が電源電圧ＶＤＤまで押し上げられ、非反転共通データ線ＣＤ０Ｔの電位は、その負荷容量とキャパシタＣ１の静電容量との間のチャージシェアに対応する分だけ急速に上昇する。また、キャパシタＣ２の他方の電極が接地電位ＶＳＳまで引き下げられ、反転共通データ線ＣＤ０Ｂの電位は、その負荷容量とキャパシタＣ２の静電容量との間のチャージシェアに対応する分だけ急速に低下する。

【００７６】

つまり、この実施例では、キャパシタＣ１及びＣ２がいわゆるブートストラップ容量として作用し、相補共通データ線ＣＤ０＊～ＣＤ１５＊の負荷容量との間のチャージシェアを利用して選択メモリセルに対するオーバードライブ書き込みが行われる訳であって、キャ

パシタＣ１及びＣ２の静電容量と各相補共通データ線の負荷容量との間の容量比を適当に設計することにより、書き込み信号の到達電位を容易に設定することができる。この結果、オーバードライブ書き込みによる相補ビット線Ｂ０＊～Ｂｎ＊の到達電位を、電源電圧変動及びプロセスバラツキに関係なく安定化し、不必要な振幅拡大を防止することができる。

【００７７】

図７には、この発明が適用されたシンクロナスＤＲＡＭに含まれるライトアンプＷＡの第３の実施例の部分的な回路図が示され、図８には、その一実施例の信号波形図が示されている。なお、この実施例は、前記図１～図４の実施例を基本的に踏襲するものであるため、これと異なる部分について説明を追加する。

【００７８】

図７において、この実施例のライトアンプＷＡを構成する単位ライトアンプＵＷＡ０は、２個のＰチャンネルＭＯＳＦＥＴＰＥ及びＰＦならびにＮチャンネルＭＯＳＦＥＴＮＪ及びＮＫと、ナンドゲートＮＡ７及びノアゲートＮＯ７とを含む。このうち、ＭＯＳＦＥＴＰＥ及びＰＦのソースは、内部電圧供給点ＶＤＬに結合され、そのドレインは、非反転共通データ線ＣＤ０Ｔ及び反転共通データ線ＣＤ０Ｂにそれぞれ結合される。また、ＭＯＳＦＥＴＮＪ及びＮＫのソースは、内部電圧供給点ＶＳＬに結合され、そのドレインは、反転共通データ線ＣＤ０Ｂ及び非反転共通データ線ＣＤ０Ｔにそれぞれ結合される。

【００７９】

単位ライトアンプＵＷＡ０のＭＯＳＦＥＴＰＥのゲートには、ナンドゲートＮＡ７の出力信号が供給され、ＭＯＳＦＥＴＮＪのゲートには、そのインバータＶＫによる反転信号が供給される。また、ＭＯＳＦＥＴＮＫのゲートには、ノアゲートＮＯ７の出力信号が供給され、ＭＯＳＦＥＴＰＦのゲートには、そのインバータＶＬによる反転信号が供給される。ナンドゲートＮＡ７の一方の入力端子には、内部制御信号ＷＧが供給され、ノアゲートＮＯ７の一方の入力端子には、そのインバータＶ３による反転信号が供給される。これらのナンドゲートＮＡ７及びノアゲートＮＯ７の他方の入力端子には、書き込みデータバスＷＤＢ００を介して書き込みデータの対応するビットが共通に供給される。

【００８０】

この実施例において、センスアンプＳＡのコモンソース線ＣＳＰは、Ｐチャンネル型の駆動ＭＯＳＦＥＴＰ１を介して内部電圧供給点ＶＤＬに結合されるとともに、Ｐチャンネル型のもう一つの駆動ＭＯＳＦＥＴＰＧを介して電源電圧供給点ＶＤＤに結合される。また、コモンソース線ＣＳＮは、Ｎチャンネル型の駆動ＭＯＳＦＥＴＮ１を介して内部電圧供給点ＶＳＬに結合されるとともに、Ｎチャンネル型のもう一つの駆動ＭＯＳＦＥＴＮＬを介して接地電位供給点ＶＳＳに結合される。駆動ＭＯＳＦＥＴＮ１のゲートには、ノアゲートＮＯ８の出力信号が供給され、駆動ＭＯＳＦＥＴＰ１のゲートには、そのインバータＶ１による反転信号が供給される。また、駆動ＭＯＳＦＥＴＮＬのゲートには、内部制御信号ＷＧＰが供給され、駆動ＭＯＳＦＥＴＰＧのゲートには、そのインバータＶＮによる反転信号が供給される。ノアゲートＮＯ８の一方の入力端子には、前記内部制御信号ＰＡのインバータＶＭによる反転信号が供給され、その他方の入力端子には、内部制御信号ＷＧＰが供給される。

【００８１】

ここで、内部制御信号ＷＧは、図８に示されるように、クロック信号ＣＬＫの立ち上がりから所定時間が経過した時点で所定期間だけ選択的にハイレベルとされ、内部制御信号ＷＧＰは、内部制御信号ＷＧがロウレベルに戻されたのを受けて所定期間だけ選択的にハイレベルとされる。

【００８２】

これらのことから、単位ライトアンプＵＷＡ０のナンドゲートＮＡ７の出力信号ＮＡ７ｏｕｔは、内部制御信号ＷＧがハイレベルとされかつ書き込みデータの対応するビットがハイレベルつまり論理“１”とされるとき選択的にロウレベルとされ、ノアゲートＮＯ７の出力信号ＮＯ７ｏｕｔは、内部制御信号ＷＧがハイレベルとされかつ書き込みデータの対

応するビットがロウレベルつまり論理“０”とされるとき選択的にハイレベルとされる。また、ノアゲートＮＯ８の出力信号ＮＯ８ｏｕｔは、内部制御信号ＰＡがハイレベルとされかつ内部制御信号ＷＧＰがロウレベルとされるとき選択的にハイレベルとされる。

【００８３】

単位ライトアンプＵＷＡ０では、ナンドゲートＮＡ７の出力信号ＮＡ７ｏｕｔがロウレベルとされるとき、ＭＯＳＦＥＴＰＥ及びＮＪがオン状態となり、相補共通データ線ＣＤ０＊の非反転及び反転信号線は、それぞれ内部電圧ＶＤＬ及びＶＳＬすなわちＢＳＧレベルのハイレベル及びロウレベルとされる。また、ノアゲートＮＯ７の出力信号ＮＯ７ｏｕｔがハイレベルとされるときは、ＭＯＳＦＥＴＰＦ及びＮＫがオン状態となり、相補共通データ線ＣＤ０＊の非反転及び反転信号線は、それぞれ内部電圧ＶＳＬ及びＶＤＬすなわちＢＳＧレベルのロウレベル及びハイレベルとされる。

【００８４】

センスアンプＳＡでは、内部制御信号ＷＧＰがロウレベルとされノアゲートＮＯ８の出力信号ＮＯ８ｏｕｔがハイレベルとされるとき、駆動ＭＯＳＦＥＴＰ１及びＮ１がオン状態となり、コモンソース線ＣＳＰ及びＣＳＮには、それぞれ内部電圧ＶＤＬ及びＶＳＬが供給される。したがって、相補ビット線Ｂ０＊における読み出し信号の増幅後の到達振幅は、内部電圧ＶＤＬをハイレベルとし内部電圧ＶＳＬをロウレベルとするＢＳＧレベルとされる。

【００８５】

一方、内部制御信号ＷＧＰがハイレベルとされると、センスアンプＳＡでは、ノアゲートＮＯ８の出力信号ＮＯ８ｏｕｔのロウレベルを受けて駆動ＭＯＳＦＥＴＮ１及びＰ１がオフ状態となり、代わって駆動ＭＯＳＦＥＴＰＧ及びＮＬがオン状態となる。このため、コモンソース線ＣＳＰには、駆動ＭＯＳＦＥＴＰＧを介して電源電圧ＶＤＤが供給され、コモンソース線ＣＳＮには、駆動ＭＯＳＦＥＴＮＬを介して接地電位ＶＳＳが供給される。これにより、相補ビット線Ｂ０＊における読み出し信号の増幅後の到達振幅は、電源電圧ＶＤＤをハイレベルとし接地電位ＶＳＳをロウレベルとするフルスィングのＣＭＯＳレベルとなって、等価的なオーバードライブ書き込みが実現される。

【００８６】

以上の結果、この実施例のシンクロナスＤＲＡＭでも、単位ライトアンプＵＷＡ０～ＵＷＡ１５の構成を簡素化してその所要回路素子数を削減しつつ、前記図１～図４の実施例と同様な効果を得ることができ、これによってシンクロナスＤＲＡＭの低コスト化と書き込み動作の高速化を図り、これを含むコンピュータシステムの低コスト化及び高速化を図ることができるものとなる。

【００８７】

図９には、この発明が適用されたシンクロナスＤＲＡＭを含むコンピュータシステムの一実施例のブロック図が示されている。同図をもとに、本発明によるシンクロナスＤＲＡＭの応用システムの概要とその特徴について説明する。

【００８８】

図９において、この実施例のコンピュータは、いわゆるストアドプログラム方式の中央処理装置ＣＰＵをその基本構成要素とする。中央処理装置ＣＰＵには、特に制限されないが、システムバスＳＢＵＳを介して例えば通常のスタティック型ＲＡＭからなるランダムアクセスメモリＲＡＭと、マスクＲＯＭ等からなるリードオンリーメモリＲＯＭと、ディスプレイ制御装置ＤＰＹＣならびに周辺装置コントローラＰＥＲＣとが結合される。ディスプレイ制御装置ＤＰＹＣには、図１～図４又は図５～図６あるいは図７～図８の実施例のシンクロナスＤＲＡＭを応用したフレームメモリＦＬＭが結合されるとともに、所定のディスプレイ装置ＤＰＹが結合される。また、周辺装置コントローラＰＥＲＣには、キーボードＫＢＤ及び外部記憶装置ＥＸＭが結合される。

【００８９】

中央処理装置ＣＰＵは、予めリードオンリーメモリＲＯＭに格納されたプログラムに従ってステップ動作し、コンピュータの各部を制御・統轄する。また、ランダムアクセスメモ

リＲＡＭは、いわゆる一時記憶装置として使用され、例えばリードオンリーメモリＲＯＭから中央処理装置ＣＰＵに伝達されるプログラム及び演算データ等を一時的に格納し中継するために供される。さらに、ディスプレイ制御装置ＤＰＹＣは、フレームメモリＦＬＭに格納された画像データをもとにディスプレイ装置ＤＰＹの表示制御を行い、周辺装置コントローラＰＥＲＣは、キーボードＫＢＤ及び外部記憶装置ＥＸＭ等の周辺装置を制御する。コンピュータは、さらに、交流入力電源をもとに安定した所定の直流電源電圧を形成し、各部に動作電源として供給する電源装置ＰＯＷＳを備える。

【００９０】

この実施例において、フレームメモリＦＬＭとなるシンクロナスＤＲＡＭは、前述のように、ＢＳＧ方式を採り、そのメモリアレイの各相補ビット線における読み出し信号の増幅後の到達振幅は、内部電圧ＶＤＬをハイレベルとし内部電圧ＶＳＬをロウレベルとするＢＳＧレベルとされる。また、シンクロナスＤＲＡＭでは、各相補ビット線における書き込み信号の到達振幅を、電源電圧ＶＤＤをハイレベルとし接地電位ＶＳＳをロウレベルとするフルスィングのＣＭＯＳレベルとすることで、オーバードライブ書き込みが行われ、これによってＢＳＧ方式による微細化・低消費電力化を享受しつつ、しかもその低コスト化を阻害することなく、シンクロナスＤＲＡＭの書き込み動作の高速化が図られる。この結果、フレームメモリＦＬＭを含むコンピュータシステムの高速化を図り、その低消費電力化・低コスト化を図ることができるものとなる。

【００９１】

以上の実施例から得られる作用効果は、下記の通りである。すなわち、

（１）第１及び第２の電源電圧をその動作電源としかつＢＳＧ方式を採るシンクロナスＤＲＡＭ等において、ライトアンプから相補共通データ線を介してメモリアレイの選択メモリセルに供給される書き込み信号のハイレベル及びロウレベルの到達電位を、所定期間だけそれぞれ第１及び第２の電源電圧電位とし、あるいはセンスアンプに対する第１及び第２コモンソース線の電位を、所定期間だけそれぞれ第１及び第２の電源電圧電位として、ビット線における書き込み信号の実質的な到達振幅を読み出し信号の増幅後の到達振幅よりも大きくして、言わばオーバードライブ書き込みを行うことで、シンクロナスＤＲＡＭ等の書き込み動作を高速化することができるという効果が得られる。

（２）上記（１）項により、ＭＯＳＦＥＴの低Ｖｔｈ化の必要性をなくして、シンクロナスＤＲＡＭ等のフォトマスクの所要数を削減し、その製造工程を簡素化することができるという効果が得られる。

【００９２】

（３）上記（１）項～（２）項において、書き込み信号のハイレベル及びロウレベルの到達電位を、書き込み動作が行われる期間の当初所定期間だけ読み出し信号の到達電位より大きくし、その後所定期間だけ読み出し信号の到達電位と同電位とすることで、ビット線における書き込み信号の振幅が読み出し信号の到達電位より大きくなるのを防止することができるという効果が得られる。

（４）上記（３）項により、シンクロナスＤＲＡＭの書き込み動作時における動作電流がいたずらに大きくなるのを防止し、オーバードライブ書き込みによる保持データの破壊を防止することができるという効果が得られる。

【００９３】

（５）上記（１）項～（４）項において、シンクロナスＤＲＡＭ等のライトアンプに、書き込み動作が行われない所定の期間においてその一方の電極がそれぞれ第１及び第２の電源電圧電位にチャージされ、書き込み動作が行われる期間の当初において所定期間だけその他方の電極がそれぞれ第１及び第２の電源電圧電位とされるブートストラップ容量を設けることで、ビット線における書き込み信号のレベルを比較的容易に設定することができ、その電源変動やプロセスバラツキにともなう変動を抑制することができるという効果が得られる。

（６）上記（１）項～（４）項において、書き込み信号の実質的な到達振幅を、第１及び第２コモンソース線の電位を選択的に第１又は第２の電源電圧電位とすることにより選択

的に大きくすることで、ライトアンプの構成を簡素化してその所要回路素子数を削減することができるという効果が得られる。
（７）上記（１）項～（６）項により、ＢＳＧ方式による微細化・低消費電力化を享受しつつ、しかもその低コスト化を阻害することなく、シンクロナスＤＲＡＭ等の高速化を図ることができるという効果が得られる。
【００９４】
（８）上記（１）項～（７）項のシンクロナスＤＲＡＭをコンピュータシステムのフレームメモリ等に応用することで、コンピュータシステムの高速化，低消費電力化ならびに低コスト化を図ることができるという効果が得られる。
【００９５】
以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図１において、シンクロナスＤＲＡＭは、×８ビット又は×３２ビット等、任意のビット構成を採ることができるし、任意数のバンクを備えることができる。また、バンクＢＮＫ０～ＢＮＫ３のメモリアレイＭＡＲＹは、その直接周辺回路を含めて複数のマットに分割できるし、いわゆるシェアドセンス方式を採るものであってもよい。さらに、シンクロナスＤＲＡＭのブロック構成は、種々の実施形態を採りうるし、起動制御信号，アドレス信号ならびに内部制御信号等の名称及び組み合わせならびにその有効レベル等も、この実施例による制約を受けない。
【００９６】
図２において、メモリアレイＭＡＲＹは、任意数の冗長素子を含むことができる。また、センスアンプＳＡは、いわゆるダイレクトセンス方式を採ることができるし、コモンソース線ＣＳＰ及びＣＳＮに対する駆動ＭＯＳＦＥＴの形態も任意に設定できる。図３，図５ならびに図７において、単位ライトアンプＵＷＡ０～ＵＷＡ１５の具体的構成は、その基本的な論理条件が変わらないことを条件に種々の実施形態を採りうるし、電源電圧の極性及び絶対値ならびにＭＯＳＦＥＴの導電型等についても同様である。図４，図６ならびに図８において、クロック信号ＣＬＫを含む各起動制御信号，内部制御信号ならびに内部信号等の具体的電位及び時間関係は、この発明に制約を与えない。
【００９７】
図９において、コンピュータシステムは、他の各種入出力デバイスを含むことができるし、シンクロナスＤＲＡＭも各種メモリに応用できる。コンピュータシステムのブロック構成及びバス構成は、種々の実施形態を採りうる。
【００９８】
以上の実施例では、書き込み信号の非反転及び反転信号の実質的な到達電位を拡大することによりオーバードライブ書き込みを実現しているが、特にロウレベル側のマージンが少ない場合は、ハイレベル側のみをオーバードライブしてもよい。さらに、以上の実施例において、シンクロナスＤＲＡＭはＢＳＧ方式を採るものとしているが、このことは必須条件ではなく、例えば、相補ビット線における読み出し信号の増幅後の到達電位が電源電圧ＶＤＤをハイレベルとし接地電位ＶＳＳをロウレベルとするＣＭＯＳレベルである場合も、相補書き込み信号の到達電位を電源電圧ＶＤＤより高いハイレベル又は接地電位ＶＳＳより低いロウレベルとすることで、オーバードライブ書き込みを実現してもよい。
【００９９】
以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるシンクロナスＤＲＡＭならびにこれをフレームメモリとして含むコンピュータシステムに適用した場合について説明したが、それに限定されるものではなく、例えば、通常のダイナミック型ＲＡＭやダイナミック型ＲＡＭを基本構成要素とする各種半導体メモリならびにこれを含む各種デジタルシステムにも適用できる。この発明は、少なくともセンスアンプを備える半導体記憶装置ならびにこれを含む装置又はシステムに広く適用できる。
【０１００】
【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、第１及び第２の電源電圧をその動作電源としかつＢＳＧ方式を採るシンクロナスＤＲＡＭ等において、ライトアンプから相補共通データ線を介してメモリアレイの選択メモリセルに供給される書き込み信号のハイレベル及びロウレベルの到達電位を、所定期間だけそれぞれ第１及び第２の電源電圧電位とし、あるいはセンスアンプに対する第１及び第２コモンソース線の電位を、所定期間だけそれぞれ第１及び第２の電源電圧電位とすることで、ビット線における書き込み信号の実質的な到達振幅を読み出し信号の増幅後の到達振幅よりも大きくして言わばオーバードライブ書き込みを行う。これにより、ＢＳＧ方式による微細化・低消費電力化を享受しつつ、しかもその低コスト化を阻害することなく、ＢＳＧ方式を採るシンクロナスＤＲＡＭ等の書き込み動作を高速化することができ、これによってシンクロナスＤＲＡＭを含むコンピュータシステム等の高速化を図ることができる。

【図面の簡単な説明】

【図１】この発明が適用されたシンクロナスＤＲＡＭの一実施例を示すブロック図である。

【図２】図１のシンクロナスＤＲＡＭに含まれるメモリアレイ及びセンスアンプの一実施例を示す部分的な回路図である。

【図３】図１のシンクロナスＤＲＡＭに含まれるライトアンプの一実施例を示す部分的な回路図である。

【図４】図３のライトアンプの一実施例を示す信号波形図である。

【図５】この発明が適用されたシンクロナスＤＲＡＭに含まれるライトアンプの第２の実施例を示す部分的な回路図である。

【図６】図５のライトアンプの一実施例を示す信号波形図である。

【図７】この発明が適用されたシンクロナスＤＲＡＭに含まれるライトアンプの第３の実施例を示す部分的な回路図である。

【図８】図７のライトアンプの一実施例を示す信号波形図である。

【図９】この発明が適用されたシンクロナスＤＲＡＭを含むコンピュータシステムの一実施例を示すブロック図である。

【図１０】この発明に先立って本願発明者等が開発したシンクロナスＤＲＡＭに含まれるライトアンプの一例を示す部分的な回路図である。

【図１１】図１０のライトアンプの一例を示す信号波形図である。

【符号の説明】

ＢＮＫ０～ＢＮＫ３……バンク、ＭＡＲＹ……メモリアレイ、ＲＤ……ロウアドレスデコーダ、ＳＡ……センスアンプ、ＣＤ……カラムアドレスデコーダ、ＷＡ……ライトアンプ、ＭＡ……メインアンプ、ＡＢ……アドレスバッファ、ＲＡ……ロウアドレスレジスタ、ＢＡ……バンクアドレスレジスタ、ＢＳ……バンク選択回路、ＣＣ……カラムアドレスカウンタ、ＩＯ……データ入出力回路、ＤＳ……データ入出力選択回路、ＶＧ……内部電圧発生回路、ＴＧ……タイミング発生回路、Ｄ０～Ｄ１５……データ入出力端子、ＣＬＫ……クロック信号又はその入力端子、ＣＫＥ……クロックイネーブル信号又はその入力端子、ＣＳＢ……チップ選択信号又はその入力端子、ＲＡＳＢ……ロウアドレスストローブ信号又はその入力端子、ＣＡＳＢ……カラムアドレスストローブ信号又はその入力端子、ＷＥＢ……ライトイネーブル信号又はその入力端子、ＤＱＭ……データマスク信号又はその入力端子、Ａ０～Ａ１２……アドレス信号又はその入力端子。

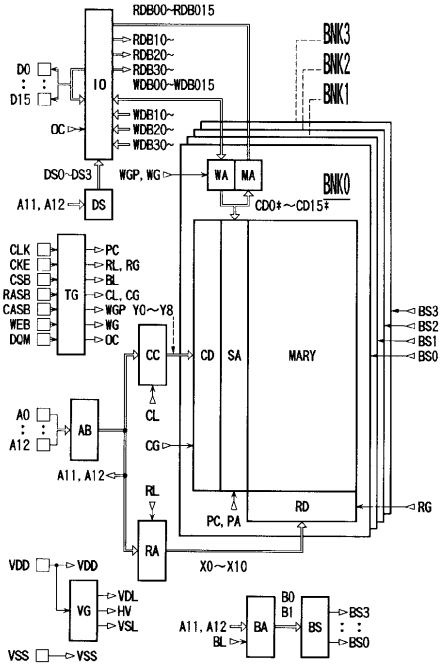
Ｗ０～Ｗｍ……ワード線、Ｂ０＊～Ｂｎ＊……相補ビット線、Ｃｓ……情報蓄積キャパシタ、Ｑａ……アドレス選択ＭＯＳＦＥＴ、ＹＳ０～ＹＳｐ……ビット線選択信号、ＣＤ０＊～ＣＤ１５＊……相補共通データ線。

ＵＷＡ０～ＵＷＡ１５……単位ライトアンプ、ＷＤＢ０～ＷＤＢ１５……書き込みデータバス。

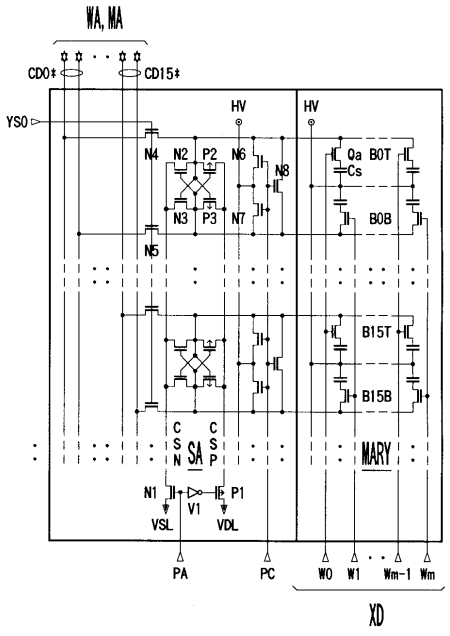
Ｐ１～ＰＧ……ＰチャンネルＭＯＳＦＥＴ、Ｎ１～ＮＬ……ＮチャンネルＭＯＳＦＥＴ、Ｖ１～ＶＮ……インバータ、ＮＡ１～ＮＡ６……ナンドゲート、ＮＯ１～ＮＯ６……ノア

ゲート、Ｃ１～Ｃ２……キャパシタ。
ＣＰＵ……中央処理装置、ＳＢＵＳ……システムバス、ＲＡＭ……ランダムアクセスメモリ、ＳＤＲＡＭ……シンクロナスＤＲＡＭ、ＲＯＭ……リードオンリーメモリ、ＤＰＹＣ……ディスプレイ制御装置、ＦＬＭ……フレームメモリ、ＤＰＹ……ディスプレイ装置、ＰＥＲＣ……周辺装置コントローラ、ＫＢＤ……キーボード、ＥＸＭ……外部記憶装置、ＰＯＷＳ……電源装置。

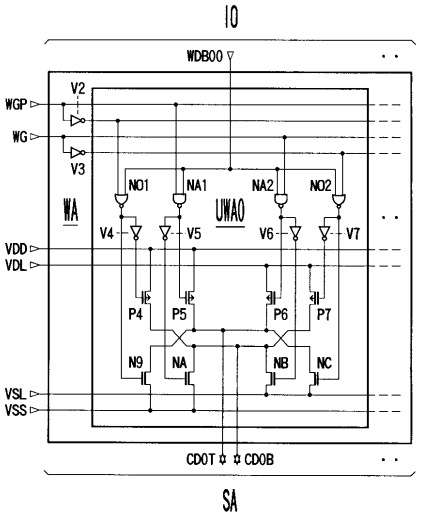
【図１】
図1 シンクロナスＤＲＡＭのブロック構成



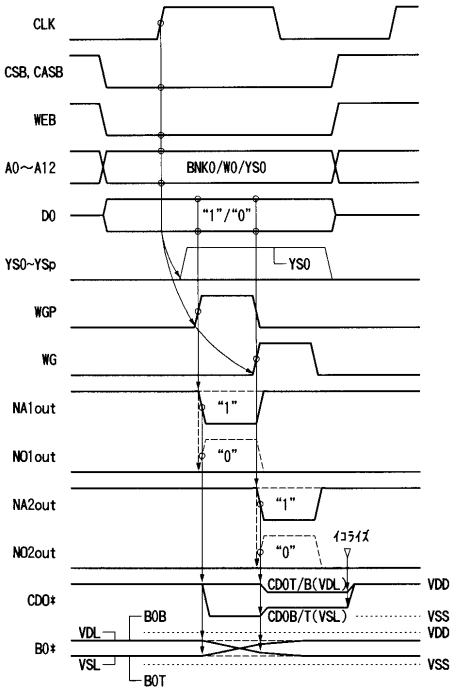
【図２】
図2 メモリアレイ及びセンスアンプの回路構成



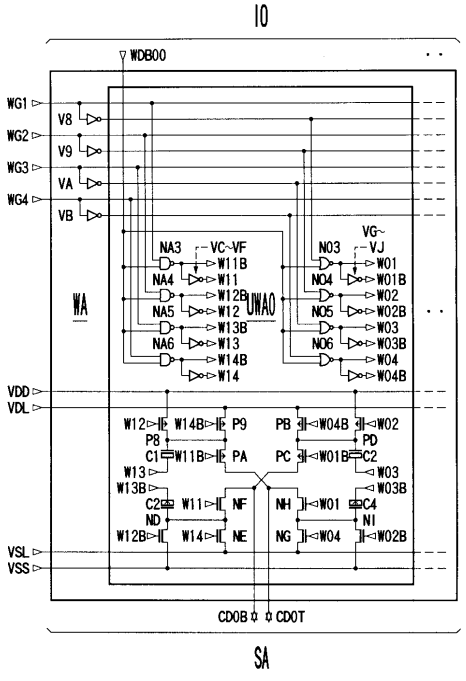
【図３】
図3 ライトアンプの回路構成（実施例１）



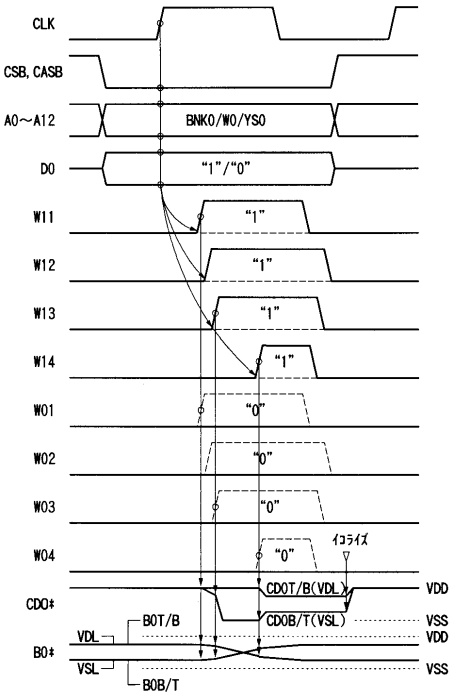
【図４】
図4 ライトアンプの信号波形（実施例１）



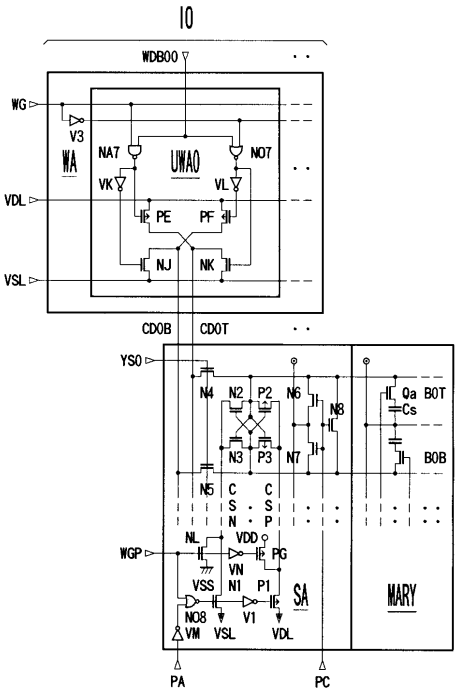
【図５】
図5 ライトアンプの回路構成（実施例２）



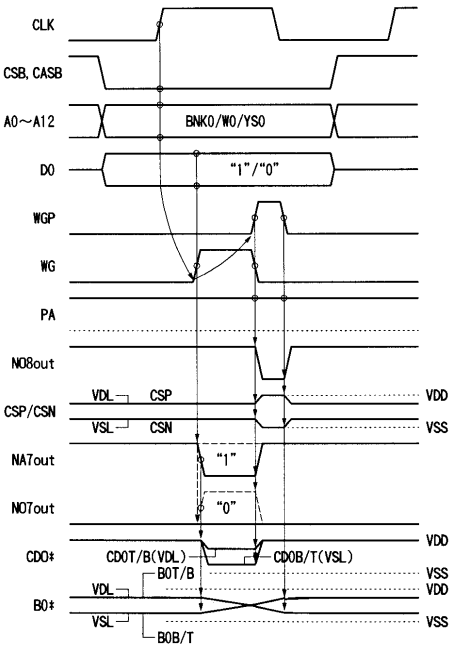
【図６】
図6 ライトアンプの信号波形（実施例２）



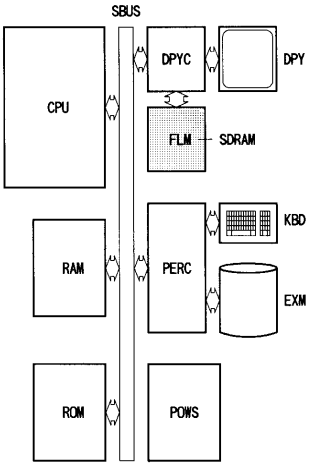
【図７】
図7 ライトアンプの回路構成（実施例３）



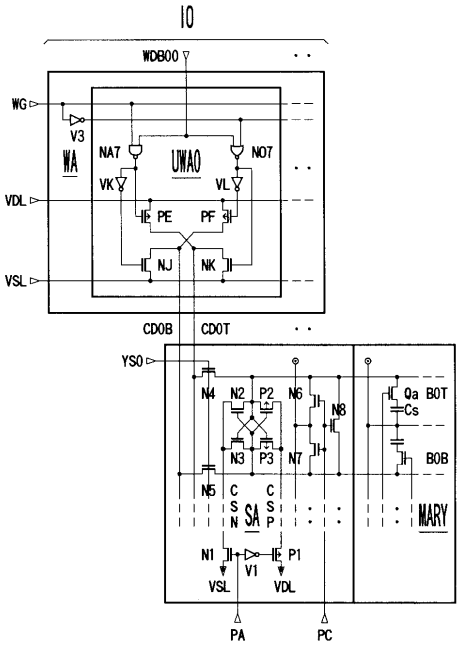
【図８】
図8 ライトアンプの信号波形（実施例３）



【図９】
図9 コンピュータシステムのブロック構成

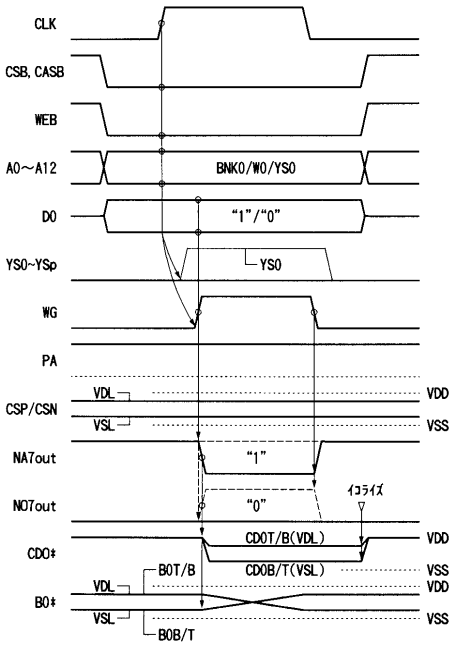


【図１０】
図10 ライトアンプの回路構成



【図１１】

図11 ライトアンプの信号波形



フロントページの続き

(72)発明者　梶谷　一彦
東京都青梅市今井２３２６番地　株式会社　日立製作所　デバイス開発センタ内
(72)発明者　宮武　伸一
東京都小平市上水本町５丁目２０番１号　日立超エル・エス・アイ・エンジニアリング株式会社内

審査官　堀田　和義

(56)参考文献　特開平０８－０３１１７６（ＪＰ，Ａ）
特開平０２－０１８７８４（ＪＰ，Ａ）
特開平０２－２４６０８９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 11/4091