



(12) 发明专利申请

(10) 申请公布号 CN 106935516 A

(43) 申请公布日 2017. 07. 07

(21) 申请号 201511022185. 7

H01L 23/13(2006. 01)

(22) 申请日 2015. 12. 30

(71) 申请人 欣兴电子股份有限公司

地址 中国台湾桃园市龟山区龟山工业区兴邦路 38 号

(72) 发明人 余丞博 陈盈儒

(74) 专利代理机构 北京同立钧成知识产权代理有限公司 11205

代理人 马雯雯 臧建明

(51) Int. Cl.

H01L 21/48(2006. 01)

H01L 21/50(2006. 01)

H01L 21/56(2006. 01)

H01L 23/31(2006. 01)

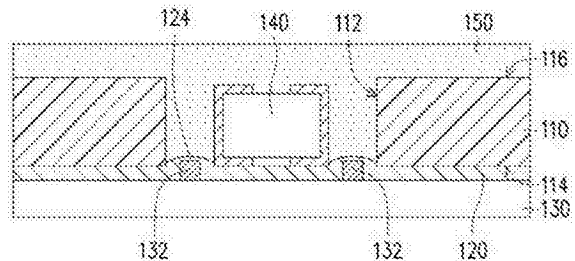
权利要求书2页 说明书5页 附图3页

(54) 发明名称

内埋式电子组件的封装结构的制作方法

(57) 摘要

本发明提供一种内埋式电子组件的封装结构的制作方法,包括下列步骤:提供核心层,其包括容置槽、相对的第一及第二表面,容置槽贯穿核心层。将核心层贴附于支撑层的上表面。支撑层包括组件设置区,容置槽曝露组件设置区并与组件设置区的边缘维持间距。提供定位基板,其包括定位凸起。贴附定位基板于支撑层的下表面。定位凸起环绕组件设置区并位于间距内,以于支撑层上形成对应的定位凸部。设置电子组件于组件设置区上,且定位凸部环绕电子组件。压合第一介电层于第一表面。移除支撑层及定位基板以曝露第一表面。压合第二介电层于第二表面上。本发明可提升电子组件的对位精准度以及封装结构的制程良率。



1. 一种内埋式电子组件的封装结构的制作方法,其特征在于,包括:

提供核心层,所述核心层包括容置槽、第一表面以及相对所述第一表面的第二表面,所述容置槽贯穿所述核心层;

将所述核心层贴附于支撑层的上表面,所述支撑层包括组件设置区,所述容置槽曝露所述组件设置区并与所述组件设置区的一边缘维持一间距;

提供定位基板,其中所述定位基板包括定位凸起;

贴附所述定位基板于所述支撑层的下表面,其中所述定位凸起环绕所述组件设置区并位于所述间距内,以往上挤压所述支撑层而于所述支撑层上形成对应的定位凸部;

设置电子组件于所述组件设置区上,且所述定位凸部环绕所述电子组件;

压合第一介电层于所述第一表面,且所述第一介电层填充所述容置槽并覆盖所述电子组件;

移除所述支撑层以及所述定位基板,以曝露所述第二表面以及所述第一介电层的一表面;以及

压合第二介电层于所述第二表面上,并使所述第二介电层与所述第一介电层的所述表面贴合。

2. 根据权利要求1所述的内埋式电子组件的封装结构的制作方法,其特征在于,所述定位凸起包括多个凸块,共同环绕所述组件设置区。

3. 根据权利要求1所述的内埋式电子组件的封装结构的制作方法,其特征在于,所述定位部包括长条状凸肋,环绕所述组件设置区。

4. 根据权利要求1所述的内埋式电子组件的封装结构的制作方法,其特征在于,还包括:

在移除所述支撑层以及所述定位基板之前,对所述第一介电层进行烘烤制程,以固化所述第一介电层。

5. 根据权利要求1所述的内埋式电子组件的封装结构的制作方法,其特征在于,提供所述定位基板的步骤包括:

提供基材,其中所述基材包括绝缘层、第一金属层以及第二金属层,所述第一金属层及所述第二金属层分别覆盖所述绝缘层的相对两表面;以及

对所述第一金属层进行图案化制程,以形成所述定位凸起于所述绝缘层上。

6. 根据权利要求5所述的内埋式电子组件的封装结构的制作方法,其特征在于,所述图案化制程包括半加成法或减成法。

7. 根据权利要求1所述的内埋式电子组件的封装结构的制作方法,其特征在于,提供所述定位基板的步骤包括:

提供绝缘层;

形成图案化光阻层于所述绝缘层上,所述图案化光阻层曝露部分所述绝缘层;

进行电镀制程,以于被曝露的部分所述绝缘层上形成定位凸起;以及

移除所述图案化光阻层。

8. 根据权利要求1所述的内埋式电子组件的封装结构的制作方法,其特征在于,所述间距介于50微米至100微米之间。

9. 根据权利要求1所述的内埋式电子组件的封装结构的制作方法,其特征在于,所述定

位凸起至所述电子组件的最短距离介于5微米至15微米之间。

10. 根据权利要求1所述的内埋式电子组件的封装结构的制作方法, 其特征在于, 所述定位凸起的厚度小于或等于二分之一所述电子组件的厚度。

内埋式电子组件的封装结构的制作方法

技术领域

[0001] 本发明涉及一种封装结构的制作方法,尤其涉及一种内埋式电子组件的封装结构的制作方法。

背景技术

[0002] 随着电子产品的需求朝向高功能化、信号传输高速化及电路组件高密度化,集成电路芯片所呈现的功能越强,而针对消费性电子产品,搭配的被动组件数量亦随之剧增。再者,在电子产品强调轻薄短小之际,如何在有限的构装空间中容纳数目庞大的电子组件,已成为电子构装业者急待解决与克服的技术瓶颈。为了解决此一问题,构装技术逐渐走向单构装系统(System in Package, SIP)的系统整合阶段,特别是多芯片模块(Multi-Chip Module, MCM)的封装。而其中,内埋式主动组件及被动组件技术(embedded technology)成为关键技术。藉由组件的内埋化,可使封装体积大幅度缩小,能放入更多高功能性组件,以增加基板表面的布局面积,以达到电子产品薄型化的目的。

[0003] 一般而言,在已知使用内埋式电子组件的封装技术中,需先在基板上形成一容置槽,以将电子组件配置于基板的容置槽内。之后,再进行填充绝缘胶体的步骤,以使电子组件内埋于基板中。然而,在压合填充绝缘胶体于容置槽内时,设置于容置槽内的电子组件容易因绝缘胶体的流动性而产生偏移,进而影响电子组件与基板的接点之间的对位精准度,导致内埋式电子组件的封装结构的制程良率下降。

发明内容

[0004] 本发明提供一种内埋式电子组件的封装结构的制作方法,其可提升电子组件的对位精准度以及封装结构的制程良率。

[0005] 本发明的内埋式电子组件的封装结构的制作方法包括下列步骤。提供核心层,其中,核心层包括容置槽、第一表面以及相对第一表面的第二表面,且容置槽贯穿核心层。将核心层的第二表面贴附于支撑层的上表面,其中,支撑层覆盖容置槽位于核心层的第二表面的开口端。支撑层还包括组件设置区,且容置槽曝露组件设置区并与组件设置区的边缘维持间距。提供定位基板,其中定位基板包括定位凸起。定位基板贴附于支撑层的下表面,其中定位凸起环绕组件设置区并位于间距内,以往上挤压支撑层而于支撑层上形成对应的定位凸部。设置电子组件于组件设置区上,且定位凸部环绕电子组件。压合第一介电层于核心层的第一表面,且第一介电层填充容置槽并覆盖电子组件。移除支撑层以及定位基板,以曝露第二表面以及容置槽中的第一介电层的表面,其中,第一介电层的表面与容置槽位于核心层第二表面的开口端齐平。压合第二介电层于第二表面上,并使第二介电层与容置槽中的第一介电层的表面贴合。

[0006] 在本发明的一实施例中,上述的定位凸起包括多个凸块,共同环绕组件设置区。

[0007] 在本发明的一实施例中,上述的定位部包括长条状凸肋,环绕组件设置区。

[0008] 在本发明的一实施例中,上述的内埋式电子组件的封装结构的制作方法还包括:

在移除支撑层以及定位基板之前,对第一介电层进行烘烤制程,以固化第一介电层。

[0009] 在本发明的一实施例中,上述提供定位基板的步骤包括:提供基材,其中基材包括绝缘层、第一金属层以及第二金属层,且第一金属层及第二金属层分别覆盖绝缘层的相对两表面。对第一金属层进行图案化制程,以形成定位凸起于绝缘层上。

[0010] 在本发明的一实施例中,上述的图案化制程包括半加成(semi-additive)法或减成(subtractive)法。

[0011] 在本发明的一实施例中,上述提供定位基板的步骤包括下列步骤:提供绝缘层。形成图案化光阻层于绝缘层上,且图案化光阻层曝露部分绝缘层。进行电镀制程,以于被曝露的部分绝缘层上形成定位凸起。移除图案化光阻层。

[0012] 在本发明的一实施例中,上述的容置槽与组件设置区边缘的间距实质上介于50微米(μm)至100微米之间。

[0013] 在本发明的一实施例中,上述的定位凸起至电子组件的最短距离实质上介于5微米至15微米之间。

[0014] 在本发明的一实施例中,上述的定位凸起的厚度实质上小于或等于二分之一电子组件的厚度。

[0015] 基于上述,本发明将具有定位凸起的定位基板贴附于支撑层上,以使支撑层因受到挤压而形成对应的定位凸部,且定位凸部环绕支撑层的组件设置区。之后,再将电子组件设置于组件设置区,以使定位凸部环绕电子组件。如此,在进行后续的压合介电层的制程时,由于定位凸部环绕于电子组件的四周,因而可防止电子组件在压合及加热介电层的过程中因介电层的流动性而受其带动,进而产生偏移的现象。因此,本发明的内埋式电子组件的封装结构的制作方法可提高电子组件的对位精准度,进而可提升内埋式电子组件的封装结构的制程良率。

[0016] 为了让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合附图作详细说明如下。

附图说明

[0017] 图1A至图1G是依照本发明的一实施例的一种内埋式电子组件的封装结构的制作方法流程剖面示意图;

[0018] 图2是依照本发明的一实施例的一种定位凸部的俯视示意图;

[0019] 图3是依照本发明的另一实施例的一种定位凸部的俯视示意图;

[0020] 图4A至图4B是依照本发明的一实施例的一种定位基板的制作流程的剖面示意图。

[0021] 附图标记:

[0022] 100:内埋式电子组件的封装结构

[0023] 110:核心层

[0024] 112:容置槽

[0025] 114:第二表面

[0026] 116:第一表面

[0027] 120:支撑层

[0028] 122:组件设置区

- [0029] 124:定位凸部
- [0030] 130:定位基板
- [0031] 130a:基材
- [0032] 132:定位凸起
- [0033] 134:绝缘层
- [0034] 136:第一金属层
- [0035] 138:第二金属层
- [0036] 140:电子组件
- [0037] 150:第一介电层
- [0038] 160:第二介电层
- [0039] D1:最短距离
- [0040] G1:间距

具体实施方式

[0041] 有关本发明的前述及其他技术内容、特点与功效,在以下配合附图的各实施例的详细说明中,将可清楚的呈现。以下实施例中所提到的方向用语,例如:“上”、“下”、“前”、“后”、“左”、“右”等,仅是参考附图的方向。因此,使用的方向用语是用来说明,而非用来限制本发明。并且,在下列各实施例中,相同或相似的组件将采用相同或相似的标号。

[0042] 图1A至图1G是依照本发明的一实施例的一种内埋式电子组件的封装结构的制作方法流程剖面示意图。本实施例的内埋式电子组件的封装结构的制作方法包括下列步骤。首先,请参照图1A,提供核心层110,其中,核心层110包括容置槽112、第一表面116以及第二表面114,且第一表面116与第二表面114彼此相对,而容置槽112贯穿核心层110。本实施例可例如使用机械钻孔的方式形成贯穿核心层110的容置槽112,当然,本实施例仅用以举例说明,本发明并不限制容置槽的形成方式。

[0043] 接着,将核心层110的第二表面114贴附于支撑层120的上表面,其中,支撑层120覆盖容置槽112位于核心层110的第二表面114的开口端。在本实施例中,支撑层120包括组件设置区122,以供后续制程中的电子组件设置于其上。容置槽112如图1A所示的曝露上述的组件设置区122,并且,容置槽112与组件设置区122的边缘之间维持间距G1,以使后续制程中的第一介电层能轻易地完全填充于容置槽内。在本实施例中,上述容置槽112与组件设置区122的边缘的间距G1实质上约介于50微米(μm)至100微米之间。

[0044] 接着,请参照图1B,提供定位基板130,其中,定位基板130包括定位凸起132,其凸出于基板130的上表面并环绕组件设置区122。具体而言,定位基板130的制作方法可例如包括下列步骤。首先,如图4A所示,提供基材130a,本实施例的基板130a可例如为铜箔基板(Copper Clad Laminate, CCL),其可包括铜箔层、离型膜、环氧树脂或含已固化环氧树脂的玻璃纤维层,在本实施例中,基材130a包括绝缘层134、第一金属层136以及第二金属层138,且第一金属层136及第二金属层138分别覆盖绝缘层134的相对两表面。绝缘层134的材料可包括含有半固化(B-stage)环氧树脂的玻璃纤维层(prepreg, PP)或是含有已固化(C-stage)环氧树脂的玻璃纤维层(FR4)。当然,本实施例仅用以举例说明,本发明并不限制绝缘层134的种类。

[0045] 接着,如图4B所示的对第一金属层136进行图案化制程,以形成定位凸起132于绝缘层134上。在本实施例中,图案化制程可例如为减成(subtractive)法。也就是说,图案化制程可例如先形成图案化光阻层于基材130a上,再通过蚀刻制程移除被图案化光阻层所曝露的部分第一金属层136而形成如图4B所示的定位凸起132。或者,图案化制程也可为半加成(semi-additive)法。也就是说,图案化制程可包括先形成图案化光阻层于基材134上,再通过电镀制程于被图案化光阻层所曝露的部分基材134上形成图案化金属层,之后再移除图案化光阻层并通过蚀刻制程移除被图案化光阻层所曝露的部分第一金属层136,如此,图案化金属层与残余的第一金属层136即可形成本实施例的定位凸起132。

[0046] 当然,上述实施例仅用以举例说明,在其他实施例中,定位凸起132也可通过加成(additive)法来形成。也就是说,定位基板130的制作方法可包括先提供绝缘层,之后再形成图案化光阻层于此绝缘层上,且图案化光阻层曝露部分绝缘层。接着再进行电镀制程,以于被曝露的部分绝缘层上形成定位凸起132。之后再移除上述的图案化光阻层,以形成定位基板130。当然,本发明并不限制定位基板130的形成方法,在其他实施例中,定位基板130亦可通过模具直接成型或是其他适合的制作方法而形成。

[0047] 请接续参照图1C,贴附上述的定位基板130于支撑层120的下表面,其中,定位凸起132环绕支撑层120的组件设置区122并位于间距G1内。如此,当定位基板130贴附于定位基板130的下表面时,定位凸起132会对支撑层120往上挤压,因而于支撑层120上形成对应的定位凸部124。接着,设置电子组件140于组件设置区122上。如此,定位凸部124即可环绕电子组件140,以定位电子组件140。

[0048] 图2及图3为图1C中的定位凸起132于不同实施中的俯视示意。须说明的是,图2省略显示了支撑层120,以更清楚呈现定位凸起132的形状及其与电子组件140的关系。举例而言,在如图2所示的实施例中,定位凸起132可为多个凸块,以共同环绕支撑层120的组件设置区122,因而可挤压支撑层120,以于其上对应形成多个凸块状定位凸部124。在如图3所示的实施例中,定位凸起132可为长条状凸肋,也就是说,定位凸起132可为连续性的长条状凸起,以环绕支撑层120的组件设置区122,因而可挤压支撑层120,以于其上对应形成多个凸肋状定位凸部124。

[0049] 在本实施例中,定位凸起132的厚度若太厚,则可能导致定位凸起132戳破支撑层120,因此,定位凸起132的厚度可具有一定的限制。具体而言,本实施例的定位凸起132的厚度实质上约可小于或等于二分之一的电子组件140的厚度。并且,定位凸起132至电子组件140的最短距离D1实质上介于5微米至15微米之间。较佳地,定位凸起132至电子组件140的最短距离D1约可为10微米。当然,上述的数据仅用以举例说明,只要定位凸起132位于容置槽112与电子组件140之间的间距G1内,即可对电子组件140达到进一步定位的效果。

[0050] 接着,请参照图1D,压合第一介电层150于核心层110的第一表面116,且第一介电层150填充于容置槽112内并覆盖电子组件140。之后,可对第一介电层150进行烘烤制程,以固化第一介电层150,并固定电子组件140的位置。在上述制程步骤中,由于定位凸部124环绕于电子组件140的四周,因而可防止电子组件140在压合及加热的过程中因为第一介电层150的流动性而受其带动,进而产生偏移的现象。

[0051] 接着,请参照图1E,移除支撑层120以及定位基板130,以曝露核心层110的第二表面114以及容置槽112中的第一介电层150的表面,其中,第一介电层150的表面与容置槽112

位于核心层110的第二表面114的开口端齐平。之后,再如图1F及1G所示,压合第二介电层160于核心层110的第二表面114上,并通过第二介电层160的流动性填补因定位基板130上的定位凸起132压合后于第一介电层150上造成的空孔,使第二介电层160与容置槽112中的第一介电层150的表面贴合,再经烘烤制程使第二介电层160固化以便完全贴合。如此,如图1G所示的内埋式电子组件的封装结构100的制作方法即大致完成。

[0052] 综上所述,本发明将具有定位凸起的定位基板贴附于支撑层上,以使支撑层因受到挤压而形成对应的定位凸部,且定位凸部环绕支撑层的组件设置区。之后,再将电子组件设置于组件设置区,以使定位凸部环绕电子组件。如此,在进行后续的压合介电层的制程时,由于定位凸部环绕于电子组件的四周,因而可防止电子组件在压合及加热介电层的过程中因介电层的流动性而受其带动,进而产生偏移的现象。因此,本发明的内埋式电子组件的封装结构的制作方法可提高电子组件的对位精准度,进而可提升内埋式电子组件的封装结构的制程良率。

[0053] 虽然本发明已以实施例揭示如上,然其并非用以限定本发明,任何所属技术领域中普通技术人员,在不脱离本发明的精神和范围内,当可作些许的改动与润饰,故本发明的保护范围当视所附权利要求界定范围为准。

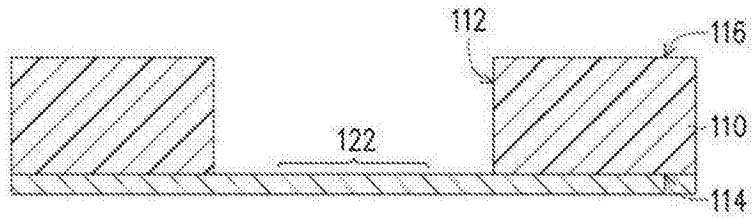


图1A

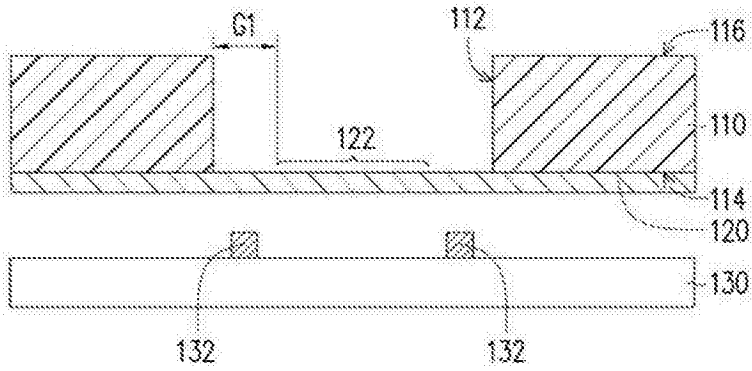


图1B

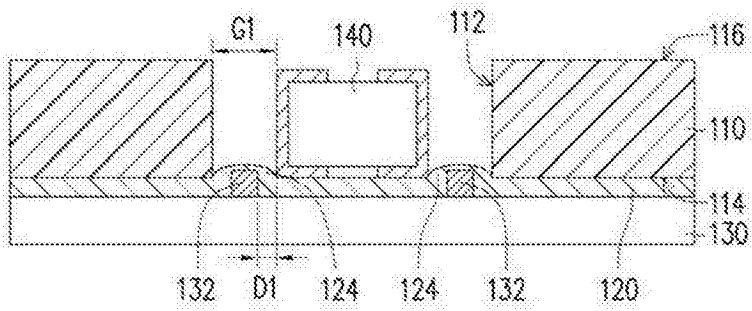


图1C

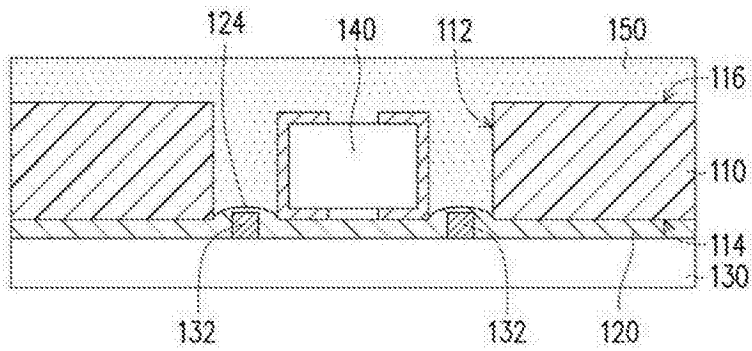


图1D

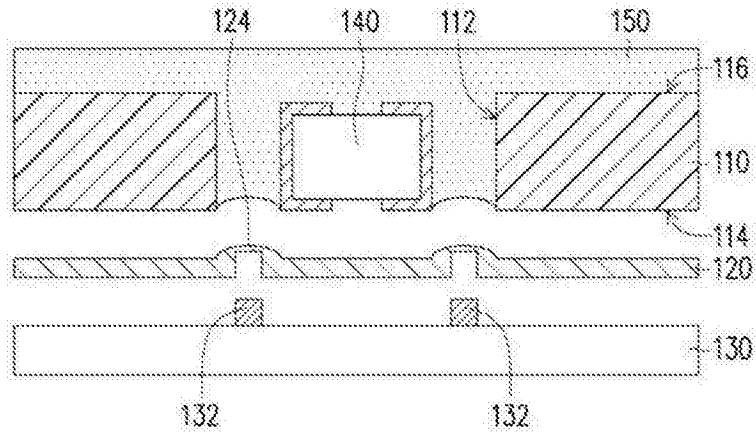


图1E

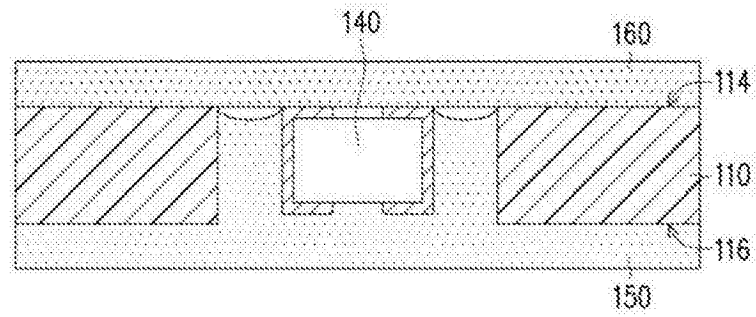


图1F

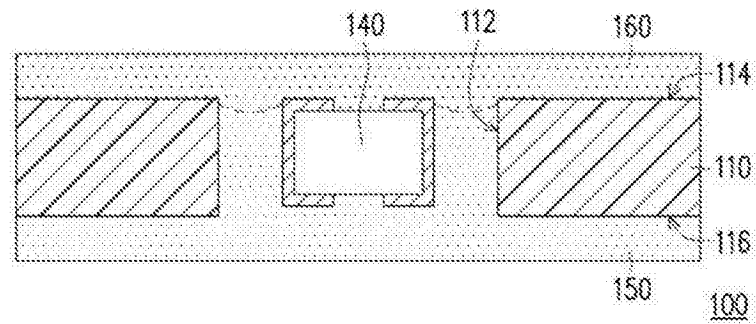


图1G

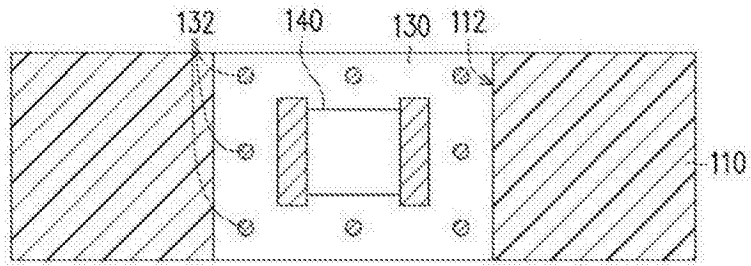


图2

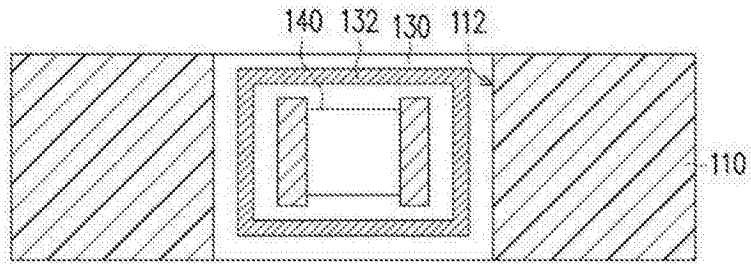


图3

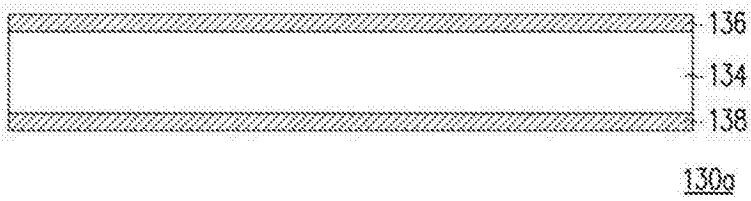


图4A

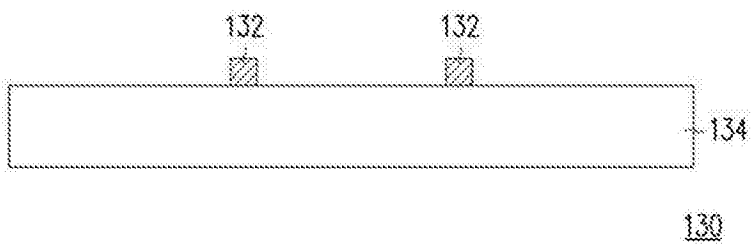


图4B