

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 10 月 5 日(05.10.2017)



(10) 国際公開番号

WO 2017/169858 A1

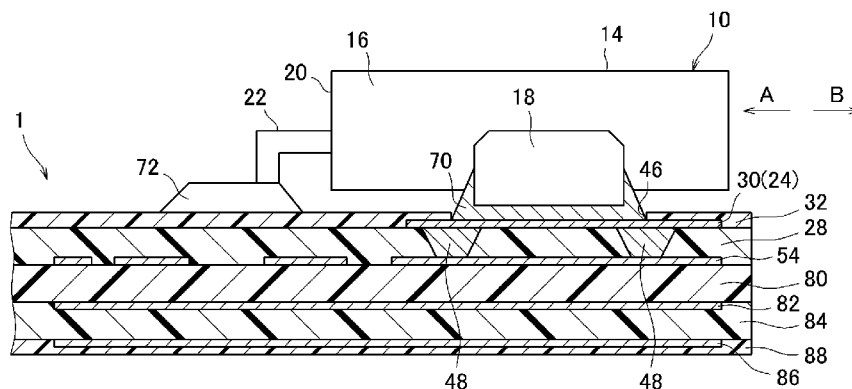
- (51) 国際特許分類:
H05K 1/18 (2006.01) H05K 3/34 (2006.01)
H01R 12/51 (2011.01) H05K 3/46 (2006.01)
- (21) 国際出願番号: PCT/JP2017/010751
- (22) 国際出願日: 2017 年 3 月 16 日(16.03.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-071038 2016 年 3 月 31 日(31.03.2016) JP
- (71) 出願人: F D K 株式会社 (FDK CORPORATION)
[JP/JP]; 〒1088212 東京都港区港南一丁目 6 番 4
1 号 Tokyo (JP).
- (72) 発明者: 岡 潔(OKA Kiyoshi); 〒1088212 東京都港
区港南一丁目 6 番 4 1 号 F D K 株式会社内
Tokyo (JP). 木田 真吾(KIDA Shingo); 〒1088212 東
京都港区港南一丁目 6 番 4 1 号 F D K 株式会
社内 Tokyo (JP). 渥美 尚己(ATSUMI Naoki); 〒
1088212 東京都港区港南一丁目 6 番 4 1 号 F
D K 株式会社内 Tokyo (JP). 佐藤 満(SATO Mit-
suru); 〒1088212 東京都港区港南一丁目 6 番 4 1
号 F D K 株式会社内 Tokyo (JP).
- (74) 代理人: 長門 侃二(NAGATO, Kanji); 〒1050004
東京都港区新橋 5 丁目 8 番 1 号 百楽ビル 5 階
Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG,
ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL,
IN, IR, IS, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC,
LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG,
PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG,
SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM,
ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: MULTILAYER PRINTED CIRCUIT BOARD

(54) 発明の名称: 多層回路基板



(57) Abstract: A multilayer printed circuit board (1) formed by laminating a plurality of wiring layers with insulating layers interposed therebetween, and provided with a solder resist layer (32) overlaying a surface wiring layer (30) formed on a surface side insulating layer (28). The surface wiring layer (30) contains a leg terminal pad (24) for connecting a leg terminal (18) of a connector (10). The solder resist layer (32) has an opening part (46) for leg terminal, for exposing one part of the leg terminal pad (24). Vias (48) for leg terminal are provided under the leg terminal pad (24) in a predetermined region straddling a border line of the opening part (46) for leg terminal. The vias (28) for leg terminal connect a first internal part wiring layer (54) with the leg terminal pad (24).

(57) 要約: 多層回路基板 (1) は、複数の配線層が絶縁層を介して積層されてなる多層回路基板であって、表面側絶縁層 (28) に形成されている表面配線層 (30) を覆うソルダレジスト層 (32) を備え、表面配線層 (30) は、コネクタ (10) の脚端子 (18) が接合される脚端子用パッド (24) を含み、ソルダレジスト層 (32) は、脚端子用パッド (24) の口部を露出させている脚端子用開口部 (46) を有し、脚端子用パッド (24) の下部における脚端子用開口部 (46) の輪郭線を跨ぐ所定範囲に脚端子用ビア (48) が設けられており、脚端子用ビア (48) は、第 1 内部配線層 (54) と脚端子用パッド (24) とを接続している。



WO 2017/169858 A1

明 細 書

発明の名称：多層回路基板

技術分野

[0001] 本発明は、多層回路基板に関し、詳しくは、コネクタが実装される多層回路基板に関する。

背景技術

[0002] 電子機器には、各種の多層回路基板が含まれている。このような多層回路基板には、他の電子機器等との接続に用いられるコネクタが実装されるものがある。コネクタは、相手側の電子機器のソケットを受け入れるハウジングと、ハウジング内に配設されたコンタクトピンと、コンタクトピンに接続されておりハウジングの所定位置から突出している信号端子とを有している。この信号端子は、回路基板上に設けられた信号端子用パッドに半田付けされている。そして、信号端子用パッドは、所定の回路パターンに接続されている。このため、ハウジングにソケットが挿し込まれることにより、一方の電子機器と他方の電子機器とが電氣的に接続される。

[0003] ところで、コネクタのハウジングに対してソケットの抜き差しを比較的大きな力で行う、あるいは、ソケットがハウジングに接続された状態で抜き差し方向とは異なる方向にひねられると、コネクタには、回路基板から引き剥がされる方向に応力が加わる。このように、コネクタが回路基板から引き剥がされる方向に応力が加わると、信号端子と信号端子用パッドとの接合部に応力が集中し、斯かる接合部が剥離して、接合不良を起こす場合がある。

[0004] このような接合不良の発生を抑制するために、応力が加えられてもハウジングが回路基板に対して引き剥がされないようにして、接合部に応力が集中することを回避するための対策が種々検討されている。このような対策の一つとして、特許文献1に示されているような補強タブを用いてハウジングを固定することが知られている。この特許文献1の補強タブによれば、外部か

らの大きな応力が加えられても、コネクタのハウジングが回路基板に対して引き剥がされることを抑え、接合不良の発生を抑制することができる。

[0005] ところで、近年は、電子機器の小型化が求められており、多層回路基板に搭載されるコネクタにおいても小型化が進められている。このような小型化が進められているコネクタ（以下、小型コネクタという）としては、USBコネクタやマイクロUSBコネクタといったものが開発されている。

[0006] このような小型コネクタにおいても、上記したような外部応力の付加にともなう接合不良の発生を抑制する必要がある。

[0007] しかしながら、特許文献1に代表されるような補強タブは、大きな実装スペースを要するため、電子モジュールの小型化を阻害する。よって、小型コネクタの補強には斯かる補強タブは向いていない。

[0008] 通常、小型コネクタにおいては、ハウジングから延びる固定用の脚端子が、回路基板上に設けられた脚端子用パッドに半田付けされることにより固定されている。そこで、接合部の強度を高めるために、半田の量を増やす対策が採られている。

先行技術文献

特許文献

[0009] 特許文献1：特開2006-048971号公報

発明の概要

発明が解決しようとする課題

[0010] 半田の量を増やして半田接合部の強度を高めると、脚端子と脚端子用パッドとは分離し難くなる。しかしながら、コネクタに外部から応力が加わると、脚端子と脚端子用パッドとは分離しないものの、脚端子用パッドが回路基板から外れてしまうことがあり、それにともない、信号端子用パッドも回路基板から剥離し、接合不良が発生してしまう。

[0011] このため、脚端子用パッド及び信号端子用パッドの周縁部にソルダレジス

ト層をオーバーラップさせ、これらパッドの剥離を防止することが行われている。

[0012] しかしながら、小型コネクタに対しユーザーから不規則な方向へ複数回にわたって強い応力が加えられると、上記したようなソルダレジストの被覆だけではパッドの剥離を十分に防止することは困難である。このため、一般的には、回路基板上において半田接合部を覆うように補強用樹脂を塗布して補強を行い接合部の剥離を防止する対策が採られている。

[0013] ところで、上記したような補強用樹脂の塗布は、半田付けが終了した後に所定範囲に対して行わなければならない、作業工数が増える。また、細かい部分に補強用樹脂を塗布するのは、煩雑な作業となり、手間がかかる。更に、補強用樹脂の材料コストも増えてしまう。このため、補強用樹脂を塗布する補強対策は、多層回路基板の製造効率の低下、及び、製造コストの増加を招くため、省略することが望まれている。

[0014] 本発明は、上記の事情に基づいてなされたものであり、その目的とするところは、補強樹脂を塗布しなくても、パッドが剥離することを防止することができ、もって、製造コストの削減を図ることができる多層回路基板を提供することにある。

課題を解決するための手段

[0015] 上記目的を達成するために、本発明によれば、複数の配線層が絶縁層を介して積層されてなる多層回路基板において、前記複数の配線層のうち最も表面の側に位置する表面配線層を覆うソルダレジスト層を備え、前記表面配線層は、前記多層回路基板の表面に実装されるコネクタの端子が接合されるパッドを含み、前記ソルダレジスト層は、前記パッドの一部を露出させている開口部を有し、前記パッドの下部における前記開口部の輪郭線を跨ぐ所定範囲にビアが設けられており、前記ビアは、前記配線層のうち前記多層回路基板の内部に位置する内部配線層と前記パッドとを接続している、多層回路基板が提供される。

[0016] ここで、前記ビアは、前記輪郭線に沿って複数設けられている態様とする

ことが好ましい。

[0017] また、前記内部配線層のうち、同じ階層にある内部配線層は、複数の前記ビアのうち、2個以上のビアと接続されている態様とすることが好ましい。

[0018] より好ましくは、前記開口部は、平面視形状が矩形状をなし、前記ビアは、前記矩形状における角の部分及び辺の部分にそれぞれ設けられている態様とする。

[0019] 更に、前記ビアは、前記配線層のうち最も裏面の側に位置する裏面配線層にまで延びており、前記パッド、前記内部配線層及び前記裏面配線層を接続している態様とすることが好ましい。

発明の効果

[0020] コネクタの端子がパッドに半田付けされると、パッドには半田接合部が形成され、ソルダレジスト層における開口部の輪郭線の部分に半田接合部の先端が位置付けられる。そして、コネクタに対して外部から応力が加えられると、半田接合部の先端、すなわち、ソルダレジスト層における開口部の輪郭線の部分に応力が集中し易い。本発明の多層回路基板は、前記パッドの下部における前記開口部の輪郭線を跨ぐ所定範囲にビアが設けられており、前記ビアは、前記パッドと前記内部配線層とを接続している。このため、応力が集中し易い部分に内部配線層と接続されているビアが存在しているので、斯かるビアがアンカー効果を発揮し、補強樹脂の塗布を行わなくてもパッドの剥離を十分に防止することができる。

[0021] よって、本発明によれば、補強樹脂を塗布しなくても、パッドが剥離することを防止することができ、もって、製造コストの削減を図ることができる多層回路基板を提供することができる。

図面の簡単な説明

[0022] [図1]コネクタの挿入口側から見た形態及びコネクタの後壁側から見た形態を概略的に示した斜視図である。

[図2]第1の実施形態の多層回路基板の一部を示した平面図である。

[図3]図2のIII-III線に沿った断面図である。

[図4]図2のIV-IV線に沿った断面図である。

[図5]第2の実施形態の多層回路基板における図3に対応する断面図である。

[図6]第2の実施形態の多層回路基板における図4に対応する断面図である。

発明を実施するための形態

[0023] (第1の実施形態)

本発明に係る多層回路基板1について図面を参照しながら以下に説明する。

[0024] 多層回路基板1は、多数の配線層が絶縁層を介して重ね合わされてなる多層回路基板である。この多層回路基板の所定位置には、各種電子部品及びコネクタが実装される。

[0025] コネクタ10は、図1の(1)及び(2)に示すように、他の電子部品のソケット(図示せず)が挿し込まれる挿入口12を有するハウジング14と、ハウジング14の両側壁16に配設された脚端子18と、挿入口12とは反対側に位置するハウジング14の後壁20から突出する信号端子22とを含んでいる。

[0026] このコネクタ10は、脚端子18及び信号端子22が多層回路基板1の表面の所定位置に半田付けされることにより実装される。

[0027] 多層回路基板1の表面におけるコネクタ10を実装する部分においては、図2に示すように、コネクタ10の脚端子18が接合される脚端子用パッド24と、コネクタ10の信号端子22が接合される信号端子用パッド26とが設けられている。

[0028] これら脚端子用パッド24及び信号端子用パッド26は、多層回路基板1の最も表面の側に位置する表面側絶縁層28の上に設けられた表面配線層30の所定箇所が所定形状に加工されて形成されている。なお、表面配線層30は、この他に所定形状の配線パターン34も形成している。

[0029] ここで、表面側絶縁層28及び表面配線層30においては、半田との接触を避けなければならない部分にソルダレジスト層32が設けられている。上記した脚端子用パッド24及び信号端子用パッド26の部分は、逆に半田と

接触して半田接合部を形成しなければならないので、脚端子用パッド 24 及び信号端子用パッド 26 の上にはソルダレジスト層 32 は設けられておらず、これらパッドは部分的に露出されている。

[0030] 脚端子用パッド 24 は、図 2 から明らかなように、コネクタ 10 が実装予定箇所 36 にセットされた際に、ハウジング 14 の両側壁 16 に配設された脚端子 18 がそれぞれ位置付けられる所定位置に設けられている。脚端子用パッド 24 は、平面視形状が矩形状をなしており、外周縁 38 から内側へ所定長さだけ入り込んだ範囲（以下、外周縁部 40 という）がソルダレジスト層 32 により覆われている。そして、脚端子用パッド 24 は、外周縁部 40 を除いた部分、すなわち、ソルダレジスト層 32 で覆われていない部分が露出している。

[0031] ここで、ソルダレジスト層 32 においては、脚端子用パッド 24 の外周縁部 40 と重なっている部分をオーバーラップ部 44 とし、脚端子用パッド 24 を露出させている部分は開口部（以下、脚端子用開口部 46 という）とする。この脚端子用開口部 46 は、脚端子用パッド 24 の輪郭の形状を縮小したような矩形状の輪郭をなしている。

[0032] 本実施形態においては、脚端子用パッド 24 の下部における上記したソルダレジスト層 32 の脚端子用開口部 46 の輪郭線を跨ぐ所定範囲にビア（以下、脚端子用ビア 48 という）が設けられている。詳しくは、図 2 において仮想円で描かれているように、脚端子用開口部 46 の矩形の輪郭線に沿って、脚端子用ビア 48 が設けられている。より詳しくは、1つの脚端子用パッド 24 当たり、矩形の輪郭線の 4つの角の部分に 1つずつ、矩形の輪郭線の長辺 50の部分に 2つずつ、矩形の輪郭線の短辺 52の部分に 1つずつの計 10個の脚端子用ビア 48 が設けられている。

[0033] この脚端子用ビア 48 は、図 3 に示すように、表面配線層 30 を第 1 層目の配線層とすると、第 2 層目の配線層である第 1 内部配線層 54 にまで到達しており、斯かる第 1 内部配線層 54 と脚端子用パッド 24 とを接続している。

- [0034] ここで、図3において、参照符号80は中央絶縁層、参照符号82は第3層目の配線層である第2内部配線層、参照符号84は裏面側絶縁層、参照符号86は裏面配線層、参照符号88は裏面側ソルダレジスト層をそれぞれ示している。なお、後述の図4～図6に関しても同様とする。
- [0035] 一方、信号端子用パッド26は、図2から明らかなように、コネクタ10が実装予定箇所36にセットされた際に、ハウジング14の後壁20から突出している信号端子22がそれぞれ位置付けられる所定位置に設けられている。
- [0036] 信号端子用パッド26は、表面配線層30の配線パターン34の一部が幅広に加工されて形成されており、平面視形状が矩形状をなしている。この信号端子用パッド26においては、配線パターン34の幅よりも拡張されている部分（以下、拡幅部56という）がソルダレジスト層32で覆われており、配線パターン34と同じ幅の部分は、露出されている。つまり、各信号端子用パッド26が存在する部分のソルダレジスト層32においては、図2から明らかなように、矩形状の開口部（以下、信号端子用開口部60という）が設けられている。
- [0037] 本実施形態においては、信号端子用パッド26の下部におけるソルダレジスト層32の信号端子用開口部60の輪郭線を跨ぐ所定範囲にビア（以下、信号端子用ビア62という）が設けられている。詳しくは、図2において仮想円で描かれているように、信号端子用開口部60の矩形の輪郭線の短辺64の部分に信号端子用ビア62が設けられている。より詳しくは、1つの信号端子用パッド26当たり、矩形の輪郭線の短辺64の部分に1つずつ、計2個の信号端子用ビア62が設けられている。なお、各信号端子間に余裕があれば、信号端子のパターン幅を広げて、信号端子用開口部60の長辺の部分に信号端子用ビア62を設け、信号端子長辺側にもソルダレジストを被覆する態様としても構わない。
- [0038] この信号端子用ビア62は、図4に示すように、表面配線層30を第1層目の配線層とすると、第2層目の配線層である第1内部配線層54にまで到

達しており、斯かる第 1 内部配線層 5 4 と信号端子用パッド 2 6 とを接続している。

[0039] 以上のような多層回路基板 1 は、ビルドアップ法等の従来から用いられている多層回路基板を製造する製造方法により製造することができる。その際、上記したような位置関係となるように、表面配線層 3 0、第 1 内部配線層 5 4、ソルダレジスト層 3 0、各絶縁層、脚端子用パッド 2 4、信号端子用パッド 2 6、脚端子用ビア 4 8 及び信号端子用ビア 6 2 等を設ける。また、脚端子用ビア 4 8 及び信号端子用ビア 6 2 の形成方法としては、特に限定されるものではなく、一般的に用いられている方法により形成される。このとき、各ビアの内部は、銅めっきで満たされているフィルドビアとすることが好ましい。

[0040] 以上のような脚端子用ビア 4 8 及び信号端子用ビア 6 2 を備えている多層回路基板 1 には、各種電子部品及びコネクタ 1 0 が半田付けされることにより実装される。

[0041] 半田付けされたコネクタ 1 0 は、図 3 及び図 4 に示すように、脚端子 1 8 が脚端子用パッド 2 4 上に半田接合部 7 0 を介して接合され、信号端子 2 2 が信号端子用パッド 2 6 上に半田接合部 7 2 を介して接合される。

[0042] ここで、例えば、ユーザーが、コネクタ 1 0 に対しソケットの抜き差しを複数回行い、コネクタ 1 0 に対し、図 3 に示す矢印 A 方向及び矢印 B 方向に繰り返し大きな応力を加えたり、図 4 の矢印 C 方向のように、正規の抜き差し方向と異なる方向へ大きな応力を加えたりする場合、半田接合部 7 0、7 2 の先端部分、すなわち、半田フィレットの先端部分に応力が集中し易い。通常、半田フィレットの先端部分は、ソルダレジスト層 3 2 の開口部（脚端子用開口部 4 6、信号端子用開口部 6 0）の輪郭線の部分にまで延びるので、輪郭線の近傍に半田フィレットの先端部分が位置付けられる。従って、パッド（脚端子用パッド 2 4、信号端子用パッド 2 6）におけるソルダレジスト層 3 2 の開口部の輪郭線付近は応力を受けやすく、斯かる部分を起点に剥がれやすい。このような状況に対し、本実施形態の多層回路基板 1 にお

いては、ソルダレジスト層 3 2 の開口部の輪郭線の下部に脚端子用ビア 4 8 及び信号端子用ビア 6 2 が存在し、これらのビアが、パッド（脚端子用パッド 2 4、信号端子用パッド 2 6）と第 1 内部配線層 5 4 とを接続している。これらのビアは、アンカー効果を発揮するため、パッドの部分に応力が加えられたとしても、パッドが剥がされることを有効に防止することができる。よって、補強樹脂による補強を省略することができる。

（第 2 の実施形態）

[0043] 以下、別な実施形態として、第 2 の実施形態について説明する。斯かる説明に当たり、第 1 の実施形態と異なる部分のみ説明し、第 1 の実施形態様と同じ部分については、同じ参照符号を用いることで詳細な説明を省略する。

[0044] 第 2 の実施形態の多層回路基板 3 においては、図 5 及び図 6 に示すように、脚端子用ビア 9 0 及び信号端子用ビア 9 2 として、表面配線層 3 0 から、第 1 内部配線層 5 4、第 2 内部配線層 8 2 及び裏面配線層 8 6 にまで延びる貫通ビアを用いたことを除いては、第 1 の実施形態と同様である。

[0045] この貫通ビアの形成は、特に限定されるものではなく、一般的な形成方法により形成することができる。本実施形態では、貫通ビアの内部は、樹脂 9 4 で充填してある。つまり、脚端子用ビア 9 0 及び信号端子用ビア 9 2 は穴埋め貫通ビアである。

[0046] この第 2 の実施形態の多層回路基板 3 によれば、脚端子用パッド 2 4 及び信号端子用パッド 2 6 の下部に位置するビアが第 1 内部配線層 5 4 だけではなく、第 2 内部配線層 8 2 及び裏面側の裏面配線層 8 6 にまで達しており、これらの層と接続されているため、第 1 の実施形態よりも強いアンカー効果が得られる。そのため、コネクタ 1 0 に応力が加えられた場合に、パッドが剥がれてしまう不具合の発生をより抑制することができる。

[0047] ここで、図 6 に示すように、信号端子用パッド 2 6 の下部において、第 1 内部配線層 5 4 及び第 2 内部配線層 8 2 は、図 6 中右側の信号端子用ビア 9 2 R と図 6 中左側の信号端子用ビア 9 2 L との間で分断されている。一方、図 5 に示すように、脚端子用パッド 2 4 の下部において、第 1 内部配線層 5

4 及び第 2 内部配線層 8 2 は、図 5 中右側の脚端子用ビア 9 0 R と図 5 中左側の脚端子用ビア 9 0 L との間で接続されている。このように、同じ階層の内部配線層が、ビアとビアとの間で分断されている態様（以下、分断態様という）に比べ、2 個以上のビアの間で接続されている態様（以下、接続態様という）の方が、ビアと接続されている内部配線層における絶縁層と接触する面積を大きくとることができる。そのため、ビアと接続されている内部配線層は、分断態様に比べて接続態様の方が、パッドが剥離される方向、つまり、ビアが引き抜かれる方向に加えられる応力に対して、より強く抵抗でき、アンカー効果がより発揮されるので好ましい。なお、上記した接続態様を採用する場合、2 個以上のビアの間に最短距離で内部配線層を配設することがより好ましい。このようにビア同士を最短距離でつなげば、ビア同士の一体性が増し、アンカー効果が更に増強されるためである。

[0048] なお、上記したような、分断態様に比べて接続態様の方が、より優れるアンカー効果が得られるということについては、貫通ビアに限定されるものではなく、裏面配線層まで貫通されておらず、途中の内部配線層までしか延びていないビアでも同様である。

[0049] なお、本発明は、上記した実施形態に限定されるものではなく、種々の変形が可能である。例えば、ビアの形成位置、個数は任意に設定することができる。また、ビアと接続する配線層も任意に選択することができる。また、パッドの形状は矩形に限定されるものではなく、多角形、円形、楕円形等、任意に選択することができる。

符号の説明

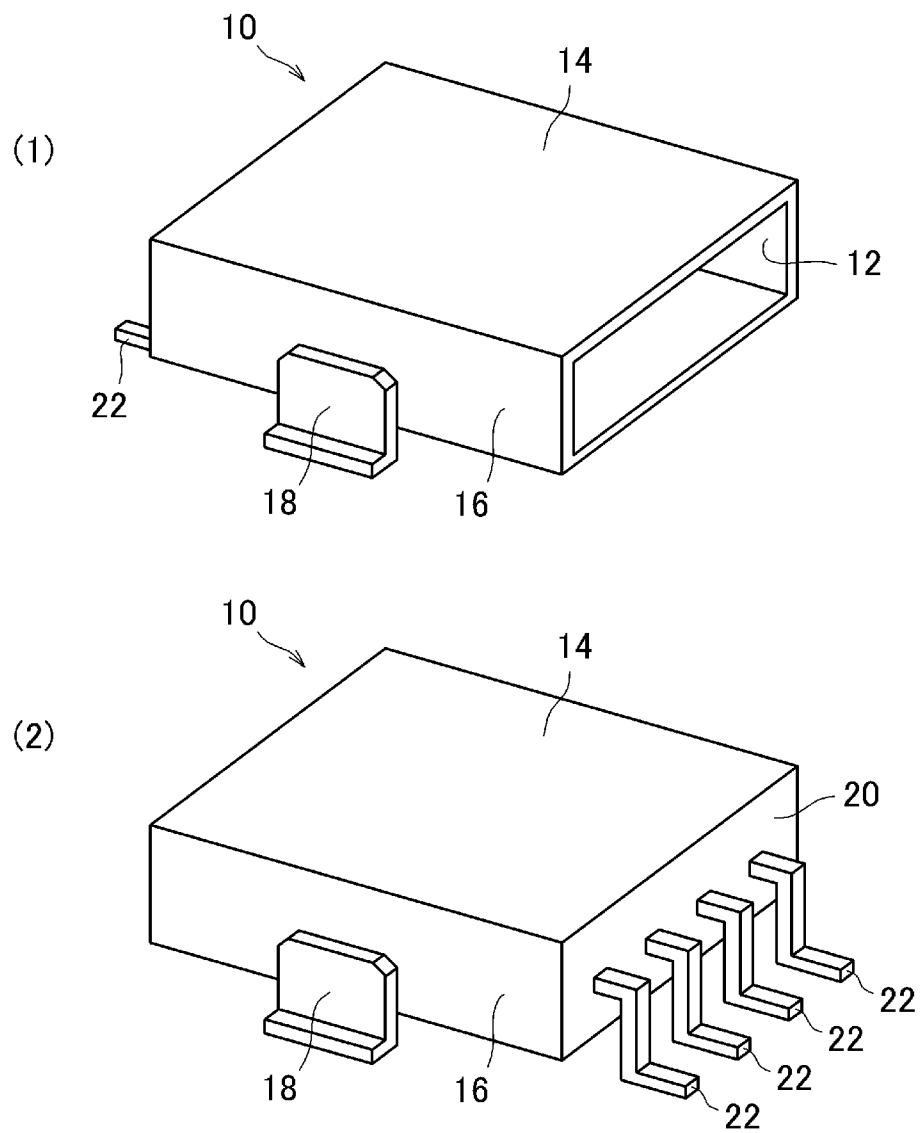
[0050]	1	多層回路基板
	3	多層回路基板
	1 0	コネクタ
	1 8	脚端子
	2 2	信号端子
	2 4	脚端子用パッド

2 6	信号端子用パッド
2 8	表面側絶縁層
3 0	表面配線層
3 2	ソルダレジスト層
4 6	脚端子用開口部
4 8	脚端子用ビア
5 4	第 1 内部配線層
6 0	信号端子用開口部
6 2	信号端子用ビア

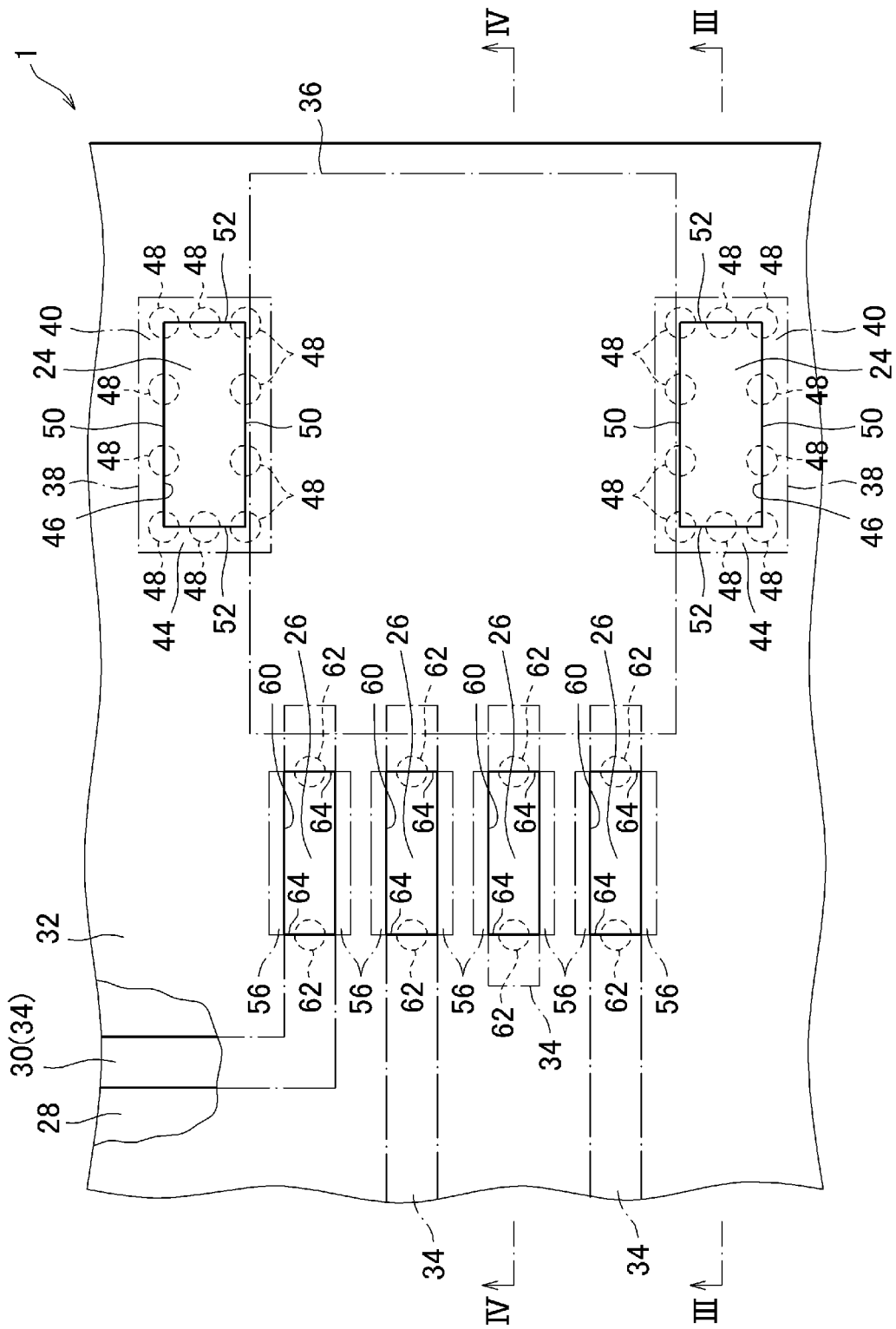
請求の範囲

- [請求項1] 複数の配線層が絶縁層を介して積層されてなる多層回路基板において、
- 前記複数の配線層のうち最も表面の側に位置する表面配線層を覆うソルダレジスト層を備え、
- 前記表面配線層は、前記多層回路基板の表面に実装されるコネクタの端子が接合されるパッドを含み、
- 前記ソルダレジスト層は、前記パッドの一部を露出させている開口部を有し、
- 前記パッドの下部における前記開口部の輪郭線を跨ぐ所定範囲にビアが設けられており、
- 前記ビアは、前記配線層のうち前記多層回路基板の内部に位置する内部配線層と前記パッドとを接続している、多層回路基板。
- [請求項2] 前記ビアは、前記輪郭線に沿って複数設けられている、請求項1に記載の多層回路基板。
- [請求項3] 前記内部配線層のうち、同じ階層にある内部配線層は、複数の前記ビアのうち、2個以上のビアと接続されている、請求項2に記載の多層回路基板。
- [請求項4] 前記開口部は、平面視形状が矩形状をなし、前記ビアは、前記矩形状における角の部分及び辺の部分にそれぞれ設けられている、請求項1～3の何れかに記載の多層回路基板。
- [請求項5] 前記ビアは、前記配線層のうち最も裏面の側に位置する裏面配線層にまで延びており、前記パッド、前記内部配線層及び前記裏面配線層を接続している、請求項1～4の何れかに記載の多層回路基板。

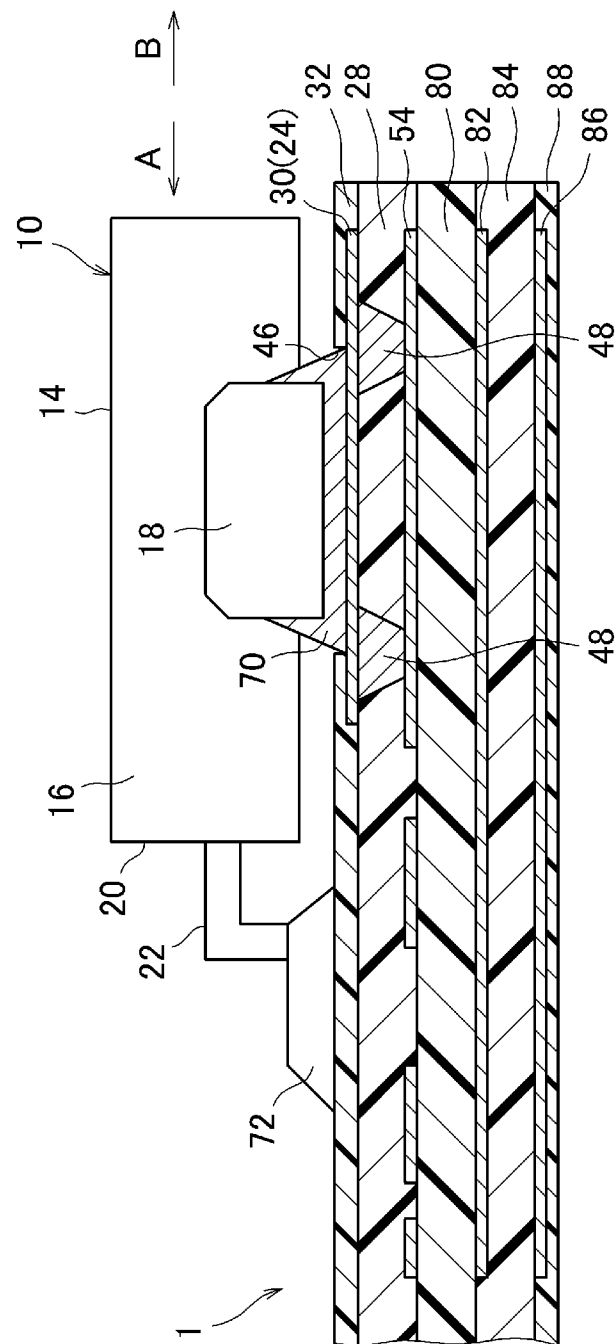
[図1]



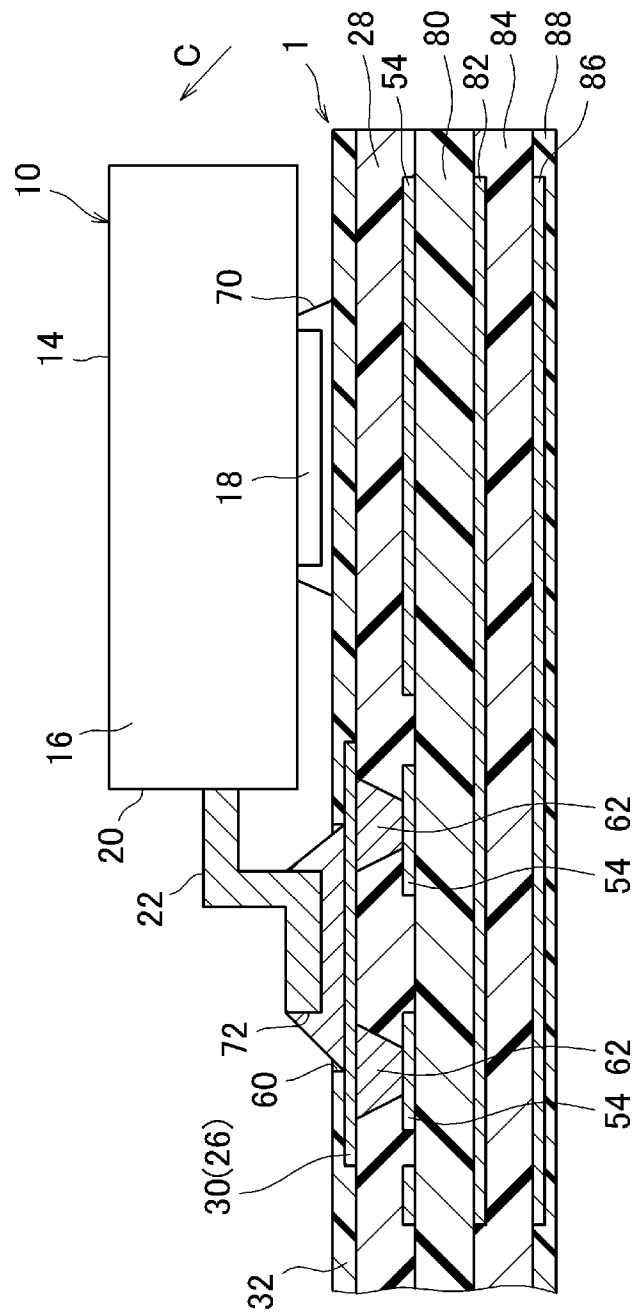
[図2]



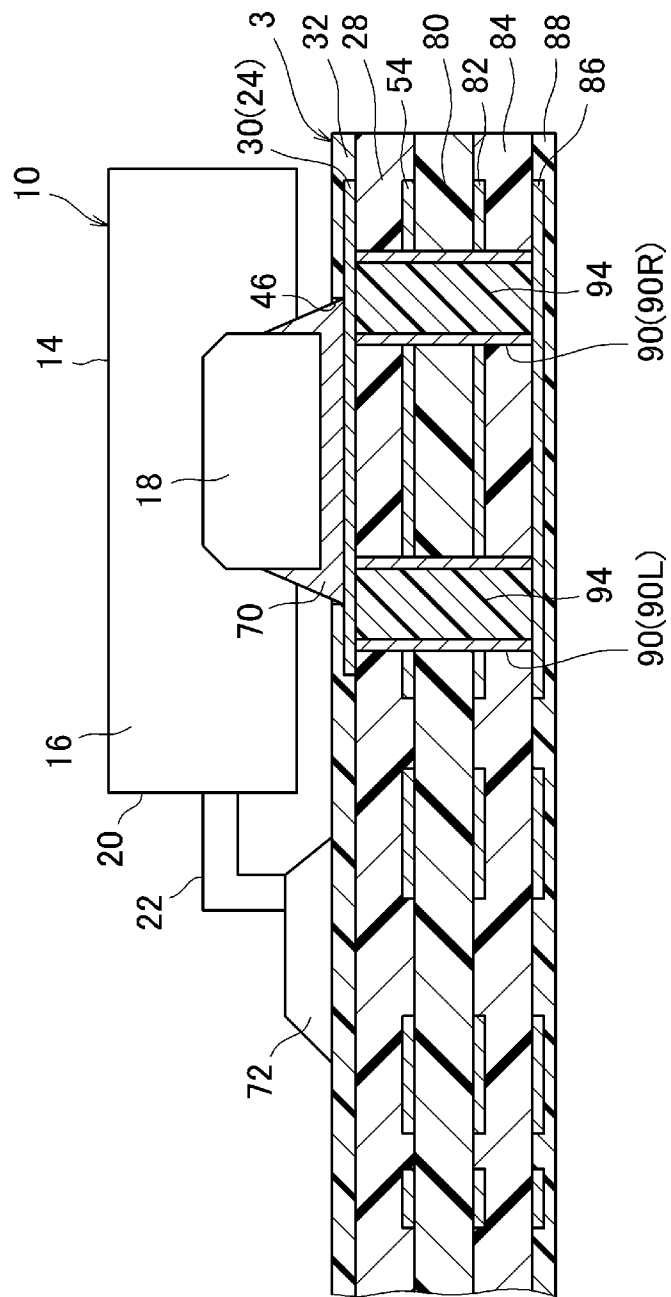
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/010751

A. CLASSIFICATION OF SUBJECT MATTER

H05K1/18(2006.01)i, H01R12/51(2011.01)i, H05K3/34(2006.01)i, H05K3/46(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K1/00-3/46, H01R12/00-12/91

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2009-21510 A (Sony Corp.), 29 January 2009 (29.01.2009), paragraphs [0050] to [0055], [0019] to [0048]; fig. 1, 4, 7 (Family: none)	1-5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 April 2017 (04.04.17)

Date of mailing of the international search report
18 April 2017 (18.04.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H05K1/18(2006.01)i, H01R12/51(2011.01)i, H05K3/34(2006.01)i, H05K3/46(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H05K1/00-3/46
H01R12/00-12/91

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	J P 2009-21510 A (ソニー株式会社) 2009.01.29, 段落0050から段落0055, 段落0019から段落0048, 図1, 図4, 図7. (ファミリーなし)	1-5

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

04.04.2017

国際調査報告の発送日

18.04.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

齊藤 健一

5D

9742

電話番号 03-3581-1101 内線 3551