

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4492920号
(P4492920)

(45) 発行日 平成22年6月30日 (2010. 6. 30)

(24) 登録日 平成22年4月16日 (2010. 4. 16)

(51) Int. Cl. F I
 H O 4 L 25/02 (2006. 01) H O 4 L 25/02 V
 G O 6 F 3/00 (2006. 01) G O 6 F 3/00 H

請求項の数 5 (全 15 頁)

(21) 出願番号	特願2003-149107 (P2003-149107)	(73) 特許権者	302062931
(22) 出願日	平成15年5月27日 (2003. 5. 27)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2004-356714 (P2004-356714A)		神奈川県川崎市中原区下沼部 1 7 5 3 番地
(43) 公開日	平成16年12月16日 (2004. 12. 16)	(74) 代理人	100123788
審査請求日	平成18年3月7日 (2006. 3. 7)		弁理士 官崎 昭夫
		(74) 代理人	100127454
			弁理士 緒方 雅昭
		(74) 代理人	100106138
			弁理士 石橋 政幸
		(72) 発明者	堀 良彦
			神奈川県川崎市中原区下沼部 1 7 5 3 番地
			NECエレクトロニクス株式会社内
		審査官	白井 亮

最終頁に続く

(54) 【発明の名称】 差動信号伝送システム

(57) 【特許請求の範囲】

【請求項 1】

差動信号伝送装置と、差動信号受信装置と、を含む差動信号伝送システムであって、前記差動信号伝送装置は、

第 1 の差動信号が伝送される 1 対の信号線の間に接続された第 1 の抵抗を有し、前記第 1 の抵抗の midpoint で第 3 の差動信号の一方の信号を受け付けて、前記第 1 の差動信号を当該 1 対の信号線に伝送する第 1 の伝送回路と、

第 2 の差動信号が伝送される 1 対の信号線の間に接続された第 2 の抵抗を有し、前記第 2 の抵抗の midpoint で第 3 の差動信号の他方の信号を受け付けて、前記第 2 の差動信号を当該 1 対の信号線に伝送する第 2 の伝送回路と、を含み、

前記差動信号受信装置は、

前記第 1 の差動信号が伝送される 1 対の信号線の間に接続された第 1 の終端抵抗と、前記第 2 の差動信号が伝送される 1 対の信号線の間に接続された第 2 の終端抵抗と、前記第 1 の終端抵抗の midpoint と前記第 2 の終端抵抗の midpoint とを同じ電位にする midpoint 電位調整部と、を含む、差動信号伝送システム。

【請求項 2】

請求項 1 に記載の差動信号伝送システムにおいて、前記 midpoint 電位調整部は、前記第 1 の終端抵抗の midpoint と前記第 2 の終端抵抗の midpoint とを接続する midpoint 接続部であることを特徴とする差動信号伝送システム。

【請求項 3】

請求項 1 に記載の差動信号伝送システムにおいて、前記中点電位調整部は、前記第 1 の終端抵抗の midpoint をグラウンドに接地する第 1 の接地部と、前記第 2 の終端抵抗の midpoint を前記グラウンドに接地する第 2 の接地部とを含むことを特徴とする差動信号伝送システム。

【請求項 4】

請求項 1 に記載の差動信号伝送システムにおいて、前記中点電位調整部は、前記第 1 の終端抵抗の midpoint を所定の電位に接続する第 1 の接続部と、前記第 2 の終端抵抗の midpoint を前記所定の電位に接続する第 2 の接続部とを含むことを特徴とする差動信号伝送システム。

【請求項 5】

請求項 1 ないし 4 のいずれかに記載の差動信号伝送システムにおいて、前記差動信号受信装置は、前記第 1 の終端抵抗に生じる電圧と前記第 2 の終端抵抗に生じる電圧とに基づき前記第 3 の差動信号に応じた差動信号を抽出する差動信号抽出回路をさらに含むことを特徴とする差動信号伝送システム。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、差動信号伝送システムに関し、特に、複数種類の差動信号を用いる差動信号伝送システムに関する。

【0002】

【従来の技術】

従来、1 対の伝送路を介して差動信号を伝送する信号伝送装置がある。1 対の伝送路を介して差動信号を伝送する場合、1 対の伝送路の両方に振幅と位相のほぼ等しいノイズが混入しても、このノイズを相殺することができ、ノイズに強く、EMI (Electro Magnetic Interference : 外部に対する電磁的な妨害または干渉などの放出現象の総称) も抑えられることが可能となる。

20

【0003】

特許文献 1 (特開 2002 - 204272 号公報) の図 2 には、第 1 および第 2 の差動信号のそれぞれに別の信号を重畳させ、別の信号が重畳させられた第 1 および第 2 の差動信号を 2 対の伝送路を介して伝送する信号伝送システムが記載されている。

【0004】

具体的には、第 1 の差動信号を伝送する 1 対の伝送路の間に設けられた抵抗の midpoint に正相のシングルエンド信号を入力し、第 2 の差動信号を伝送する 1 対の伝送路の間に設けられた抵抗の midpoint に逆相のシングルエンド信号を入力している。この場合、4 本の伝送路で、2 組の差動信号と 1 種類のシングルエンド信号とを伝送することができる。

30

【0005】

第 1 の差動信号の受信は、第 1 の差動信号を伝送する 1 対の伝送路の間に設けられた終端抵抗間に生じる電圧を差動信号受信回路で検出することにより行い、第 2 の差動信号の受信は、第 2 の差動信号を伝送する 1 対の伝送路の間に設けられた終端抵抗間に生じる電圧を差動信号受信回路で検出することにより行っている。

【0006】

正相のシングルエンド信号は、第 1 の差動信号を伝送する 1 対の伝送路の間に設けられた終端抵抗の midpoint から検出している。また、逆相のシングルエンド信号は、第 2 の差動信号を伝送する 1 対の伝送路の間に設けられた終端抵抗の midpoint から検出している。

40

【0007】

【特許文献 1】

特開 2002 - 204272 号公報

【0008】

【発明が解決しようとする課題】

特許文献 1 に記載の信号伝送システムにおいて、正相のシングルエンド信号と逆相のシングルエンド信号とのかわりに第 3 の差動信号を用いることが考えられる。この場合、4 本の伝送路で 3 組の差動信号が伝送可能となる。

50

【0009】

しかしながら、特許文献1に記載の信号伝送システムにおいて、正相のシングルエンド信号と逆相のシングルエンド信号とのかわりに単純に第3の差動信号を用いた場合、第3の差動信号が信号線の終端で反射してしまうという問題が生じてしまう。

【0010】

この問題は、第3の差動信号を伝送する信号線の終端（第1の差動信号を伝送する1対の伝送路の間に設けられた終端抵抗と第2の差動信号を伝送する1対の伝送路の間に設けられた終端抵抗との間）が開放状態（高インピーダンス）であり、第3の差動信号においては終端抵抗と信号線のインピーダンスが合っていないことに起因する。

【0011】

本発明の目的は、4本の信号線を用いて3つの差動信号を伝送する場合に、信号線の終端で差動信号が反射してしまうことを防止することが可能な差動信号伝送システムを提供することである。

【0012】

【課題を解決するための手段】

上記目的を達成するために、本発明の差動信号伝送システムは、差動信号伝送装置と、差動信号受信装置と、を含む差動信号伝送システムであって、前記差動信号伝送装置は、第1の差動信号が伝送される1対の信号線の間に接続された第1の抵抗を有し、前記第1の抵抗の midpoint で第3の差動信号の一方の信号を受け付けて、前記第1の差動信号を当該1対の信号線に伝送する第1の伝送回路と、第2の差動信号が伝送される1対の信号線の間に接続された第2の抵抗を有し、前記第2の抵抗の midpoint で第3の差動信号の他方の信号を受け付けて、前記第2の差動信号を当該1対の信号線に伝送する第2の伝送回路と、を含み、前記差動信号受信装置は、前記第1の差動信号が伝送される1対の信号線の間に接続された第1の終端抵抗と、前記第2の差動信号が伝送される1対の信号線の間に接続された第2の終端抵抗と、前記第1の終端抵抗の midpoint と前記第2の終端抵抗の midpoint とを同じ電位にする midpoint 電位調整部とを含むことを特徴とする。

【0013】

上記の発明によれば、第1の終端抵抗の midpoint と第2の終端抵抗の midpoint とが同じ電位となるので、第1の終端抵抗の midpoint と第2の終端抵抗の midpoint とが第3の差動信号の仮想グランドとなり、第3の差動信号において終端抵抗と信号線のインピーダンスとを合わせる事が可能となる。したがって、第3の差動信号の反射を防止することが可能となる。

【0014】

また、本発明の差動信号伝送システムは、第1の終端抵抗に生じる電圧と第2の終端抵抗に生じる電圧とに基づき第3の差動信号に応じた差動信号を抽出する差動信号抽出回路をさらに含むので、上記と同様の効果を奏するとともに、第3の差動信号に応じた差動信号を高い精度で抽出することが可能となる。

【0015】

【発明の実施の形態】

以下、本発明の実施の形態を図面に示す一実施例に基づき説明する。

【0016】

図1は、本発明の一実施例の差動信号伝送システムを示したブロック回路図である。

【0017】

図1において、差動信号伝送システムは、第1の出力バッファ1と、第2の出力バッファ2と、第3の出力バッファ3と、1対の信号線4と、1対の信号線5と、第1の終端抵抗6と、第2の終端抵抗7と、入力バッファ8とを含む。

【0018】

第1の伝送回路としての第1の出力バッファ1は、差動信号出力回路11と抵抗12と抵抗13とを含む。

【0019】

差動信号出力回路11は、入力信号 $S_{i g 1}$ に応じた第1の差動信号 ($V_{S 1 +}$ と $V_{S 1 -}$)

10

20

30

40

50

-)を、差動信号出力回路 1 1 の 1 対の出力線 1 1 a と 1 1 b を介して 1 対の信号線 4 に出力する。具体的には、差動信号出力回路 1 1 は、第 1 の差動信号 ($V S 1 +$ と $V S 1 -$) の電位差が入力信号 $S i g 1$ に比例するような第 1 の差動信号を出力する。

【 0 0 2 0 】

直列に接続された抵抗 1 2 と抵抗 1 3 とは、出力線 1 1 a と出力線 1 1 b との間に接続してある。抵抗 1 2 と抵抗 1 3 のそれぞれのインピーダンスは、1 対の信号線 4 を構成する各信号線のインピーダンスと同じ値にしてある。

【 0 0 2 1 】

第 2 の伝送回路としての第 2 の出力バッファ 2 は、差動信号出力回路 2 1 と抵抗 2 2 と抵抗 2 3 とを含む。

10

【 0 0 2 2 】

差動信号出力回路 2 1 は、入力信号 $S i g 2$ に応じた第 2 の差動信号 ($V S 2 +$ と $V S 2 -$) を、差動信号出力回路 2 1 の 1 対の出力線 2 1 a と 2 1 b を介して 1 対の信号線 5 に出力する。具体的には、差動信号出力回路 2 1 は、第 2 の差動信号 ($V S 2 +$ と $V S 2 -$) の電位差が入力信号 $S i g 2$ に比例するような第 2 の差動信号を出力する。

【 0 0 2 3 】

直列に接続された抵抗 2 2 と抵抗 2 3 とは、出力線 2 1 a と出力線 2 1 b との間に接続してある。抵抗 2 2 と抵抗 2 3 のそれぞれのインピーダンスは、1 対の信号線 5 を構成する各信号線のインピーダンスと同じ値にしてある。

【 0 0 2 4 】

20

第 3 の出力バッファ 3 は、差動信号出力回路 3 1 と抵抗 3 2 と抵抗 3 3 とを含む。

【 0 0 2 5 】

差動信号出力回路 3 1 は、入力信号 $S i g 3$ に応じた第 3 の差動信号 ($V S 3 +$ と $V S 3 -$) を差動信号出力回路 3 1 の 1 対の出力線 3 1 a と 3 1 b に発生する。具体的には、差動信号出力回路 3 1 は、第 3 の差動信号 ($V S 3 +$ と $V S 3 -$) の電位差が入力信号 $S i g 3$ に比例するような第 3 の差動信号を出力する。

【 0 0 2 6 】

直列に接続された抵抗 3 2 と抵抗 3 3 とは、出力線 3 1 a と出力線 3 1 b との間に接続してある。抵抗 3 2 と抵抗 3 3 との接続点には、コモン電圧 $V C O M O$ が印加してある。

【 0 0 2 7 】

30

第 3 の差動信号の一方の信号 ($V S 3 +$) を出力する出力線 3 1 a は、抵抗 1 2 および抵抗 1 3 の接続点と接続している。したがって、第 1 の出力バッファ 1 は、第 3 の差動信号の一方の信号 ($V S 3 +$) をコモン電圧としない第 1 の差動信号 ($V S 1 ' +$ と $V S 1 ' -$) を 1 対の信号線 4 に伝送する。

【 0 0 2 8 】

第 3 の差動信号の他方の信号 ($V S 3 -$) を出力する出力線 3 1 b は、抵抗 2 2 および抵抗 2 3 の接続点と接続している。したがって、第 2 の出力バッファ 2 は、第 3 の差動信号の他方の信号 ($V S 3 -$) をコモン電圧としない第 2 の差動信号 ($V S 2 ' +$ と $V S 2 ' -$) を 1 対の信号線 5 に伝送する。

【 0 0 2 9 】

40

なお、第 1 の差動信号と第 2 の差動信号および第 3 の差動信号とは同期信号である。

【 0 0 3 0 】

第 1 の終端抵抗 6 は、抵抗 6 1 と抵抗 6 2 との直列回路であり、1 対の信号線 4 の間に接続してある。抵抗 6 1 と抵抗 6 2 のそれぞれのインピーダンスは、1 対の信号線 4 を構成する各信号線のインピーダンスと同じ値にしてある。

【 0 0 3 1 】

第 2 の終端抵抗 7 は、抵抗 7 1 と抵抗 7 2 との直列回路であり、1 対の信号線 5 の間に接続してある。抵抗 7 1 と抵抗 7 2 のそれぞれのインピーダンスは、1 対の信号線 5 を構成する各信号線のインピーダンスと同じ値にしてある。

【 0 0 3 2 】

50

入力バッファ 8 は、差動入力バッファ 8 1 と、差動入力バッファ 8 2 と、差動信号抽出回路 8 3 と、差動入力バッファ 8 4 とを含む。差動信号抽出回路 8 3 は、コモン電圧抽出回路 8 3 a とコモン電圧抽出回路 8 3 b とを含む。

【 0 0 3 3 】

差動入力バッファ 8 1 は、第 1 の終端抵抗 6 に生じる電圧に応じた出力を発生する。第 1 の終端抵抗 6 には第 1 の出力バッファ 1 の出力が印加されるので、差動入力バッファ 8 1 は、第 1 の出力バッファ 1 に入力する入力信号 $S i g 1$ に応じた出力信号 $S i g 1'$ を出力する。

【 0 0 3 4 】

差動入力バッファ 8 2 は、第 2 の終端抵抗 7 に生じる電圧に応じた出力を発生する。第 2 の終端抵抗 7 には第 2 の出力バッファ 2 の出力が印加されるので、差動入力バッファ 8 2 は、第 2 の出力バッファ 2 に入力する入力信号 $S i g 2$ に応じた出力信号 $S i g 2'$ を出力する。

【 0 0 3 5 】

差動信号抽出回路 8 3 は、第 1 の終端抵抗 6 に生じる電圧と第 2 の終端抵抗 7 に生じる電圧とに基づき第 3 の出力バッファ 3 が出力する第 3 の差動信号に応じた差動信号を抽出する。

【 0 0 3 6 】

具体的には、コモン電圧抽出回路 8 3 a は、第 1 の終端抵抗 6 に生じる電圧に基づき、第 1 の差動信号のコモン電圧に応じた第 1 の電圧出力 ($V S 3'' +$) を出力する。また、コモン電圧抽出回路 8 3 b は、第 2 の終端抵抗 7 に生じる電圧に基づき、第 2 の差動信号のコモン電圧に応じた第 2 の電圧出力 ($V S 3'' -$) を出力する。

【 0 0 3 7 】

コモン電圧抽出回路 8 3 a が出力する第 1 の電圧出力 ($V S 3'' +$) とコモン電圧抽出回路 8 3 b が出力する第 2 の電圧出力 ($V S 3'' -$) とが第 3 の差動信号 ($V S 3 +$ と $V S 3 -$) に対応した差動信号となる。

【 0 0 3 8 】

差動入力バッファ 8 4 は、差動信号抽出回路 8 3 が抽出した第 3 の差動信号に応じた差動信号の電位差に応じた出力を発生する。つまり、差動入力バッファ 8 4 は、第 3 の出力バッファ 3 に入力する入力信号 $S i g 3$ に応じた出力信号 $S i g 3'$ を出力する。

【 0 0 3 9 】

中点電位調整部としての中点接続部 9 は、抵抗 6 1 と抵抗 6 2 との接続点 (第 1 の終端抵抗 6 の中点) と、抵抗 7 1 と抵抗 7 2 との接続点 (第 2 の終端抵抗 7 の中点) とを接続する。よって、中点接続部 9 により、第 1 の終端抵抗 6 の中点と第 2 の終端抵抗 7 の中点とは同じ電位になる。

【 0 0 4 0 】

第 1 の終端抵抗 6 の中点と第 2 の終端抵抗 7 の中点とが中点接続部 9 によって接続されているので、第 1 の終端抵抗 6 の中点と第 2 の終端抵抗 7 の中点とが第 3 の差動信号における仮想グランドとなり、第 3 の差動信号に関連する終端抵抗のインピーダンスと第 3 の差動信号に関連する信号線のインピーダンスとを調整することが可能になる。したがって、第 3 の差動信号の反射を防止することが可能となる。

【 0 0 4 1 】

図 2 は、出力バッファ 1 の一例を示した回路図である。なお、図 2 において、図 1 と同一構成のものには同一符号を附してある。

【 0 0 4 2 】

図 2 において、出力バッファ 1 は、差動信号出力回路 1 1 と抵抗 1 2 と抵抗 1 3 とを含む。差動信号出力回路 1 1 は、入力部 1 1 0 と、インバータ 1 1 1 と、PチャネルMOSトランジスタ 1 1 2 と、NチャネルMOSトランジスタ 1 1 3 と、PチャネルMOSトランジスタ 1 1 4 と、NチャネルMOSトランジスタ 1 1 5 と、定電流回路 1 1 6 と、定電流回路 1 1 7 とを含む。

10

20

30

40

50

【 0 0 4 3 】

図 2 に示した出力バッファ 1 において、定電流回路 1 1 6 と定電流回路 1 1 7 のインピーダンスを、抵抗 1 2 と抵抗 1 3 のインピーダンスに対して十分大きくしてある。よって、出力バッファ 1 のインピーダンスは、抵抗 1 2 と抵抗 1 3 とにより決定される。

【 0 0 4 4 】

入力部 1 1 0 に入力信号 $S i g 1$ が入力し、かつ抵抗 1 2 と抵抗 1 3 の接続点に第 3 の差動信号の一方の信号 ($V S 3 +$) が入力する。

【 0 0 4 5 】

なお、図 2 に示した出力バッファ 1 の差動信号出力回路 1 1 は、出力バッファ 2 の差動信号出力回路 2 1 および出力バッファ 3 の差動信号出力回路 3 1 に適用可能である。

10

【 0 0 4 6 】

図 2 に示した差動信号出力回路 1 1 を出力バッファ 2 の差動信号出力回路 2 1 として用いる場合、入力部 1 1 0 に入力信号 $S i g 2$ が入力し、かつ抵抗 2 2 と抵抗 2 3 との接続点に第 3 の差動信号の他方の信号 ($V S 3 -$) が入力する。

【 0 0 4 7 】

図 2 に示した差動信号出力回路 1 1 を出力バッファ 3 の差動信号出力回路 3 1 として用いる場合、入力部 1 1 0 に入力信号 $S i g 3$ が入力し、かつ抵抗 3 2 と抵抗 3 3 との接続点に所望のコモン電圧が入力する。

【 0 0 4 8 】

次に、動作を説明する。

20

【 0 0 4 9 】

図 3 は、出力バッファ 1 の電圧出力と、出力バッファ 2 の電圧出力と、出力バッファ 3 の電圧出力と、1 対の信号線 4 の電圧と、1 対の信号線 5 の電圧とを説明するための電圧波形図である。

【 0 0 5 0 】

具体的には、図 3 (a) は出力バッファ 1 から出力される第 1 の差動信号 ($V S 1 +$ と $V S 1 -$) の一例を示した波形図であり、図 3 (b) は出力バッファ 2 から出力される第 2 の差動信号 ($V S 2 +$ と $V S 2 -$) の一例を示した波形図であり、図 3 (c) は出力バッファ 3 から出力される第 3 の差動信号 ($V S 3 +$ と $V S 3 -$) の一例を示した波形図であり、図 3 (d) は 1 対の信号線 4 の電圧波形図であり、図 3 (e) は 1 対の信号線 5 の電圧波形図である。

30

【 0 0 5 1 】

第 1 の終端抵抗 6 の中点と第 2 の終端抵抗 7 の中点とが中点接続部 9 によって接続されているので、第 1 の終端抵抗の中点と第 2 の終端抵抗の中点とが第 3 の差動信号の仮想グラウンドとなり、第 3 の差動信号に関連する終端抵抗のインピーダンスと第 3 の差動信号に関連する信号線のインピーダンスとを調整可能となる。したがって、第 3 の差動信号の反射を防止でき、信号線 4 および信号線 5 を介して伝送される信号が劣化してしまうことを防止できる。

【 0 0 5 2 】

したがって、差動入力バッファ 8 1 は 1 対の信号線 4 を介して入力する第 1 の差動信号の電位差に応じた信号 $S i g 1'$ を出力し、差動入力バッファ 8 2 は 1 対の信号線 5 を介して入力する第 2 の差動信号の電位差に応じた信号 $S i g 2'$ を出力し、差動入力バッファ 8 4 は差動信号抽出回路 8 3 が出力する差動信号の電位差に応じた信号 $S i g 3'$ を出力する。

40

【 0 0 5 3 】

本実施例によれば、第 1 の終端抵抗 6 の中点と第 2 の終端抵抗 7 の中点とが中点接続部 9 によって接続されているので、4 本の信号線を用いて 3 種類の差動信号を伝送する場合に、信号線の終端で差動信号が反射してしまうことを防止でき、4 本の信号線を用いて 3 種類の差動信号を高い精度で伝送可能となる。

【 0 0 5 4 】

50

よって、差動信号抽出回路 8 3 により、第 1 の終端抵抗 6 に生じる電圧と第 2 の終端抵抗 7 に生じる電圧とに基づき第 3 の差動信号に応じた差動信号を抽出する際、第 3 の差動信号に応じた差動信号を高い精度で抽出することが可能となる。

【 0 0 5 6 】

また、4 本の信号線に共通の外来ノイズは、差動入力バッファ 8 1 と差動入力バッファ 8 2 と差動入力バッファ 8 4 のいずれからみてもコモンモードノイズとなるため、4 本の信号線に共通の外来ノイズは、差動入力バッファ 8 1 と差動入力バッファ 8 2 および差動入力バッファ 8 4 が出力する信号に影響しない。

【 0 0 5 7 】

また、コモン電圧抽出回路 8 3 a とコモン電圧抽出回路 8 3 b とのそれぞれの入力部が信号線 4 および信号線 5 に与える影響が十分に小さいならば、複数の入力バッファ 8 を信号線 4 および信号線 5 に設けるマルチドロップ構成とすることもできる。

【 0 0 5 8 】

図 4 は、複数の入力バッファ 8 として 3 つの入力バッファ 8 を設けたマルチドロップ構成の一例を示した図である。なお、図 4 において、図 1 と同一構成のものには同一符号を附してある。

【 0 0 5 9 】

図 5 は、入力バッファ 8 の他の例を示した回路図である。なお、図 5 において、図 1 と同一構成のものには同一符号を附してある。

【 0 0 6 0 】

図 5 において、入力バッファ 8 は、第 1 の差動信号抽出回路 8 3 1 と、第 2 の差動信号抽出回路 8 3 2 と、信号レベル調整回路 8 5 と、差動入力バッファ 8 1 と、差動入力バッファ 8 2 と、差動入力バッファ 8 4 とを含む。

【 0 0 6 1 】

第 1 の差動信号抽出回路 8 3 1 は、第 1 の終端抵抗 6 の両端に生じる電位のうち高い方の電位に応じた第 1 の出力 V_{M1} を出力する。

【 0 0 6 2 】

具体的には、第 1 の差動信号抽出回路 8 3 1 は、定電流回路 8 3 1 a と、第 1 の P チャネル MOS トランジスタ 8 3 1 b と、第 2 の P チャネル MOS トランジスタ 8 3 1 c と、第 1 の N チャネル MOS トランジスタ 8 3 1 d と、第 2 の N チャネル MOS トランジスタ 8 3 1 e とを含む。

【 0 0 6 3 】

定電流回路 8 3 1 a は、一端が電源の高電位側 (V_{DD}) と接続する。

【 0 0 6 4 】

第 1 の P チャネル MOS トランジスタ 8 3 1 b は、ゲートに第 1 の終端抵抗 6 の両端のそれぞれに生じる電位のうち一方 (V_{S1}^+) を入力しソースが定電流回路 8 3 1 a の他端と接続する。

【 0 0 6 5 】

第 2 の P チャネル MOS トランジスタ 8 3 1 c は、ゲートに第 1 の終端抵抗 6 の両端のそれぞれに生じる電位の他方 (V_{S1}^-) を入力しソースが定電流回路 8 3 1 a の他端と接続する。

【 0 0 6 6 】

第 1 の N チャネル MOS トランジスタ 8 3 1 d は、ドレインおよびゲートが第 1 の P チャネル MOS トランジスタ 8 3 1 b のドレインと接続しソースが電源の低電位側 (グランド) に接続する。

【 0 0 6 7 】

第 2 の N チャネル MOS トランジスタ 8 3 1 e は、ドレインおよびゲートが第 2 の P チャネル MOS トランジスタ 8 3 1 c のドレインと接続しソースが電源の低電位側 (グランド) に接続する。

【 0 0 6 8 】

10

20

30

40

50

第1の差動信号抽出回路831は、定電流回路831aの他端と第1のPチャネルMOSトランジスタ831bのソースおよび第2のPチャネルMOSトランジスタ831cのソースとの接続点の電位を第1の出力(VM1)として出力する。

【0069】

また、第1の差動信号抽出回路831は、第1のPチャネルMOSトランジスタ831bのドレインと第1のNチャネルMOSトランジスタ831dのドレインとの接続点の電位を第1の終端抵抗6の両端のそれぞれに生じる電位の一方に応じた信号として差動入力バッファ81に出力する。

【0070】

また、第1の差動信号抽出回路831は、第2のPチャネルMOSトランジスタ831cのドレインと第2のNチャネルMOSトランジスタ831eのドレインとの接続点の電位を第1の終端抵抗6の両端のそれぞれに生じる電位の他方に応じた信号として差動入力バッファ81に出力する。

【0071】

つまり、第1の差動信号抽出回路831は、入力する第1の差動信号(V_{S1}^+ と V_{S1}^-)の信号レベルを調整した2つの信号を差動入力バッファ81に出力する。

【0072】

第2の差動信号抽出回路832は、第2の終端抵抗7の両端に生じる電位のうち高い方の電位に応じた第2の出力VM2を出力する。

【0073】

具体的には、第2の差動信号抽出回路832は、定電流回路832aと、第3のPチャネルMOSトランジスタ832bと、第4のPチャネルMOSトランジスタ832cと、第3のNチャネルMOSトランジスタ832dと、第4のNチャネルMOSトランジスタ832eとを含む。

【0074】

定電流回路832aは、一端が電源の高電位側(VDD)と接続する。

【0075】

第3のPチャネルMOSトランジスタ832bは、ゲートに第2の終端抵抗7の両端のそれぞれに生じる電位の一方(V_{S2}^+)を入力しソースが定電流回路832aの他端と接続する。

【0076】

第4のPチャネルMOSトランジスタ832cは、ゲートに第2の終端抵抗7の両端のそれぞれに生じる電位の他方(V_{S2}^-)を入力しソースが定電流回路832aの他端と接続する。

【0077】

第3のNチャネルMOSトランジスタ832dは、ドレインおよびゲートが第3のPチャネルMOSトランジスタ832bのドレインと接続しソースが電源の低電位側(グランド)と接続する。

【0078】

第4のNチャネルMOSトランジスタ832eは、ドレインおよびゲートが第4のPチャネルMOSトランジスタ832cのドレインと接続しソースが電源の低電位側(グランド)と接続する。

【0079】

第2の差動信号抽出回路832は、定電流回路832aの他端と第3のPチャネルMOSトランジスタ832bのソースおよび第4のPチャネルMOSトランジスタ832cのソースとの接続点の電位を第2の出力(VM2)として出力する。

【0080】

第1の出力(VM1)と第2の出力(VM2)とが第3の差動信号に応じた差動信号となる。

【0081】

10

20

30

40

50

また、第2の差動信号抽出回路832は、第3のPチャネルMOSトランジスタ832bのドレインと第3のNチャネルMOSトランジスタ832dのドレインとの接続点の電位を第2の終端抵抗7の両端のそれぞれに生じる電位の一方に応じた信号として差動入力バッファ82に出力する。

【0082】

また、第2の差動信号抽出回路832は、第4のPチャネルMOSトランジスタ832cのドレインと第4のNチャネルMOSトランジスタ832eのドレインとの接続点の電位を第2の終端抵抗7の両端のそれぞれに生じる電位の他方に応じた信号として差動入力バッファ82に出力する。

【0083】

つまり、第2の差動信号抽出回路832は、入力する第2の差動信号($V_{S2'+}$ と $V_{S2'-}$)の信号レベルを調整した2つの信号を差動入力バッファ82に出力する。

【0084】

信号レベル調整回路85は、第1の差動信号抽出回路831の出力 V_{M1} と第2の差動信号抽出回路832の出力 V_{M2} との信号レベルを調整した2つの信号を差動入力バッファ84に出力する。

【0085】

差動入力バッファ81と差動入力バッファ82と差動入力バッファ84とは、差動増幅回路である。

【0086】

図5に示した入力バッファ8は、差動の構成にしたトランジスタのソースの電圧変化に着目したもので、 V_{M1} の電圧は $V_{S1'+}$ と $V_{S1'-}$ のうちの高い方の電圧に追従し、 V_{M2} の電圧は、 $V_{S2'+}$ と $V_{S2'-}$ のうちの高い方の電圧に追従する。

【0087】

このため、 V_{M1} の電圧と V_{M2} の電圧とは、ほぼ $V_{S3'+}$ と $V_{S3'-}$ と同様な動きをし、 V_{M1} の電圧と V_{M2} の電圧とに応じた2つの信号の差を検出する差動入力バッファ84を介して信号 $S_{ig3'}$ を取り出すことができる。

【0088】

ただし、 V_{M1} の電圧と V_{M2} の電圧は、信号の切り替わり目のエッジが不確定となるため、信号のエッジが必要な信号は、 S_{ig3} に割り当てないようにすることが望ましい。

【0089】

本実施例では、第1の出力 V_{M1} と第2の出力 V_{M2} とを第3の差動信号に応じた差動信号とするので、第1の終端抵抗6の中間電圧と第2の終端抵抗7の中間電圧とから第3の差動信号に応じた差動信号を抽出する場合に比べて、電圧レベルの高い第3の差動信号に応じた差動信号を抽出することが可能となる。

【0090】

また、第1の差動信号抽出回路831と第2の差動信号抽出回路832を用いて第3の差動信号に応じた差動信号を抽出するので、差動信号抽出回路が、第1および第2の終端抵抗のインピーダンスに影響を与えることを抑制することが可能となる。

【0091】

したがって、例えば第1の終端抵抗6に並列に接続した抵抗の中間電圧と第2の終端抵抗7に並列に接続した抵抗の中間電圧とから第3の差動信号に応じた差動信号を抽出する場合に生じる抵抗と信号線とのインピーダンス整合処理を解消可能となる。

【0092】

また、第3の差動信号に応じた差動信号を抽出する第1および第2の差動信号抽出回路831および832によって、第1および第2の差動信号の大きさを調整可能となり、第3の差動信号に応じた差動信号を抽出する回路と第1および第2の差動信号の大きさを調整する回路とを別構成にする場合に比べて構成の簡略化が図れる。

【0093】

なお、図5に示した入力バッファ8では、第1の差動信号抽出回路831と第2の差動信

10

20

30

40

50

号抽出回路 8 3 2 として、差動信号を P チャンネル MOS トランジスタで受けるようにしたが、差動信号を N チャンネル MOS トランジスタで受けるようにしてもよい。この場合、第 1 および第 2 の差動信号の低電位側から第 3 の差動信号に応じた差動信号を抽出することになる。

【 0 0 9 4 】

以上説明した各実施例において、図示した構成は単なる一例であって、本発明はその構成に限定されるものではない。

【 0 0 9 5 】

例えば、中点電位調整部は、図 1 に示した中点接続部 9 に限るものではない。

【 0 0 9 6 】

図 6 は、中点電位調整部の他の例を示した回路図である。なお、図 6 において、図 1 と同一構成のものには同一符号を附してある。

【 0 0 9 7 】

図 6 に示すように、中点電位調整部は、第 1 の終端抵抗 6 の中点をグランドに接地する第 1 の接地部 9 1 と、第 2 の終端抵抗 7 の中点をグランドに接地する第 2 の接地部 9 2 とで構成してもよい。なお、第 1 の接地部 9 1 と第 2 の接地部 9 2 とは、第 1 の終端抵抗 6 の中点と第 2 の終端抵抗 7 の中点とを、直接グランドに接地してもよいし、またはコンデンサを介して A C 的に接地してもよい。

【 0 0 9 8 】

図 7 は、中点電位調整部のさらに他の例を示した回路図である。なお、図 7 において、図 1 と同一構成のものには同一符号を附してある。

【 0 0 9 9 】

図 7 に示すように、第 1 の終端抵抗 6 の中点を所定の電位（例えば、差動信号出力回路 3 1 に入力するコモン電圧 V C O M O ）に接続する第 1 の接続部 9 3 と、第 2 の終端抵抗 7 の中点を前記所定の電位（例えば、差動信号出力回路 3 1 に入力するコモン電圧 V C O M O ）に接続する第 2 の接続部 9 4 とで構成してもよい。

【 0 1 0 0 】

【発明の効果】

本発明によれば、中点電位調整部によって、第 1 の終端抵抗の中点と第 2 の終端抵抗の中点とを同じ電位にしている。

【 0 1 0 1 】

したがって、第 1 の終端抵抗の中点と第 2 の終端抵抗の中点とが第 3 の差動信号の仮想グランドとなり、第 3 の差動信号において終端抵抗と信号線のインピーダンスとを合わせる事が可能となる。よって、第 3 の差動信号の反射を防止することが可能となる。

【図面の簡単な説明】

【図 1】本発明の一実施例である差動信号伝送システムを示した回路図である。

【図 2】図 1 に示した出力バッファの一例を示した回路図である。

【図 3】図 1 に示した差動信号伝送システムの動作を説明するための電圧波形図である。

【図 4】本発明の他の実施例である差動信号伝送システムを示した回路図である。

【図 5】図 1 および図 4 に示した入力バッファの一例を示した回路図である。

【図 6】図 1 に示した中点電位調整部の他の例を示した回路図である。

【図 7】図 1 に示した中点電位調整部のさらに他の例を示した回路図である。

【符号の説明】

- 1 第 1 の出力バッファ
- 1 1 差動信号出力回路
- 1 1 0 入力部
- 1 1 1 インバータ
- 1 1 2 P チャンネル MOS トランジスタ
- 1 1 3 N チャンネル MOS トランジスタ
- 1 1 4 P チャンネル MOS トランジスタ

10

20

30

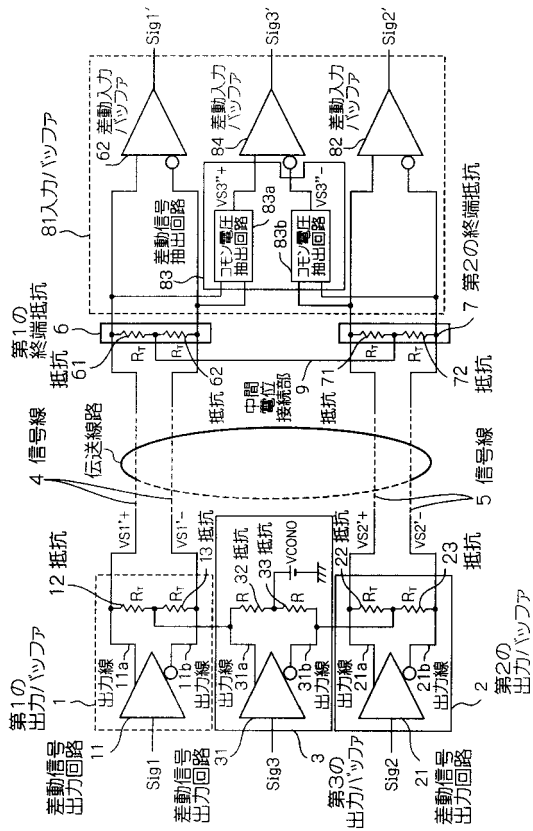
40

50

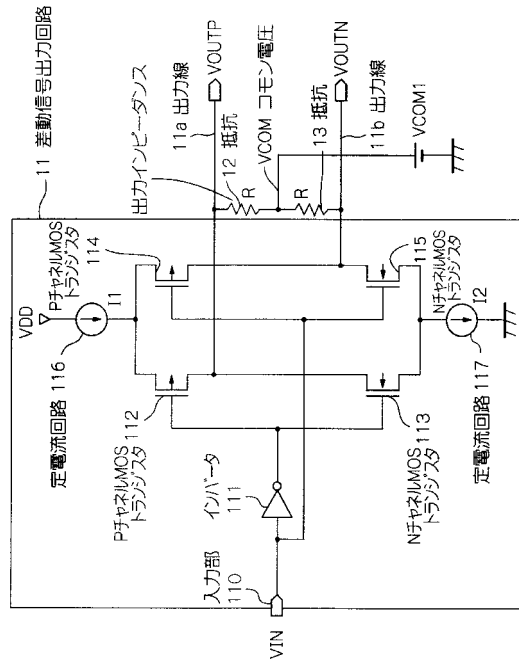
1 1 5	NチャンネルMOSトランジスタ	
1 1 6	定電流回路	
1 1 7	定電流回路	
1 1 a	出力線	
1 1 b	出力線	
1 2	抵抗	
1 3	抵抗	
2	第2の出力バッファ	
2 1	差動信号出力回路	
2 1 a	出力線	10
2 1 b	出力線	
2 2	抵抗	
2 3	抵抗	
3	第3の出力バッファ	
3 1	差動信号出力回路	
3 1 a	出力線	
3 1 b	出力線	
3 2	抵抗	
3 3	抵抗	
4	信号線	20
5	信号線	
6	第1の終端抵抗	
6 1	抵抗	
6 2	抵抗	
7	第2の終端抵抗	
7 1	抵抗	
7 2	抵抗	
8	入力バッファ	
8 1	差動入力バッファ	
8 2	差動入力バッファ	30
8 3	差動信号抽出回路	
8 3 a	コモン電圧抽出回路	
8 3 b	コモン電圧抽出回路	
8 3 1	第1の差動信号抽出回路	
8 3 1 a	定電流回路	
8 3 1 b	第1のPチャンネルMOSトランジスタ	
8 3 1 c	第2のPチャンネルMOSトランジスタ	
8 3 1 d	第1のNチャンネルMOSトランジスタ	
8 3 1 e	第2のNチャンネルMOSトランジスタ	
8 3 2	第2の差動信号抽出回路	40
8 3 2 a	定電流回路	
8 3 2 b	第3のPチャンネルMOSトランジスタ	
8 3 2 c	第4のPチャンネルMOSトランジスタ	
8 3 2 d	第3のNチャンネルMOSトランジスタ	
8 3 2 e	第4のNチャンネルMOSトランジスタ	
8 4	差動入力バッファ	
8 5	信号レベル調整回路	
9	中点電位調整部	
9 1	第1の接地部	
9 2	第2の接地部	50

- 9 3 第1の接続部
- 9 4 第2の接続部

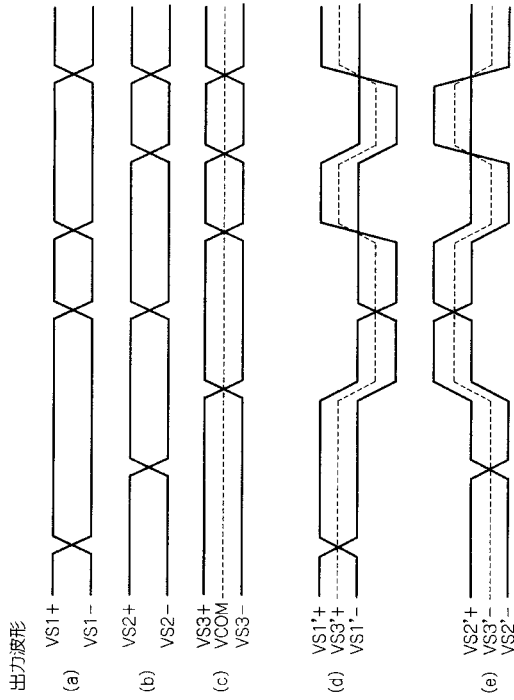
【図1】



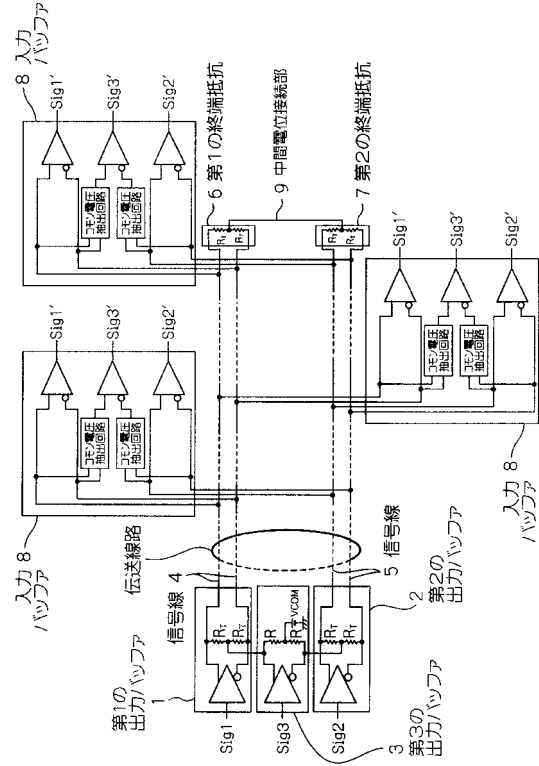
【図2】



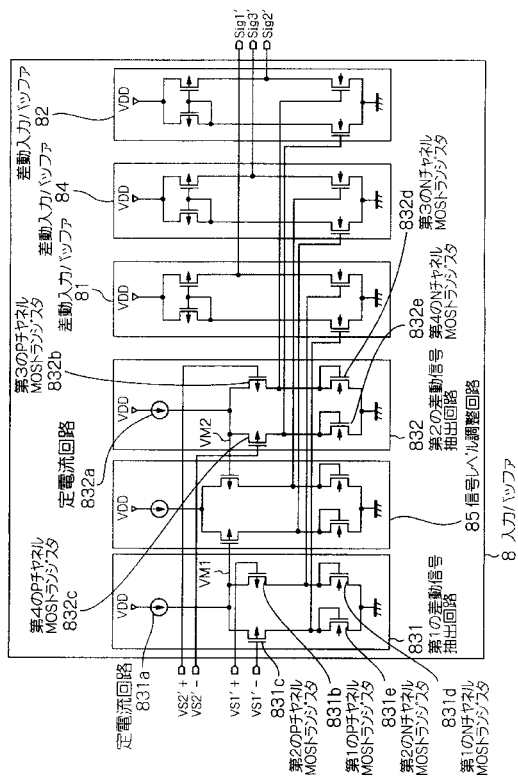
【 図 3 】



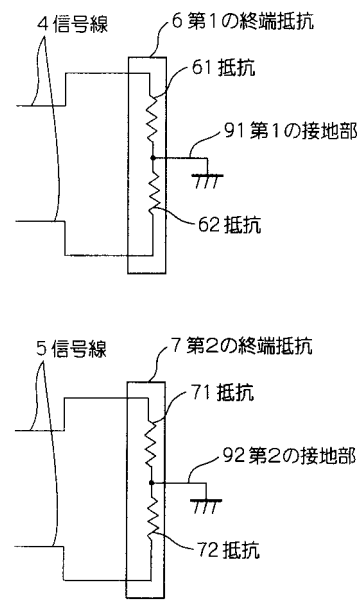
【 図 4 】



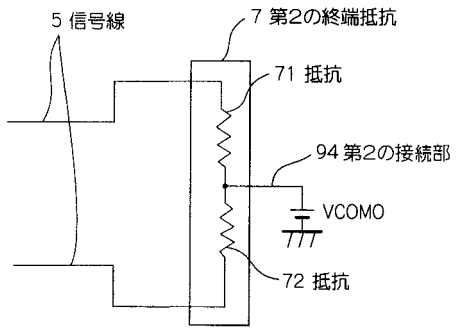
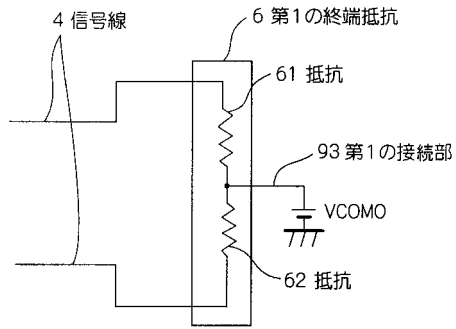
【 図 5 】



【 図 6 】



【図7】



フロントページの続き

(56)参考文献 特開2002-204272(JP,A)
米国特許第6346832(US,B1)

(58)調査した分野(Int.Cl., DB名)
H04L 25/00-25/66