

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-96636

(P2004-96636A)

(43) 公開日 平成16年3月25日(2004.3.25)

(51) Int.CI. 7

H03M 1/44

F 1

H03M 1/44

テーマコード(参考)

5J022

審査請求 未請求 請求項の数 7 O L (全 21 頁)

(21) 出願番号

特願2002-258058 (P2002-258058)

(22) 出願日

平成14年9月3日 (2002.9.3)

(71) 出願人

000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

100098305

弁理士 福島 祥人

和田 淳

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者

谷 邦之

大阪府守口市京阪本通2丁目5番5号

三

洋電機株式会社内

F ターム(参考) 5J022 AA05 AA06 AA15 AB07 AC02

BA06 BA10 CA10 CB02 CB06

CD03 CF02 CF07

(54) 【発明の名称】アナログ-デジタル変換回路

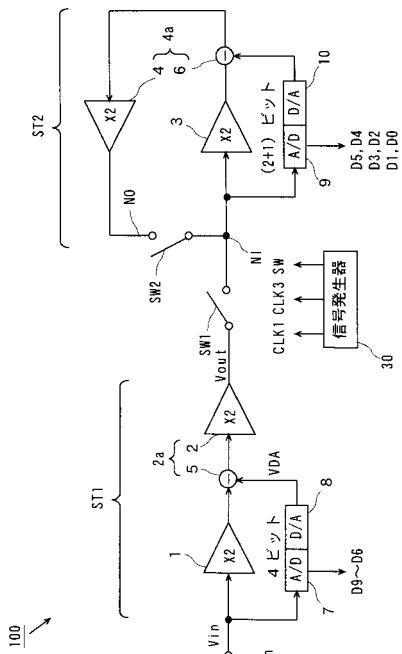
(57) 【要約】

【課題】省面積化が図られるとともにピット分解能の変更が可能なアナログ-デジタル変換回路を提供することである。

【解決手段】1段目の回路S T 1内の演算増幅器1、サブA / Dコンバータ7、D / Aコンバータ8および演算増幅器2は、クロック信号C L K 1に応答して動作する。2段目の回路S T 2内の演算増幅器3、サブA / Dコンバータ9、D / Aコンバータ10および演算増幅器4は、クロック信号C L K 3に応答して動作する。1段目の回路S T 1内の演算増幅器2から出力されるアナログ信号はスイッチSW1を介して2段目の回路S T 2内の入力ノードN Iに与えられる。2段目の回路S T 2内の演算増幅器4から出力されるアナログ信号はスイッチSW2を介して2段目の回路S T 2内の入力ノードN Iに与えられる。

【選択図】

図 1



【特許請求の範囲】**【請求項 1】**

第1および第2のノードを有する第1の回路と、

入力されたアナログ信号および前記第2のノードのアナログ信号のいずれか一方を選択的に前記第1のノードに与える切替手段と、

前記切替手段を制御する制御手段とを備え、

前記第1の回路は、

前記第1のノードからのアナログ信号をデジタル信号に変換する第1のアナログ-デジタル変換器と、

前記第1のアナログ-デジタル変換器から出力されたデジタル信号をアナログ信号に変換する第1のデジタル-アナログ変換器と、 10

前記第1のノードからのアナログ信号と前記第1のデジタル-アナログ変換器から出力されたアナログ信号との差分を増幅して前記第2のノードに出力する第1の差分増幅器とを含み、

前記制御手段は、入力されたアナログ信号が前記第1のノードに与えられた後、前記第1のアナログ-デジタル変換器による変換動作、前記第1のデジタル-アナログ変換器による変換動作および前記第1の差分増幅器による増幅動作が所定サイクル数行われるように前記切替手段を制御することを特徴とするアナログ-デジタル変換回路。

【請求項 2】

前記第1の回路は、前記第1のノードのアナログ信号を増幅して前記第1の差分増幅器に与える第1の演算増幅器をさらに含むことを特徴とする請求項1記載のアナログ-デジタル変換回路。 20

【請求項 3】

前記切替手段を介して前記第1の回路の前段に少なくとも1段に設けられた第2の回路をさらに備え、

前記第2の回路は、

入力されたアナログ信号をデジタル信号に変換する第2のアナログ-デジタル変換器と、前記第2のアナログ-デジタル変換器から出力されたデジタル信号をアナログ信号に変換する第2のデジタル-アナログ変換器と、

前記入力されたアナログ信号と前記第2のデジタル-アナログ変換器から出力されたアナログ信号との差分を増幅して前記切替手段を介して前記第1の回路に出力する第2の差分増幅器とを含むことを特徴とする請求項1または2記載のアナログ-デジタル変換回路。 30

【請求項 4】

前記第2の回路は、前記入力されたアナログ信号を増幅して前記第2の差分増幅器に与える第2の演算増幅器をさらに含むことを特徴とする請求項3記載のアナログ-デジタル変換回路。

【請求項 5】

前記制御手段は、クロック信号および制御信号を発生する信号発生器を含み、

前記第1の回路の前記第1のアナログ-デジタル変換器、前記第1のデジタル-アナログ変換器および前記第1の差分増幅器は、前記信号発生器により発生されたクロック信号に応答して動作し、 40

前記切替手段は、前記信号発生器により発生された制御信号に応答して、入力されたアナログ信号を前記第1のノードに与える状態と、前記第2のノードのアナログ信号を前記第1のノードに与える状態とを切り替えることを特徴とする請求項1~4のいずれかに記載のアナログ-デジタル変換回路。

【請求項 6】

前記制御手段は、前記信号発生器により発生されるクロック信号の周波数を変更する変更手段をさらに含むことを特徴とする請求項5記載のアナログ-デジタル変換回路。

【請求項 7】

前記信号発生器は、分周器を有する位相同期ループを含み、

50

前記変更手段は、前記位相同期ループの前記分周器の分周比を設定する分周比設定手段を含むことを特徴とする請求項6記載のアナログ-デジタル変換回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、多段パイプライン(ステップフラッシュ)構成を有するアナログ-デジタル変換回路に関する。

【0002】

【従来の技術】

近年、ビデオ信号のデジタル処理技術の進歩に伴い、ビデオ信号処理用のアナログ-デジタル変換回路(A/Dコンバータ)の需要が大きくなっている。ビデオ信号処理用のアナログ-デジタル変換回路には高速変換動作が要求されるため、従来、2ステップフラッシュ(2ステップパラレル)方式が広く用いられていた。

【0003】

しかし、変換ビット数の増大に伴い、2ステップフラッシュ方式では十分な変換精度が得られなくなってきたため、多段パイプライン(ステップフラッシュ)構成を有するアナログ-デジタル変換回路が開発された(例えば、特許文献1参照)。

【0004】

図12は従来のアナログ-デジタル変換回路を示すブロック図である。図12のアナログ-デジタル変換回路101は、10ビット4段パイプライン構成を有する。

【0005】

図12において、アナログ-デジタル変換回路101は、サンプルホールド回路102、1段目~4段目の回路103~106、複数のラッチ回路107および出力回路108から構成されている。

【0006】

1段目(初段)の回路103は、サブA/Dコンバータ109、D/Aコンバータ110、演算増幅器111a、減算回路112および演算増幅器113を備える。減算回路112および演算増幅器113が差分増幅器114を構成する。2段目および3段目の回路104、105は、サブA/Dコンバータ109、D/Aコンバータ110、演算増幅器111、減算回路112および演算増幅器113を備える。1段目~3段目の回路103~105において、減算回路112および演算増幅器113が差分増幅器114を構成する。

【0007】

ただし、後述するように、1段目の回路103内の演算増幅器111aは、利得1を有し、サンプルホールド回路として働く。1段目の回路103内の演算増幅器113および2段目および3段目の回路104、105内の演算増幅器111、113の利得は2である。4段目(最終段)の回路106は、サブA/Dコンバータ109のみを備える。

【0008】

1段目の回路103は4ビット構成、2~4段目の回路104~106はそれぞれ2ビット構成である。1~3段目の回路103~105において、サブA/Dコンバータ109およびD/Aコンバータ110のビット数(ビット構成)は同じに設定されている。

【0009】

次に、図12のアナログ-デジタル変換回路101の動作を説明する。サンプルホールド回路102は、アナログ入力信号Vinをサンプリングして一定時間保持する。サンプルホールド回路102から出力されたアナログ入力信号Vinは、1段目の回路103へ転送される。

【0010】

1段目の回路103において、サブA/Dコンバータ109は、アナログ入力信号Vinに対してA/D変換を行う。サブA/Dコンバータ109のA/D変換結果である上位4ビットのデジタル出力(2⁹, 2⁸, 2⁷, 2⁶)は、D/Aコンバータ110

10

20

30

40

50

へ転送されるとともに、4つのラッチ回路7を介して出力回路108へ転送される。D/Aコンバータ110は、サブA/Dコンバータ109のA/D変換結果である上位4ビットのデジタル出力をアナログ信号に変換する。

【0011】

一方、演算増幅器111aは、アナログ入力信号Vinをサンプリングして一定時間保持する。減算回路112は、演算増幅器111aから出力されたアナログ入力信号VinとD/Aコンバータ110のD/A変換結果とを減算する。演算増幅器113は、減算回路112の出力を増幅する。演算増幅器113の出力は、2段目の回路104へ転送される。

【0012】

2段目の回路104においては、サブA/Dコンバータ109が、1段目の回路103の演算増幅器113の出力に対してA/D変換を行う。サブA/Dコンバータ109のA/D変換結果は、D/Aコンバータ110へ転送されるとともに、3つのラッチ回路7を介して出力回路108へ転送される。これにより、2段目の回路104から中上位2ビットのデジタル出力(2^5 , 2^4)が得られる。

【0013】

一方、演算増幅器111は、1段目の回路103の演算増幅器113の出力を増幅する。減算回路112は、演算増幅器111の出力とD/Aコンバータ110のD/A変換結果とを減算する。演算増幅器113は、減算回路112の出力を増幅する。演算増幅器113の出力は、3段目の回路105へ転送される。

【0014】

3段目の回路105においては、2段目の回路103の演算増幅器113の出力に対して2段目の回路104と同様の動作が行われる。それにより、3段目の回路105から中下位2ビットのデジタル出力(2^3 , 2^2)が得られる。

【0015】

4段目の回路106においては、3段目の回路105の演算増幅器113の出力に対してサブA/Dコンバータ109がA/D変換を行い、下位2ビットのデジタル出力(2^1 , 2^0)が得られる。

【0016】

1段目～4段目の回路103～106のデジタル出力は、各ラッチ回路107を経て同時に出力回路108に到達する。すなわち、各ラッチ回路107は各回路103～106のデジタル出力の同期をとるために設けられている。

【0017】

出力回路108は、アナログ入力信号Vinに対応する10ビットのデジタル出力Doutを必要な場合はデジタル補正処理後パラレル出力する。

【0018】

【特許文献1】

特開平11-88172号公報

【0019】

【発明が解決しようとする課題】

このように多段パイプライン構成を有するアナログ-デジタル変換回路では、パイプライン処理および各段での増幅機能により、高速なスループット(変換周波数)および高精度(高分解能)を実現できる。そのため、数MHz～100MHzの変換周波数で動作する高精度かつ高速の8～12ビット構成のアナログ-デジタル変換回路が、デジタルビデオ信号処理、デジタル通信処理等の用途に広く採用されている。

【0020】

しかしながら、上記の多段パイプライン構成を有するアナログ-デジタル変換回路においては、同様の構成を有する回路が複数段に配列されるため、面積効率が高くない。また、システム構成上、回路の段数を増加または削減することによりビット分解能を容易に変更することができる。しかしながら、アナログ-デジタル変換回路を実際のLSI(大規模

10

20

30

40

50

集積回路)に搭載した場合には、回路の段数を増加または削減することは不可能である。また、10ビットのアナログ-デジタル変換回路を8ビットのアナログ-デジタル変換回路として使用することは可能であるが、これは単にオーバースペック(過剰仕様)となるだけであり、面積効率の問題を解決することにはならない。

【0021】

本発明の目的は、省面積化が図られるとともにビット分解能の変更が可能なアナログ-デジタル変換回路を提供することである。

【0022】

【課題を解決するための手段および発明の効果】

(1) 第1の発明

第1の発明に係るアナログ-デジタル変換回路は、第1および第2のノードを有する第1の回路と、入力されたアナログ信号および第2のノードのアナログ信号のいずれか一方を選択的に第1のノードに与える切替手段と、切替手段を制御する制御手段とを備え、第1の回路は、第1のノードからのアナログ信号をデジタル信号に変換する第1のアナログ-デジタル変換器と、第1のアナログ-デジタル変換器から出力されたデジタル信号をアナログ信号に変換する第1のデジタル-アナログ変換器と、第1のノードからのアナログ信号と第1のデジタル-アナログ変換器から出力されたアナログ信号との差分を増幅して第2のノードに出力する第1の差分増幅器とを含み、制御手段は、入力されたアナログ信号が第1のノードに与えられた後、第1のアナログ-デジタル変換器による変換動作、第1のデジタル-アナログ変換器による変換動作および第1の差分増幅器による増幅動作が所定サイクル数行われるように切替手段を制御するものである。

【0023】

本発明に係るアナログ-デジタル変換回路においては、入力されたアナログ信号が第1のノードに与えられた後、第1の回路において、第1のアナログ-デジタル変換器による変換動作、第1のデジタル-アナログ変換器による変換動作および第1の差分増幅器による増幅動作が所定サイクル数行われる。それにより、各サイクルごとに第1の回路内の第1のアナログ-デジタル変換器からデジタル信号が順次出力される。

【0024】

このようにして、第1の回路により多段パイプライン構成が実現される。したがって、省面積化が図られる。

【0025】

また、切替手段の制御により第1の回路で行われるサイクル数を変更することにより、ビット分解能を容易に変更することができる。したがって、同一のハードウェア構成で異なるビット分解能を有するアナログ-デジタル変換回路が容易に実現される。

【0026】

(2) 第2の発明

第2の発明に係るアナログ-デジタル変換回路は、第1の発明に係るアナログ-デジタル変換回路の構成において、第1の回路は、第1のノードのアナログ信号を増幅して第1の差分増幅器に与える第1の演算増幅器をさらに含むものである。

【0027】

この場合、第1の回路内に第1の演算増幅器および第1の差分増幅器が設けられているので、1段当たりの増幅器のループ定数を低減することができ、かつ1段当たりの増幅器の負荷容量が低減する。それにより、各増幅器の限界動作周波数が高くなる。その結果、各増幅器の性能を向上させることなく、高い変換動作を保ちつつ、変換速度を向上させることが可能となる。

【0028】

また、第1の回路の各サイクルにおいて、第1の演算増幅器による増幅動作および第1のアナログ-デジタル変換器による変換動作と、第1の差分増幅器による増幅動作および第1のデジタル-アナログ変換器による変換動作とを並行して行うことが可能となる。それにより、各サイクルにおける第1の演算増幅器による増幅動作、第1のアナログ-デジタ

10

20

30

40

50

ル変換器による変換動作、第1のデジタル-アナログ変換器による変換動作および第1の差分増幅器による増幅動作のタイミングが緩和される。

【0029】

(3) 第3の発明

第3の発明に係るアナログ-デジタル変換回路は、第1または第2の発明に係るアナログ-デジタル変換回路の構成において、切替手段を介して第1の回路の前段に少なくとも1段に設けられた第2の回路をさらに備え、第2の回路は、入力されたアナログ信号をデジタル信号に変換する第2のアナログ-デジタル変換器と、第2のアナログ-デジタル変換器から出力されたデジタル信号をアナログ信号に変換する第2のデジタル-アナログ変換器と、入力されたアナログ信号と第2のデジタル-アナログ変換器から出力されたアナログ信号との差分を増幅して切替手段を介して第1の回路に出力する第2の差分増幅器とを含んだものである。

【0030】

この場合、アナログ信号が第2の回路に入力され、第2のアナログ-デジタル変換器による変換動作、第2のデジタル-アナログ変換器による変換動作および第2の差分増幅器による増幅動作が行われる。第2の差分増幅器から出力されるアナログ信号が切替手段を介して第1の回路に入力され、第1の回路において、第1のアナログ-デジタル変換器による変換動作、第1のデジタル-アナログ変換器による変換動作および第1の差分増幅器による増幅動作が所定サイクル数行われる。それにより、第2の回路内の第2のアナログ-デジタル変換器からデジタル信号が出力され、各サイクルごとに第1の回路内の第1のアナログ-デジタル変換器からデジタル信号が順次出力される。

【0031】

このようにして、第2の回路および第1の回路により多段パイプライン構成が実現される。

【0032】

(4) 第4の発明

第4の発明に係るアナログ-デジタル変換回路は、第3の発明に係るアナログ-デジタル変換回路の構成において、第2の回路は、入力されたアナログ信号を増幅して第2の差分増幅器に与える第2の演算増幅器をさらに含むものである。

【0033】

この場合、第2の回路内に第2の演算増幅器および第2の差分増幅器が設けられているので、1段当たりの増幅器のループ定数を低減することができ、かつ1段当たりの増幅器の負荷容量が低減する。それにより、各増幅器の限界動作周波数が高くなる。その結果、各増幅器の性能を向上させることなく、高い変換動作を保ちつつ、変換速度を向上させることが可能となる。

【0034】

また、第2の回路において、第2の演算増幅器による増幅動作および第2のアナログ-デジタル変換器による変換動作と、第2の差分増幅器による増幅動作および第2のデジタル-アナログ変換器による変換動作とを並行して行うことが可能となる。それにより、第2の回路において、第2の演算増幅器による増幅動作、第2のアナログ-デジタル変換器による変換動作、第2のデジタル-アナログ変換器による変換動作および第2の差分増幅器による増幅動作のタイミングが緩和される。

【0035】

(5) 第5の発明

第5の発明に係るアナログ-デジタル変換回路は、第1～第4のいずれかの発明に係るアナログ-デジタル変換回路の構成において、制御手段は、クロック信号および制御信号を発生する信号発生器を含み、第1の回路の第1のアナログ-デジタル変換器、第1のデジタル-アナログ変換器および第1の差分増幅器は、信号発生器により発生されたクロック信号に応答して動作し、切替手段は、信号発生器により発生された制御信号に応答して、入力されたアナログ信号を第1のノードに与える状態と、第2のノードのアナログ信号を

第1のノードに与える状態とを切り替えるものである。

【0036】

この場合、クロック信号に応答して第1の回路の第1のアナログ-デジタル変換器、第1のデジタル-アナログ変換器および第1の差分増幅器の動作が行われ、制御信号に応答して、切替手段が入力されたアナログ信号を第1のノードに与える状態と第2のノードのアナログ信号を第1のノードに与える状態とに切り替えられる。それにより、第1の回路において、第1のアナログ-デジタル変換器による変換動作、第1のデジタル-アナログ変換器による変換動作および第1の差分増幅器による増幅動作が所定サイクル数行われ、多段パイプライン構成が実現される。

【0037】

(6) 第6の発明

第6の発明に係るアナログ-デジタル変換回路は、第5の発明に係るアナログ-デジタル変換回路の構成において、制御手段は、信号発生器により発生されるクロック信号の周波数を変更する変更手段をさらに含むものである。

【0038】

この場合、変更手段によりクロック信号の周波数を変更することにより、第1の回路で行われるサイクル数を容易に変更することができる。それにより、ビット分解能を容易に変更することができる。

【0039】

(7) 第7の発明

第7の発明に係るアナログ-デジタル変換回路は、第6の発明に係るアナログ-デジタル変換回路の構成において、信号発生器は、分周器を有する位相同期ループを含み、変更手段は、位相同期ループの分周器の分周比を設定する分周比設定手段を含むものである。

【0040】

この場合、分周比設定手段により位相同期ループの分周器の分周比を設定することにより、クロック信号の周波数を容易に変更し、ビット分解能を変更することができる。

【0041】

【発明の実施の形態】

図1は本発明の一実施の形態に係るアナログ-デジタル変換回路の構成を示すブロック図である。

【0042】

図1のアナログ-デジタル変換回路100は、1段目の回路ST1、2段目の回路ST2、スイッチSW1, SW2および信号発生器30を備える。

【0043】

1段目の回路ST1は、演算増幅器1、サブA/Dコンバータ7、D/Aコンバータ8、減算回路5および演算増幅器2を備える。減算回路5および演算増幅器2が差分増幅器2aを構成する。2段目の回路ST2は、演算増幅器3、サブA/Dコンバータ9、D/Aコンバータ10、減算回路6および演算増幅器4を備える。減算回路6および演算増幅器4が差分増幅器4aを構成する。

【0044】

1段目の回路ST1内の演算増幅器1, 2および2段目の回路ST2内の演算増幅器3, 4の利得はそれぞれ2である。1段目の回路ST1のサブA/Dコンバータ7は4ビット構成、2段目の回路ST2のサブA/Dコンバータ9は(2ビット+冗長1ビット)構成である。以下、冗長ビットを考慮せずに説明を行う。

【0045】

信号発生器30は、クロック信号CLK1, CLK2および制御信号SWを発生する。クロック信号CLK1の周波数はFsであり、クロック信号CLK3の周波数はクロック信号CLK1の周波数Fsの3倍すなわち3Fsである。制御信号SWの周波数はクロック信号CLK1の周波数Fsと等しい。

【0046】

10

20

30

40

50

1段目の回路S T 1内の演算増幅器1、サブA / Dコンバータ7、D / Aコンバータ8および演算増幅器2は、クロック信号C L K 1に応答して動作する。また、2段目の回路S T 2内の演算増幅器3、サブA / Dコンバータ9、D / Aコンバータ10および演算増幅器4は、クロック信号C L K 3に応答して動作する。さらに、スイッチS W 1, S W 2は、制御信号S Wに応答して相補的にオンおよびオフする。

【0047】

入力端子I nには、アナログ信号V i nが与えられる。入力端子I nのアナログ信号V i nは、1段目の回路S T 1内の演算増幅器1およびサブA / Dコンバータ7に入力される。サブA / Dコンバータ7は、アナログ信号V i nに対してA / D変換を行い、A / D変換結果である4ビットのデジタル信号を出力するとともにそのデジタル信号をD / Aコンバータ8に与える。D / Aコンバータ8は、サブA / Dコンバータ7から与えられる4ビットのデジタル信号に対してD / A変換を行い、アナログ信号V D Aを出力する。

10

【0048】

一方、演算増幅器1は、入力端子I nのアナログ信号V i nをサンプリングおよび増幅して出力する。減算回路5は、演算増幅器1から出力されたアナログ信号V i nとD / Aコンバータ8から出力されたアナログ信号V D Aとを減算する。演算増幅器2は、減算回路5の出力信号を増幅してアナログ信号V o u tを出力する。演算増幅器2から出力されるアナログ信号V o u tは、スイッチS W 1のオン時に2段目の回路S T 2の入力ノードN Iに与えられる。

20

【0049】

入力ノードN Iのアナログ信号は、2段目の回路S T 2内の演算増幅器3およびサブA / Dコンバータ9に入力される。サブA / Dコンバータ9は、アナログ信号に対してA / D変換を行い、A / D変換結果である2ビットのデジタル信号を出力するとともにそのデジタル信号をD / Aコンバータ10に与える。D / Aコンバータ10は、サブA / Dコンバータ9から与えられる2ビットのデジタル信号に対してD / A変換を行い、アナログ信号を出力する。

【0050】

一方、演算増幅器3は、入力ノードN Iのアナログ信号をサンプリングおよび増幅して出力する。減算回路6は、演算増幅器3から出力されたアナログ信号とD / Aコンバータ10から出力されたアナログ信号とを減算する。演算増幅器4は、減算回路6の出力信号を増幅してアナログ信号を出力する。演算増幅器4から出力されるアナログ信号は、スイッチS W 2のオン時に入力ノードN Iに与えられる。

30

【0051】

本実施の形態では、2段目の回路S T 2が第1の回路に相当し、1段目の回路S T 1が第2の回路に相当する。また、スイッチS W 1, S W 2が切替手段に相当し、信号発生器30が制御手段に相当する。さらに、サブA / Dコンバータ9が第1のアナログ - デジタル変換器に相当し、D / Aコンバータ10が第1のデジタル - アナログ変換器に相当し、演算増幅器3が第1の演算増幅器に相当し、差分増幅器4 aが第1の差分増幅器に相当する。また、サブA / Dコンバータ7が第2のアナログ - デジタル変換器に相当し、D / Aコンバータ8が第2のデジタル - アナログ変換器に相当し、演算増幅器1が第2の演算増幅器に相当し、差分増幅器2 aが第2の差分増幅器に相当する。

40

【0052】

次に、図2を参照しながら図1のアナログ - デジタル変換回路100の全体の動作を説明する。図2は図1のアナログ - デジタル変換回路100の動作を説明するためのタイミングチャートである。

【0053】

図2において、AMPは増幅動作を示し、AZはオートゼロ動作を示し、SMPはサンプリング動作を示す。ここで、オートゼロ動作とは、演算増幅器の一対の入力端子間の電位差を0にする動作である。

【0054】

50

期間 T 1 ~ T 5 では、制御信号 SW がローレベルになる。それにより、スイッチ SW 1 がオフし、スイッチ SW 2 がオンする。

【 0 0 5 5 】

まず、期間 T 1 ~ T 3 では、クロック信号 CLK 1 がハイレベルになる。それにより、1 段目の回路 ST 1 内の演算増幅器 1 が増幅動作を行い、サブ A / D コンバータ 7 が A / D 変換動作を行う。この場合、サブ A / D コンバータ 7 から上位 4 ビットのデジタル信号 D 9 ~ D 6 が出力される。このとき、演算増幅器 2 はオートゼロ動作およびサンプリング動作を行う。また、D / A コンバータ 8 の出力は不定となっている。

【 0 0 5 6 】

次に、期間 T 4 ~ T 6 では、クロック信号 CLK 1 がローレベルになる。それにより、1 段目の回路 ST 1 内の演算増幅器 1 がオートゼロ動作およびサンプリング動作を行い、サブ A / D コンバータ 7 がオートゼロ動作およびサンプリング動作を行う。このとき、演算増幅器 2 は増幅動作を行い、D / A コンバータ 8 は D / A 変換動作を行う。D / A コンバータ 8 から出力されるアナログ信号は確定する。

【 0 0 5 7 】

期間 T 6 ~ T 7 では、制御信号 SW がハイレベルになる。それにより、スイッチ SW 1 がオンし、スイッチ SW 2 がオフする。したがって、1 段目の回路 ST 1 内の演算増幅器 2 から出力されるアナログ信号がスイッチ SW 1 を介して 2 段目の回路 ST 2 の入力ノード NI に与えられる。

【 0 0 5 8 】

まず、期間 T 6 では、クロック信号 CLK 3 がハイレベルになる。それにより、2 段目の回路 ST 2 内の演算増幅器 3 がオートゼロ動作およびサンプリング動作を行い、サブ A / D コンバータ 9 がオートゼロ動作およびサンプリング動作を行う。このとき、演算増幅器 4 は増幅動作を行い、D / A コンバータ 10 は D / A 変換動作を行う。

【 0 0 5 9 】

次に、期間 T 7 では、クロック信号 CLK 3 がローレベルになる。それにより、2 段目の回路 ST 2 内の演算増幅器 3 が増幅動作を行い、サブ A / D コンバータ 9 が A / D 変換動作を行う。この場合、サブ A / D コンバータ 9 から中上位 2 ビットのデジタル信号 D 5 , D 4 が出力される。このとき、演算増幅器 4 はオートゼロ動作およびサンプリング動作を行い、D / A コンバータ 10 の出力は不定となっている。

【 0 0 6 0 】

期間 T 8 ~ T 11 では、制御信号 SW がローレベルになる。それにより、スイッチ SW 1 がオフし、スイッチ SW 2 がオンする。その結果、2 段目の回路 ST 2 内の演算増幅器 4 から出力ノード NO に出力されるアナログ信号がスイッチ SW 2 を介して入力ノード NI に与えられる。

【 0 0 6 1 】

まず、期間 T 8 では、クロック信号 CLK 3 がハイレベルになる。それにより、2 段目の回路 ST 2 内の演算増幅器 3 がオートゼロ動作およびサンプリング動作を行い、サブ A / D コンバータ 9 がオートゼロ動作およびサンプリング動作を行う。このとき、演算増幅器 4 は増幅動作を行い、D / A コンバータ 10 は D / A 変換動作を行う。それにより、演算増幅器 4 から出力ノード NO に出力されるアナログ信号がスイッチ SW 2 を介して入力ノード NI に与えられる。

【 0 0 6 2 】

次に、期間 T 9 では、クロック信号 CLK 3 がローレベルになる。それにより、2 段目の回路 ST 2 内の演算増幅器 3 が増幅動作を行い、サブ A / D コンバータ 9 が A / D 変換動作を行う。この場合、A / D コンバータ 9 から中下位 2 ビットのデジタル信号 D 3 , D 2 が出力される。このとき、演算増幅器 4 はオートゼロ動作およびサンプリング動作を行い、D / A コンバータ 10 の出力は不定となっている。

【 0 0 6 3 】

さらに、期間 T 10 では、クロック信号 CLK 3 がハイレベルになる。それにより、2 段

10

20

30

40

50

目の回路 S T 2 内の演算増幅器 3 がオートゼロ動作およびサンプリング動作を行い、サブ A / D コンバータ 9 がオートゼロ動作およびサンプリング動作を行う。このとき、演算増幅器 4 は増幅動作を行い、D / A コンバータ 10 は D / A 変換動作を行う。それにより、演算増幅器 4 から出力ノード N O に出力されるアナログ信号がスイッチ SW 2 を介して入力ノード N I に与えられる。

【 0 0 6 4 】

次いで、期間 T 1 1 では、クロック信号 C L K 3 がロー・レベルになる。それにより、2 段目の回路 S T 2 内の演算増幅器 3 が増幅動作を行い、サブ A / D コンバータ 9 が A / D 変換動作を行う。この場合、サブ A / D コンバータ 9 から下位 2 ビットのデジタル信号 D 1 , D 0 が出力される。このとき、演算増幅器 4 はオートゼロ動作およびサンプリング動作を行い、D / A コンバータ 10 の出力は不定となっている。 10

【 0 0 6 5 】

上記のように、本実施の形態に係るアナログ - デジタル変換回路 1 0 0 においては、1 段目の回路 S T 1 から上位 4 ビットのデジタル信号 D 9 ~ D 6 が出力され、2 段目の回路 S T 2 から中上位 2 ビットのデジタル信号 D 5 , D 4 、中下位 2 ビットのデジタル信号 D 3 , D 2 および下位 2 ビットのデジタル信号 D 1 , D 0 が順次出力される。このようにして、2 段の回路 S T 1 , S T 2 により 10 ビット 4 段パイプライン構成が実現される。したがって、省面積化が図られる。

【 0 0 6 6 】

図 3 は本発明の他の実施の形態に係るアナログ - デジタル信号の構成を示すブロック図である。 20

【 0 0 6 7 】

図 3 のアナログ - デジタル変換回路 1 0 0 a は、回路 S T 0 、スイッチ SW 1 , SW 2 および信号発生器 3 0 を備える。

【 0 0 6 8 】

回路 S T 0 は、演算増幅器 1 1 、サブ A / D コンバータ 1 4 、D / A コンバータ 1 5 、減算回路 1 3 および演算増幅器 1 2 を備える。減算回路 1 3 および演算増幅器 1 2 が差分増幅器 1 2 a を構成する。

【 0 0 6 9 】

回路 S T 0 内の演算増幅器 1 1 , 1 2 の利得はそれぞれ 4 である。また、回路 S T 0 のサブ A / D コンバータ 1 4 は 4 ビット構成である。 30

【 0 0 7 0 】

信号発生器 3 0 は、クロック信号 C L K 1 , C L K 2 および制御信号 S W を発生する。クロック信号 C L K 1 の周波数は F s であり、クロック信号 C L K 3 の周波数はクロック信号 C L K 1 の周波数 F s の 3 倍すなわち 3 F s である。制御信号 S W の周波数はクロック信号 C L K 1 の周波数 F s と等しい。

【 0 0 7 1 】

回路 S T 0 内の演算増幅器 1 1 、サブ A / D コンバータ 1 4 、A / D コンバータ 1 5 および演算増幅器 1 2 は、クロック信号 C L K 3 に応答して動作する。また、スイッチ SW 1 , SW 2 は、制御信号 S W に応答して相補的にオンおよびオフする。 40

【 0 0 7 2 】

入力端子 I n には、アナログ信号 V i n が与えられる。入力端子 I n のアナログ信号 V i n は、スイッチ SW 1 のオン時に回路 S T 0 内の演算増幅器 1 1 およびサブ A / D コンバータ 1 4 に入力される。サブ A / D コンバータ 1 4 は、アナログ信号 V i n に対して A / D 変換を行い、A / D 変換結果である 4 ビットのデジタル信号を出力するとともにそのデジタル信号を D / A コンバータ 1 5 に与える。D / A コンバータ 1 5 は、サブ A / D コンバータ 1 4 から与えられる 4 ビットのデジタル信号に対して D / A 変換を行い、アナログ信号を出力する。

【 0 0 7 3 】

一方、演算増幅器 1 1 は、入力ノード N I のアナログ信号をサンプリングおよび増幅して 50

出力する。減算回路 13 は、演算増幅器 11 から出力されたアナログ信号と D/A コンバータ 15 から出力されたアナログ信号とを減算する。演算増幅器 12 は、減算回路 13 の出力信号を増幅してアナログ信号を出力する。演算増幅器 12 から出力されるアナログ信号は、スイッチ SW2 のオン時に入力ノード NI に与えられる。

【0074】

本実施の形態では、回路 ST0 が第 1 の回路に相当し、スイッチ SW1, SW2 が切替手段に相当し、信号発生器 30 が制御手段に相当する。さらに、サブ A/D コンバータ 14 が第 1 のアナログ - デジタル変換器に相当し、D/A コンバータ 15 が第 1 のデジタル - アナログ変換器に相当し、演算増幅器 11 が第 1 の演算増幅器に相当し、差分増幅器 12 a が第 1 の差分増幅器に相当する。

10

【0075】

次に、図 4 を参照しながら図 3 のアナログ - デジタル変換回路 100a の全体の動作を説明する。図 4 は図 3 のアナログ - デジタル変換回路 100a の動作を説明するためのタイミングチャートである。

【0076】

図 4 において、AMP は増幅動作を示し、AZ はオートゼロ動作を示し、SMP はサンプリング動作を示す。

【0077】

期間 T1 ~ T2 では、制御信号 SW がハイレベルになる。それにより、スイッチ SW1 がオンし、スイッチ SW2 がオフする。したがって、入力端子 In に与えられるアナログ信号 Vin がスイッチ SW1 を介して入力ノード NI に与えられる。

20

【0078】

まず、期間 T1 では、クロック信号 CLK3 がハイレベルになる。それにより、回路 ST0 内の演算増幅器 11 がオートゼロ動作およびサンプリング動作を行い、サブ A/D コンバータ 14 がオートゼロ動作およびサンプリング動作を行う。このとき、演算増幅器 12 は増幅動作を行い、D/A コンバータ 15 の出力は不定となっている。

【0079】

次に、期間 T2 では、クロック信号 CLK3 がローレベルになる。それにより、回路 ST0 内の演算増幅器 11 が増幅動作を行い、サブ A/D コンバータ 14 が A/D 変換動作を行う。この場合、サブ A/D コンバータ 14 から上位 4 ビットのデジタル信号 D9 ~ D6 が output される。

30

【0080】

期間 T3 ~ T6 では、制御信号 SW がローレベルになる。それにより、スイッチ SW1 がオフし、スイッチ SW2 がオンする。したがって、演算増幅器 12 から出力ノード NO に output されるアナログ信号がスイッチ SW2 を介して入力ノード NI に与えられる。

【0081】

まず、期間 T3 では、クロック信号 CLK3 がハイレベルになる。それにより、回路 ST0 内の演算増幅器 11 がオートゼロ動作およびサンプリング動作を行い、サブ A/D コンバータ 14 がオートゼロ動作およびサンプリング動作を行う。このとき、演算増幅器 12 は増幅動作を行い、D/A コンバータ 15 は D/A 変換動作を行う。その結果、演算増幅器 12 から出力ノード NO に output されるアナログ信号がスイッチ SW2 を介して入力ノード NI に与えられる。

40

【0082】

次に、期間 T4 では、クロック信号 CLK3 がローレベルになる。それにより、回路 ST0 内の演算増幅器 11 が増幅動作を行い、サブ A/D コンバータ 14 が A/D 変換動作を行う。この場合、サブ A/D コンバータ 14 から中位 3 ビットのデジタル信号 D5 ~ D3 および冗長 1 ビットが output される。このとき、演算増幅器 12 はオートゼロ動作およびサンプリング動作を行い、D/A コンバータ 15 の出力は不定となっている。

【0083】

さらに、期間 T5 では、クロック信号 CLK3 がハイレベルになる。それにより、回路 ST0

50

T 0 内の演算増幅器 1 1 がオートゼロ動作およびサンプリング動作を行い、サブA / D コンバータ 1 4 がオートゼロ動作およびサンプリング動作を行う。このとき、演算増幅器 1 2 は増幅動作を行い、D / A コンバータ 1 5 はD / A 変換動作を行う。その結果、演算増幅器 1 2 から出力ノードNOに出力されるアナログ信号がスイッチSW2を介して入力ノードNIに与えられる。

【0084】

続いて、期間T6では、クロック信号CLK3がローレベルになる。それにより、回路ST0内の演算増幅器11が増幅動作を行い、サブA / D コンバータ 1 4 がA / D 変換動作を行う。この場合、サブA / D コンバータ 1 4 から下位3ビットのデジタル信号D2～D0および冗長1ビットが出力される。このとき、演算増幅器12はオートゼロ動作およびサンプリング動作を行い、D / A コンバータ 1 5 の出力は不定となっている。

10

【0085】

上記のように、本実施の形態に係るアナログ - デジタル変換回路100aにおいては、1段の回路ST0から上位4ビットのデジタル信号D9～D6、中位3ビットのデジタル信号D5～D3および下位3ビットのデジタル信号D2～D0が順次出力される。このようにして、1段の回路ST0により10ビットの3段パイプライン構成が実現される。したがって、省面積化が実現される。

【0086】

また、上記実施の形態では、各段の回路ST1, ST2, ST0において、2段の演算増幅器1, 2, 3, 4または11, 12が設けられているが、各段の回路に1段の演算増幅器または3段以上の演算増幅器を設けてもよい。

20

【0087】

図5は図1および図3のアナログ - デジタル変換回路100, 100aにおける信号発生器30の主要部の構成を示すブロック図である。

【0088】

図5の信号発生器30は、位相比較器31、VCO(電圧制御発振器)32、1/N分周器33、1/2分周器34およびレジスタ35を含む。レジスタ35には、予め値Nが格納されている。ここで、値Nは任意の正の整数である。レジスタ35から1/N分周器33に値Nを設定するための制御信号RCが与えられる。

30

【0089】

位相比較器31は、周波数Fsのクロック信号CLK1の位相と1/N分周器33の出力信号の位相とを比較し、位相差に応じた制御電圧をVCO32に与える。VCO32は、制御電圧に応じた周波数を有する発振信号を1/2分周器34および1/N分周器33に出力する。1/N分周器33は、VCO32から出力される発振信号を1/N分周し、1/N分周された出力信号を位相比較器31に与える。1/2分周器34は、VCO32から出力された発振信号を1/2分周し、1/2分周された発振信号をクロック信号CLKnとして出力する。クロック信号CLKnは、クロック信号CLK1のn倍の周波数nFsを有する。n=N/2である。

【0090】

例えば、1/N分周器33のレジスタにN=2が設定されている場合には、クロック信号CLKnの周波数はFsとなり、1/N分周器33のレジスタにN=4が設定されている場合には、クロック信号CLKnの周波数は2Fsとなり、N=6が設定されている場合には、クロック信号CLKnの周波数は3Fsとなり、N=8が設定されている場合には、クロック信号CLKnの周波数は4Fsである。なお、図1および図3の例はN=6の場合を示す。

40

【0091】

図1のアナログ - デジタル変換回路100においては、1/N分周器33の値Nを2に設定することによりクロック信号CLKnの周波数をFsに設定した場合、1段目の回路ST1が4ビット構成を有し、2段目の回路ST2が(2ビット+冗長1ビット)構成を有し、6ビットのパイプライン構成が実現される。また、1/N分周器33の値Nを4に設

50

定することによりクロック信号 C L K n の周波数を $2 F_s$ に設定した場合、1段目の回路 S T 1 が4ビット構成を有し、2段目の回路 S T 2 の第1および第2サイクルが(2ビット+冗長1ビット)構成を有し、8ビットのパイプライン構成が実現される。さらに、1/N分周器 3 3 の値 N を 8 に設定することによりクロック信号 C L K n の周波数を $4 F_s$ に設定した場合、1段目の回路 S T 1 が4ビット構成を有し、2段目の回路 S T 2 の第1～第4サイクルが(2ビット+冗長1ビット)構成を有し、12ビットのパイプライン構成が実現される。

【0092】

図3のアナログ-デジタル変換回路 100 aにおいては、1/N分周器 3 3 の値 N を 2 に設定することによりクロック信号 C L K n の周波数を F_s に設定した場合、回路 S T 0 が4ビット構成を有し、4ビットのパイプライン構成が実現される。また、1/N分周器 3 3 の値 N を 4 に設定することによりクロック信号 C L K n の周波数を $2 F_s$ に設定した場合、回路 S T 0 の第1サイクルが4ビット構成を有し、回路 S T 0 の第2サイクルが(3ビット+冗長1ビット)構成を有し、7ビットのパイプライン構成が実現される。さらに、1/N分周器 3 3 の値 N を 8 に設定することによりクロック信号 C L K n の周波数を $4 F_s$ に設定した場合、回路 S T 0 の第1サイクルが4ビット構成を有し、回路 S T 0 の第2～第4サイクルが(3ビット+冗長1ビット)構成を有し、13ビットのパイプライン構成が実現される。

【0093】

このように、図1および図3のアナログ-デジタル変換回路 100, 100 aにおいては、1/N分周器 3 3 の分周比を任意に設定することにより、ビット分解能を容易に変更することができる。したがって、同一のハードウェア構成で異なるビット分解能を有するアナログ-デジタル変換回路が容易に実現される。

【0094】

なお、位相比較器 3 1、V C O 3 2 および 1/N分周器 3 3 が位相同期ループを構成し、1/N分周器 3 3 が分周器 3 3 に相当する。また、レジスタ 3 5 が分周比設定手段に相当する。

【0095】

図6は図1のアナログ-デジタル変換回路 100 における差分増幅器 2 a の回路図である。なお、図6の差分増幅器 2 a は完全差動方式の減算増幅回路である。

【0096】

図6の差分増幅器 2 a において、演算増幅器 2 0 の非反転入力端子とノード N 1 5 との間にコンデンサ 2 1 が接続され、反転入力端子とノード N 1 6 との間にコンデンサ 2 2 が接続されている。

【0097】

ノード N 1 5 は、スイッチ S W 1 1 を介してノード N 1 1 に接続され、かつスイッチ S W 1 3 を介してノード N 1 3 に接続されている。ノード N 1 6 は、スイッチ S W 1 2 を介してノード N 1 2 に接続され、かつスイッチ S W 1 4 を介してノード N 1 4 に接続されている。

【0098】

演算増幅器 2 0 の反転出力端子は、ノード N 0 1 に接続されるとともに、コンデンサ 2 3 を介して非反転入力端子に接続されている。演算増幅器 2 0 の非反転出力端子は、ノード N 0 2 に接続されるとともに、コンデンサ 2 4 を介して反転入力端子に接続されている。

【0099】

演算増幅器 2 0 の非反転入力端子はスイッチ S W 1 5 を介して基準電圧 V a g を受ける基準端子に接続され、反転入力端子はスイッチ S W 1 7 を介して基準端子に接続されている。演算増幅器 2 0 の反転出力端子はスイッチ S W 1 6 を介して基準端子に接続され、非反転出力端子はスイッチ S W 1 8 を介して基準端子に接続されている。ノード N 0 1, N 0 2 は、それぞれコンデンサ 2 5, 2 6 を介して接地されている。

【0100】

10

20

30

40

50

スイッチ SW11～SW18 は、CMOSスイッチにより構成されている。これらのスイッチ SW11～SW18 は、制御信号 SW またはその反転信号により制御される。

【0101】

この差分増幅器 2a には、入力端子 In のアナログ信号 Vin および D/A コンバータ 8 の D/A 変換結果であるアナログ信号 VDA が与えられる。すなわち、ノード N11, N12 にそれぞれアナログ信号 Vin(+) , Vin(-) が与えられる。ここで、 $Vin = Vin(+) - Vin(-)$ である。また、ノード N13, N14 にそれぞれアナログ信号 VDA(+) , VDA(-) が与えられる。ここで、 $VDA = VDA(+) - VDA(-)$ である。ノード N01 にはアナログ信号 Vout(+) が現われ、ノード N02 にはアナログ信号 Vout(-) が現われる。ここで、 $Vout = Vout(+) - Vout(-)$ である。
10

【0102】

次に、図 7 を参照しながら図 6 の差分増幅器 2a の動作を説明する。図 7 は図 6 の差分増幅器 2a の動作を説明するためのタイミングチャートである。ここでは、コンデンサ 23, 24 の容量値をそれぞれ C とし、コンデンサ 21, 22 の容量値をそれぞれ KC とする。K は定数である。

【0103】

オートゼロ動作時およびサンプリング動作時には、スイッチ SW11, SW12, SW15～SW18 がオンし、スイッチ SW13, SW14 がオフする。それにより、演算増幅器 20 の非反転入力端子および反転入力端子が等電位になり、反転出力端子および非反転出力端子が等電位になる。また、アナログ信号 Vin(+) がスイッチ SW11 を介してノード N15 に入力され、アナログ信号 Vin(-) がスイッチ SW12 を介してノード N16 に入力される。すなわち、アナログ信号 Vin(+) , Vin(-) がサンプリングされる。
20

【0104】

その後、スイッチ SW15～SW18 がオフし、続いてスイッチ SW11, SW12 がオフする。この時点で、アナログ信号 Vin(+) , Vin(-) がコンデンサ 21, 22 にそれぞれ保持される。

【0105】

増幅動作時に、スイッチ SW13, SW14 がオンする。それにより、アナログ信号 VDA(+) がスイッチ SW13 を介してノード N15 に入力され、アナログ信号 VDA(-) がスイッチ SW14 を介してノード N16 に入力される。その結果、アナログ信号 Vin(+) とアナログ信号 VDA(+) との差が K 倍に増幅されるとともに、アナログ信号 Vin(-) とアナログ信号 VDA(-) との差が K 倍に増幅される。それにより、ノード N01 にアナログ信号 Vout(+) が現われ、ノード N02 にアナログ信号 Vout(-) が現われる。ノード N01, N02 間の電圧(アナログ信号 Vout) は次式で表される。
30

【0106】

$$\begin{aligned} Vout &= Vout(+) - Vout(-) \\ &= [\{ Vin(+) - VDA(+) \} - \{ Vin(-) - VDA(-) \}] \cdot \end{aligned}$$

$$K = (Vin - VDA) \cdot K$$

なお、図 1 の差分増幅器 4a および図 3 の差分増幅器 12a の構成および動作も図 6 および図 7 に示した差分増幅器 2a の構成および動作と同様である。

【0107】

図 8 は図 1 のアナログ - デジタル変換回路 100 におけるサブ A/D コンバータ 7 の構成を示す回路図である。図 8 のサブ A/D コンバータ 7 は全並列比較(フラッシュ)方式サブ A/D コンバータである。
40

【0108】

図8のサブA/Dコンバータ7は、n個の抵抗R、n個の電圧比較器D1～Dnおよびエンコーダ70により構成される。

【0109】

すべての抵抗Rは同じ抵抗値を有し、高電位側基準電圧VR_Tを受けるノードN31と低電位側基準電圧VR_Bを受けるノードN32との間に直列に接続されている。ここで、ノードN32とノードN31との間のn個の抵抗R間のノードN41～N4nの電位をそれぞれVR(1)～VR(n)とする。

【0110】

各電圧比較器D1～Dnの非反転入力端子には、アナログ信号Vi_nが入力される。また、各電圧比較器D1～Dnの反転入力端子には、それぞれノードN41～N4nの電位VR(1)～VR(n)が与えられる。

【0111】

それにより、各電圧比較器D1～Dnの出力信号VD1～VDnは、それぞれアナログ信号Vi_nが電位VR(1)～VR(n)よりも高い場合にはハイレベルとなり、それぞれアナログ信号Vi_nが電位VR(1)～VR(n)よりも低い場合にはローレベルとなる。

【0112】

エンコーダ70は、電圧比較器D1～Dnの出力信号VD1～VDnをエンコードし、4ビットのデジタル信号Doutを出力する。

【0113】

なお、図1のサブA/Dコンバータ9および図3のサブA/Dコンバータ14の構成および動作は、図8のサブA/Dコンバータ7の構成および動作と同様である。

【0114】

図9は図8のサブA/Dコンバータ7に用いられる差動型電圧比較器の回路図である。

【0115】

図9において、差動増幅回路50は、Pチャネル型MOS電界効果トランジスタ（以下、PMOSトランジスタと呼ぶ）51, 52、Nチャネル型MOS電界効果トランジスタ（以下、NMOSトランジスタと呼ぶ）53, 54および定電流源57により構成される。定電流源57には、飽和動作のNMOSトランジスタが使用される。

【0116】

ノードNDと出力ノードNO11との間にPMOSトランジスタ51が接続され、ノードNDと出力ノードNO12との間にPMOSトランジスタ52が接続されている。また、出力ノードNO11とノードNSとの間にNMOSトランジスタ53が接続され、出力ノードNO12とノードNSとの間にNMOSトランジスタ54が接続されている。

【0117】

ノードNDには電源電圧VD_Dが与えられ、ノードNSは定電流源57を介して接地されている。PMOSトランジスタ51, 52のゲートにはバイアス電圧VB_Dが与えられる。NMOSトランジスタ53, 54のゲートはそれぞれ入力ノードNA, NBに接続されている。

【0118】

入力ノードNAはコンデンサ55を介してノードN1に接続され、入力ノードNBはコンデンサ56を介してノードN2に接続されている。入力ノードNAと出力ノードNO11との間にスイッチSW31が接続され、入力ノードNBと出力ノードNO12との間にスイッチSW41が接続されている。ノードN1にはスイッチSW32, SW33が並列に接続され、ノードN2にはスイッチSW42, SW43が並列に接続されている。

【0119】

スイッチSW31～SW33, SW41～SW43は、CMOSスイッチにより構成されている。これらのスイッチSW31～SW33, SW41～SW43は、制御信号SWまたはその反転信号により制御される。

【0120】

10

20

30

40

50

スイッチ SW32, SW33 の入力端にはそれぞれ入力電圧 $V_1 (+)$, $V_2 (+)$ が与えられ、スイッチ SW42, SW43 の入力端にはそれぞれ入力電圧 $V_1 (-)$, $V_2 (-)$ が与えられる。出力ノード NO11, NO12 からは出力電圧 $V_0 (+)$, $V_0 (-)$ が導出される。

【0121】

ここで、入力電圧 $V_1 (+)$ と入力電圧 $V_2 (+)$ との差を差分入力電圧 $V (+)$ とし、入力電圧 $V_1 (-)$ と入力電圧 $V_2 (-)$ との差を差分入力電圧 $V (-)$ とする。出力電圧 $V_0 (+)$ と出力電圧 $V_0 (-)$ との差を差分出力電圧 V_0 とする。この場合、図 8 のアナログ信号 V_{in} が差分入力電圧 $V (+)$ に相当し、電位 $VR(1) \sim VR(n)$ のいずれかが差分入力電圧 $V (-)$ に相当し、出力信号 $VD1 \sim VDn$ のいずれかが差分出力電圧 V_0 に相当する。 10

【0122】

図 10 は図 9 の電圧比較器の動作を説明するためのタイミングチャートである。

【0123】

オートゼロ動作時およびサンプリング動作時には、スイッチ SW31, SW41, SW32, SW42 がオンし、スイッチ SW33, SW43 がオフする。それにより、入力ノード NA と出力ノード NO11 とが等電位になり、入力ノード NB と出力ノード NO12 とが等電位になる。また、入力電圧 $V_1 (+)$ がスイッチ SW32 を介して入力ノード NA に入力され、入力電圧 $V_1 (-)$ がスイッチ SW42 を介して入力ノード NB に入力される。すなわち、入力電圧 $V_1 (+)$ および入力電圧 $V_1 (-)$ がサンプリングされる。 20

【0124】

その後、スイッチ SW31, SW41 がオフし、続いてスイッチ SW32, SW42 がオフする。この時点で、入力電圧 $V_1 (+)$, $V_1 (-)$ がコンデンサ 55, 56 にそれぞれ保持される。

【0125】

比較動作時には、スイッチ SW33, SW43 がオンする。これにより、入力電圧 $V_2 (+)$ がスイッチ SW33 を介して入力ノード NA に入力され、入力電圧 $V_2 (-)$ がスイッチ SW43 を介して入力ノード NB に入力される。その結果、入力ノード NA の電圧変化は $V_2 (+) - V_1 (+)$ となり、入力ノード NB の電圧変化は $V_2 (-) - V_1 (-)$ となる。 30

【0126】

入力ノード NA の差分入力電圧 $V (+) = V_2 (+) - V_1 (+)$ と入力ノード NB の差分入力電圧 $V (-) = V_2 (-) - V_1 (-)$ との比較結果に基づいて、出力ノード NO11 の出力電圧 $V_0 (+)$ および出力ノード NO12 の出力電圧 $V_0 (-)$ のうち一方が電源電圧 V_{DD} の側に変化し、他方が接地電位の側に変化する。それにより、出力ノード NO11, NO12 間の差分出力電圧は 0V から比較結果に応じて正側または負側に変化する。

【0127】

なお、図 8 の電圧比較器 D2 ~ Dn の構成および動作は、図 9 および図 10 の電圧比較器 D1 の構成および動作と同様である。 40

【0128】

図 11 は図 1 のアナログ - デジタル変換回路 100 におけるサブ A / D コンバータ 7 および D / A コンバータ 8 の回路図である。D / A コンバータ 8 は容量アレイ方式 D / A コンバータである。なお、図 11 には図 8 のエンコーダ 70 は図示されていない。

【0129】

D / A コンバータ 8 は、アレイ状に接続されたそれぞれ n 個のスイッチ E1 ~ En, F1 ~ Fn, G1 ~ Gn, H1 ~ Hn、n 個の正側コンデンサ B1 ~ Bn、および n 個の負側コンデンサ C1 ~ Cn から構成される。

【0130】

コンデンサ $B_1 \sim B_n$, $C_1 \sim C_n$ はすべて同じ容量値 c を有する。コンデンサ $B_1 \sim B_n$ の一方の端子（以下、出力端子と呼ぶ）からは差動正側出力電圧 $VDA(+)$ が生成され、コンデンサ $C_1 \sim C_n$ の一方の端子（以下、出力端子という）からは差動負側出力電圧 $VDA(-)$ が生成される。なお、各コンデンサ $B_1 \sim B_n$, $C_1 \sim C_n$ の他方の端子を入力端子と呼ぶ。

【0131】

各スイッチ $E_1 \sim E_n$ の一方の端子はノード N_31 に接続され、他方の端子はコンデンサ $B_1 \sim B_n$ の入力端子に接続されている。各スイッチ $F_1 \sim F_n$ の一方の端子はノード N_31 に接続され、他方の端子はコンデンサ $C_1 \sim C_n$ の入力端子に接続されている。各スイッチ $G_1 \sim G_n$ の一方の端子はノード N_32 に接続され、他方の端子はコンデンサ $B_1 \sim B_n$ の入力端子に接続されている。各スイッチ $H_1 \sim H_n$ の一方の端子はノード N_32 に接続され、他方の端子はコンデンサ $C_1 \sim C_n$ の入力端子に接続されている。

10

20

30

【0132】

各スイッチ $E_1 \sim E_n$, $F_1 \sim F_n$, $G_1 \sim G_n$, $H_1 \sim H_n$ はそれぞれ同一番号のスイッチで4連スイッチを構成する。例えば、スイッチ E_1 , F_1 , G_1 , H_1 は1連であり、スイッチ E_n , F_n , G_n , H_n も1連である。そして、各スイッチ $E_1 \sim E_n$, $F_1 \sim F_n$, $G_1 \sim G_n$, $H_1 \sim H_n$ はそれぞれ各電圧比較器 $D_1 \sim D_n$ の出力レベルに従ってオンオフ動作する。例えば、電圧比較器 D_n の出力がハイレベルの場合、スイッチ E_n , H_n がオンし、スイッチ G_n , F_n はオフする。逆に、電圧比較器 D_n の出力がローレベルの場合、スイッチ E_n , H_n がオフし、スイッチ G_n , F_n がオンする。

20

【0133】

次に、D/Aコンバータ8の動作を説明する。初期条件では、各コンデンサ $B_1 \sim B_n$ の入力端子および出力端子の電位が共に0Vであり、各スイッチ $E_1 \sim E_n$, $F_1 \sim F_n$, $G_1 \sim G_n$, $H_1 \sim H_n$ はすべてオフしている。したがって、初期条件では、すべてのコンデンサ $B_1 \sim B_n$, $C_1 \sim C_n$ に蓄えられた電荷（電気量） $Q_1 = 0$ である。

【0134】

ここで、 n 個の電圧比較器 $D_1 \sim D_n$ のうち m 個の出力がハイレベルになった場合、各スイッチ $E_1 \sim E_n$ のうち m 個がオンして $(n - m)$ 個がオフし、各スイッチ $G_1 \sim G_n$ のうち $(n - m)$ 個がオンして m 個がオフする。この各スイッチ $E_1 \sim E_n$, $G_1 \sim G_n$ のオンオフ動作に従って、すべてのコンデンサ $B_1 \sim B_n$ に蓄えられる電荷 Q_2 は次式（A1）で表される。

30

【0135】

$$Q_2 = m(VRT - VDA(+))c + (n - m)(VRB - VDA(+))c \dots (A1)$$

電荷保存則より、 $Q_1 = Q_2$ である。したがって、アナログ信号 $VDA(+)$ は次式（A2）で表される。

【0136】

$$VDA(+) = VRB + m(VRT - VRB) / n \dots (A2)$$

一方、 n 個の電圧比較器 $D_1 \sim D_n$ のうち m 個の出力がハイレベルになった場合、各スイッチ $H_1 \sim H_n$ のうち m 個がオンして $(n - m)$ 個がオフし、各スイッチ $F_1 \sim F_n$ のうち $(n - m)$ 個がオンして m 個がオフする。この各スイッチ $H_1 \sim H_n$, $F_1 \sim F_n$ のオンオフ動作に従って、すべてのコンデンサ $C_1 \sim C_n$ に蓄えられる電荷 Q_3 は次式（A3）で表される。

40

【0137】

$$Q_3 = (n - m)(VRT - VDA(-))c + m(VRB - VDA(-))c \dots (A3)$$

電荷保存則より、 $Q_1 = Q_3$ である。したがって、アナログ信号 $VDA(-)$ は次式（A4）で表される。

【0138】

$$VDA(-) = VRT - m(VRT - VRB) / n \dots (A4)$$

50

したがって、上式 (A 2) , (A 4) より、アナログ信号 VDA は式 (A 5) で表される。

【0139】

$$\begin{aligned} VDA &= VDA (+) - VDA (-) \\ &= VRB - VRT + 2m(VRT - VRB) / n \dots (A 5) \end{aligned}$$

以上のように、上記実施の形態に係るアナログ - デジタル変換回路 100, 100a においては、省面積化が図られるとともに、同一のハードウェア構成で異なるビット構成が実現されるので、エンベデッド型アナログ - デジタル変換回路に最適である。

【図面の簡単な説明】

【図 1】本発明の一実施の形態に係るアナログ - デジタル変換回路の構成を示すブロック図である。 10

【図 2】図 1 のアナログ - デジタル変換回路の動作を説明するためのタイミングチャートである。

【図 3】本発明の他の実施の形態に係るアナログ - デジタル信号の構成を示すブロック図である。

【図 4】図 3 のアナログ - デジタル変換回路の動作を説明するためのタイミングチャートである。

【図 5】図 1 および図 3 のアナログ - デジタル変換回路における信号発生器の主要部の構成を示すブロック図である。

【図 6】図 1 のアナログ - デジタル変換回路における差分増幅器の回路図である。 20

【図 7】図 6 の差分増幅器の動作を説明するためのタイミングチャートである。

【図 8】図 1 のアナログ - デジタル変換回路におけるサブ A / D コンバータの構成を示す回路図である。

【図 9】図 8 のサブ A / D コンバータに用いられる差動型電圧比較器の回路図である。

【図 10】図 9 の電圧比較器の動作を説明するためのタイミングチャートである。

【図 11】図 1 のアナログ - デジタル変換回路におけるサブ A / D コンバータおよび D / A コンバータの回路図である。

【図 12】従来のアナログ - デジタル変換回路を示すブロック図である。

【符号の説明】

100, 100a アナログ - デジタル変換回路 30

ST1, ST2, ST0 回路

7, 9, 14 サブ A / D コンバータ

8, 10, 15 D / A コンバータ

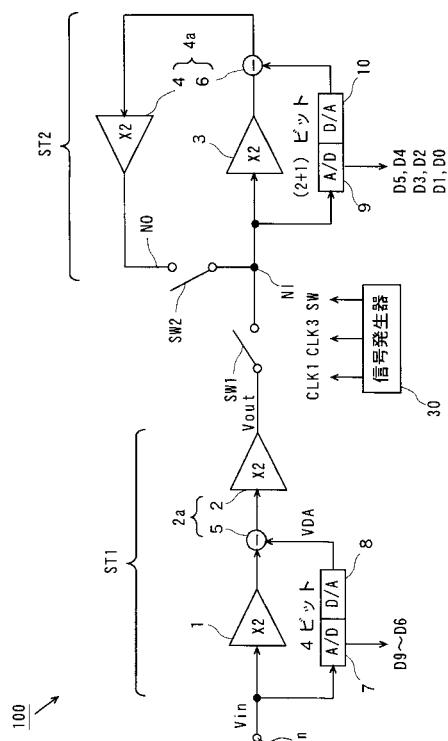
1, 2, 3, 4, 11, 12 演算増幅器

5, 6 減算回路

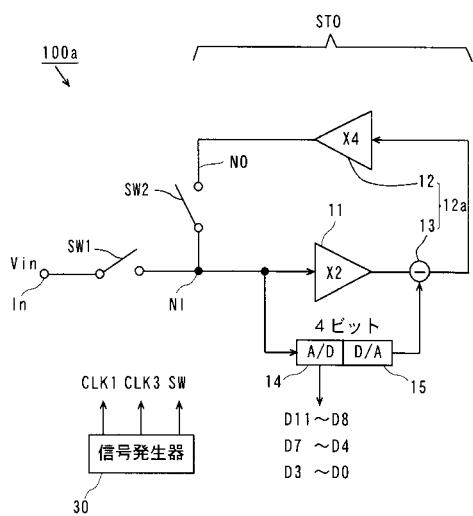
2a, 4a, 12a 差分増幅器

SW1, SW2 スイッチ

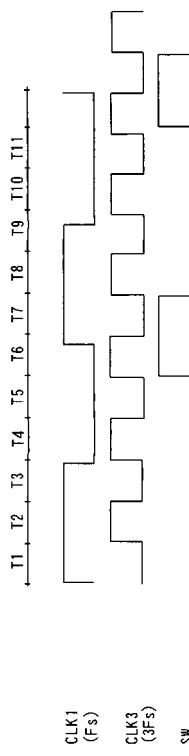
【 四 1 】



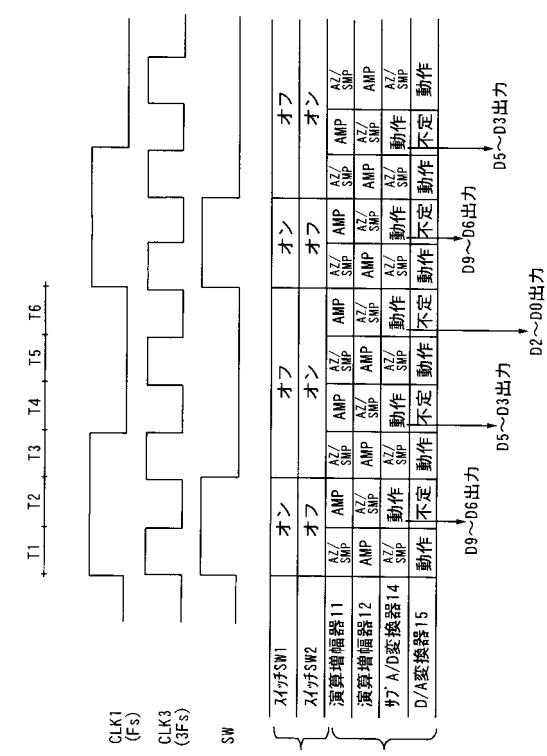
【図3】



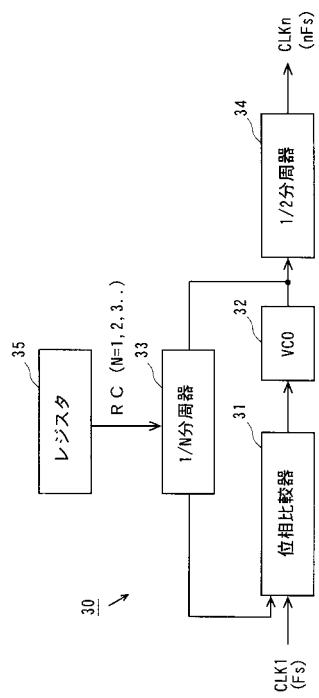
【 図 2 】



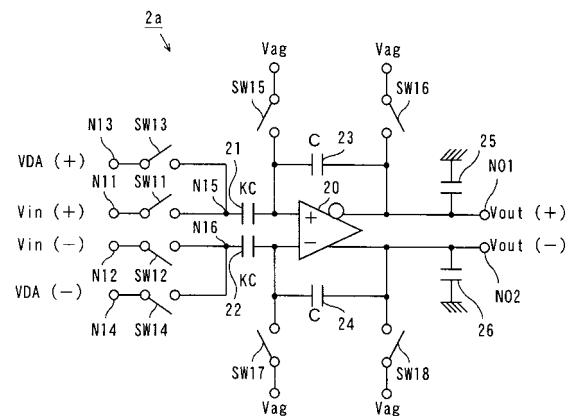
【 四 4 】



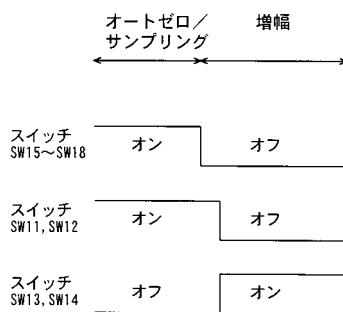
【図5】



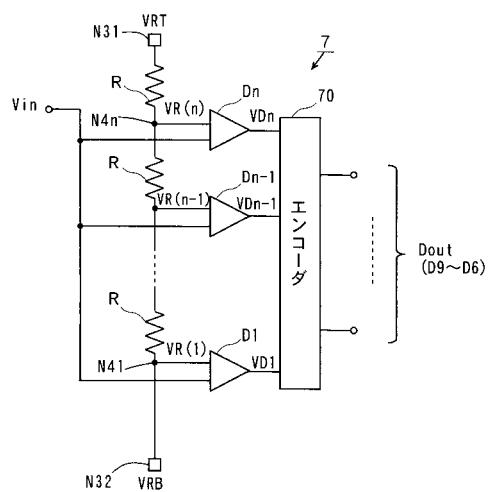
【図6】



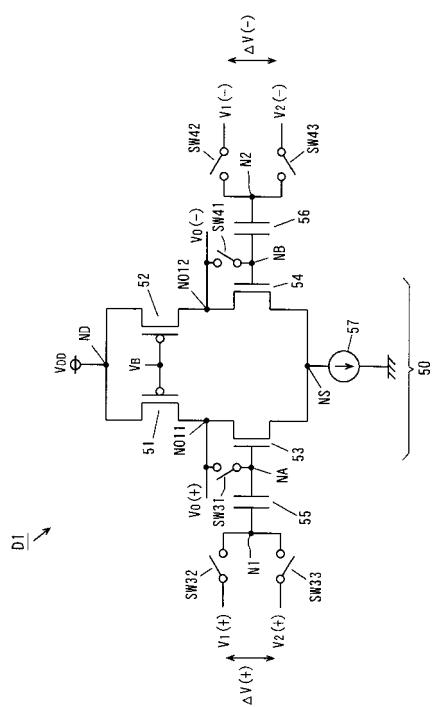
【図7】



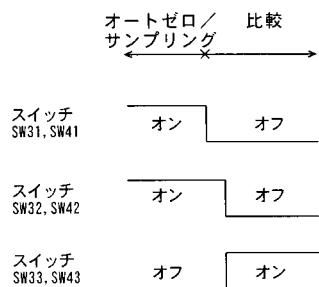
【図8】



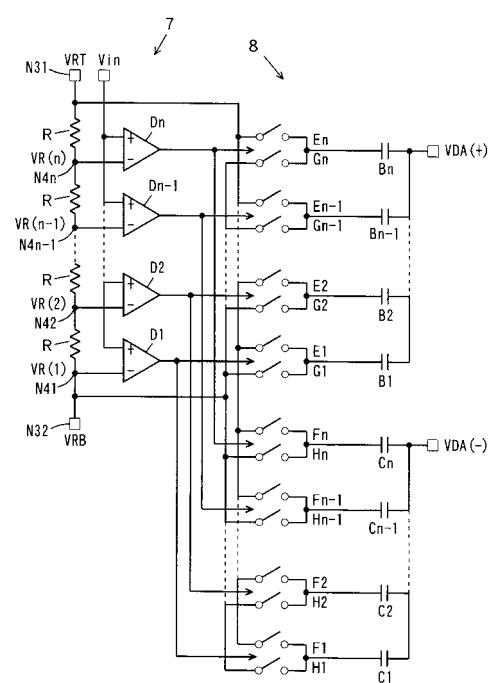
【図9】



【図10】



【図11】



【図12】

