

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5736261号  
(P5736261)

(45) 発行日 平成27年6月17日 (2015. 6. 17)

(24) 登録日 平成27年4月24日 (2015. 4. 24)

(51) Int. Cl.

F I

H03K 5/06 (2006.01)

H03K 5/06

H03K 5/00 (2006.01)

H03K 5/00

V

請求項の数 4 (全 13 頁)

(21) 出願番号 特願2011-154406 (P2011-154406)  
(22) 出願日 平成23年7月13日 (2011. 7. 13)  
(65) 公開番号 特開2013-21576 (P2013-21576A)  
(43) 公開日 平成25年1月31日 (2013. 1. 31)  
審査請求日 平成26年6月18日 (2014. 6. 18)

(73) 特許権者 591128453  
株式会社メガチップス  
大阪府大阪市淀川区宮原一丁目1番1号  
(74) 代理人 100088672  
弁理士 吉竹 英俊  
(74) 代理人 100088845  
弁理士 有田 貴弘  
(72) 発明者 中宮 和憲  
千葉県千葉市美浜区中瀬一丁目3番地 川  
崎マイクロエレクトロニクス株式会社内  
審査官 白井 孝治

最終頁に続く

(54) 【発明の名称】 遅延クロック信号生成回路およびパルス生成回路

(57) 【特許請求の範囲】

【請求項 1】

それぞれが互いに異なる遅延時間を有する複数の遅延経路と該複数の遅延経路から1つの遅延経路を遅延選択信号に応じて選択する遅延用マルチプレクサとで単位遅延段が構成され、該単位遅延段が0段目からN-1段目(Nは2以上の整数)まで直列に接続され、0段目の単位遅延段には入力クロック信号が入力され、 $k$  ( $k=1\sim N-1$ ) 段目の単位遅延段には $k-1$ 段目の単位遅延段の遅延用マルチプレクサの出力が入力される遅延回路と、

前記単位遅延段の前記遅延用マルチプレクサと同一の遅延時間を有する補正用マルチプレクサが0段目からN-1段目まで直列に接続され、0段目の補正用マルチプレクサには前記入力クロック信号が入力され、 $k$  ( $k=1\sim N-1$ ) 段目の補正用マルチプレクサには $k-1$ 段目の補正用マルチプレクサの出力が入力される補正回路と、

前記遅延回路のN-1段目の単位遅延段の遅延用マルチプレクサから出力される第1の遅延クロック信号と前記補正回路のN-1段目の補正用マルチプレクサから出力される第2の遅延クロック信号との位相差が、前記入力クロック信号の1周期に等しくなるように、前記遅延回路の各単位遅延段の遅延用マルチプレクサに供給する前記遅延選択信号を生成するDLL制御回路と、

それぞれが前記遅延回路の遅延用マルチプレクサと同一の遅延時間を有する複数の調整用マルチプレクサが0段目からN-1段目まで直列接続され、0段目の調整用マルチプレクサは接地電位と前記入力クロック信号を選択して出力するように接続され、0段目の調

10

20

整用マルチプレクサが遅延調整信号に応じて選択された場合、前記入力クロック信号を選択して出力し、該 0 段目より後段の調整用マルチプレクサは前段の調整用マルチプレクサの出力を選択し、 $k$  ( $k = 1 \sim N - 1$ ) 段目の調整用マルチプレクサは  $k - 1$  段目の調整用マルチプレクサの出力と前記遅延回路の  $k - 1$  段目の単位遅延段の遅延用マルチプレクサの出力との一方を選択して出力するように接続され、1 段目から  $N - 1$  段目までの調整用マルチプレクサのうちから遅延調整信号に応じて選択された  $k$  段目の調整用マルチプレクサは前記遅延回路の  $k - 1$  段目の単位遅延段の遅延用マルチプレクサの出力を選択し、該  $k$  段目より後段の調整用マルチプレクサは前段の調整用マルチプレクサの出力を選択する調整回路とを有し、

前記遅延回路と前記補正回路と前記 D L L 制御回路で遅延選択信号生成回路を構成し、前記調整回路の  $N - 1$  段目の調整用マルチプレクサから前記入力クロック信号を遅延した遅延調整済みクロック信号を出力することを特徴とする遅延クロック信号生成回路。

【請求項 2】

前記第 1 の遅延クロック信号を出力する前記遅延回路を第 1 の遅延回路とし、前記調整回路の前記調整用マルチプレクサが選択する出力を生成する前記遅延回路を第 2 の遅延回路として別個に設け、

前記第 1 および第 2 の遅延回路の対応する単位遅延段の遅延用マルチプレクサの出力が同一の遅延時間を有するように、前記 D L L 制御回路が生成する前記遅延選択信号を前記第 1 および第 2 の遅延回路を形成する前記遅延用マルチプレクサに共通に供給することを特徴とする請求項 1 記載の遅延クロック信号生成回路。

【請求項 3】

請求項 1 に記載の遅延クロック信号生成回路を備えるパルス生成回路であって、

前記遅延選択信号生成回路を共通として前記調整回路を 2 個備えるとともに、当該 2 個の前記調整回路のうちの第 1 の調整回路が出力する第 1 の遅延調整済みクロック信号によって立ち上がりタイミングが調整され、当該 2 個の前記調整回路のうちの第 2 の調整回路が出力する第 2 の遅延調整済みクロック信号によって立ち下がりタイミングが調整されたパルス信号を出力するパルス回路を備え、

前記遅延調整信号として、前記第 1 の調整回路に開始タイミング調整信号を、前記第 2 の調整回路に終了タイミング調整信号を供給することを特徴とするパルス生成回路。

【請求項 4】

前記第 1 の遅延クロック信号を出力する前記遅延回路を第 1 の遅延回路とし、前記調整回路の調整用マルチプレクサが選択する出力を生成する前記遅延回路を第 2 の遅延回路として別個に設け、

前記第 1 および第 2 の遅延回路の対応する単位遅延段の遅延用マルチプレクサの出力が同一の遅延時間を有するように、前記 D L L 制御回路が生成する前記遅延選択信号を前記第 1 および第 2 の遅延回路を形成する前記遅延用マルチプレクサに共通に供給することを特徴とする請求項 3 記載のパルス生成回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、D L L 回路を利用した遅延クロック信号生成回路およびそれによって発生した遅延選択信号を使用して P W M パルスを生成するパルス生成回路に関する。

【背景技術】

【0002】

P W M 生成回路として、遅延素子が直列に接続された可変遅延回路によってセット信号 S とリセット信号 R S のタイミングを調整してから、そのセット信号 S とリセット信号 R S を S - R フリップフロップに供給し、立ち上がりおよび立ち下りのタイミングが制御された所定のパルス幅の P W M パルスを生成する回路が知られている（特許文献 1 の図 5）。

【0003】

また、別のPWM生成回路として、遅延回路に入力されるクロック信号とその遅延回路の最終段からの出力する帰還クロックとの位相が一致するようにDLL回路により遅延回路の遅延時間を制御することにより、遅延回路の遅延時間を一定に保つようにして、その遅延回路の所望ノードから安定した高時間分解能の遅延信号を取り出し、その遅延信号を用いてPWMパルスを生成する技術が知られている（特許文献2の図1）。

#### 【0004】

ところで、DLL回路のDLLループ内の遅延回路の遅延時間を一定に保つことを可能とするために、遅延素子として、制御信号によって動作状態（例えば時定数）を変化させて遅延時間を変化させるものを利用する技術が知られている（特許文献2の図2）。しかし、遅延素子の遅延時間が、連続的な値を持つ制御信号によって連続的に変化するアナログ技術を利用する場合、アナログ回路部分（制御信号を各遅延素子に供給する回路）が、同一チップに搭載したデジタル回路部分からのノイズの影響を受けることを防ぐために、両者への電源供給を個別に行う、等の対策が必要になる。

#### 【0005】

一方、それぞれの遅延素子の遅延時間を調整するのではなく、遅延素子の直列接続段数を調整することによって、遅延回路の遅延時間を一定に保つ技術も知られている（特許文献3の図1）。この場合、遅延素子1段当たりの遅延時間を一定に保つことができず、遅延時間設定の分解能を一定に保つことができない。一定のビット幅のPWM信号に応じた遅延時間を得ることが必要なPWM生成回路には不向きである。

#### 【0006】

そこで、以上のそれぞれの技術の課題を避けるため、互いに異なる数の遅延素子を直列接続した複数の遅延経路のうちから、1つの遅延経路を遅延選択信号に応じてマルチプレクサが選択する構成としたDLL回路からなる遅延選択信号生成回路がある。これを図10に示す。

#### 【0007】

図10の遅延選択信号生成回路は、入力クロック信号CLK1を遅延させる遅延回路10Aと、入力クロック信号CLK1と遅延回路10Aから出力する帰還クロック信号CLKAとの位相が一致するように遅延回路10Aの遅延時間を制御するDLL制御回路30と、遅延回路10Aの各单位遅延段13から出力する複数の遅延信号のうちの1つ選択して出力クロック信号CLK2とする選択回路40とを備えている。DLL制御回路30は、クロック信号CLKAとCLKBの位相を比較する位相比較器と、その位相比較結果によって出力電圧が制御されるチャージポンプと、そのチャージポンプの出力電圧をフィルタリングするローパスフィルタとから構成される。

#### 【0008】

遅延回路10Aは、入力するクロック信号を遅延させる遅延素子11と、入力するクロック信号と遅延素子11で遅延されたクロック信号の一方を選択するマルチプレクサ12と、を単位とする単位遅延段13が、 $2^n$ 個（ $n = 0, 1, 2, \dots$ ）だけ直列接続されている。そして、各マルチプレクサ12がDLL制御回路30から出力する遅延選択信号DCSによって制御されるようになっている。

#### 【0009】

図10の遅延選択信号生成回路は、入力クロック信号CLK1と帰還クロック信号CLKAの位相差が入力クロック信号CLKBの1周期 $T_1$ になるように、DLL制御回路30によって遅延回路10Aの各单位遅延段13の遅延時間が制御される。全体がロックした状態では、各单位遅延段13において、 $T_1 / 2^n$ の遅延時間が得られる。すなわち、入力クロック信号CLK1の $2^n$ 倍の遅延分解能をもつクロック信号CLK2を選択回路40から取り出すことができる。図11に図10の遅延調整回路の動作波形図を示した。

#### 【先行技術文献】

#### 【特許文献】

#### 【0010】

【特許文献1】特開平6-037608号公報

10

20

30

40

50

【特許文献 2】特開平 6 - 3 2 6 5 7 4 号公報

【特許文献 3】特開 2 0 0 0 - 2 3 1 4 2 0 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 1 1 】

ところで、図 1 0 の遅延選択信号生成回路では、ロックすることが可能な入力クロック信号 C L K 1 の周期 T 1 の範囲は、次の式 ( 1 ) で求められ、単位遅延段 1 3 の 1 個当たりの最小時間 T a に依存することがわかる。

$$T 1 \quad T a \times 2^n \quad \cdots ( 1 )$$

しかし、この単位遅延段 1 3 の最小遅延時間 T a は、図 1 0 の例では、マルチプレクサ 1 2 が遅延素子 1 1 を選択しない場合であり、結局、マルチプレクサ 1 2 の遅延時間 T m に依存することがわかる。すなわち、上記の式 ( 1 ) は次の式 ( 2 ) に置き換えられる。

$$T 1 \quad T m \times 2^n \quad \cdots ( 2 )$$

このマルチプレクサ 1 2 は、回路構成の関係から遅延素子よりも遅延時間が大きい ( 約 2 . 5 倍 ) ので、高周波数動作に対応することができないという問題がある。また、遅延素子の遅延時間に、より大きなマルチプレクサの遅延時間が加わって全体の遅延時間が決まるため、マルチプレクサの遅延時間の変動等により、遅延時間調整の分解能を高めることも困難である。

【 0 0 1 2 】

本発明の目的は、遅延回路のマルチプレクサの遅延をキャンセルできるようにして、高周波数動作や高遅延分解能を実現した遅延クロック信号生成回路および高ビット精度の P W M 信号を生成できるパルス生成回路を提供することである。

【課題を解決するための手段】

【 0 0 1 3 】

上記目的を達成するために、遅延クロック信号生成回路は、それぞれが互いに異なる遅延時間を有する複数の遅延経路と該複数の遅延経路から 1 つの遅延経路を遅延選択信号に応じて選択する遅延用マルチプレクサとで単位遅延段が構成され、該単位遅延段が 0 段目から N - 1 段目 ( N は 2 以上の整数 ) まで直列に接続され、0 段目の単位遅延段には入力クロック信号が入力され、k ( k = 1 ~ N - 1 ) 段目の単位遅延段には k - 1 段目の単位遅延段の遅延用マルチプレクサの出力が入力される遅延回路と、前記単位遅延段の前記遅延用マルチプレクサと同一の遅延時間を有する補正用マルチプレクサが 0 段目から N - 1 段目まで直列に接続され、0 段目の補正用マルチプレクサには前記入力クロック信号が入力され、k ( k = 1 ~ N - 1 ) 段目の補正用マルチプレクサには k - 1 段目の補正用マルチプレクサの出力が入力される補正回路と、前記遅延回路の N - 1 段目の単位遅延段の遅延用マルチプレクサから出力される第 1 の遅延クロック信号と前記補正回路の N - 1 段目の補正用マルチプレクサから出力される第 2 の遅延クロック信号との位相差が、前記入力クロック信号の 1 周期に等しくなるように、前記遅延回路の各単位遅延段の遅延用マルチプレクサに供給する前記遅延選択信号を生成する D L L 制御回路と、それぞれが前記遅延回路の遅延用マルチプレクサと同一の遅延時間を有する複数の調整用マルチプレクサが 0 段目から N - 1 段目まで直列接続され、0 段目の調整用マルチプレクサは接地電位と前記入力クロック信号を選択して出力するように接続され、0 段目の調整用マルチプレクサが遅延調整信号に応じて選択された場合、前記入力クロック信号を選択して出力し、該 0 段目より後段の調整用マルチプレクサは前段の調整用マルチプレクサの出力を選択し、k ( k = 1 ~ N - 1 ) 段目の調整用マルチプレクサは k - 1 段目の調整用マルチプレクサの出力と前記遅延回路の k - 1 段目の単位遅延段の遅延用マルチプレクサの出力との一方を選択して出力するように接続され、1 段目から N - 1 段目までの調整用マルチプレクサのうちから遅延調整信号に応じて選択された k 段目の調整用マルチプレクサは前記遅延回路の k - 1 段目の単位遅延段の遅延用マルチプレクサの出力を選択し、該 k 段目より後段の調整用マルチプレクサは前段の調整用マルチプレクサの出力を選択する調整回路とを有し、前記遅延回路と前記補正回路と前記 D L L 制御回路で遅延選択信号生成回路を構成し、前

10

20

30

40

50

記調整回路のN - 1段目の調整用マルチプレクサから前記入力クロック信号を遅延した遅延調整済みクロック信号を出力する。

【発明の効果】

【0014】

本発明によれば、遅延回路の単位遅延段を構成するマルチプレクサの遅延がキャンセルされるので、最高動作周波数および高遅延分解能を実現できる。このとき、回路の最高動作周波数の周期 $T_1$ は、1個の遅延素子の遅延時間を $T_s$ とすれば、

$$T_1 = T_s \times 2^n \quad \cdots (3)$$

で与えられる。単位遅延段の最小遅延時間がマルチプレクサ1個の遅延時間 $T_m$ から遅延素子1個の遅延時間 $T_s$ に短縮されることで、入力クロック信号としては約2.5倍の周波数のクロック信号まで利用可能となる。また、本発明では遅延素子をデジタル回路で構成するので、プロセスが変更されてもセルの置き換えて対応可能であり、また、プロセスを微細化すれば遅延素子の遅延時間のより最小化が見込め、より高周波数動作、高遅延分解能を向上できる。

【図面の簡単な説明】

【0015】

【図1】本発明の実施例のPWM生成回路の回路図である。

【図2】図1のPWM生成回路の動作波形図である。

【図3】図1のPWM生成回路の遅延選択信号生成回路の回路図である。

【図4】図3の遅延選択信号生成回路の単位遅延段の詳細な回路図である。

【図5】図3の遅延選択信号生成回路の動作波形図である

【図6】第1の遅延調整回路の回路図である。

【図7】図6の第1の遅延調整回路の動作波形図である。

【図8】第1の遅延調整回路の遅延回路と第2の遅延調整回路の遅延回路を共通化したパルス生成回路の回路図である。

【図9】遅延選択信号生成回路と第1の遅延調整回路と第2の遅延調整回路の遅延回路を共通化したパルス生成回路の回路図である。

【図10】従来のパルス生成回路の回路図である。

【図11】図10のパルス生成回路の動作波形図である。

【発明を実施するための形態】

【0016】

<パルス生成回路>

図1にパルス生成回路を示す。このパルス生成回路は、入力クロック信号CLK1を入力しDLLロック作用を利用して遅延選択信号DCSを出力する遅延選択信号生成回路100と、その遅延選択信号DCSと生成すべきPWM信号の立ち上がりタイミングを示す開始タイミング調整信号STARTとを入力して入力クロック信号CLK1に対して第1の位相タイミングで立ち上がる遅延調整済み開始クロック信号CLK3を出力する第1の遅延調整回路200Aと、遅延選択信号DCSと生成すべきPWM信号の立ち下がりタイミングを示す終了タイミング調整信号ENDとを入力して入力クロック信号CLK1に対して第2の位相タイミングで立ち上がる遅延調整済み終了クロック信号CLK4を出力する第2の遅延調整回路200Bと、第1の遅延調整回路200Aから出力する遅延調整済み開始クロック信号CLK3の立ち上がりで立ち上がり、第2の遅延調整回路200Bから出力する遅延調整済み終了クロック信号CLK4の立ち上がりで立ち下がるパルス幅を有するPWM信号を生成するパルス回路300とから構成されている。

【0017】

図2にこのパルス生成回路の動作波形図を示す。例えば、開始タイミング調整信号STARTが“6”で終了タイミング調整信号ENDが“20”のときは、遅延調整済み開始クロック信号CLK3は入力クロック信号CLK1に対して後記する補正時間 $T_2$ から信号STARTの“6”に対応する時間 $T_6$ だけ遅延したタイミング $t_1$ で立ち上がるクロ

10

20

30

40

50

ック信号として第1の遅延調整回路200Aから出力する。また、遅延調整済み終了クロック信号CLK4は入力クロック信号CLK1に対して後記する補正時間T2から信号ENDの“20”に対応する時間T20だけ遅延したタイミングt2で立ち上がるクロック信号として第2の遅延調整回路200Bから出力する。従って、パルス回路300から出力するPWM信号は、タイミングt1で立ち上がり、タイミングt2で立ち下がるパルス幅を有する信号として出力する。

#### 【0018】

<遅延選択信号生成回路>

図3に、図1で説明した遅延選択信号生成回路100の具体的構成を示す。この遅延選択信号生成回路100は、入力クロック信号CLK1を遅延させる遅延回路10と、入力クロック信号CLK1を遅延補正させる補正回路20と、その補正回路20で補正された補正クロック信号CLKBと遅延回路10から出力する帰還クロック信号CLKAとの位相差に応じて遅延選択信号DCSを出力して遅延回路10の遅延時間を制御するDLL制御回路30とを備えている。

#### 【0019】

遅延回路10は、1又は2以上の遅延素子11とマルチプレクサ12とによって単位遅延段13が構成され、この単位遅延段13が $2^n$  ( $n=0, 1, 2, \dots$ )個直列接続されている。図3で示した単位遅延段13は、マルチプレクサ12によって、1個の遅延素子11の遅延経路と2個直列接続した遅延素子11の遅延経路の一方を選択する構成であるが、これは説明を簡単にするためであり、図4に示すように、遅延素子11をより多く使用することで、マルチプレクサ12によって、互いに異なる数の遅延素子が直列接続された複数の遅延経路から1つを選択することができる。

#### 【0020】

補正回路20は、遅延回路10の各々の単位遅延段13のマルチプレクサ12と同じ遅延時間の補正用補正用マルチプレクサ21を、遅延回路10のマルチプレクサ12と同じ $2^n$ 個だけ、前段の出力端子Yが後段の入力端子A0に接続されるように直列接続し、さらに制御端子Sを“0”(=GND)にすることにより、入力端子A0が選択されるようにしたものである。なお、第0段目(初段目)の補正用マルチプレクサ21の入力端子A0には入力クロック信号CLK1が入力し、第 $2^n-1$ 段目(終段目)の補正用マルチプレクサ21の出力端子YはDLL制御回路30に接続される。

#### 【0021】

DLL制御回路30は、クロック信号CLKAとCLKBの位相を比較する位相比較器と、その位相比較結果によって出力電圧が制御されるチャージポンプと、そのチャージポンプの出力電圧をフィルタリングするローパスフィルタとから構成される。

#### 【0022】

この遅延選択信号生成回路100では、入力クロック信号CLK1を補正回路20で補正遅延したクロック信号CLKBと遅延回路10から出力する帰還クロック信号CLKAとの位相差に応じて、DLL制御回路30から出力する遅延選択信号DCSの内容が決定され、これによって遅延回路10の各単位遅延段13のマルチプレクサ12の切替が制御され、クロック信号CLKAがクロック信号CLKBに対して2 ( $=T1$ )だけ遅延して全体がロックすることにより、それぞれの単位遅延段13の遅延素子11の直列接続個数が設定される。

#### 【0023】

このとき、DLL制御回路30の一方に入力する入力クロック信号CLKBは、補正回路20の補正用マルチプレクサ21の遅延時間を $T_m$ とすると、入力クロック信号CLK1よりも $2^n \cdot T_m = T2$ だけ遅延したクロック信号となる。DLL制御回路30の他方に入力するクロック信号CLKAは、マルチプレクサ12の遅延時間が $T_m$ であり、各遅延部13での遅延素子11の遅延時間の合計は $T1$ (ロック時)であるので、図5に示すように、入力クロック信号CLK1よりも「 $T1 + T2$ 」だけ遅延したクロック信号となる。すなわち、DLL制御回路30の位相比較器で比較されるときは、両マルチプレクサ

10

20

30

40

50

12, 21の遅延時間 $T_m$ はキャンセルされる。従って、本実施例の遅延選択信号生成回路100でロック可能な入力クロック信号CLK1の周期 $T_1$ の範囲は、1個の遅延素子11の遅延時間 $T_s$ とする(つまり、単位遅延段13は1個の遅延素子11のみが接続される)と、

$$T_1 = T_s \times 2^n \quad \cdots (3)$$

与えられる。このように、各単位遅延段13の最小遅延時間が、実効的に、1個のマルチプレクサ12の遅延時間 $T_m$ から1個の遅延素子11の遅延時間 $T_s$ に短縮される。前記したように、マルチプレクサ12は、回路構成の関係から遅延素子11よりも遅延時間が大きい(約2.5倍)ので、入力クロック信号CLK1としては、マルチプレクサ12の遅延時間が含まれる場合と比較して、約2.5倍の周波数のクロック信号まで入力して

10

【0024】

<第1の遅延調整回路>

図6にPWM信号の立ち上がりタイミングの設定を行う遅延調整済み開始クロック信号CLK3を生成する第1の遅延調整回路200Aを示す。この第1の遅延調整回路200Aは、遅延選択信号生成回路100で得られた遅延選択信号DCSを用いて設定した遅延時間を用いて、遅延調整済み開始クロック信号CLK3の立ち上がりタイミングを生成するものであり、遅延回路50と調整回路60とで構成される。

【0025】

遅延回路50は、遅延選択信号生成回路100の遅延回路10と同一の構成であり、1又は2以上の遅延素子51とマルチプレクサ52とによって単位遅延段53が構成され、この単位遅延段53が $2^n$  ( $n = 0, 1, 2, \dots$ )個直列接続され、図1で説明した遅延選択信号生成回路100で得られた遅延選択信号DCSにより、各マルチプレクサ52が制御され、各単位遅延段53での遅延時間が設定される。マルチプレクサ52は遅延選択信号生成回路100の遅延回路10や補正回路20のマルチプレクサ12, 21と同じ遅延時間 $T_m$ を持っている。遅延素子51も、遅延選択信号生成回路100の遅延回路10の遅延素子11と同じ遅延時間 $T_s$ を持っている。

20

【0026】

調整回路60は遅延回路50のマルチプレクサ52と同じ遅延時間 $T_m$ の $2^n$ 個の調整用マルチプレクサ61が、前段の調整用マルチプレクサ61の出力端子Yを後段の調整用マルチプレクサ61の入力端子A0に入力するように縦続接続されている。ただし、0段目(初段目)の調整用マルチプレクサ61の入力端子A0はGNDに接続され、 $2^n - 1$ 段目(終段目)の調整用マルチプレクサ61の出力端子Yから遅延調整済み開始クロック信号CLK3が出力する。また、各段の調整用マルチプレクサ61の入力端子A1は、遅延回路50の対応する各単位遅延段53の入力側に接続されている。

30

【0027】

図7にこの第1の遅延調整回路200Aの動作波形を示す。開始タイミング調整信号STARTが“0”のときは、0段目の調整用マルチプレクサ61の制御端子Sが“1”に設定され、その入力端子A1が選択されるが、残りの調整用マルチプレクサ61の制御端子Sは“0”に設定され、その入力端子A0が選択される。これにより、入力クロック信号CLK1は、遅延回路50は経由することなく、調整回路60の0段目~ $2^n - 1$ 段目の全部の調整用マルチプレクサ61を経由して遅延調整済み開始クロック信号CLK3として出力する。このとき、調整回路60の0段目~ $2^n - 1$ 段目までの調整用マルチプレクサ61の合計遅延時間は、図3で説明した補正回路20の0段目~ $2^n - 1$ 段目まで補正用マルチプレクサ21の合計遅延と同じ遅延時間 $T_2$ である。

40

【0028】

開始タイミング調整信号STARTが“1”のときは、1段目の調整用マルチプレクサ61の制御端子Sが“1”に設定され、その入力端子A1が選択されるが、残りの調整用マルチプレクサ61の制御端子Sは“0”に設定され、その入力端子A0が選択される。これにより、入力クロック信号CLK1は、遅延回路50の0段目の単位遅延段53と調

50

整回路 60 の 1 段目 ~  $2^n - 1$  段目の調整用マルチプレクサ 61 を経由して、遅延調整済み開始クロック信号 CLK3 として出力する。このときは、マルチプレクサ 52, 61 の遅延時間  $T_m$  が同一であるので、それによる  $2^n$  段分のマルチプレクサの遅延時間  $T_2$  は開始タイミング調整信号 START が “0” のときと同じである。これらのマルチプレクサ 52, 61 による共通の遅延時間  $T_2$  に対して、遅延回路 50 の 0 段目の単位遅延段 53 による遅延時間  $T_3$  が加算されるので、遅延調整済み開始クロック信号 CLK3 は、入力クロック信号 CLK1 よりも「 $T_2 + T_3$ 」だけ遅延したクロック信号として出力する。

#### 【0029】

開始タイミング調整信号 START が “2” のときは、2 段目の調整用マルチプレクサ 61 の制御端子 S が “1” に設定され、その入力端子 A1 が選択されるが、残りの調整用マルチプレクサ 61 の制御端子 S は “0” に設定され、その入力端子 A0 が選択される。これにより、入力クロック信号 CLK1 は、遅延回路 50 の 0 段目と 1 段目の単位遅延段 53 と第 1 の遅延調整回路 200A の 2 段目 ~  $2^n - 1$  段目の調整用マルチプレクサ 61 を経由して、遅延調整済み開始クロック信号 CLK3 として出力する。このときは、共通の遅延時間  $T_2$  に対して、遅延回路 50 の 0 段目と 1 段目の単位遅延段 53 の遅延素子 51 による合計遅延時間  $T_4$  が加算されるので、遅延調整済み開始クロック信号 CLK3 は入力クロック信号 CLK1 よりも「 $T_2 + T_4$ 」だけ遅延したクロック信号として出力する。

#### 【0030】

さらに、開始タイミング調整信号 START が “ $2^n - 1$ ” のときは、第 1 の遅延調整回路 200A の  $2^n - 1$  段目の調整用マルチプレクサ 61 の制御端子 S が “1” に設定され、その入力端子 A1 が選択されるが、残りの調整用マルチプレクサ 61 の制御端子 S は “0” に設定され、その入力端子 A0 が選択される。これにより、入力クロック信号 CLK1 は、遅延回路 50 の 0 段目 ~  $2^n - 2$  段目の単位遅延段 53 と第 1 の遅延調整回路 200A の  $2^n - 1$  段目の調整用マルチプレクサ 61 を経由して、遅延調整済み開始クロック信号 CLK3 として出力する。このときは、共通の遅延時間  $T_2$  に対して、遅延回路 50 の 0 段目 ~  $2^n - 2$  段目の単位遅延段 53 の合計遅延時間  $T_5$  が加算されるので、遅延調整済み開始クロック信号 CLK3 は入力クロック信号 CLK1 よりも、「 $T_2 + T_5$ 」だけ遅延したクロック信号として出力する。

#### 【0031】

このように、調整回路 60 を設けることによって、開始タイミング調整信号 START が “0” ~ “ $2^n - 1$ ” のいずれの値であっても、入力クロック信号 CLK1 は必ずマルチプレクサを  $2^n$  段だけ通過して開始クロック信号 CLK3 となる。このため、開始タイミング調整信号 START で決まる立ち上がりタイミングを、マルチプレクサ 52, 61 の遅延時間  $T_m$  を考慮することなく、入力クロック信号 CLK1 の周期  $T_1$  の  $1/2^n$  のピッチで設定することができる。

#### 【0032】

以上の実施例では、開始タイミング調整信号 START によって指定される段の調整用マルチプレクサ 61 のみの制御端子 S を “1” に設定し、それ以外の全ての調整用マルチプレクサ 61 の制御端子 S は “0” に設定した。しかし、開始タイミング調整信号 START によって指定される段の調整用マルチプレクサ 61 の制御端子 S を “1” に設定し、それより後段の調整用マルチプレクサ 61 の制御端子 S を “0” に設定するのみでも、開始タイミング調整信号 START によって遅延調整された遅延調整済み開始クロック信号 CLK3 を生成することが可能である。すなわち、開始タイミング調整信号 START によって指定される段より前段の調整用マルチプレクサ 61 の制御端子 S は任意でよい。

#### 【0033】

遅延選択信号生成回路 100 の遅延回路 10 を構成する全ての単位遅延段 13 のマルチプレクサ 12、および、第 1 の遅延調整回路 200A の遅延回路 50 を構成する全ての単位遅延段 53 のマルチプレクサ 52 に、同一の遅延選択信号 DCS を供給することも可能

10

20

30

40

50



である。これにより、正確に、入力クロック信号CLK1の周期T1の $1/2^n$ のピッチで開始クロック信号CLK3のタイミングを設定することができる。

#### 【0034】

一方、遅延選択信号生成回路100の遅延回路10を構成する単位遅延段13の少なくとも一部のマルチプレクサ12に、他の単位遅延段13のマルチプレクサ12とは異なる遅延選択信号DCSを供給することにより、任意の周期の入力クロック信号CLK1にロックする能力を高めることも可能である。この場合には、第1の遅延調整回路200Aの遅延回路50を構成する単位遅延段53のマルチプレクサ52には、対応する単位遅延段13のマルチプレクサ12と共通の遅延選択信号DCSを供給し、同一の遅延時間を有するようにする。また、ほぼ一定のピッチでのタイミング設定を可能にするため、他と異なる遅延選択信号DCSを供給する単位遅延段13, 53の個数は必要最小限とし、他の単位遅延段13, 53には同一の遅延選択信号DCSを供給することが好ましい。さらに、他の単位遅延段とは異なる遅延選択信号DCSを供給する遅延段13, 53にも、他の単位遅延段との遅延時間の差が最小となるような遅延選択信号DCSを供給することが好ましい。

10

#### 【0035】

< 第2の遅延調整回路 >

第2の遅延調整回路200Bは、図6に示した第1の遅延調整回路200Aと全く同じ構成の回路であり、生成すべきPWM信号の立ち上がりタイミングを決定する終了タイミング調整信号ENDを開始タイミング調整信号STARTに代えて入力させることにより、遅延調整済み終了クロック信号CLK4が生成される。

20

#### 【0036】

< 別の実施例 >

図1で説明した第1の実施例のパルス生成回路では、遅延選択信号生成回路100に遅延回路10を備え、第1の遅延調整回路200Aと第2の遅延調整回路200Bに、それぞれ遅延回路50を備えた。これに対して、図8に示すように、第1の遅延調整回路200Aと第2の遅延調整回路200Bの遅延回路を、遅延選択信号DCSで遅延が制御される共通の1個の遅延回路50を利用して構成することもできる。

#### 【0037】

また、図9に示すように、遅延選択信号生成回路100の遅延回路10を、第1の遅延調整回路200Aと第2の遅延調整回路200Bにも共用して、結局、遅延回路を1個の遅延回路10のみとしたパルス生成回路を構成することも可能である。

30

#### 【0038】

なお、以上の実施例では、開始タイミング調整信号STARTと終了タイミング調整信号ENDによってパルス幅が設定されたPWM信号を生成するパルス生成回路について説明した。しかし、用途によっては遅延調整済みクロック信号のみを生成させる必要のある場合もある。この場合は、遅延選択信号生成回路100と例えば一方の第1の遅延調整回路200Aとを用いて遅延クロック信号生成回路を構成すれば、入力クロック信号CLK1に対して所定の位相差で立ち上がる遅延調整済みクロック信号を生成することができる。

40

#### 【0039】

以上の実施例では、 $2^n$ 個の単位遅延段を直列に接続して遅延回路10および50を構成することにより、入力クロック信号の周期の $1/2^n$ のピッチでのタイミング設定を可能にした。例えば、PWM信号の生成のためにはこれが好ましいが、用途によっては入力クロック信号の周期の $1/2^n$ のピッチでの設定は不要な場合がある。その場合には、遅延回路を構成する単位遅延段の直列接続段数を $2^n$ にすることなく、N個(Nは2以上の整数)とすることが可能である。

#### 【符号の説明】

#### 【0040】

100：遅延選択信号生成回路、10：遅延回路、11：遅延素子、12：マルチプレ

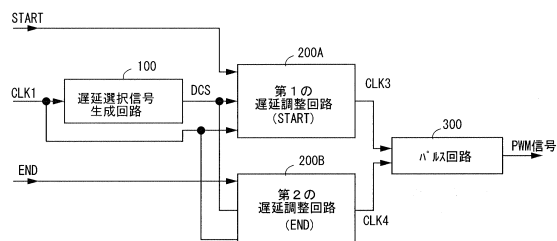
50

クサ、13：単位遅延段、20：補正回路、21：マルチプレクサ、30：DLL制御回路

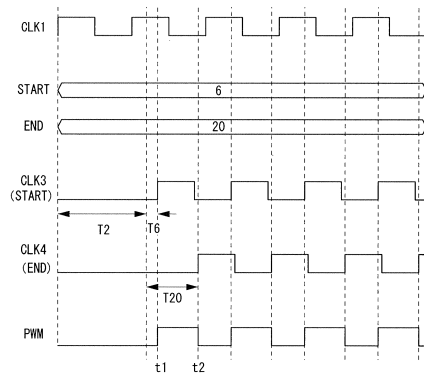
200A：第1の遅延調整回路、50：遅延回路、51：遅延素子、52：マルチプレクサ、53：単位遅延段、60：調整回路、61：マルチプレクサ

200B：第2の遅延調整回路

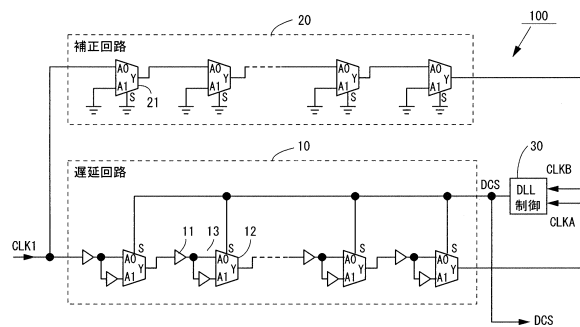
【図1】



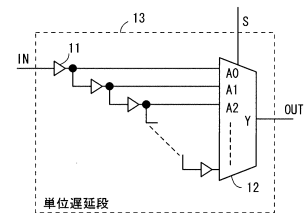
【図2】



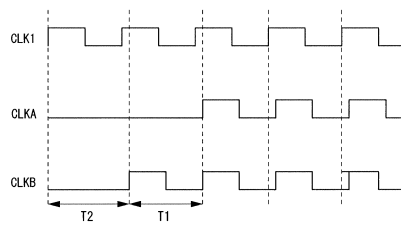
【図3】



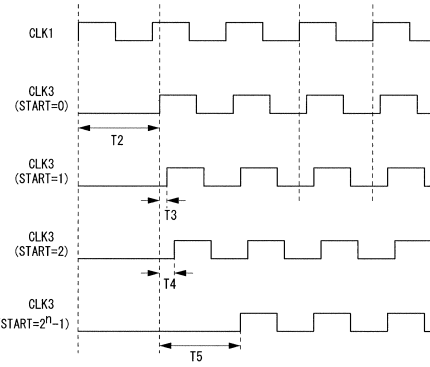
【図4】



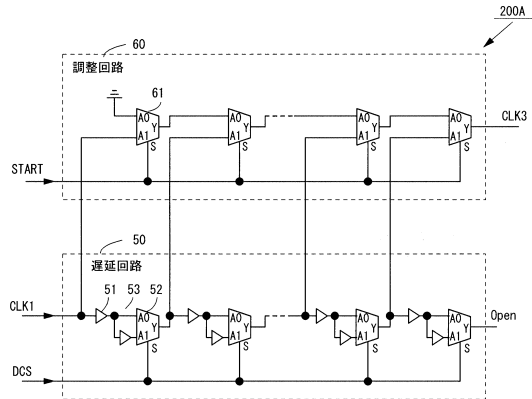
【 図 5 】



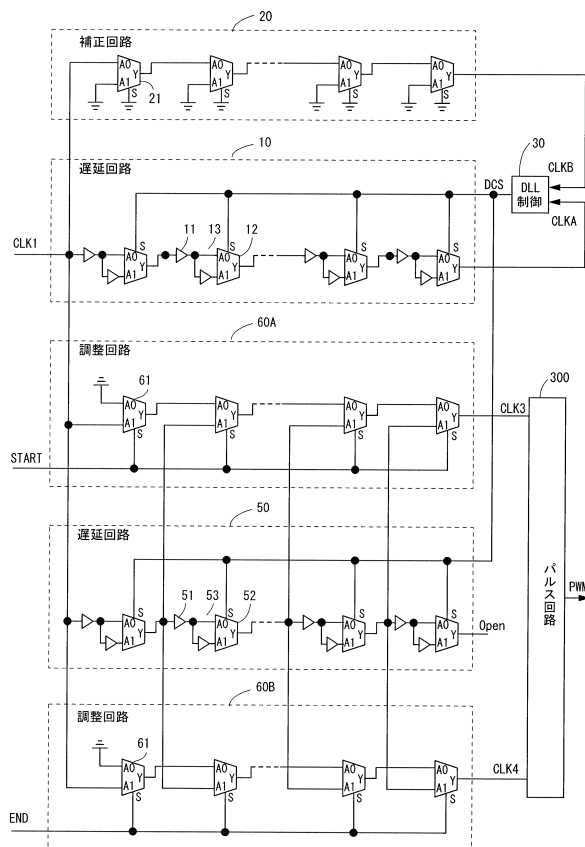
【 図 7 】



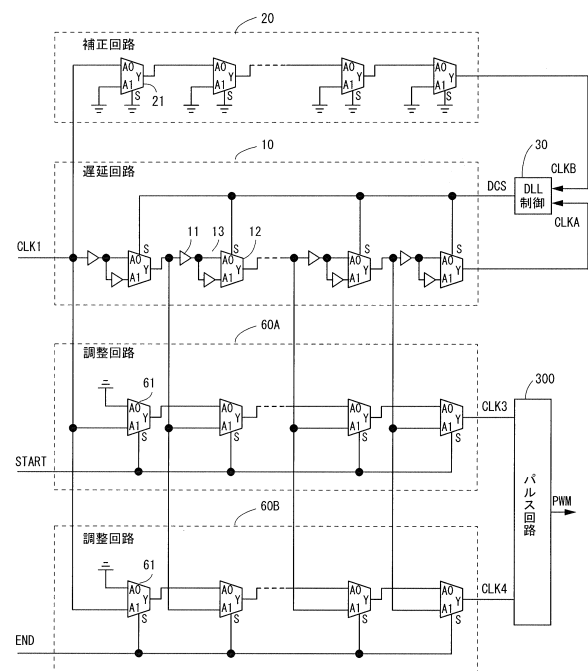
【 図 6 】



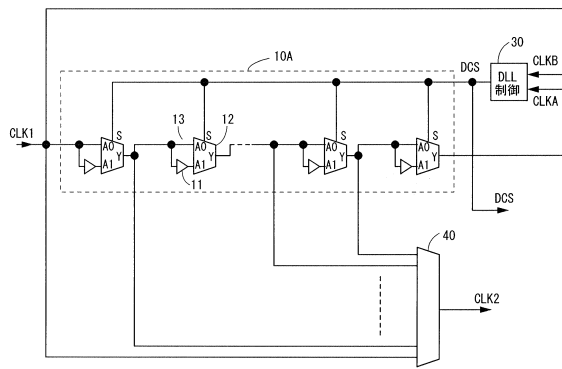
【圖 8】



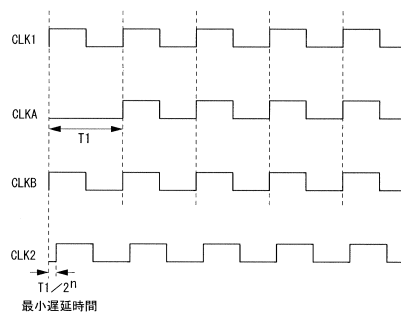
【 図 9 】



【図 10】



【図 11】



---

フロントページの続き

(56)参考文献 特開平 0 6 - 3 2 6 5 7 4 ( J P , A )  
特開 2 0 0 8 - 0 2 1 1 9 4 ( J P , A )  
特開 2 0 0 0 - 2 3 6 2 4 1 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)  
H 0 3 K 5 / 0 0 ~ 5 / 2 6